

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

概要

MAX9965/MAX9966は4チャンネル、低電力、高速、ピンエレクトロニクスドライバ/コンパレータICで、チャンネルごとに3レベルピンドライバ、コンパレータ、及び可変クランプを内蔵しています。MAX9965/MAX9966はMAX9963/MAX9964に類似していますが、ウィンドウコンパレータのばらつきを大幅に低減し、精度を向上しています。このドライバは広電圧範囲と高速動作が特長で、ハイZ及びアクティブ終端(第3レベルドライブ)モードを備え、低電圧スイングでも高リニアです。デュアルバイポーラ入力コンパレータは、幅広い入力条件にわたって非常に低いばらつき(タイミング誤差)を実現しています。デバイスがハイインピーダンスレシーバとして設定されている場合は、クランプが高速DUT波形のダンピングを行います。ECL、LVPECL、LVDS、及びGTLレベルとコンパチブルな高速差動制御入力、チャンネルごとに装備されています。ECL/LVPECLまたはフレキシブルなオープンコレクタ出力をコンパレータが使用することができます。

Aグレードバージョンはドライバ及びコンパレータの利得/オフセットの厳格なマッチングを行うので、コストを重視するシステムでリファレンスレベルを複数チャンネルにわたって共有することができます。チャンネルごとに独立したリファレンスレベルを内蔵しているシステム設計の場合は、Bグレードバージョンを低コストで利用することができます。

高速入力のオプションの内蔵抵抗はLVDS入力の差動終端を備え、またオープンコレクタコンパレータ出力の場合はオプションの内蔵抵抗はプルアップ電圧とソース終端を装備しています。これらの機能によって、回路基板上のディスクリート部品点数が大幅に削減されます。

MAX9965/MAX9966の動作範囲は-1.5V~+6.5Vで、チャンネル当たりの電力消費はわずか975mWです。

これらのデバイスは、100ピン、14mm x 14mmボディ、0.5mmピッチのTQFPパッケージで提供され、放熱を効率化する8mm x 8mmのダイパッドがパッケージの表面(MAX9965)や裏面(MAX9966)に装着されています。

MAX9965/MAX9966は、+60°C~+100°Cの内蔵チップ温度範囲での動作が保証され、チップ温度モニタ出力を装備しています。

アプリケーション

メモリテスト

低コスト、ミックス信号/システムオンチップテスト

ストラクチャルテスト

パターン/データジェネレータ

特長

- ◆ 小型実装面積：2.6cm²に4チャンネル
- ◆ 低電力消費：1チャンネル当たり975mW(typ)
- ◆ 高速：500Mbps(3V_{p-p}時)
- ◆ タイミングのばらつき非常に少
- ◆ 広動作電圧範囲：-1.5V~+6.5V
- ◆ アクティブ終端(第3レベルドライブ)
- ◆ 低リークモード：15nA(max)
- ◆ 内蔵クランプ
- ◆ 大部分のロジックファミリと容易にインタフェース
- ◆ デジタルプログラマブルスルーレート
- ◆ 内蔵ロジック終端抵抗
- ◆ 低利得/オフセット誤差

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9965ADCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965AKCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965AGCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965AHCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965AJCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965BDCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965BKCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965BGCCQ	0°C to +70°C	100 TQFP-EPR***
MAX9965BHCCQ*	0°C to +70°C	100 TQFP-EPR***
MAX9965BJCCQ	0°C to +70°C	100 TQFP-EPR***
MAX9966ADCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966AKCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966AGCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966AHCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966AJCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966BDCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966BKCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966BGCCQ	0°C to +70°C	100 TQFP-EP**
MAX9966BHCCQ*	0°C to +70°C	100 TQFP-EP**
MAX9966BJCCQ*	0°C to +70°C	100 TQFP-EP**

* 開発中の製品。入手性についてはお問合せください。

** EP = エクスポートパッド

*** EPR = 上面エクスポートパッド

ピン配置及び選択ガイドはデータシートの最後に記載されています。

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND-0.3V to +11.5V	DLV ₋ to DTV ₋±10V
V _{EE} to GND-7.0V to +0.3V	CHV ₋ or CLV ₋ to DUT ₋±10V
All Other Pins(V _{EE} - 0.3V) to (V _{CC} + 0.3V)	CH ₋ , NCH ₋ , CL ₋ , NCL ₋ to GND-2.5V to +5V
V _{CC} - V _{EE}-0.3V to +18V	Current into DHV ₋ , DLV ₋ , DTV ₋ , CHV ₋ , CLV ₋ , CPHV ₋ , CPLV ₋±10mA
DUT ₋ to GND-2.5V to +7.5V	Current into TEMP-0.5mA to +20mA
DATA ₋ , NDATA ₋ , RCV ₋ , NRCV ₋ to GND-2.5 to +5.0V	DUT ₋ Short Circuit to -1.5V to +6.5VContinuous
DATA ₋ to NDATA ₋±1.5V	Power Dissipation (T _A = +70°C)	
RCV ₋ to NRCV ₋±1.5V	MAX9965__CCQ (derate 47.6mW/°C above +70°C)3.81W*
V _{CC0} to GND-0.3V to +5V	MAX9966__CCQ (derate 167mW/°C above +70°C)13.3W*
SCLK, DIN, CS, RST to GND-1.0V to +5V	Storage Temperature Range-65°C to +150°C
DHV ₋ , DLV ₋ , DTV ₋ , CHV ₋ , CLV ₋ to GND-2.5V to +7.5V	Junction Temperature+125°C
CPHV ₋ to GND-2.5V to +8.5V	Lead Temperature (soldering, 10s)+300°C
CPLV ₋ to GND-3.5V to +7.5V		
DHV ₋ to DLV ₋±10V		
DHV ₋ to DTV ₋±10V		

*Dissipation wattage values are based on still air with no heat sink for the MAX9965 and slug soldered to board copper for the MAX9966. Actual maximum power dissipation is a function of users' heat extraction technique and may be substantially higher.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +9.75V, V_{EE} = -5.25V, V_{CC0} = 2.5V, SC1 = SC0 = 0, V_{CPHV} = 7.2V, V_{CPLV} = -2.2V, T_J = +85°C, unless otherwise noted. All temperature coefficients are measured at T_J = +60°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Positive Supply	V _{CC}		9.5	9.75	10.5	V
Negative Supply	V _{EE}		-6.5	-5.25	-4.5	V
Positive Supply	I _{CC}	(Note 2)		200	225	mA
Negative Supply	I _{EE}	(Note 2)		-370	-425	mA
Power Dissipation	P _D	(Notes 2, 3)		3.9	4.5	W
DUT CHARACTERISTICS						
Operating Voltage Range Max	V _{DUT}	(Note 4)	-1.5		+6.5	V
Leakage Current in High-Z Mode	I _{DUT}	LLEAK = 0, 0 ≤ V _{DUT} ≤ 3V			±2	μA
		LLEAK = 0, V _{DUT} = -1.5V, 6.5V			±5	
Leakage Current in Low-Leakage Mode	I _{DUT}	LLEAK = 1, 0 ≤ V _{DUT} ≤ 3V, T _J < +90°C			±15	nA
		LLEAK = 1, V _{DUT} = -1.5V, T _J < +90°C			±30	
		LLEAK = 1, V _{DUT} = 6.5V, T _J < +90°C			±30	
Combined Capacitance	C _{DUT}	Driver in term mode (DUT ₋ = DTV ₋)		3		pF
		Driver in high-Z mode		5		
Low-Leakage Enable Time		(Notes 5, 7)		20		μs
Low-Leakage Disable Time		(Notes 6, 7)		20		μs
Low-Leakage Recovery		Time to return to the specified maximum leakage after a 3V, 4V/ns step at DUT ₋ (Note 7)		10		μs

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -5.25V, VCCO_ = 2.5V, SC1 = SC0 = 0, VCPHV_ = 7.2V, VCPLV_ = -2.2V, TJ = +85°C, unless otherwise noted. All temperature coefficients are measured at TJ = +60°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LEVEL PROGRAMMING INPUTS (DHV_, DLV_, DTV_, CHV_, CLV_, CPHV_, CPLV_)						
Input Bias Current	I _{BIAS}				±25	μA
Settling Time		To 5mV		1		μs
DIFFERENTIAL CONTROL INPUTS (DATA_, NDATA_, RCV_, NRCV_)						
Input High Voltage	V _{IH}		-1.6		+3.5	V
Input Low Voltage	V _{IL}		-2.0		+3.1	V
Differential Input Voltage	V _{DIFF}		±0.15		±1.0	V
Input Resistor		MAX996_ _GCCQ, MAX996_ _JCCQ, between signal and complement	96		104	Ω
SINGLE-ENDED CONTROL INPUTS ($\overline{\text{CS}}$, $\overline{\text{RST}}$, SCLK, DIN)						
Input High Voltage	V _{IH}		1.6		3.5	V
Input Low Voltage	V _{IL}		-0.1		+0.9	V
SERIAL INTERFACE TIMING (Figure 5)						
SCLK Frequency	f _{SCLK}				50	MHz
SCLK Pulse Width High	t _{CH}		8			ns
SCLK Pulse Width Low	t _{CL}		8			ns
$\overline{\text{CS}}$ Low to SCLK High Setup	t _{CS0}		3.5			ns
$\overline{\text{CS}}$ High to SCLK High Setup	t _{CS1}		3.5			ns
SCLK High to $\overline{\text{CS}}$ High Hold	t _{CSH1}		3.5			ns
DIN to SCLK High Setup	t _{DS}		3.5			ns
DIN to SCLK High Hold	t _{DH}		3.5			ns
$\overline{\text{CS}}$ Pulse Width High	t _{CSWH}		20			ns
TEMPERATURE MONITOR (TEMP)						
Nominal Voltage		T _J = +70°C, R _L ≥ 10MΩ		3.43		V
Temperature Coefficient				+10		mV/°C
Output Resistance				15		kΩ
DRIVERS (Note 8)						
DC OUTPUT CHARACTERISTICS (R _L ≥ 10MΩ)						
DHV_, DLV_, DTV_, Output Offset Voltage	V _{OS}	At DUT_ with V _{DHV_} = 3V, V _{DTV_} = 1.5V, V _{DLV_} = 0	MAX996_B		±100	mV
DHV_, DLV_, DTV_, Gain	A _v	Measured with V _{DHV_} , V _{DLV_} , V _{DTV_} at 0 and 4.5V	MAX996_B	0.96	1.001	V/V
DHV_, DLV_, DTV_, Output Voltage Temperature Coefficient		Includes both gain and offset temperature effects			±75	μV/°C
Linearity Error		0V ≤ V _{DUT_} ≤ 3V (Note 9)			±5	mV
		Full range (Notes 9, 10)			±15	

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CCO_} = 2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = 7.2V$, $V_{CPLV_} = -2.2V$, $T_J = +85^{\circ}C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +60^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DHV_ to DLV_ Crosstalk		$V_{DLV_} = 0$, $V_{DHV_} = 200mV$, 6.5V			± 2	mV	
DLV_ to DHV_ Crosstalk		$V_{DHV_} = 5V$, $V_{DLV_} = -1.5V$, 4.8V			± 2	mV	
DTV_ to DLV_ and DHV_ Crosstalk		$V_{DHV_} = 3V$, $V_{DLV_} = 0$, $V_{DTV_} = -1.5V$, +6.5V			± 2	mV	
DHV_ to DTV_ Crosstalk		$V_{DTV_} = 1.5V$, $V_{DLV_} = 0$, $V_{DHV_} = 1.6V$, 3V			± 3	mV	
DLV_ to DTV_ Crosstalk		$V_{DTV_} = 1.5V$, $V_{DHV_} = 3V$, $V_{DLV_} = 0$, 1.4V			± 3	mV	
DHV_, DLV_, DTV_ DC Power-Supply Rejection Ratio	PSRR	V_{CC} and V_{EE} independently set to their min/max values	40			dB	
Maximum DC Drive Current	$I_{DUT_}$		± 60		± 120	mA	
DC Output Resistance	$R_{DUT_}$	$I_{DUT_} = \pm 30mA$ (Note 11)	49	50	51	Ω	
DC Output Resistance Variation	$\Delta R_{DUT_}$	$I_{DUT_} = \pm 1.0mA$ to $\pm 40mA$		1	2.5	Ω	
DYNAMIC OUTPUT CHARACTERISTICS ($Z_L = 50\Omega$)							
Drive Mode Overshoot		$V_{DLV_} = 0$, $V_{DHV_} = 0.1V$		30		mV	
		$V_{DLV_} = 0$, $V_{DHV_} = 1V$		40			
		$V_{DLV_} = 0$, $V_{DHV_} = 3V$		50			
Term Mode Overshoot		(Note 12)		0		mV	
Settling Time to Within 25mV		3V step (Note 13)		10		ns	
Settling Time to Within 5mV		3V step (Note 13)		20		ns	
TIMING CHARACTERISTICS ($Z_L = 50\Omega$) (Note 14)							
Prop Delay, Data to Output	t_{PDD}			2	2.75	ns	
Prop Delay Match, T_{LH} vs. T_{HL}		3VP-P		± 50		ps	
Prop Delay Match, Drivers Within Package		(Note 15)		40		ps	
Prop Delay Temperature Coefficient				+3		ps/ $^{\circ}C$	
Prop Delay Change vs. Pulse Width		3VP-P, 40MHz, 2.5ns to 22.5ns pulse width, relative to 12.5ns pulse width		± 60		ps	
Prop Delay Change vs. Common-Mode Voltage		$V_{DHV_} - V_{DLV_} = 1V$, $V_{DHV_} = 0$ to 6V		85		ps	
Prop Delay, Drive to High-Z	t_{PDDZ}	$V_{DHV_} = 1.0V$, $V_{DLV_} = -1.0V$, $V_{DTV_} = 0$		2.9		ns	
Prop Delay, High-Z to Drive	t_{PDZD}	$V_{DHV_} = 1.0V$, $V_{DLV_} = -1.0V$, $V_{DTV_} = 0$		2.9		ns	
Prop Delay, Drive to Term	t_{PDDT}	$V_{DHV_} = 3V$, $V_{DLV_} = 0$, $V_{DTV_} = 1.5V$		2.3		ns	
Prop Delay, Term to Drive	t_{PDTD}	$V_{DHV_} = 3V$, $V_{DLV_} = 0$, $V_{DTV_} = 1.5V$		2.0		ns	
DYNAMIC PERFORMANCE ($Z_L = 50\Omega$)							
Rise and Fall Time	t_R , t_F	0.2 VP-P, 20% to 80%		330		ps	
		1 VP-P, 10% to 90%		500	670		800
		3 VP-P, 10% to 90%		1.1	1.3	1.6	ns
		5 VP-P, 10% to 90%			2.0		

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +9.75V, V_{EE} = -5.25V, V_{CCO_} = 2.5V, SC1 = SC0 = 0, V_{CPHV_} = 7.2V, V_{CPLV_} = -2.2V, T_J = +85°C, unless otherwise noted. All temperature coefficients are measured at T_J = +60°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SC1 = 0, SC0 = 1 Slew Rate		Percent of full speed (SC0 = SC1 = 0), 3V _{P-P} , 20% to 80%		75		%
SC1 = 1, SC0 = 0 Slew Rate		Percent of full speed (SC0 = SC1 = 0), 3V _{P-P} , 20% to 80%		50		%
SC1 = 1, SC0 = 1 Slew Rate		Percent of full speed (SC0 = SC1 = 0), 3V _{P-P} , 20% to 80%		25		%
Minimum Pulse Width (Note 16)		0.2V _{P-P} , V _{DHV_} = 0.2V, V _{DLV_} = 0		0.65		ns
		1V _{P-P} , V _{DHV_} = 1V, V _{DLV_} = 0		1.0		
		3V _{P-P} , V _{DHV_} = 3V, V _{DLV_} = 0		2.0		
		5V _{P-P} , V _{DHV_} = 5V, V _{DLV_} = 0		2.9		
Data Rate (Note 17)		0.2V _{P-P} , V _{DHV_} = 0.2V, V _{DLV_} = 0		1700		Mbps
		1V _{P-P} , V _{DHV_} = 1V, V _{DLV_} = 0		1000		
		3V _{P-P} , V _{DHV_} = 3V, V _{DLV_} = 0		500		
		5V _{P-P} , V _{DHV_} = 5V, V _{DLV_} = 0		350		
Dynamic Crosstalk		(Note 18)		20		mV _{P-P}
Rise and Fall Time, Drive to Term	t _{DTR} , t _{DTF}	V _{DHV_} = 3V, V _{DLV_} = 0, V _{DTV_} = 1.5V, 10% to 90% (Note 19)		1.6		ns
Rise and Fall Time, Term to Drive	t _{TDR} , t _{TDF}	V _{DHV_} = 3V, V _{DLV_} = 0, V _{DTV_} = 1.5V, 10% to 90% (Note 19)		0.7		ns
COMPARATORS						
DC CHARACTERISTICS						
Input Voltage Range	V _{IN}	(Note 4)	-1.5		+6.5	V
Differential Input Voltage	V _{DIFF}		±8			V
Hysteresis	V _{HYST}			0		mV
Input Offset Voltage	V _{OS}	V _{DUT_} = 1.5V			±100	mV
Input Offset Voltage Temperature Coefficient				±50		μV/°C
Common-Mode Rejection Ratio	CMRR	V _{DUT_} = -1.5V, 6.5V (Note 20)	50	55		dB
Linearity Error		V _{DUT_} = 1.5V (Note 9)		±1	±5	mV
		V _{DUT_} = -1.5V and 6.5V (Note 9)		±1	±10	
Power-Supply Rejection Ratio	PSRR	V _{DUT_} = -1.5V, 6.5V (Note 21)	50	66		dB
AC CHARACTERISTICS (Note 22)						
Minimum Pulse Width	tpw(MIN)	(Note 23)	MAX996_ _GCCQ	0.6		ns
			MAX996_ _HCCQ, MAX996_ _JCCQ	0.9		
Prop Delay	t _{PDL}			1.2	2.0	ns
Prop Delay Temperature Coefficient				2.6		ps/°C

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CCO_} = 2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = 7.2V$, $V_{CPLV_} = -2.2V$, $T_J = +85^\circ C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +60^\circ C$ to $+100^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Prop Delay Match, High/Low vs. Low/High				±40		ps
Prop Delay Match, Comparators Within Package		(Note 15)		40		ps
Prop Delay Dispersion vs. Common-Mode Input		$V_{CHV_} = V_{CLV_} = -1.4, 6.4V$ (Note 24)		±20		ps
Prop Delay Dispersion vs. Overdrive		50mV to 500mV		60		ps
Prop Delay Dispersion vs. Pulse Width		2.0ns to 23ns pulse width, relative to 12.5ns pulse width	MAX996_ _GCCQ	±25		ps
			MAX996_ _HCCQ, MAX996_ _JCCQ	±45		
Prop Delay Dispersion vs. Slew Rate		0.5V/ns to 6.5V/ns slew rate, peak-to-peak variation		50		ps
Waveform Tracking 10% to 90%		$V_{DUT_} = 1.0V_{P-P}$, $t_R = t_F = 1.0ns$ 10% to 90%, relative to timing at 50% point	Term mode	50		ps
			High-Z mode	250		
OPEN-COLLECTOR LOGIC OUTPUTS (CH_, NCH_, CL_, NCL_: MAX996_ _GCCQ)						
$V_{CCO_}$ Voltage Range	$V_{VCCO_}$		0		3.5	V
Output Low Voltage Compliance		Set by I_{OUT} , R_{TERM} , and $V_{CCO_}$		-0.5		V
Output High Voltage	V_{OH}	$I_{CH_} = I_{NCH_} = I_{CL_} = I_{NCL_} = 0$	$V_{CCO_} - 0.1$	$V_{CCO_} - 0.02$		V
Output Low Voltage	V_{OL}	$I_{CH_} = I_{NCH_} = I_{CL_} = I_{NCL_} = 0$		$V_{CCO_} - 0.4$		V
Output Voltage Swing			0.350	0.380	0.442	V
Termination Resistor	R_{TERM}	Single-ended measurement from $V_{CCO_}$ to CH_, NCH_, CL_, NCL_	48		52	Ω
Differential Rise Time	t_R	20% to 80%		200		ps
Differential Fall Time	t_F	20% to- 80%		200		ps
OPEN-EMITTER LOGIC OUTPUTS (CH_, NCH_, CL_, NCL_: MAX996_ _JCCQ)						
$V_{CCO_}$ Voltage Range	$V_{VCCO_}$		-0.1		3.5	V
$V_{CCO_}$ Supply Current	$I_{VCCO_}$	All outputs 50Ω to ($V_{VCCO_} - 2V$)		330		mA
Output High Voltage	V_{OH}	50Ω to ($V_{VCCO_} - 2V$)	$V_{VCCO_} - 1$	$V_{VCCO_} - 0.88$		V
Output Low Voltage	V_{OL}	50Ω to ($V_{VCCO_} - 2V$)		$V_{VCCO_} - 1.73$	$V_{VCCO_} - 1.6$	V
Output Voltage Swing		50Ω to ($V_{VCCO_} - 2V$)	800	850	900	mV

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CCO_} = 2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = 7.2V$, $V_{CPLV_} = -2.2V$, $T_J = +85^{\circ}C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +60^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Rise Time	t_R	20% to 80%		500		ps
Differential Fall Time	t_F	20% to 80%		500		ps
CLAMPS						
High Clamp Input Voltage Range	$V_{CPH_}$		-0.3		+7.5	V
Low Clamp Input Voltage Range	$V_{CPL_}$		-2.5		+5.3	V
Clamp Offset Voltage	V_{OS}	At $DUT_$ with $I_{DUT_} = 1mA$, $V_{CPHV_} = 1.5V$			± 100	mV
		At $DUT_$ with $I_{DUT_} = -1mA$, $V_{CPLV_} = 1.5V$			± 100	
Offset Voltage Temperature Coefficient				± 0.5		mV/ $^{\circ}C$
Clamp Power-Supply Rejection	PSRR	V_{CC} and V_{EE} independently set to their min and max values, $I_{DUT_} = 1mA$, $V_{CPHV_} = 0$	40			dB
		V_{CC} and V_{EE} independently set to their min and max values, $I_{DUT_} = -1mA$, $V_{CPLV_} = 0$	40			
Voltage Gain	A_V		0.96		1.00	V/V
Voltage Gain Temperature Coefficient				-100		ppm/ $^{\circ}C$
Clamp Linearity		$I_{DUT_} = 1mA$, $V_{CPLV_} = -1.5V$, $V_{CPHV_} = -0.3V$ to $6.5V$		± 10		mV
		$I_{DUT_} = -1mA$, $V_{CPHV_} = 6.5V$, $V_{CPLV_} = -1.5V$ to $5.3V$		± 10		
Short-Circuit Output Current	I_{DUT}	$V_{CPHV_} = 0$, $V_{CPLV_} = -1.5V$, $V_{DUT_} = 6.5V$	50		95	mA
		$V_{CPLV_} = 5V$, $V_{CPHV_} = 6.5V$, $V_{DUT_} = -1.5V$	-95		+50	
Clamp DC Impedance	R_{OUT}	$V_{CPHV_} = 3V$, $V_{CPLV_} = 0$, $I_{DUT} = -5mA$ and $-15mA$	50		55	Ω
		$V_{CPHV_} = 3V$, $V_{CPLV_} = 0$, $I_{DUT} = 5mA$ and $15mA$	50		55	

- Note 1:** All min and max limits are 100% tested in production. Tests are performed at worst-case supply voltages where applicable.
- Note 2:** Total for quad device at worst-case setting. $R_L \geq 10M\Omega$. The applicable supply currents are measured with typical supply voltages.
- Note 3:** Does not include internal dissipation of the comparator outputs. With output loads of 50Ω to $(V_{VCCO_} - 2V)$, this adds 240mW typical to the total chip power (MAX996_ $_HCCQ$, MAX996_ $_JCCQ$).
- Note 4:** Provided that the Absolute Maximum Ratings are not exceeded, externally forced voltages may exceed this range.
- Note 5:** Transition time from LLEAK being asserted to leakage current dropping below specified limits.
- Note 6:** Transition time from LLEAK being deasserted to output returning to normal operating mode.
- Note 7:** Based on simulation results only.
- Note 8:** With the exception of Offset and Gain/CMRR tests, reference input values are calibrated for offset and gain.
- Note 9:** Relative to straight line between 0 and 3V.
- Note 10:** Full ranges are $-1.3V \leq V_{DHFV_} \leq 6.5V$, $-1.5V \leq V_{DTV_} \leq 6.5V$, $-1.5V \leq V_{DLV_} \leq 6.3V$.
- Note 11:** Nominal target value is 50Ω . Contact factory for alternate trim selections within the 40Ω to 50Ω range.
- Note 12:** $V_{DTV_} = 1.5V$, $R_S = 50\Omega$. External signal driven into T-line is a 0 to 3V edge with 1.2ns rise time (10% to 90%). Measurement is made using the comparator.
- Note 13:** Measured from the crossing point of $DATA_$ inputs to the settling of the driver output.

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

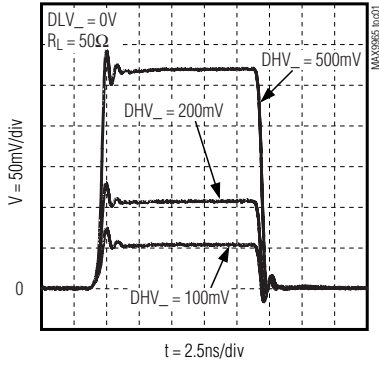
- Note 14:** Prop delays are measured from the crossing point of the differential input signals to the 50% point of expected output swing. Rise time of the differential inputs DATA_ and RCV_ is 250ps (10% to 90%).
- Note 15:** Rising edge to rising edge or falling edge to falling edge.
- Note 16:** Specified amplitude is programmed. At this pulse width, the output reaches at least 95% of its nominal (DC) amplitude. The pulse width is measured at DATA_.
- Note 17:** Specified amplitude is programmed. Maximum data rate specified in transitions per second. A square wave that reaches at least 95% of its programmed amplitude may be generated at one-half of this frequency.
- Note 18:** Crosstalk from any driver to the other three channels. Aggressor channel is driving 3V_{P-P} into a 50Ω load. Victim channels are in term mode with V_{DTV_} = 1.5V.
- Note 19:** Indicative of switching speed from DHV_ or DLV_ to DTV_ and DTV_ to DHV_ or DLV_ when V_{DLV_} < V_{DTV_} < V_{DHV_}. If V_{DTV_} < V_{DLV_} or V_{DTV_} > V_{DHV_}, switching speed is degraded by approximately a factor of 3.
- Note 20:** Change in Offset Voltage over input range.
- Note 21:** Change in Offset Voltage with power supplies independently set to their minimum and maximum values.
- Note 22:** Unless otherwise noted, all Prop Delays are measured at 40MHz, V_{DUT_} = 0 to 2V, V_{CHV_} = V_{CLV_} = 1V, slew rate = 2V/ns, Z_S = 50Ω, driver in Term Mode with V_{DTV_} = 0V. Comparator outputs are terminated with 50Ω to GND at scope input with V_{CCO_} = 2V. Open-collector outputs are also terminated (internally or externally) with R_{TERM} = 50Ω to V_{CCO_}. Measured from V_{DUT_} crossing calibrated CHV_/CLV_ threshold to crossing point of differential outputs.
- Note 23:** V_{DUT_} = 0 to 1V, V_{CHV_} = V_{CLV_} = 0.5V. At this pulse width, the output reaches at least 90% of its DC Voltage swing. The pulse width is measured at the crossing points of the differential outputs.
- Note 24:** Relative to propagation delay at V_{CHV_} = V_{CLV_} = 1.5V. V_{DUT_} = 200mV_{P-P}. Overdrive = 100mV.

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

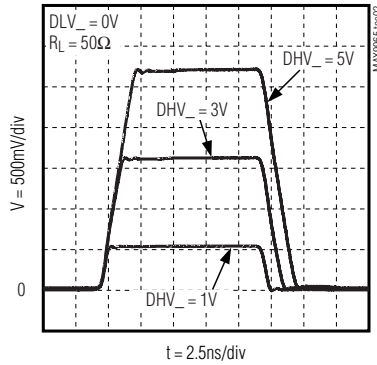
標準動作特性

MAX9965/MAX9966

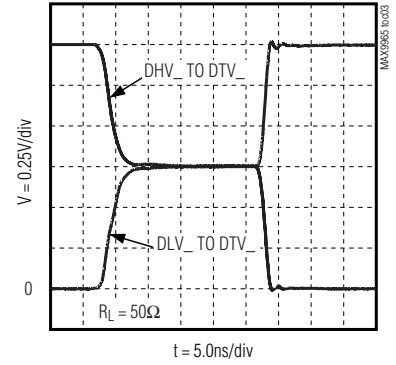
DRIVER SMALL-SIGNAL RESPONSE



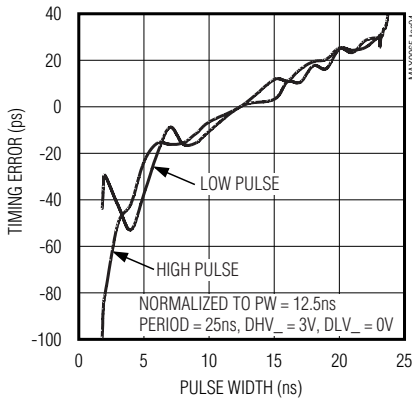
DRIVER LARGE-SIGNAL RESPONSE



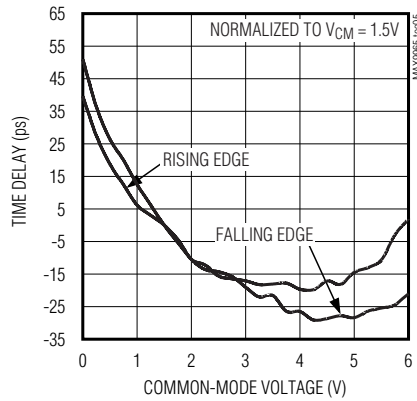
DRIVE TO TERM TRANSITION



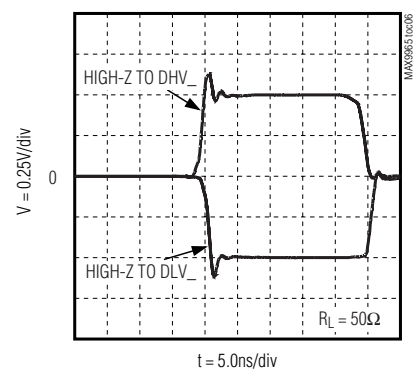
DRIVER TRAILING-EDGE TIMING ERROR vs. PULSE WIDTH



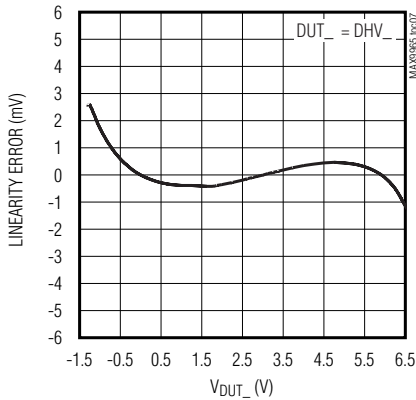
DRIVER TIME DELAY vs. COMMON-MODE VOLTAGE



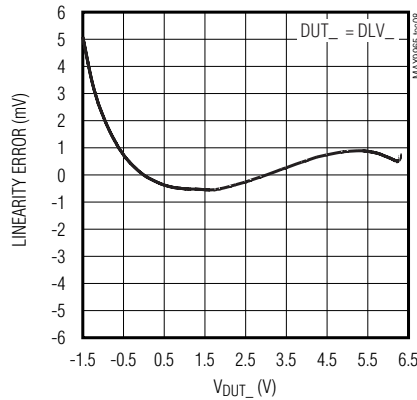
HIGH-Z TO DRIVE TRANSITION



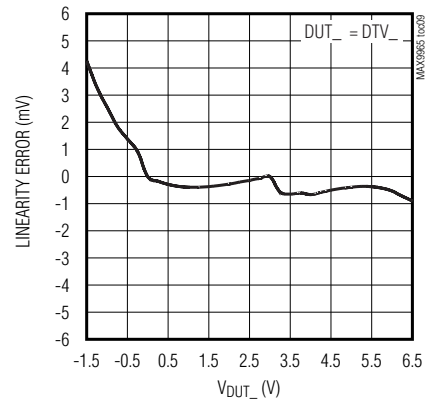
DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



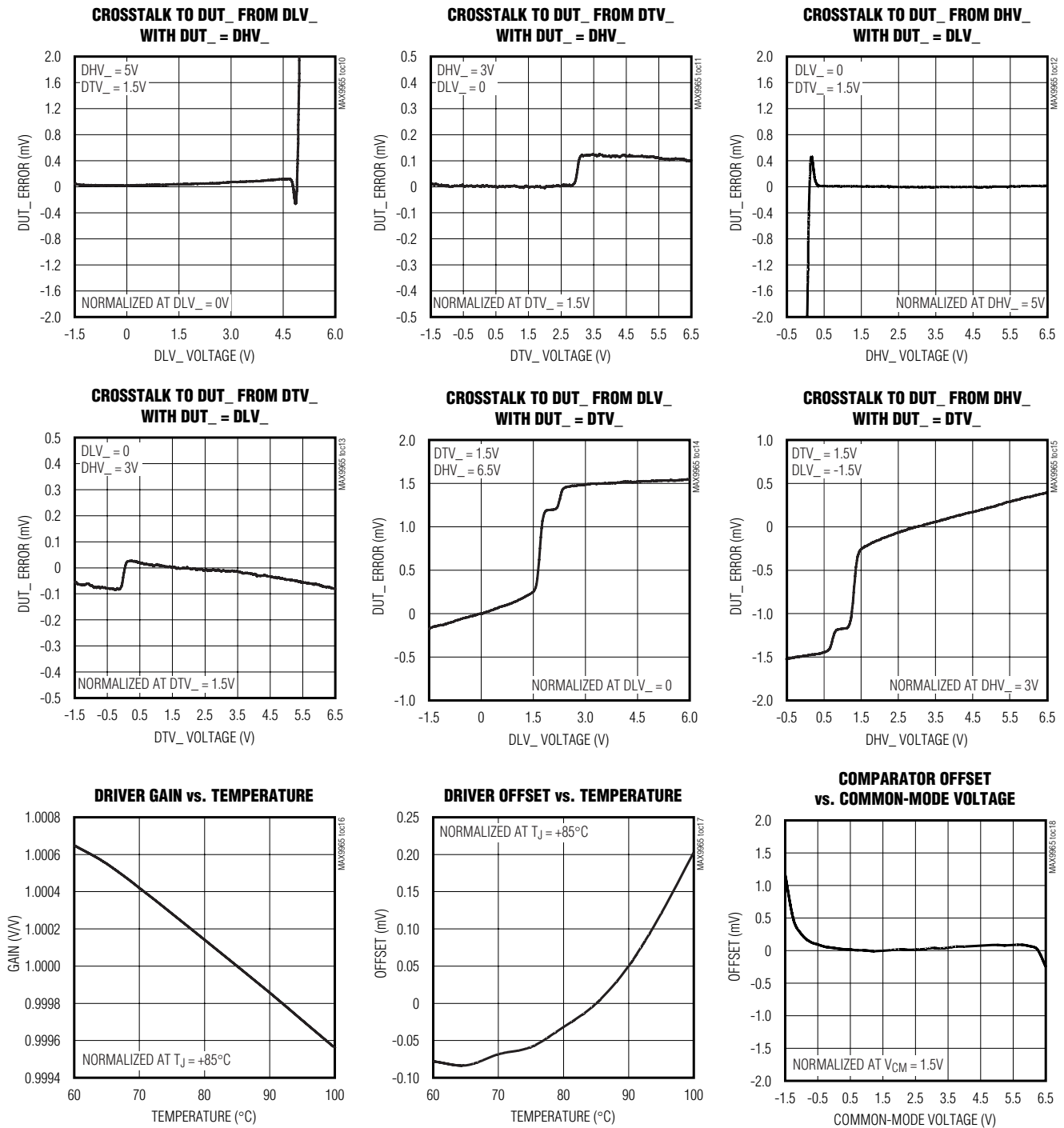
DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

標準動作特性(続き)

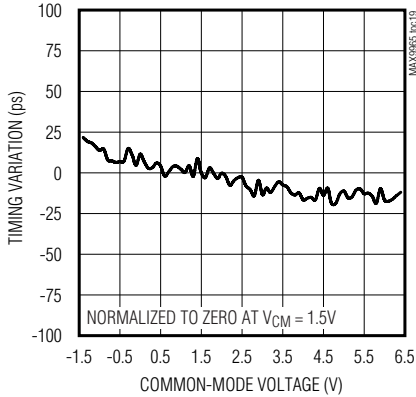


クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

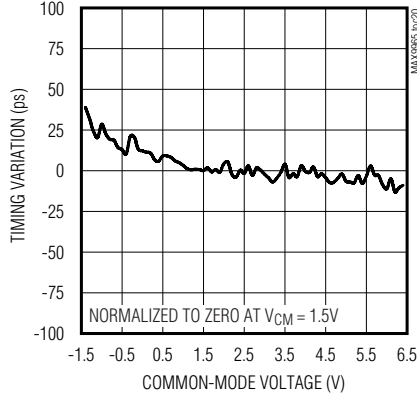
MAX9965/MAX9966

標準動作特性(続き)

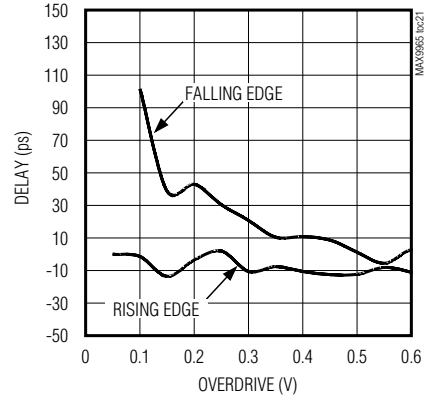
COMPARATOR RISING EDGE TIMING VARIATION vs. COMMON-MODE VOLTAGE



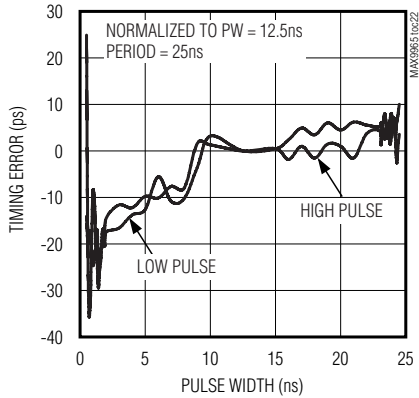
COMPARATOR FALLING EDGE TIMING VARIATION vs. COMMON-MODE VOLTAGE



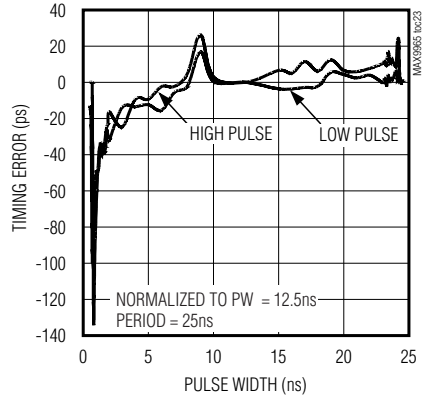
COMPARATOR TIMING VARIATION vs. OVERDRIVE



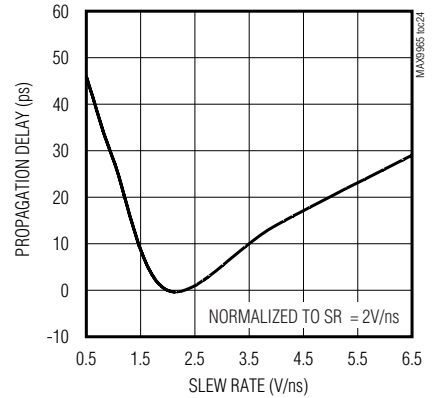
COMPARATOR TRAILING EDGE TIMING ERROR vs. PULSE WIDTH, MAX996_GCCQ



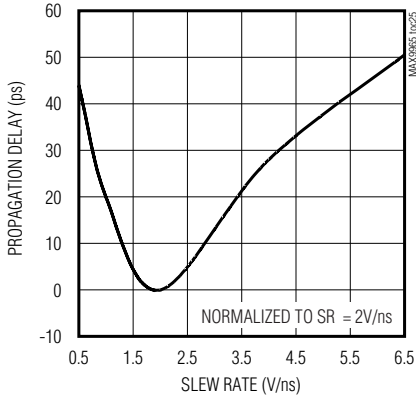
COMPARATOR TRAILING EDGE TIMING ERROR vs. PULSE WIDTH, MAX996_JCCQ



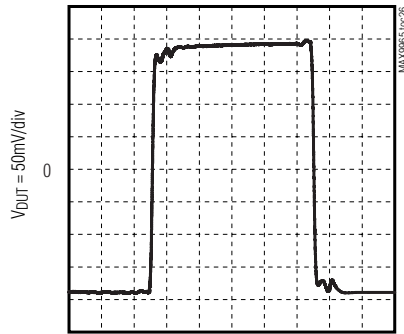
COMPARATOR TIMING VARIATION vs. INPUT SLEW RATE, DUT_RISING



COMPARATOR TIMING VARIATION vs. INPUT SLEW RATE, DUT_FALLING

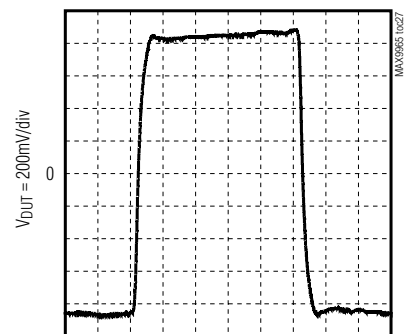


COMPARATOR DIFFERENTIAL OUTPUT RESPONSE (MAX996_GCCQ)



$V_{DUT} = 0$ TO 3V PULSE, $CHV_{-} = CLV_{-} = 1.5V$,
EXTERNAL LOAD = 50 Ω

COMPARATOR DIFFERENTIAL OUTPUT RESPONSE (MAX996_JCCQ)



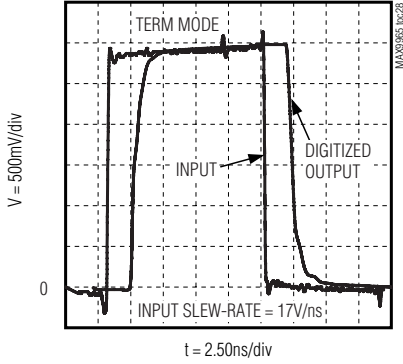
$V_{DUT} = 0$ TO 3V PULSE, $CHV_{-} = CLV_{-} = 1.5V$,
EXTERNAL LOAD = 50 Ω

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

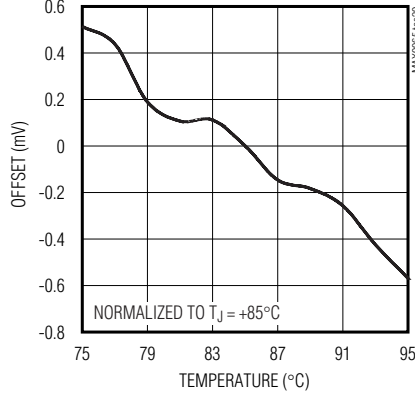
MAX9965/MAX9966

標準動作特性(続き)

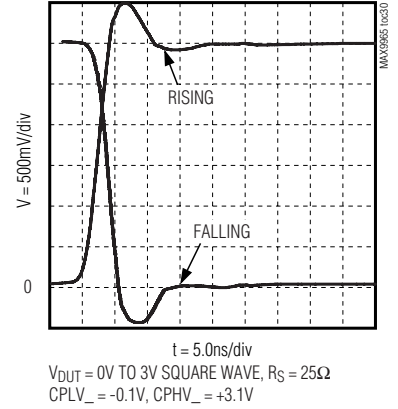
**COMPARATOR RESPONSE
vs. HIGH SLEW-RATE OVERDRIVE**



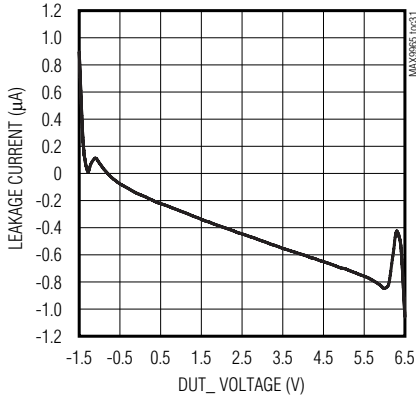
**COMPARATOR OFFSET
vs. TEMPERATURE**



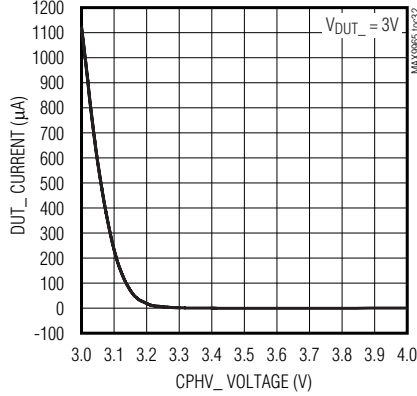
CLAMP RESPONSE



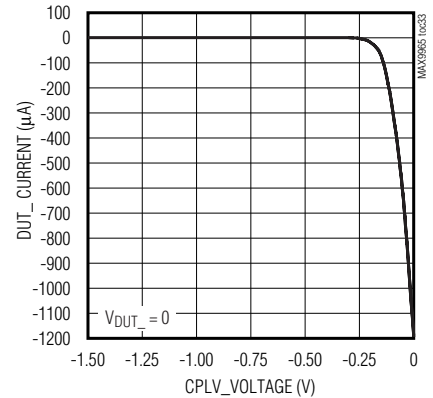
**HIGH-Z LEAKAGE CURRENT
vs. DUT_ VOLTAGE**



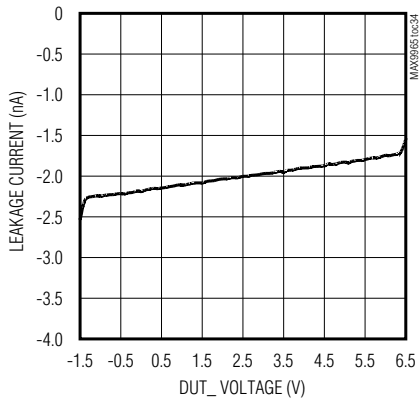
**CLAMP CURRENT
vs. DIFFERENCE VOLTAGE**



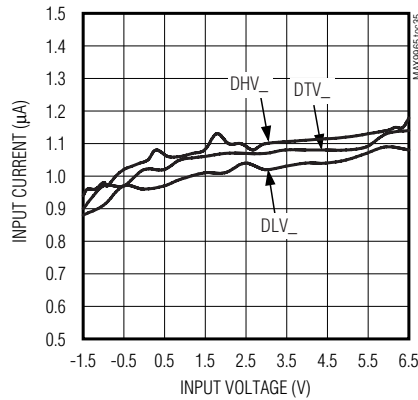
**CLAMP CURRENT
vs. DIFFERENCE VOLTAGE**



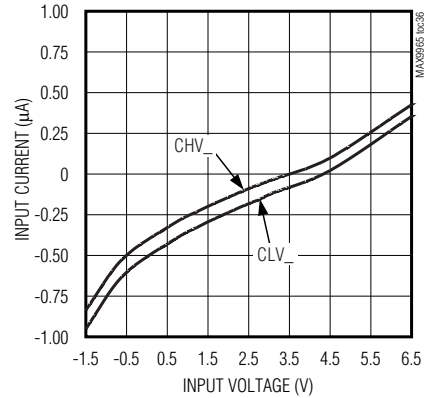
**LOW-LEAKAGE CURRENT
vs. DUT_ VOLTAGE**



**DRIVER REFERENCE CURRENT
vs. INPUT VOLTAGE**



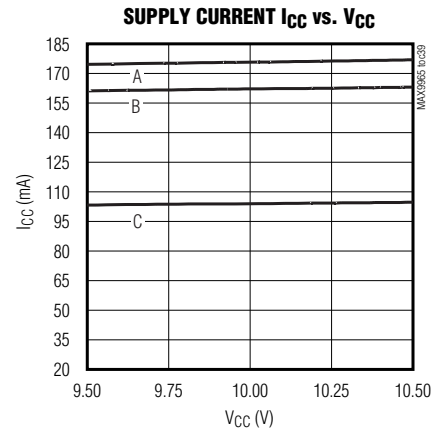
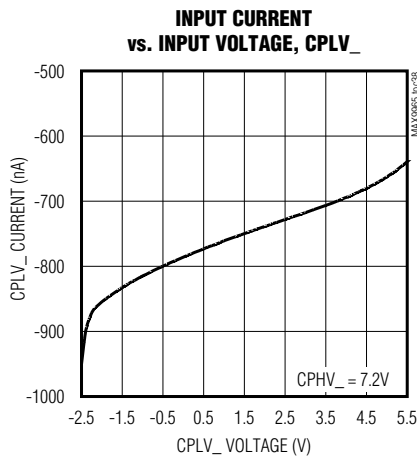
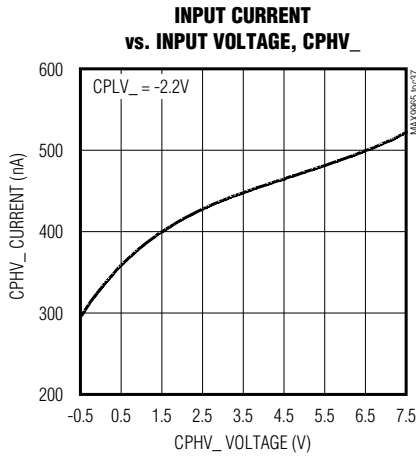
**COMPARATOR REFERENCE
INPUT CURRENT vs. INPUT VOLTAGE**



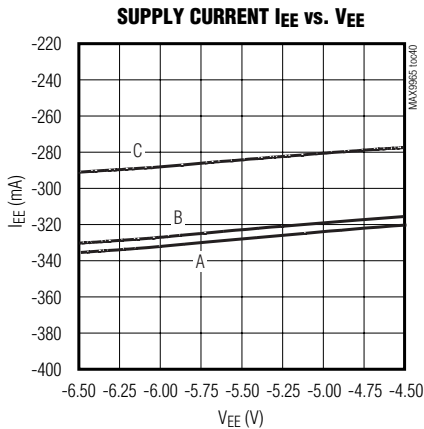
クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

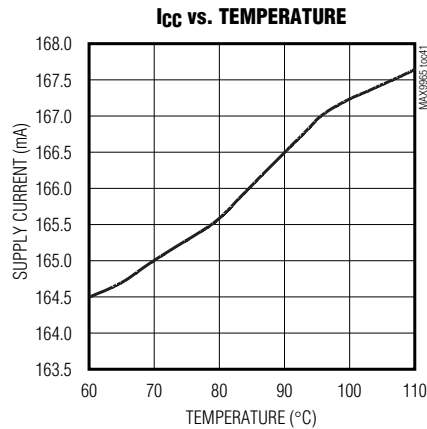
標準動作特性(続き)



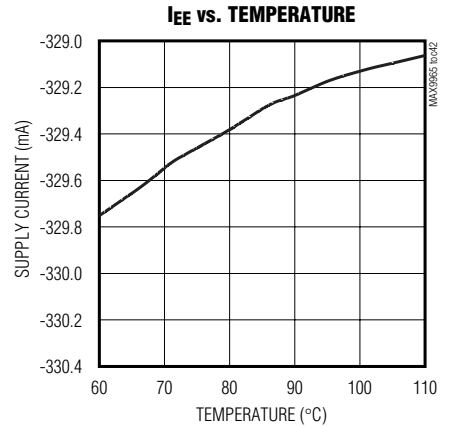
A: DUT₋ = DTV₋ = 1.5V, DHV₋ = 3V, DLV₋ = 0,
CHV₋ = CLV₋ = 0, CPHV₋ = 7.2V, CPLV₋ = -2.2V
B: SAME AS A EXCEPT DUT₋ = HIGH-Z
C: SAME AS B EXCEPT DUT₋ = LOW LEAK



A: DUT₋ = DTV₋ = 1.5V, DHV₋ = 3V, DLV₋ = 0,
CHV₋ = CLV₋ = 0, CPHV₋ = 7.2V, CPLV₋ = -2.2V
B: SAME AS A EXCEPT DUT₋ = HIGH-Z
C: SAME AS B EXCEPT DUT₋ = LOW LEAK



DUT₋ = DTV₋ = 1.5V, DHV₋ = 3V, DLV₋ = 0,
CHV₋ = CLV₋ = 0, CPHV₋ = 7.2V, CPLV₋ = -2.2V,
V_{CC} = 9.75V, V_{EE} = -5.25V



DUT₋ = DTV₋ = 1.5V, DHV₋ = 3V, DLV₋ = 0,
CHV₋ = CLV₋ = 0, CPHV₋ = 7.2V, CPLV₋ = -2.2V,
V_{CC} = 9.75V, V_{EE} = -5.25V

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

端子説明

端子		名称	機能
MAX9965	MAX9966		
1	25	VCC034	チャンネル3/4のコレクタ電圧入力。オープンコレクタ出力の場合は、これは内蔵終端抵抗のプルアップ電圧です。オープンエミッタ出力の場合は、これは出力トランジスタのコレクタ電圧です。内蔵終端抵抗がないオープンコレクタバージョンでは内部接続されていません。VCC034は、チャンネル3及びチャンネル4に対応しています。
2	24	DATA4	チャンネル4マルチプレクサ制御入力。差動制御DATA4及びNDATA4は、DHV4またはDLV4からドライバ4の入力を選択します。DHV4を選択するには、DATA4をNDATA4より上にします。DLV4を選択するには、NDATA4をDATA4より上にします。
3	23	NDATA4	
4	22	RCV4	チャンネル4マルチプレクサ制御入力。差動制御RCV4及びNRCV4は、チャンネル4を受信モードにします。チャンネル4を受信モードにするには、RCV4をNRCV4より上にします。チャンネル4をドライブモードにするには、NRCV4をRCV4より上にします。
5	21	NRCV4	
6	20	DATA3	チャンネル3マルチプレクサ制御入力。差動制御DATA3及びNDATA3は、DHV3またはDLV3からドライバ3の入力を選択します。DHV3を選択するには、DATA3をNDATA3より上にします。DLV3を選択するには、NDATA3をDATA3より上にします。
7	19	NDATA3	
8	18	RCV3	チャンネル3マルチプレクサ制御入力。差動制御RCV3及びNRCV3は、チャンネル3を受信モードにします。チャンネル3を受信モードにするには、RCV3をNRCV3より上にします。チャンネル3をドライブモードにするには、NRCV3をRCV3より上にします。
9	17	NRCV3	
10, 27, 54, 55, 60, 61, 65, 66, 71, 72, 99	16, 27, 54, 55, 60, 61, 65, 66, 71, 72, 99	VEE	負電源入力
11, 28, 51, 56, 62, 64, 70, 75, 98	15, 28, 51, 56, 62, 64, 70, 75, 98	GND	グランド接続
12	14	RST	リセット入力。シリアルレジスタ用非同期リセット入力。RSTはアクティブローで、低リークモードをアサートします。パワーアップ時に、VCC及びVEEが安定するまでRSTをローに保持します。
13	13	CS	チップ選択入力。シリアルポート作動入力。CSはアクティブローです。
14	12	SCLK	シリアルクロック入力。シリアルポート用クロック。
15	11	DIN	データ入力。シリアルポートデータ入力。
16, 26, 52, 58, 68, 74, 100	10, 26, 52, 58, 68, 74, 100	VCC	正電源入力
17	9	NRCV2	チャンネル2マルチプレクサ制御入力。差動制御RCV2及びNRCV2は、チャンネル2を受信モードにします。チャンネル2を受信モードにするには、RCV2をNRCV2より上にします。チャンネル2をドライブモードにするには、NRCV2をRCV2より上にします。
18	8	RCV2	
19	7	NDATA2	チャンネル2マルチプレクサ制御入力。差動制御DATA2及びNDATA2は、DHV2またはDLV2からドライバ2の入力を選択します。DHV2を選択するには、DATA2をNDATA2より上にします。DLV2を選択するには、NDATA2をDATA2より上にします。
20	6	DATA2	
21	5	NRCV1	チャンネル1マルチプレクサ制御入力。差動制御RCV1及びNRCV1は、チャンネル1を受信モードにします。チャンネル1を受信モードにするには、RCV1をNRCV1より上にします。チャンネル1をドライブモードにするには、NRCV1をRCV1より上にします。
22	4	RCV1	
23	3	NDATA1	チャンネル1マルチプレクサ制御入力。差動制御DATA1及びNDATA1は、DHV1またはDLV1からドライバ1の入力を選択します。DHV1を選択するには、DATA1をNDATA1より上にします。DLV1を選択するには、NDATA1をDATA1より上にします。
24	2	DATA1	

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

端子説明(続き)

端子		名称	機能
MAX9965	MAX9966		
25	1	VCC012	チャンネル1/2のコレクタ電圧入力。オープンコレクタ出力の場合は、これは内蔵終端抵抗のプルアップ電圧です。オープンエミッタ出力の場合は、これは出力トランジスタのコレクタ電圧です。内蔵終端抵抗がないオープンコレクタバージョンでは内部接続されていません。VCC012は、チャンネル1及びチャンネル2に対応しています。
29	97	NCL2	チャンネル2、低コンパレータ出力。チャンネル2、低コンパレータの差動出力。
30	96	CL2	
31	95	NCH2	チャンネル2、高コンパレータ出力。チャンネル2、高コンパレータの差動出力。
32	94	CH2	
33	93	NCL1	チャンネル1、低コンパレータ出力。チャンネル1、低コンパレータの差動出力。
34	92	CL1	
35	91	NCH1	チャンネル1、高コンパレータ出力。チャンネル1、高コンパレータの差動出力。
36	90	CH1	
37	89	CPHV2	チャンネル2、高クランプリファレンス入力
38	88	CPLV2	チャンネル2、低クランプリファレンス入力
39	87	DHV2	チャンネル2、ドライバ高リファレンス入力
40	86	DLV2	チャンネル2、ドライバ低リファレンス入力
41	85	DTV2	チャンネル2、ドライバ終端リファレンス入力
42	84	CHV2	チャンネル2、高コンパレータリファレンス入力
43	83	CLV2	チャンネル2、低コンパレータリファレンス入力
44	82	CPHV1	チャンネル1、高クランプリファレンス入力
45	81	CPLV1	チャンネル1、低クランプリファレンス入力
46	80	DHV1	チャンネル1、ドライバ高リファレンス入力
47	79	DLV1	チャンネル1、ドライバ低リファレンス入力
48	78	DTV1	チャンネル1、ドライバ終端リファレンス入力
49	77	CHV1	チャンネル1、高コンパレータリファレンス入力
50	76	CLV1	チャンネル1、低コンパレータリファレンス入力
53	73	DUT1	チャンネル1、試験用デバイス入力/出力。ドライバ、コンパレータ、及びクランプ用統合I/O。
57, 69	57, 69	N.C.	無接続。オープン状態を維持します。
59	67	DUT2	チャンネル2、試験用デバイス入力/出力。ドライバ、コンパレータ、及びクランプ用統合I/O。
63	63	TEMP	温度モニタ出力

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

端子説明(続き)

端子		名称	機能
MAX9965	MAX9966		
67	59	DUT3	チャンネル3、試験用デバイス入力/出力。ドライバ、コンパレータ、及びクランプ用統合I/O。
73	53	DUT4	チャンネル4、試験用デバイス入力/出力。ドライバ、コンパレータ、及びクランプ用統合I/O。
76	50	CLV4	チャンネル4、低コンパレータリファレンス入力
77	49	CHV4	チャンネル4、高コンパレータリファレンス入力
78	48	DTV4	チャンネル4、ドライバ終端リファレンス入力
79	47	DLV4	チャンネル4、ドライバ低リファレンス入力
80	46	DHV4	チャンネル4、ドライバ高リファレンス入力
81	45	CPLV4	チャンネル4、低クランプリファレンス入力
82	44	CPHV4	チャンネル4、高クランプリファレンス入力
83	43	CLV3	チャンネル3、低コンパレータリファレンス入力
84	42	CHV3	チャンネル3、高コンパレータリファレンス入力
85	41	DTV3	チャンネル3、ドライバ終端リファレンス入力
86	40	DLV3	チャンネル3、ドライバ低リファレンス入力
87	39	DHV3	チャンネル3、ドライバ高リファレンス入力
88	38	CPLV3	チャンネル3、低クランプリファレンス入力
89	37	CPHV3	チャンネル3、高クランプリファレンス入力
90	36	CH4	チャンネル4、高コンパレータ出力。チャンネル4、高コンパレータの差動出力。
91	35	NCH4	
92	34	CL4	チャンネル4、低コンパレータ出力。チャンネル4、低コンパレータの差動出力。
93	33	NCL4	
94	32	CH3	チャンネル3、高コンパレータ出力。チャンネル3、高コンパレータの差動出力。
95	31	NCH3	
96	30	CL3	チャンネル3、低コンパレータ出力。チャンネル3、低コンパレータの差動出力。
97	29	NCL3	

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

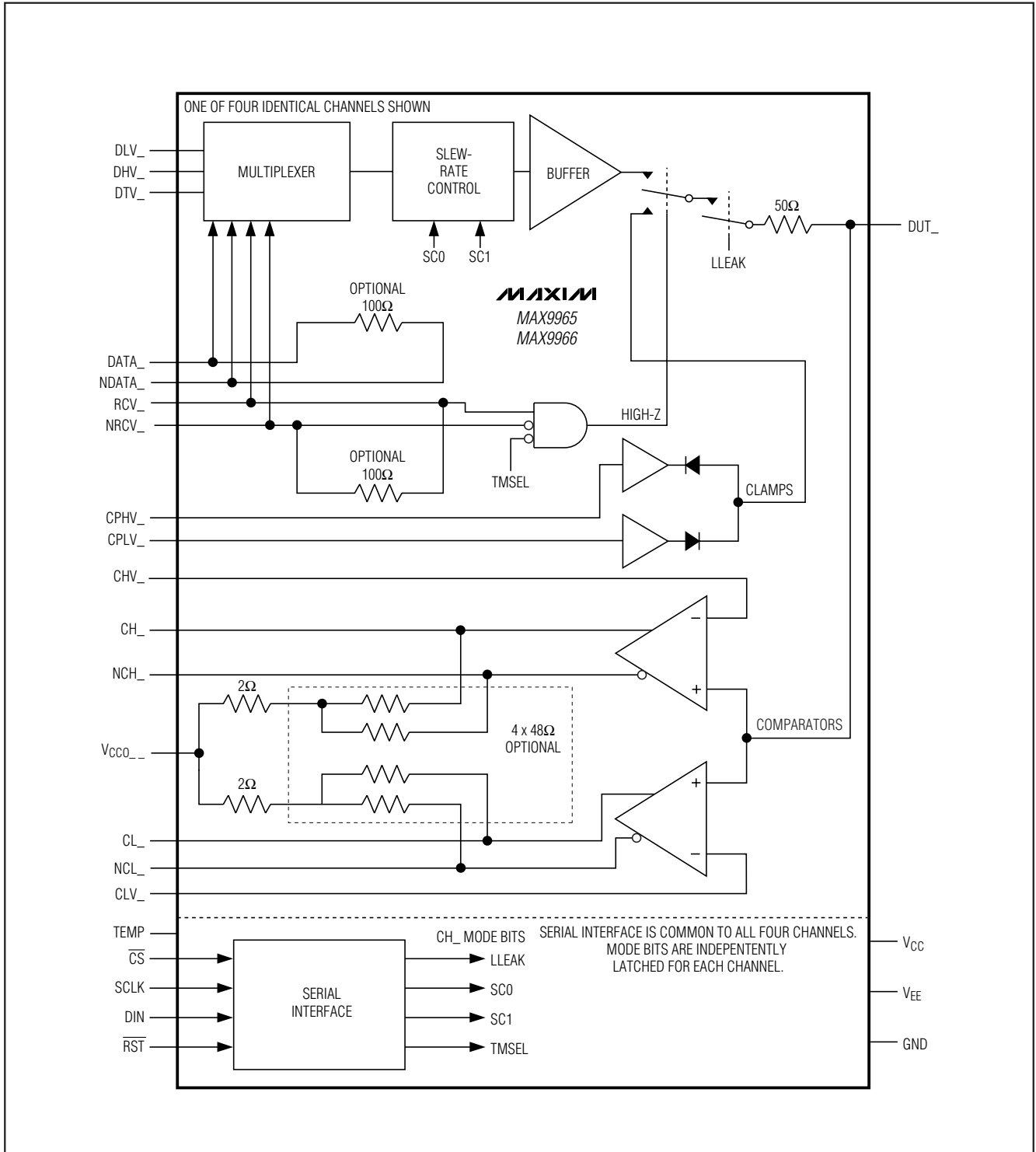


図1. MAX9965/MAX9966のブロックダイアグラム

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

詳細

MAX9965/MAX9966は、自動試験機器用の4チャンネル、高速、ピンエレクトロニクスドライバ/コンパレータICで、チャンネルごとに3レベルピンドライバ、デュアルコンパレータ、及び可変クランプを内蔵しています(図1)。このドライバは-1.5V~+6.5Vの動作電圧範囲と高速動作が特長で、ハイZ及びアクティブ終端(第3レベルドライブ)モードを備え、低電圧スイングでも高リニアです。これらのデバイスはMAX9963/MAX9964と類似していますが、入力スルーレート及びパルス幅の変更によってタイミングのばらつきを大幅に低減するコンパレータを装備しています。デバイスがハイインピーダンスレシーバとして設定されている場合は、クランプが高速DUT_波形のダンピングを行います。

4個のチャンネルはそれぞれ、オプションの100Ω差動入力終端とともに、ECL、LVPECL、LVDS、及びGTL信号レベルとコンパチブルな高速、差動入力を備えています。DATA_及びRCV_のオプションの内蔵抵抗は、LVDS入力の差動終端を装備しています。オープンコレクタコンパレータ出力の場合は、CH_及びCL_のオプションの内蔵抵抗はプルアップ電圧とソース終端を備えています。これらのオプションによって、回路基板上のディスクリット部品点数が大幅に削減されます。

MAX9965/MAX9966は、2通りのグレードオプションで提供されます。Aグレードバージョンは、ドライバの利得/オフセット及びコンパレータのオフセットのより厳格なマッチングを行います。このため、コスト重視のシステムで複数チャンネルにわたってリファレンスレベルを共有することができます。チャンネルごとに独立したリファレンスレベルを内蔵するシステム設計の場合は、Bグレード

バージョンによってコストが低減します。

MAX9965/MAX9966のモード動作は、3線式低電圧CMOSコンパチブルシリアルインタフェースを通じて設定されます。

出カドライバ

ドライバ入力は、DHV_、DLV_、またはDTV_の3つの電圧入力のいずれか1つを選択する高速マルチプレクサです。このスイッチングは、高速入力DATA_及びRCV_、そしてモード制御ビットTMSELによって制御されます。スルーレート回路は、バッファ入力のスルーレートを制御します。4つのスルーレートのいずれか1つを選択することができます(表1)。内蔵マルチプレクサの速度によって100%のドライバスルーレートが設定されます(「標準動作特性」の「ドライバ大信号応答(Driver Large-Signal Response)」を参照)。

DUT_を高速でバッファ出力とハイインピーダンスモードの間で切り替えることができます。または、低リークモードにすることができます(図2、表2)。ハイインピーダンスモードでは、クランプが接続されます。このスイッチングは、高速入力RCV_とモード制御ビットTMSEL及びLLEAKによって制御されます。ハイインピーダンスモードでは、ノードが高速信号の追跡能力を維持しながら、DUT_のバイアス電流は0~3Vの電圧範囲で2μA以下です。低リークモードでは、DUT_のバイアス電流は15nA以下にさらに低減します。詳細については、「低リークモード」の項参照。

公称ドライバ出力抵抗は、50Ωです。40Ω~50Ωの範囲内の各値については、マキシムにお問い合わせください。

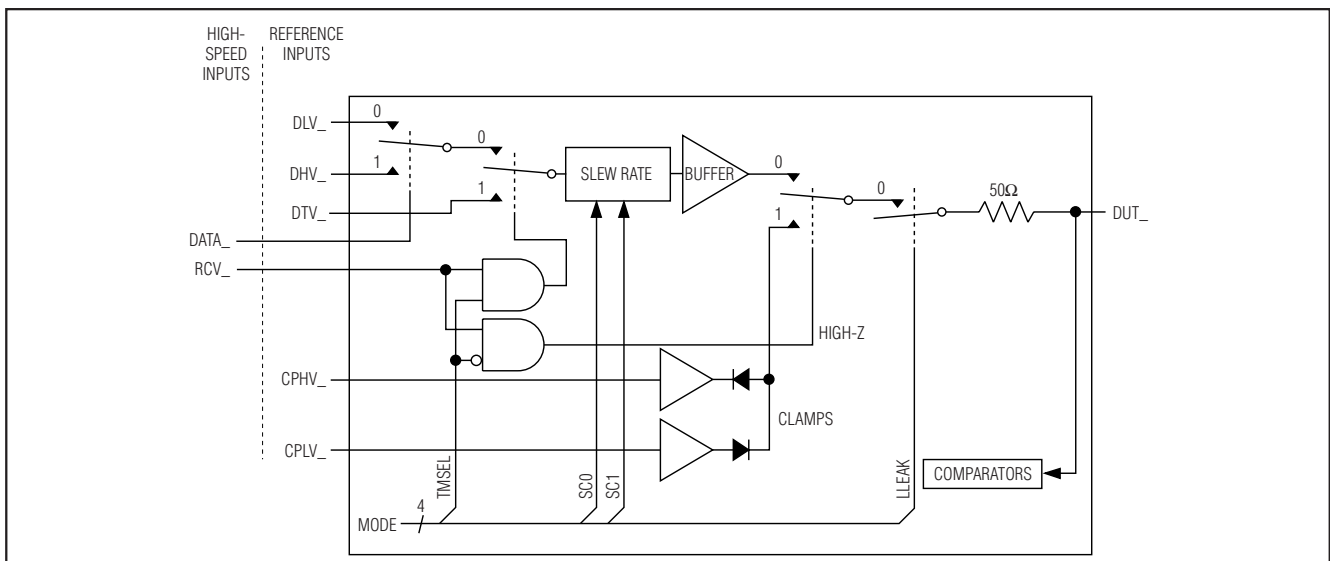


図2. 簡略ドライバチャンネル

クワッド、低電力、500Mbps、ATEドライバ/コンパレータ

MAX9965/MAX9966

表1. スルーレートのロジック

SC1	SC0	DRIVER SLEW RATE (%)
0	0	100
0	1	75
1	0	50
1	1	25

表2. ドライバのロジック

EXTERNAL CONNECTIONS		INTERNAL CONTROL REGISTER		DRIVER OUTPUT
DATA_	RCV_	TMSEL	LLEAK	
1	0	X	0	Drive to DHV_
0	0	X	0	Drive to DLV_
X	1	1	0	Drive to DTV_ (term mode)
X	1	0	0	High-impedance mode (high-z)
X	X	X	1	Low-leakage mode

クランプ

チャンネルをハイインピーダンスレシーバとして設定しているときに、DUT_の電圧を制限し、反射を抑制するように、1対の電圧クランプ(ハイ及びロー)を設定することができます。クランプは、高電流バッファの出力に接続されダイオードとして動作します。内蔵回路は、1mAのクランプ電流でダイオードドロップを補償します。外部接続CPHV_及びCPLV_によって、クランプ電圧を設定します。ドライバがハイインピーダンスモード状態の場合のみ、クランプはイネーブルされます(図2)。トランジェント抑制のためには、クランプ電圧をほぼ最小及び最大予想DUT_電圧範囲に設定し、経験的に算出する必要があります。最適なクランプ電圧はアプリケーションごとに異なります。クランプを希望しない場合は、クランプ電圧を予想DUT_電圧範囲外の最低0.7V以上に設定します。過電圧保護は、DUT_にロードせずアクティブ状態を維持します。

コンパレータ

MAX9965/MAX9966は、チャンネルごとに2個の独立高速コンパレータを装備しています。各コンパレータはDUT_に内部接続された1入力と、CHV_またはCLV_に接続された1入力を備えています(図1)。コンパレータ出力は、表3に示されるように入力条件の論理結果です。MAX9965/MAX9966のコンパレータは、MAX9963/MAX9964のJFETコンパレータとは対照的にコンパレータのばらつきを改善するBJT入力を備えています。

表3. コンパレータのロジック

DUT_ > CHV_	DUT_ > CLV_	CH_	CL_
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

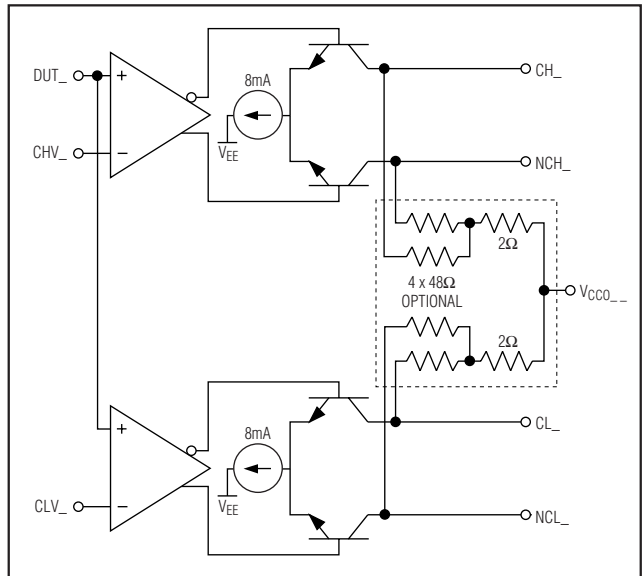


図3. オープンコレクタコンパレータ出力

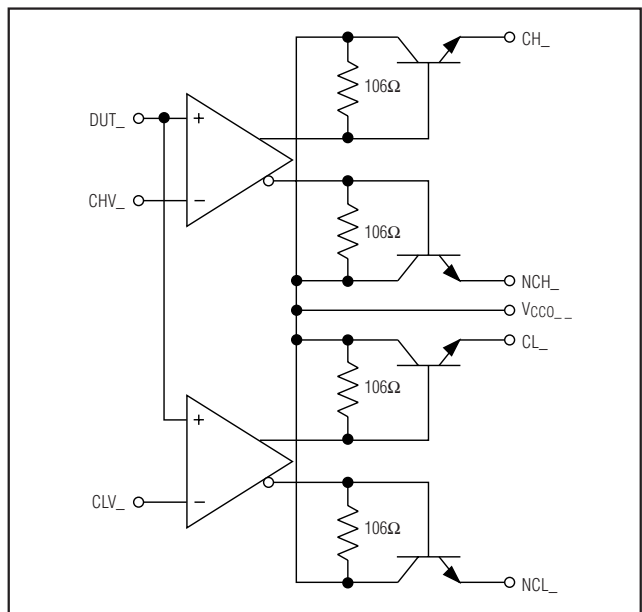


図4. オープンエミッタコンパレータ出力

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

各種ロジックファミリとのインタフェースを容易にするために、コンパレータ差動出力用に3つの設定を利用することができます。オープンコレクタ設定は、8mA電流ソースを2個の出力間で切り替えます。V_{CCO}に接続された内蔵終端抵抗の有無にかかわらず、この設定を利用することができます(図3)。外付け終端の場合は、V_{CCO}を未接続状態にして、必要な外付け抵抗を接続します。これらの抵抗は、出力トレースの受信端でプルアップ電圧に対して50Ω(typ)です。絶対最大定格を超えない場合は、他の設定を利用することができます。内蔵終端の場合は、V_{CCO}を任意のVOH電圧に接続します。出力はそれぞれ、公称400mV_{p-p}のスイングと50Ωのソース終端を備えています。

オープンエミッタ設定も利用することができます(図4)。外付けコレクタ電圧をV_{CCO}に接続し、外付けプルダウン抵抗を接続します。これらの抵抗は、出力トレースの受信端でV_{CCO}-2Vに対して50Ω(typ)です。絶対最大定格を超えない場合は、他の設定を利用することができます。

低リークモード、LLEAK

シリアルポートや $\overline{\text{RST}}$ を通じてLLEAKをアサートすると、MAX9965/MAX9966は超低リーク状態になります。この状態では、DUT_入力電流は0~3Vの電圧範囲で15nA以下です。このモードでは、ドライバ、コンパレータ、及びクランプはディセーブルされます。このモードは出力切断リレーが不要で、IDDQ及びPMU測定を行うのに便利です。LLEAKは、チャンネルごとに個別設定することができます。LLEAKがアサートされている間にDUT_が高速信号で駆動されると、リーク電流は標準動作作用の規定制限値を超えて瞬間的に増大します。「電気特性表(Electrical Characteristics)」の「低リークリカバリ(Low-Leakage Recovery)」規定は、この状態でのデバイス動作を示しています。

表4. シフトレジスタの機能

BIT	NAME	FUNCTION
D7	1E	Channel 1 Write Enable. Set to 1 to update the control byte for channel 1. Set to zero to make no change to channel 1.
D6	2E	Channel 2 Write Enable. Set to 1 to update the control byte for channel 2. Set to zero to make no change to channel 2.
D5	3E	Channel 3 Write Enable. Set to 1 to update the control byte for channel 3. Set to zero to make no change to channel 3.
D4	4E	Channel 4 Write Enable. Set to 1 to update the control byte for channel 4. Set to zero to make no change to channel 4.
D3	LLEAK	Low-Leakage Select. Set to 1 to put driver and clamps into low-leakage mode. Set to zero for normal operation.
D2	SC1	Driver Slew Rate Select. SC1 and SC0 set the driver slew rate. See Table 1.
D1	SC0	
D0	TMSEL	Driver Termination Select. Set to 1 to force the driver output to the DTV_ voltage (term mode) when RCV_ = 1. Set to zero to place the driver into a high impedance state (high-z mode) when RCV_ = 1. See Table 2.

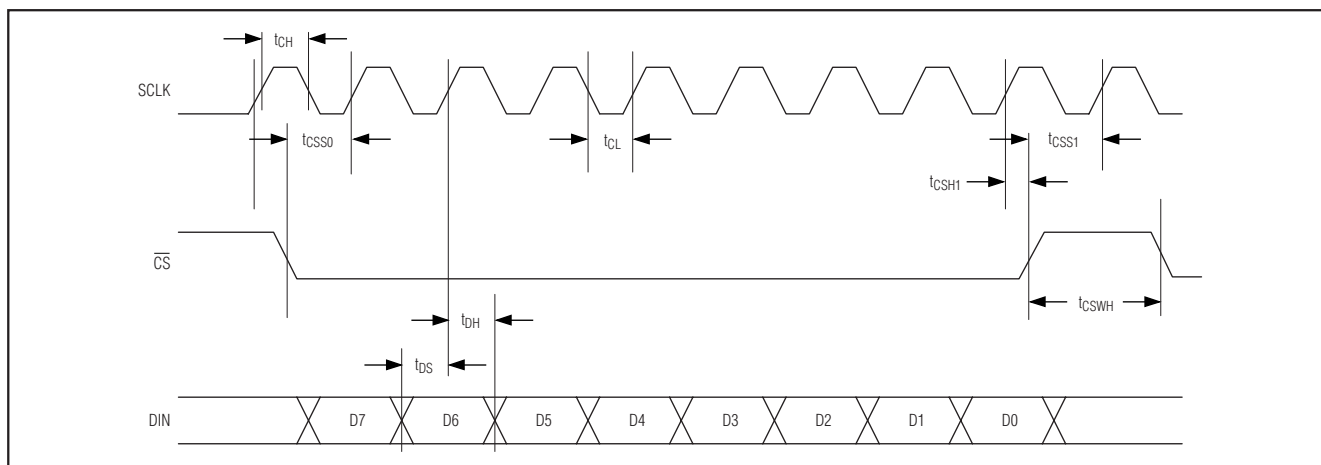


図5. シリアルインタフェースのタイミング

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

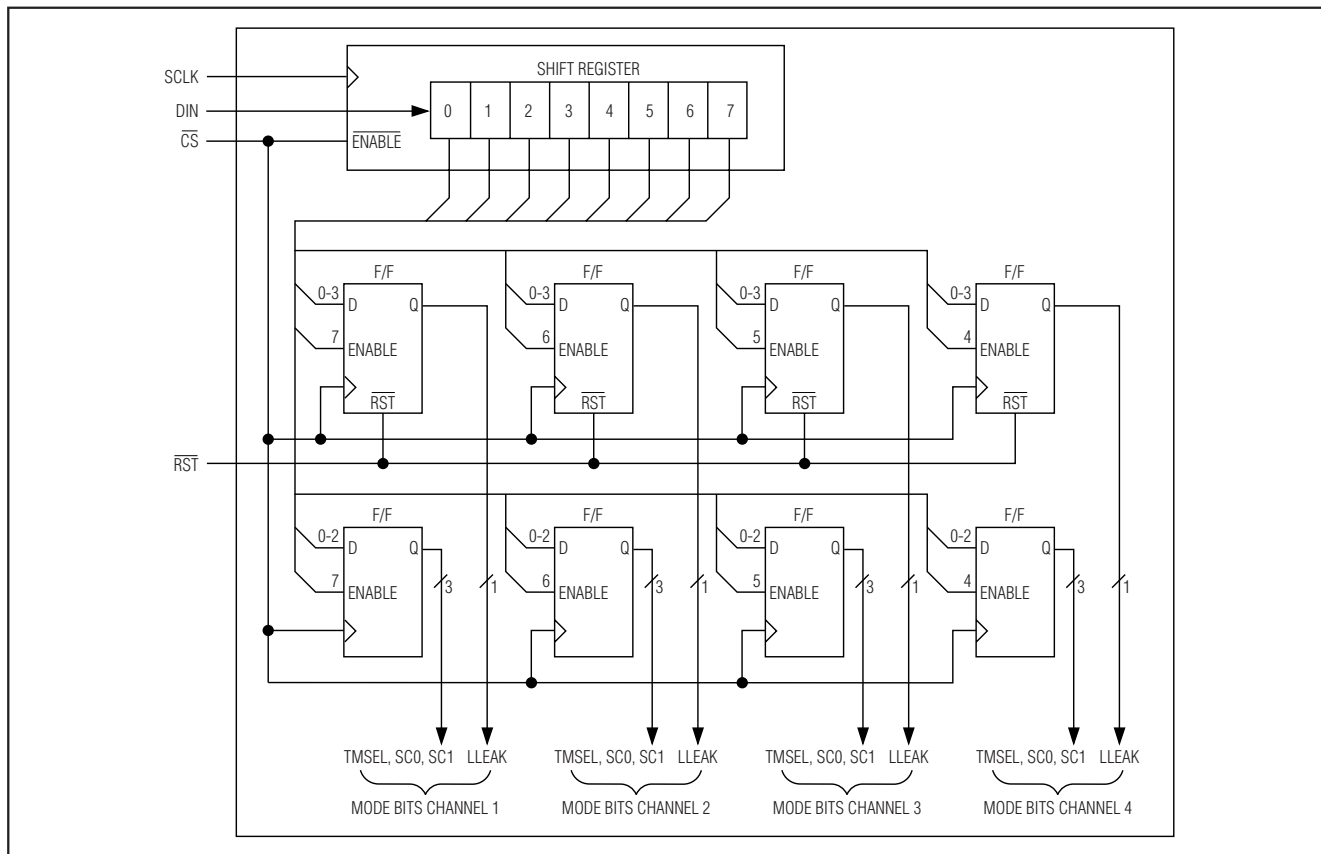


図6. シリアルインタフェース

温度モニタ

各デバイスは、+70°C (343K)のチップ温度で3.43Vの公称出力電圧をアサートする単一温度出力信号、TEMPを供給します。出力電圧は、10mV/°Cのレートで温度に比例して増大します。温度センサ出力インピーダンスは、15kΩ (typ)です。

シリアルインタフェース及びデバイス制御

CMOSコンパチブルシリアルインタフェースを通じて、MAX9965/MAX9966のモードが制御されます(図6)。制御データは内部8ビットシフトレジスタに流れ(まずMSBから)、図5のシリアルタイミング図に示されるようにCSがハイのときにラッチされます。次に、シフトレジスタからのデータは4つのクワッドラッチのグループのいずれかまたはすべてにロードされます。これは、図6及び表4に示されるように、ビットD4~D7によって決定されます。クワッドラッチは、クワッド端子ドライバのチャンネルごとに4つのモードビットを備えています。外部入力DATA_及びRCV_と併せてモード

ビットによって、表1及び表2に示されるように各チャンネルの機能が管理されます。全チャンネルを低リークモードにする場合は、RSTによって、LLEAK = 1が設定されます。他の全ビットは影響を受けません。パワーアップ時に、V_{CC}及びV_{EE}が安定するまでRSTをローに保持します。

放熱

回路基板銅線への半田付け(MAX9966)、または外付けヒートシンク(MAX9965)によってエクスポーズドパッドを通じて、これらのデバイスでは通常環境下で放熱が必要です。両パッケージタイプの場合、エクスポーズドパッドは電氣的にV_{EE}電位で、V_{EE}に接続するか絶縁する必要があります。

チップ情報

TRANSISTOR COUNT: 7293
PROCESS: Bipolar

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

選択ガイド

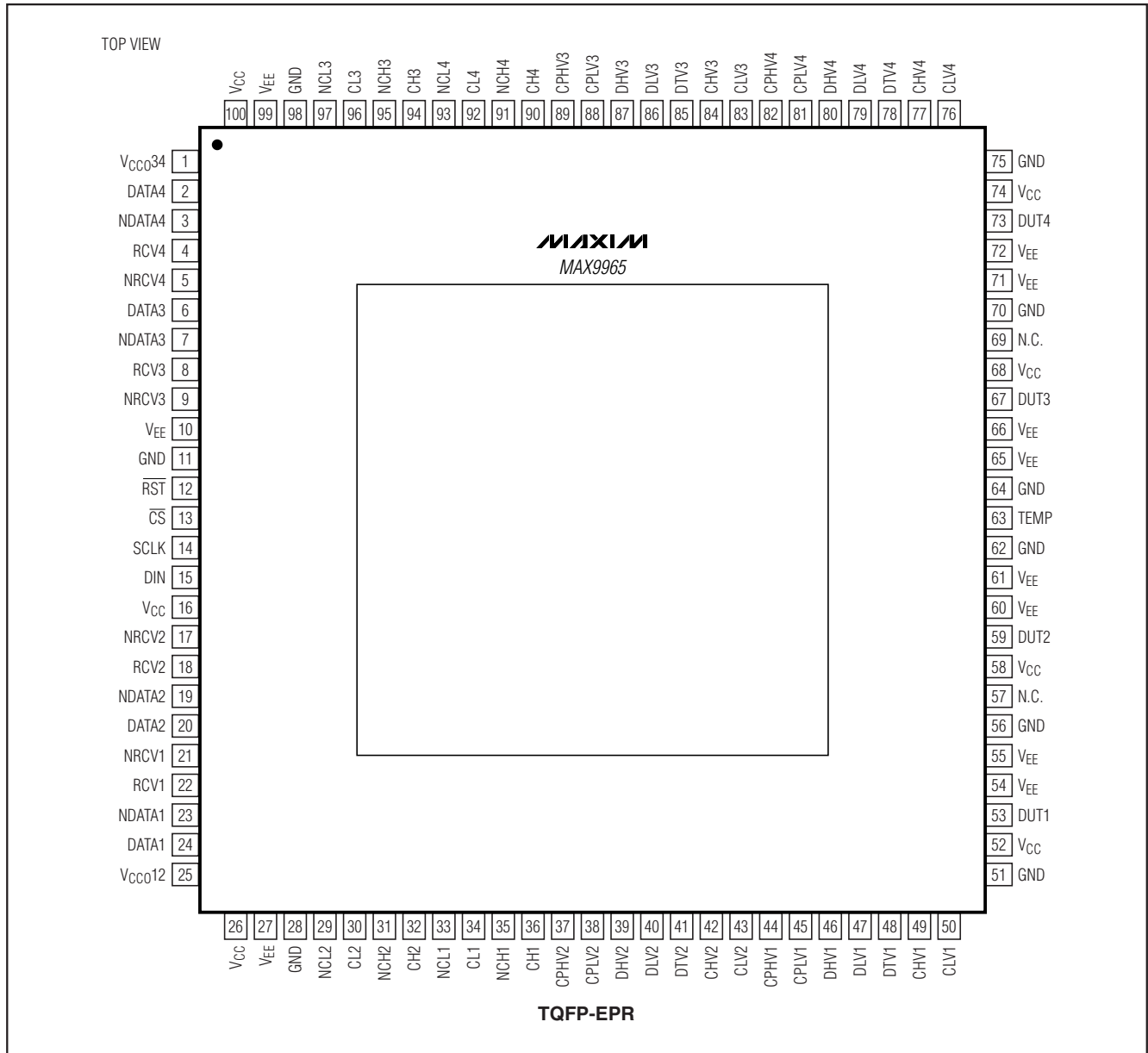
PART	ACCURACY GRADE	COMPARATOR OUTPUT TYPE	COMPARATOR OUTPUT TERMINATION	HIGH-SPEED DIGITAL INPUT TERMINATION	HEAT EXTRACTION	PIN-PACKAGE
MAX9965ADCCQ*	A	Open collector	None	None	Top	100 TQFP-EPR
MAX9965AKCCQ*	A	Open collector	None	100Ω LVDS	Top	100 TQFP-EPR
MAX9965AGCCQ*	A	Open collector	50Ω to V _{CCO} _	100Ω LVDS	Top	100 TQFP-EPR
MAX9965AHCCQ*	A	Open emitter	None	None	Top	100 TQFP-EPR
MAX9965AJCCQ*	A	Open emitter	None	100Ω LVDS	Top	100 TQFP-EPR
MAX9965BDCCQ*	B	Open collector	None	None	Top	100 TQFP-EPR
MAX9965BKCCQ*	B	Open collector	None	100Ω LVDS	Top	100 TQFP-EPR
MAX9965BGCCQ	B	Open collector	50Ω to V _{CCO} _	100Ω LVDS	Top	100 TQFP-EPR
MAX9965BHCCQ*	B	Open emitter	None	None	Top	100 TQFP-EPR
MAX9965BJCCQ	B	Open emitter	None	100Ω LVDS	Top	100 TQFP-EPR
MAX9966ADCCQ*	A	Open collector	None	None	Bottom	100 TQFP-EP
MAX9966AKCCQ*	A	Open collector	None	100Ω LVDS	Bottom	100 TQFP-EP
MAX9966AGCCQ*	A	Open collector	50Ω to V _{CCO} _	100Ω LVDS	Bottom	100 TQFP-EP
MAX9966AHCCQ*	A	Open emitter	None	None	Bottom	100 TQFP-EP
MAX9966AJCCQ*	A	Open emitter	None	100Ω LVDS	Bottom	100 TQFP-EP
MAX9966BDCCQ*	B	Open collector	None	None	Bottom	100 TQFP-EP
MAX9966BKCCQ*	B	Open collector	None	100Ω LVDS	Bottom	100 TQFP-EP
MAX9966BGCCQ	B	Open collector	50Ω to V _{CCO} _	100Ω LVDS	Bottom	100 TQFP-EP
MAX9966BHCCQ*	B	Open emitter	None	None	Bottom	100 TQFP-EP
MAX9966BJCCQ*	B	Open emitter	None	100Ω LVDS	Bottom	100 TQFP-EP

*開発中の製品。入手性についてはお問い合わせください。

クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965のピン配置

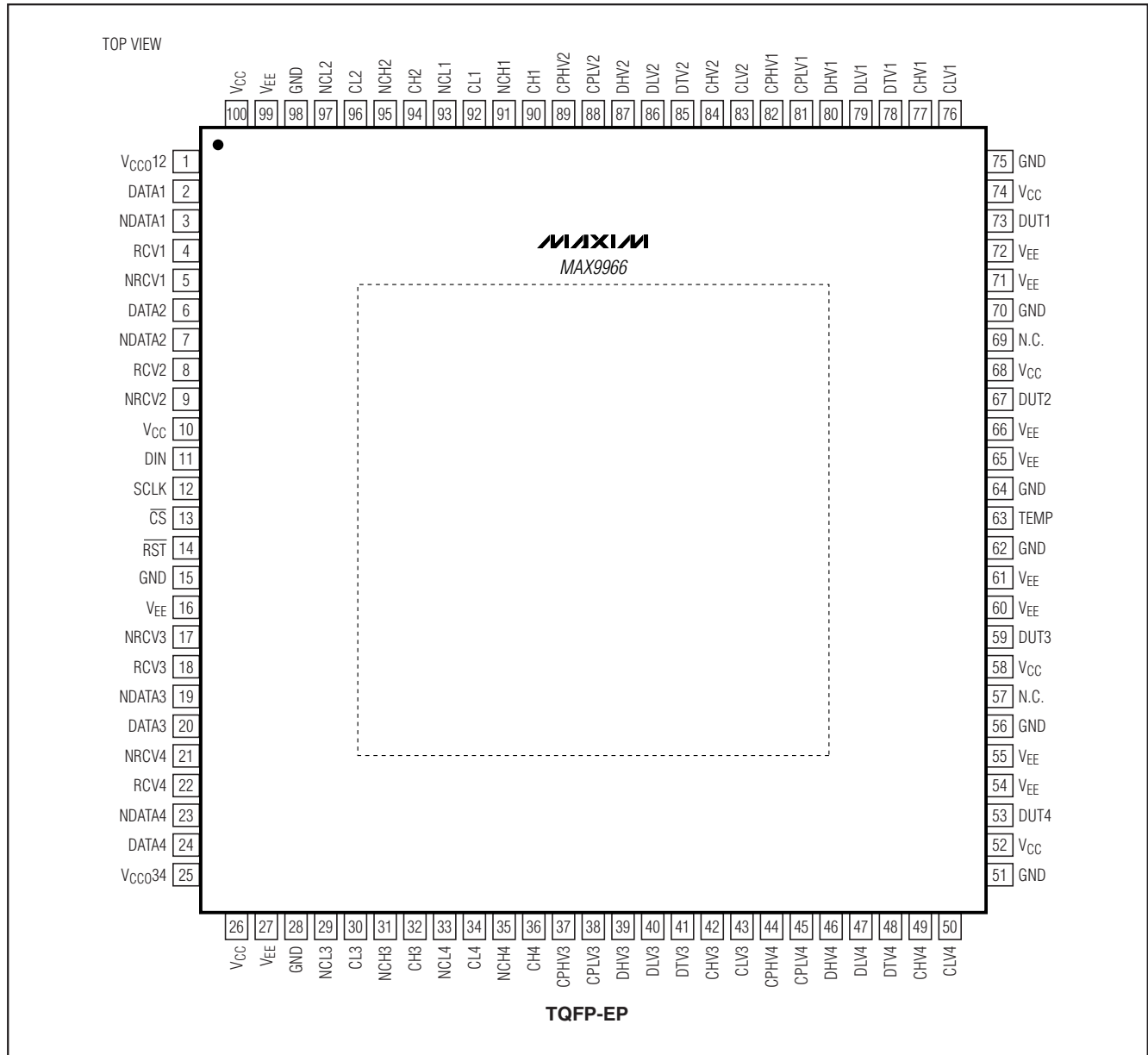
MAX9965/MAX9966



クワッド、低電力、500Mbps、 ATEドライバ/コンパレータ

MAX9965/MAX9966

MAX9966のピン配置



パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2004 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.