

ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

概要

MAX9691/MAX9692/MAX9693は、伝播遅延が極めて短い超高速ECLコンパレータです。従来低速コンパレータでしか実現できなかった優れたDCマッチング特性を実現します。

MAX9691/MAX9692/MAX9693は、差動入力及びECLロジックレベルと完全にコンパチブルなコンプリメンタリ出力を備え、50 の終端伝送ラインを駆動できるだけの出力電流能力を備えています。超高速動作により、600MHzを超える周波数での信号処理が可能です。

MAX9692/MAX9693は、コンパレータをサンプルホールドモードで使用することを可能にするラッチイネーブル(LE)機能を備えています。LEがECLハイの時、コンパレータは通常動作になります。LEをECLローにすると、出力は強制的にあいまいさのないECLロジック状態になります。この状態は、ラッチの入力遷移時点における入力条件に依存します。2つのコンパレータのいずれもラッチイネーブル機能を使用しない場合は、該当するLE入力をグランドに接続し、対応するLE入力をハイECLロジックレベルに接続する必要があります。

これらのデバイスはSOP、QSOP及び省スペースの超小型 μ MAXパッケージで提供されています。

アプリケーション

- 高速ラインレシーバ
- ピークディテクタ
- スレッシュホールドディテクタ
- 高速トリガ

特長

- ◆ 伝播遅延：1.2ns
- ◆ 伝播遅延スキュー：100ps
- ◆ 分散：150ps
- ◆ ラッチセットアップ時間：0.5ns
- ◆ ラッチイネーブルパルス幅：0.5ns
- ◆ パッケージ： μ MAX及びQSOP
- ◆ 電源：+5V、-5.2V

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX9691EUA	-40°C to +85°C	8 μ MAX
MAX9691ESA	-40°C to +85°C	8 SO
MAX9691EPA	-40°C to +85°C	8 PDIP

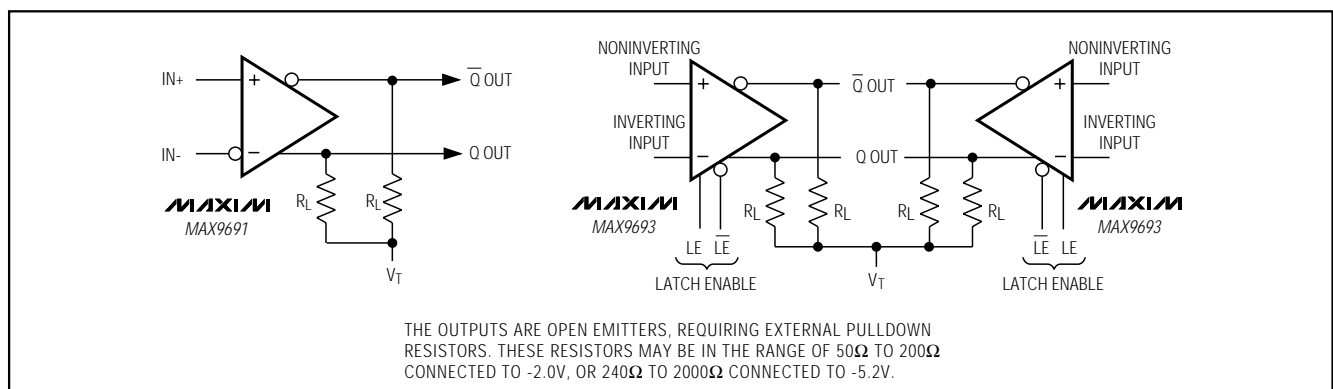
型番はデータシートの最後に続きます。

選択ガイド

PART	COMPARATORS PER PACKAGE	LATCH ENABLE	PIN-PACKAGE
MAX9691	1	No	8 μ MAX, 8 SO, 8 PDIP
MAX9692	1	Yes	10 μ MAX, 16 SO, 16 PDIP
MAX9693	2	Yes	16 QSOP, 16 SO, 16 PDIP

ピン配置はデータシートの最後に記載されています。

ファンクションダイアグラム



ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

MAX9691/MAX9692/MAX9693

ABSOLUTE MAXIMUM RATINGS

Supply Voltage (V _{CC})-0.3V to +6V	8-Pin PDIP (derate 10.53mW/°C above +70°C)842mW
Supply Voltage (V _{EE})-6V to +0.3V	10-Pin μMAX (derate 5.6mW/°C above +70°C)444mW
Input Voltage(V _{CC} + 0.3V) to (V _{EE} - 0.3V)	16-Pin QSOP (derate 8.3mW/°C above +70°C)667mW
Output Short-Circuit DurationContinuous	16-Pin SO (derate 8.7mW/°C above +70°C)696mW
Differential Input Voltage±5V	16-Pin PDIP (derate 9.09mW/°C above +70°C)727mW
Latch Enable(V _{EE} - 0.3V) to +0.3V	Operating Temperature Range-40°C to +85°C
Output Current50mA	Junction Temperature+150°C
Input Current±25mA	Storage Temperature Range-55°C to +150°C
Continuous Power Dissipation (T _A = +70°C)		Lead Temperature (soldering, 10s)+300°C
8-Pin μMAX (derate 4.1mW/°C above 70°C)330mW		
8-Pin SO (derate 5.88mW/°C above +70°C)471mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V, V_{EE} = -5.2V, R_L = 50Ω to V_T, V_T = -2V, LE = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	V _{OS}	T _A = +25°C	-6.5		6.5	mV
		T _A = T _{MIN} to T _{MAX}	-11.5		11.5	
Temperature Coefficient	ΔV _{OS} /ΔT			10		μV/°C
Input Offset Current	I _{OS}	T _A = +25°C		0.2	5	μA
		T _A = T _{MIN} to T _{MAX}			8	
Input Bias Current	I _B	T _A = +25°C		6	20	μA
		T _A = T _{MIN} to T _{MAX}			30	
Input Voltage Range	V _{CM}	Note 1	-2.5		+3.0	V
Common-Mode Rejection Ratio	CMRR	-2.5V ≤ V _{CM} ≤ +3.0V (Note 1)	60	80		dB
Positive Power-Supply Rejection Ratio	+PSRR	4.5V ≤ V _{CC} ≤ 5.5V		60		dB
Negative Power-Supply Rejection Ratio	-PSRR	-5.7V ≤ V _{EE} ≤ -4.7V		60		dB
Open-Loop Gain	AOL	V _{CM} = 0		70		dB
Differential Input Resistance	R _{IN}	-10mV < V _{IN} < 10mV		60		kΩ
Differential Input Clamp Voltage				1.7		V
Input Capacitance	C _{IN}			3		pF
Latch Enable Input Current High	I _{IH} (LE)	V _{IH} (LE) = 1.1V		60	120	μA
Latch Enable Input Current Low	I _{IL} (LE)	V _{IL} (LE) = 1.5V		0.2	10	μA
Latch Enable Logic High Voltage	V _{IH} (LE)		-1.1			V
Latch Enable Logic Low Voltage	V _{IL} (LE)				-1.5	V
Logic Output High Voltage	V _{OH}	T _A = T _{MIN}	-1.2		-0.87	V
		T _A = T _{MAX}	-0.99		-0.70	
		T _A = +25°C	-1.06		-0.76	
Logic Output Low Voltage	V _{OL}	T _A = T _{MIN}	-1.93		-1.57	V
		T _A = T _{MAX}	-1.89		-1.51	
		T _A = +25°C	-1.89		-1.55	

ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

MAX9691/MAX9692/MAX9693

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +5V, V_{EE} = -5.2V, R_L = 50Ω to V_T, V_T = -2V, LE = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	MAX9693	T _A = +25°C	34	46	mA
			T _A = T _{MIN} to T _{MAX}		50	
		MAX9691/ MAX9692	T _A = +25°C	18	26	
			T _A = T _{MIN} to T _{MAX}		36	

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = 5V, V_{EE} = -5.2V, R_L = 50Ω to V_T, V_T = -2V, LE = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MAX9691/MAX9692/MAX9693						
Propagation Delay (Notes 1, 2)	t _{pd+} , t _{pd-}	T _A = +25°C		1.2	1.8	ns
		T _A = T _{MIN} to T _{MAX}			2.0	
Rise/Fall Time	t _r , t _f	10% to 90%		500		ps
Propagation Delay Skew	ΔPD			100		ps
Dispersion	P _{DSP}	V _{OD} from 10mV to 100mV		150		ps
MAX9692/MAX9693						
Latch-Enable Time (Note 1)	T _{LE(±)}	T _A = +25°C		1.0	1.8	ns
		T _A = T _{MIN} to T _{MAX}			2.0	
Latch-Enable Pulse Width (Note 1)	t _{pw(LE)}			0.5	1.0	ns
Setup Time (Note 1)	t _s			0.5	1.0	ns
Hold Time (Note 1)	t _h			0.5	1.0	ns
Channel-to-Channel Propagation Match	t _{pDM}	Note 2 (MAX9693 only)		100		ps

Note 1: Guaranteed by design.

Note 2: V_{IN} = 100mV, V_{OD} = 10mV.

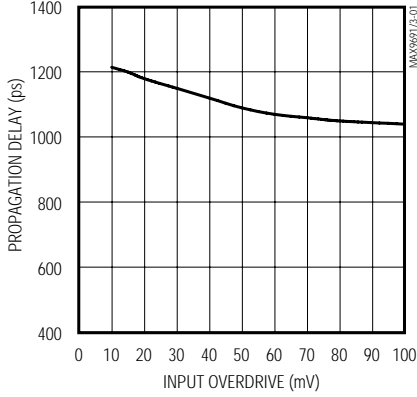
ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

標準動作特性

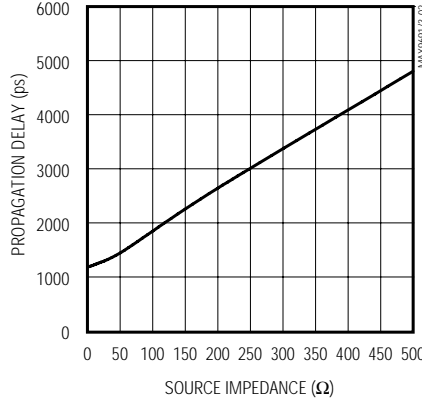
($V_{CC} = +5V$, $V_{EE} = -5.2V$, $R_L = 50\Omega$ to V_T , $V_T = -2V$, $V_{OD} = 10mV$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX9691/MAX9692/MAX9693

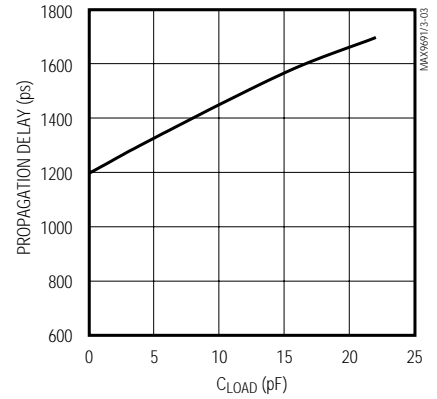
WORST-CASE PROPAGATION DELAY
vs. INPUT OVERDRIVE



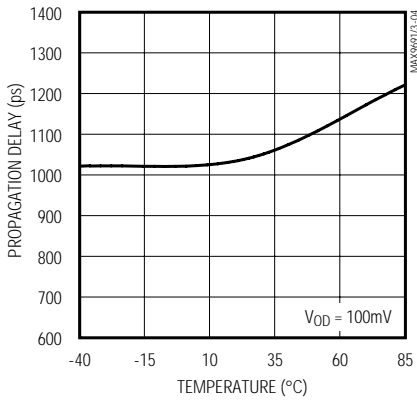
WORST-CASE PROPAGATION DELAY
vs. SOURCE IMPEDANCE



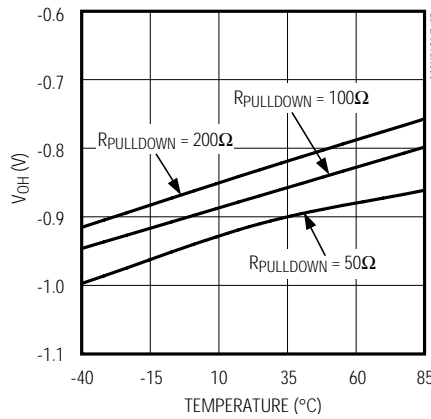
WORST-CASE PROPAGATION DELAY
vs. LOAD



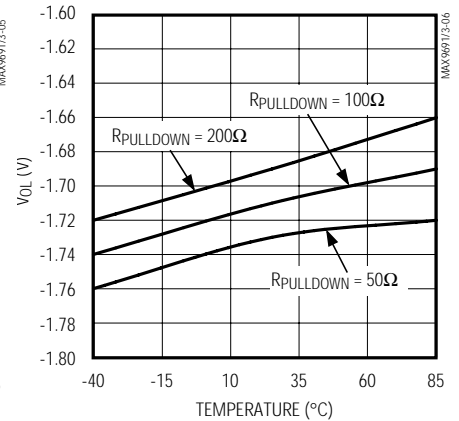
WORST-CASE PROPAGATION DELAY
vs. TEMPERATURE



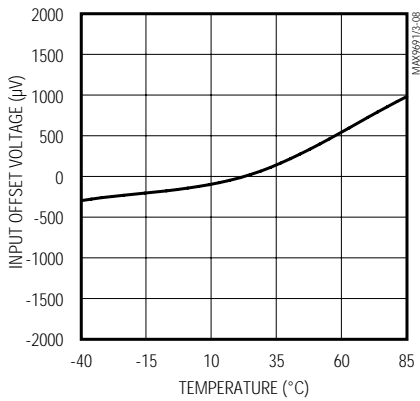
OUTPUT HIGH VOLTAGE
vs. TEMPERATURE



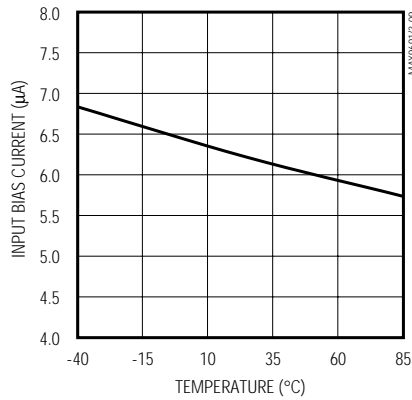
OUTPUT LOW VOLTAGE
vs. TEMPERATURE



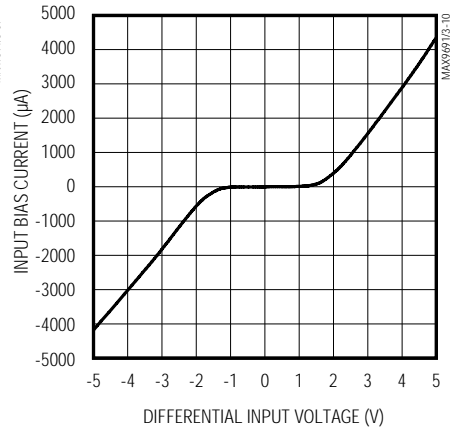
INPUT OFFSET VOLTAGE
vs. TEMPERATURE



INPUT BIAS CURRENT
vs. TEMPERATURE



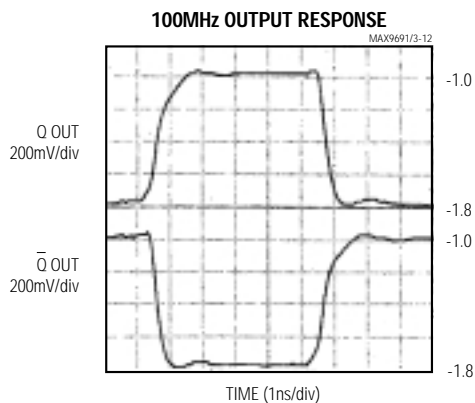
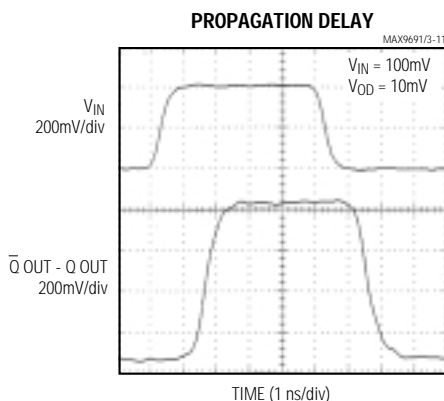
INPUT BIAS CURRENT
vs. DIFFERENTIAL INPUT VOLTAGE



ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

標準動作特性(続き)

($V_{CC} = +5V$, $V_{EE} = -5.2V$, $R_L = 50\Omega$ to V_T , $V_T = -2V$, $V_{OD} = 10mV$, $T_A = +25^\circ C$, unless otherwise noted).



アプリケーション情報

レイアウト

MAX9691/MAX9692/MAX9693は利得帯域幅が大きいので、使用の際に特別な注意が必要です。まず、グランドプレーン付のプリント基板が必要です。電源ピンのできるだけ近くに0.01 μF セラミックデカップリングコンデンサを取り付け、ECL出力はマイクロストリップ技術で処理して下さい。終端処理負荷は50 ~ 200 に適合するようにして下さい($V_T = -2V$)。低インピーダンスアプリケーションの場合、入力においてもマイクロストリップレイアウトと終端処理を行うことを推奨します。デカップリング及び終端処理部品の帯域幅に注意して下さい。リード線インダクタンスを最小限に抑えるため、チップ部品を使用して下さい。MAX9691/MAX9692の場合は、GND1とGND2をまとめて隙間のない銅のグランドプレーンに

接続して下さい。GND1は入力利得段をバイアスし、GND2はECL出力段をバイアスします。LE機能を使用しない場合は、LEピンをGNDに接続し(MAX9692/MAX9693)、コンプリメンタリ \bar{LE} をECLロジックハイレベルに接続して下さい(MAX9693のみ)。MAX9693の場合、未使用のコンパレータの入力を未接続のままにしないで下さい。

入力スルーレートの必要条件

高速コンパレータは、一般に利得帯域幅積が大きいので、入力が入力リニア領域をよぎる時に発振の問題が発生します。発振や出力波形に階段状態が出ないクリーンなスイッチングを実現するには、入力が一定の最小スルーレート条件を満たす必要があります。本製品の発振傾向は、回路のレイアウト及びソースインピーダンスに依存します。レイアウトが悪い場合やソースインピーダンスが大きい場合は、最小スルーレートが大きくなります。

図1に50 の入力及び出力終端処理を備えた高速レーバアプリケーションを示します。この構成においては、グランドプレーン及びマイクロストリッププリント基板が使用されています。クリーンな出力スイッチングを得るための最小スルーレートは1V/ μs です。

多くのアプリケーションにおいては、再生フィードバックを付加することによって入力信号が入力リニア領域を通過し易くなり、最小スルーレート条件が大幅に低減されます。例えば、 $R_f = 1k$ 及び $C_f = 10pF$ の正フィードバック部品を付加することにより、最小スルーレート条件を4分の1に下げることができます。

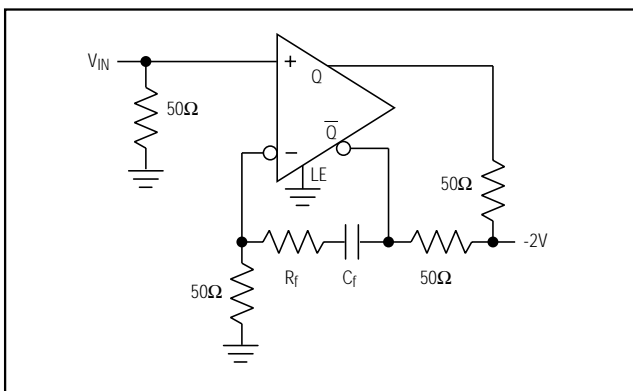


図1. 再生フィードバック---50 の入力及び出力終端処理付の高速レーバ

ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

MAX9691/MAX9692/MAX9693

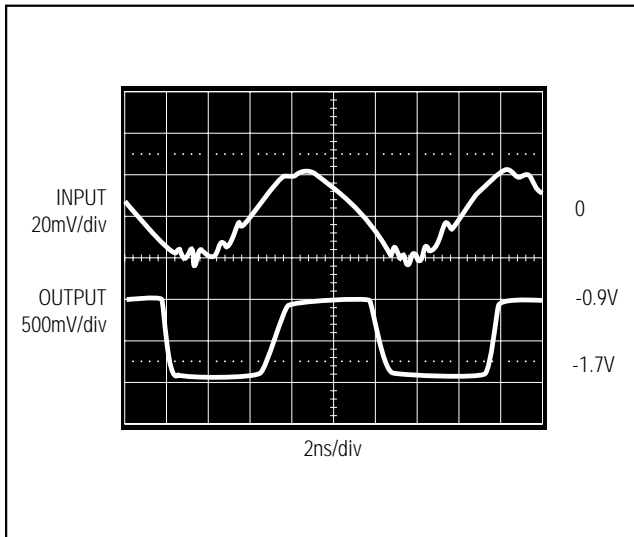


図2. 入力信号レベル14mV_{RMS}、100MHzで処理された信号

MAX9691/MAX9692/MAX9693は高速レシーバのため、600MHz以上の信号を処理することができます。図2に入力信号レベル14mV_{RMS}、100MHzの例を示します。

タイミング図(図3)に、最悪条件下で比較機能を実行する一連のイベントを示します。この図の一番上の線は2つのラッチイネーブルパルスを示しています。各パルスのハイは比較機能を示し、ローはラッチ機能を示しています。最初のパルスは比較機能を示しています。この

比較モード中に入力動作が発生します。2番目のパルスは比較機能期間を示しています。この期間中は入力に変化がありません。

入力信号の先端(大振幅、小オーバドライブのパルス)は t_{pd} が経過した後にコンパレータをスイッチングします。出力Qと \bar{Q} トランジスタのタイミングは類似しています。入力信号はラッチの立下がりエッジの t_s 前に発生する必要があり、そのエッジが取り込まれてから t_h の間維持されなければなりません。 t_h 経過後は、出力は入力状態には影響されません(この状態はラッチが再びストロブされるまで続きます)。ストロブ動作には少なくとも $t_{pw(LE)}$ のラッチパルス幅が必要です。出力遷移は $t_{LE(\pm)}$ が経過した後に起こります。

MAX9691/MAX9692/MAX9693は、入力の1つが有効な同相範囲にあれば、他の入力が同相範囲の外側であっても疑似トリップ(すなわち出力反転)を起こしません。

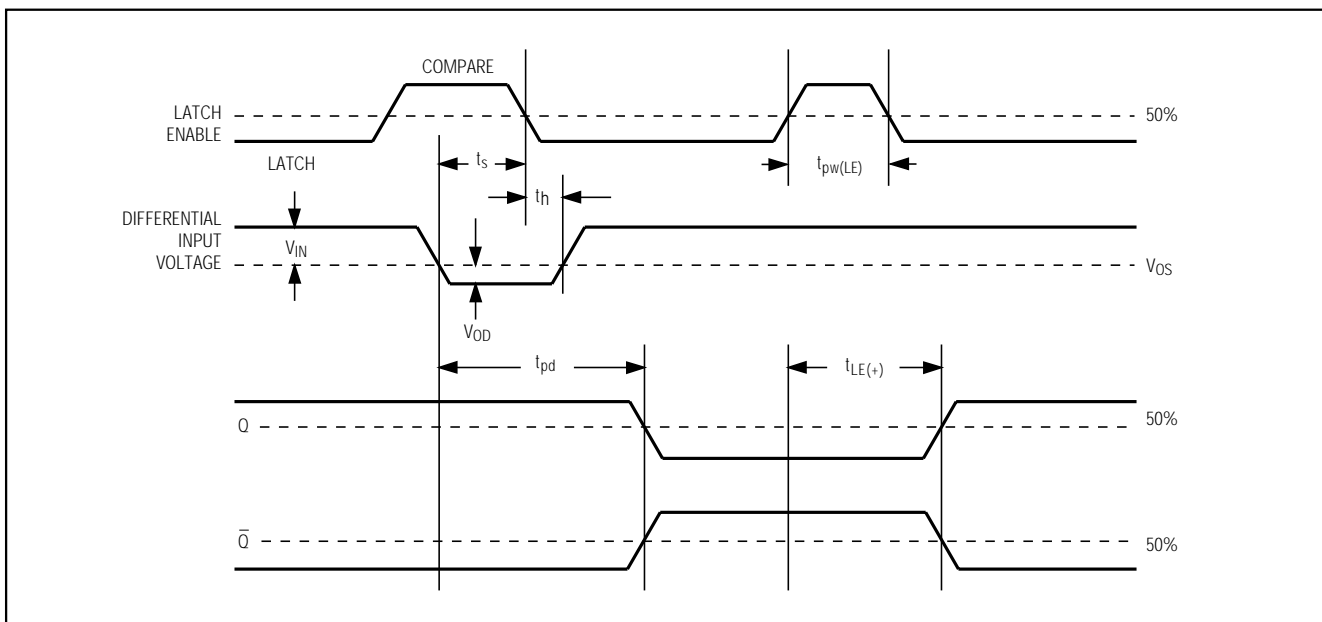


図3. タイミング図

ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

MAX9691/MAX9692/MAX9693

用語の定義

V_{OS}	入力オフセット電圧。出力において0Vの差動電圧を得るために必要な入力端子間の電圧。
V_{IN}	入力電圧パルス振幅
V_{OD}	入力電圧オーバドライブ
t_{pd+}	入力から出力ハイへの遅延。入力信号が入力オフセット電圧をよぎってから出力のローからハイへの遷移の50%ポイントまでを測定した伝播遅延。
t_{pd-}	入力から出力ローへの遅延。入力信号が入力オフセット電圧をよぎってから出力のハイからローへの遷移の50%ポイントまでを測定した伝播遅延。
$t_{LE(+)}$	ラッチイネーブルから出力ハイへの遅延。ラッチイネーブル信号のローからハイへの遷移の50%ポイントから出力のローからハイへの遷移の50%ポイントまでを測定した伝播遅延。
$t_{LE(-)}$	ラッチイネーブルから出力ローへの遅延。ラッチイネーブル信号のローからハイへの遷移の50%ポイントから出力のハイからローへの遷移の50%ポイントまでを測定した伝播遅延。
$t_{PW(LE)}$	ラッチイネーブルパルス幅。入力信号を取り込んでホールドするためにラッチイネーブル信号がハイでなければならない最小時間。
t_s	セットアップ時間。入力信号が取り込まれて出力でホールドされるために、ラッチイネーブルパルスの負遷移以前に入力信号が存在していなければならない最小時間。
t_h	ホールド時間。入力信号が取り込まれて出力でホールドされるために、ラッチイネーブルパルスの負遷移以後に入力信号が不変のまま維持されなければならない最小時間。
Δ_{pd}	伝播遅延スキュー。Qと \bar{Q} 出力が両方向でお互いを通過する時の伝播遅延の差。
P_{DSP}	伝播遅延分散。入力信号のオーバドライブが変動することに起因する伝播遅延の変化。
t_{pdm}	伝播遅延マッチング(MAX9693のみ)。2つの別々のチャンネル間の伝播遅延の差。

チップ情報

TRANSISTOR COUNT:	MAX9691:106
	MAX9692:106
	MAX9693: 207

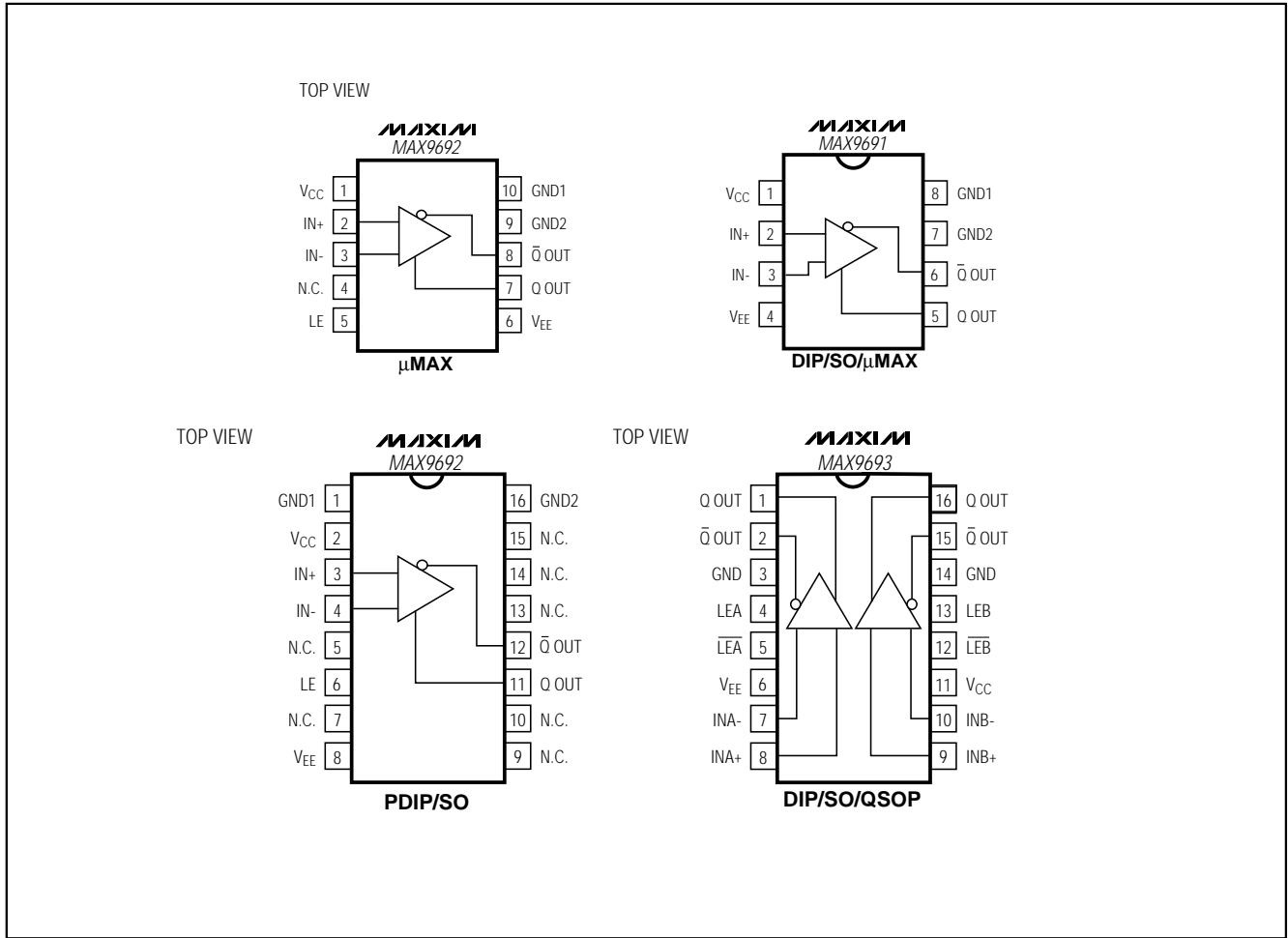
型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX9692EUB	-40°C to +85°C	10 μ MAX
MAX9692ESE	-40°C to +85°C	16 Narrow SO
MAX9692EPE	-40°C to +85°C	16 PDIP
MAX9693EEE	-40°C to +85°C	16 Narrow SO
MAX9693ESE	-40°C to +85°C	16 QSOP
MAX9693EPE	-40°C to +85°C	16 PDIP

ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

MAX9691/MAX9692/MAX9693

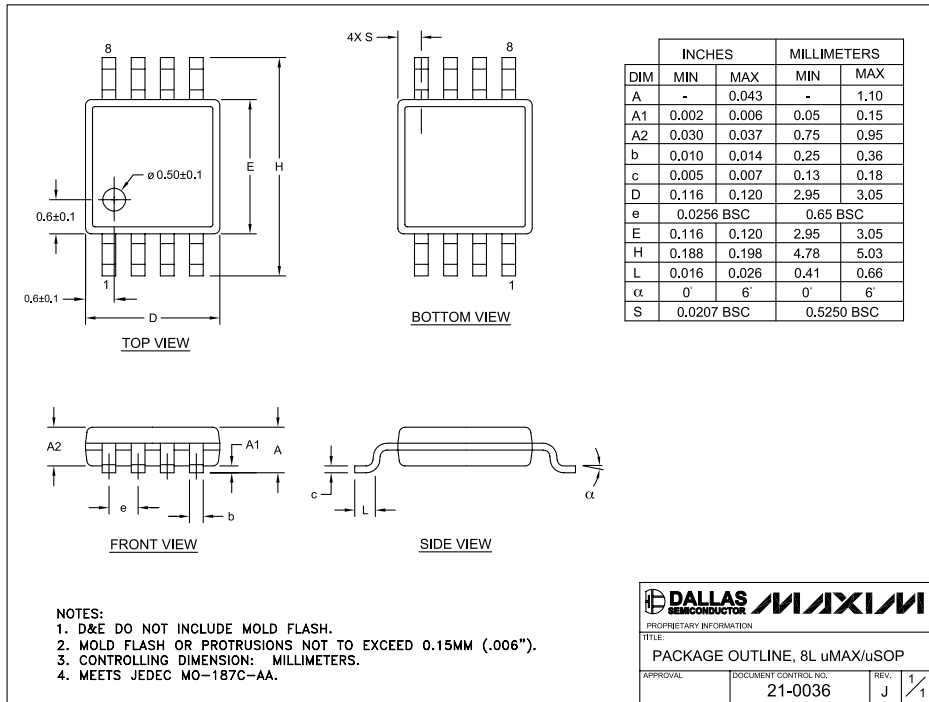
ピン配置



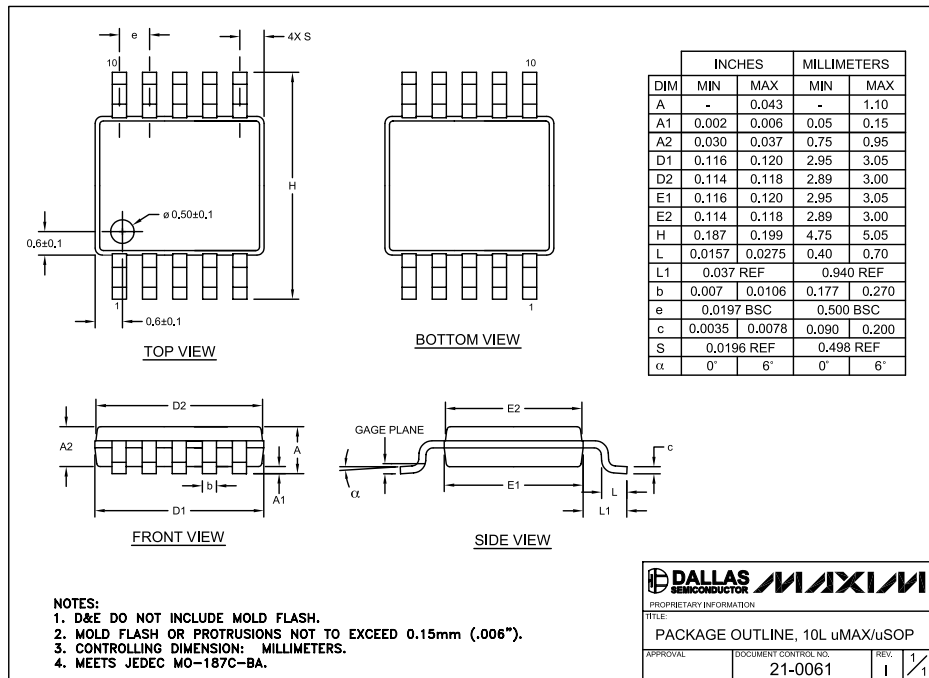
ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

パッケージ

MAX9691/MAX9692/MAX9693



8LUMAX.EPS

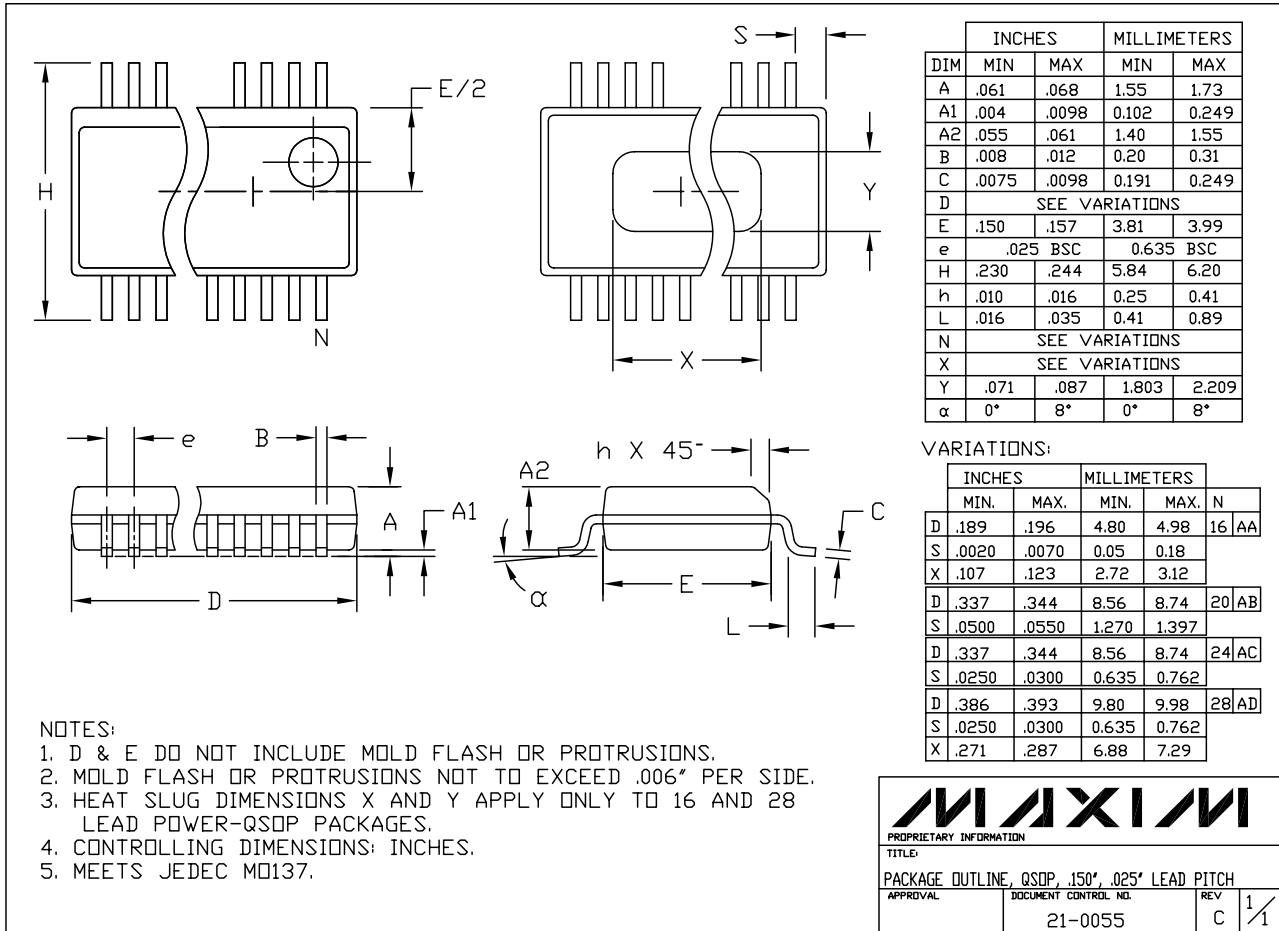


10LUMAX.EPS

ラッチイネーブル付の シングル/デュアル超高速ECL出力コンパレータ

MAX9691/MAX9692/MAX9693

パッケージ(続き)



OSOP:EPS

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

10 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.