

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

概要

MAX9390/MAX9391はデュアル2 x 2クロスポイントスイッチで、高速、低電力、および低ノイズの信号分配を行います。MAX9390/MAX9391は2組の差動入力ペアの1つをチャンネルごとに一方または両方の低電圧差動信号(LVDS)出力に多重化します。個別のイネーブル入力によって各差動出力ペアはオンまたはオフになります。

4つのLVCMOS/LVTTLロジック入力(チャンネル当たり2つ)によって各入力と各出力間の内部接続を制御します。このフレキシビリティによって2 x 2クロスポイントスイッチ、2:1マルチプレクサ、1:2スプリッタ、またはデュアルリピータの構成が可能となります。このため、MAX9390/MAX9391はフォルトトレラントシステムにおける保護スイッチ、診断用ループバックスイッチング、クロック/データの分配用ファンアウトバッファ、および信号再生に最適です。

未入力またはコモンモード電圧が規定された範囲を超えた場合に、フェイルセーフ回路によって出力は差動のロー状態になります。MAX9390はLVDS、HSTL、およびその他のGND基準の差動入力に対してハイレベル入力のフェイルセーフ検出を提供します。MAX9391はLVPECL、CML、およびその他のV_{CC}基準の差動入力に対してローレベル入力のフェイルセーフ検出を提供します。

82ps(p-p) (max)の非常に小さい擬似ランダムビットシーケンス(PRBS)ジッタであるために、タイミングエラーによって大きい影響を受ける高速リンク、特にクロックとデータのリカバリ、またはシリアルライザ/デシリアルライザが組み込まれた高速リンクで信頼性の高い通信が保証されます。高速度スイッチング性能によって1.5GHzの動作と65ps (max)を下回るチャンネル間スキューが保証されます。

LVDS入力と出力はTIA/EIA-644 LVDS規格に対応しています。LVDS出力は100Ωの負荷を駆動します。MAX9390/MAX9391は32ピンTQFPパッケージで提供され、拡張温度範囲(-40℃~+85℃)で動作します。

フロースルーピン配置のMAX9392/MAX9393も参照してください。

アプリケーション

- 高速テレコム/データコム機器
- 電話局バックプレーンクロック分配
- DSLAM
- 保護スイッチング
- フォルトトレラントシステム

機能図と標準動作回路はデータシートの最後に記載されています。



特長

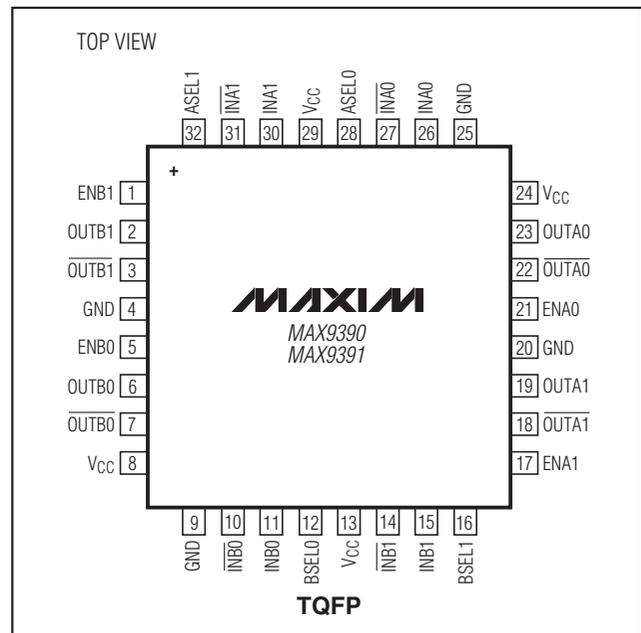
- ◆ 250mV差動出力スイングで1.5GHz動作
- ◆ ランダムジッタ：2ps(RMS) (max)
- ◆ 150mV差動入力で保証されたAC規格
- ◆ 信号入力はあらゆる差動信号規格に対応
- ◆ クロックまたは高速データに対してLVDS出力
- ◆ ハイレベル入力のフェイルセーフ検出(MAX9390)
- ◆ ローレベル入力のフェイルセーフ検出(MAX9391)
- ◆ 電源電圧範囲：3.0V~3.6V
- ◆ LVCMOS/LVTTLロジック入力によって信号経路を制御

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX9390EHJ	-40°C to +85°C	32 TQFP	H32-1
MAX9390EHJ+	-40°C to +85°C	32 TQFP	H32-1
MAX9391EHJ	-40°C to +85°C	32 TQFP	H32-1
MAX9391EHJ+	-40°C to +85°C	32 TQFP	H32-1

+は鉛フリーパッケージを示します。

ピン配置



あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

MAX9390/MAX9391

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +4.1V	Operating Temperature Range	-40°C to +85°C
IN _{__} , $\overline{\text{IN}}_{__}$, OUT _{__} , $\overline{\text{OUT}}_{__}$, EN _{__} , SEL _{__} to GND.....	-0.3V to (V _{CC} + 0.3V)	Junction Temperature	+150°C
IN _{__} to $\overline{\text{IN}}_{__}$	±3V	Storage Temperature Range	-65°C to +150°C
Short-Circuit Duration (OUT _{__} , $\overline{\text{OUT}}_{__}$)	Continuous	ESD Protection (Human Body Model)	
Continuous Power Dissipation (T _A = +70°C)		(IN _{__} , $\overline{\text{IN}}_{__}$, OUT _{__} , $\overline{\text{OUT}}_{__}$, EN _{__} , SEL _{__})	±2kV
32-Pin QFP (derate 13.1mW/°C above +70°C).....	1047mW	Soldering Temperature (10s).....	+300°C
Junction-to-Ambient Thermal Resistance in Still Air			
32-Pin TQFP.....	+76.4°C/W		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = 3.0V to 3.6V, R_L = 100Ω ±1%, EN_{__} = V_{CC}, V_{CM} = 0.05V to (V_{CC} - 0.6V) (MAX9390), V_{CM} = 0.6V to (V_{CC} - 0.05V) (MAX9391) T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = 3.3V, |V_{ID}| = 0.2V, V_{CM} = 1.2V, T_A = +25°C.) (Notes 1, 2, and 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LVC MOS/LVTTL INPUTS (EN_{__}, SEL_{__})							
Input High Voltage	V _{IH}			2.0		V _{CC}	V
Input Low Voltage	V _{IL}			0		0.8	V
Input High Current	I _{IH}	V _{IN} = 2.0V to V _{CC}		0		20	μA
Input Low Current	I _{IL}	V _{IN} = 0 to 0.8V		0		10	μA
DIFFERENTIAL INPUTS (IN_{__}, $\overline{\text{IN}}_{__}$)							
Differential Input Voltage	V _{ID}	V _{ILD} ≥ 0 and V _{IHD} ≤ V _{CC} , Figure 1		0.1		3.0	V
Input Common-Mode Range	V _{CM}	MAX9390		0.05		V _{CC} - 0.6	V
		MAX9391		0.6		V _{CC} - 0.05	
Input Current	I _{IN_{__}} , I _{$\overline{\text{IN}}_{__}$}	MAX9390	V _{ID} ≤ 3.0V	-75		+10	μA
		MAX9391	V _{ID} ≤ 3.0V	-10		+100	
LVDS OUTPUTS (OUT_{__}, $\overline{\text{OUT}}_{__}$)							
Differential Output Voltage	V _{OD}	R _L = 100Ω, Figure 2		250	350	450	mV
Change in Magnitude of V _{OD} Between Complementary Output States	ΔV _{OD}	Figure 2			1.0	50	mV
Offset Common-Mode Voltage	V _{OS}	Figure 2		1.125	1.25	1.375	V
Change in Magnitude of V _{OS} Between Complementary Output States	ΔV _{OS}	Figure 2			1.0	50	mV

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 3.0V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$, $EN_{_} = V_{CC}$, $V_{CM} = 0.05V$ to $(V_{CC} - 0.6V)$ (MAX9390), $V_{CM} = 0.6V$ to $(V_{CC} - 0.05V)$ (MAX9391) $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = 3.3V$, $I_{VID} = 0.2V$, $V_{CM} = 1.2V$, $T_A = +25^\circ C$.) (Notes 1, 2, and 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Short-Circuit Current (Either Output Shorted to GND)	I_{OSI}	$V_{ID} = \pm 100mV$ (Note 4)	$V_{OUT_} \text{ or } V_{\overline{OUT_}} = 0$	30	40	mA
			$V_{OUT_} = V_{\overline{OUT_}} = 0$	18	24	
Output Short-Circuit Current (Outputs Shorted Together)	I_{OSBI}	$V_{ID} = \pm 100mV$, $V_{OUT_} = V_{\overline{OUT_}}$ (Note 4)		5.0	12	mA
SUPPLY CURRENT						
Supply Current	I_{CC}	$R_L = 100\Omega$, $EN_{_} = V_{CC}$		68	98	mA
		$R_L = 100\Omega$, $EN_{_} = V_{CC}$, switching at 670MHz (1.34Gbps)		68	98	

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = 3.0V$ to $3.6V$, $f_{IN} \leq 1.34GHz$, $t_{R_IN} = t_{F_IN} = 125ps$, $R_L = 100\Omega \pm 1\%$, $I_{VID} \geq 150mV$, $V_{CM} = 0.075V$ to $(V_{CC} - 0.6V)$ (MAX9390 only), $V_{CM} = 0.6V$ to $(V_{CC} - 0.075V)$ (MAX9391 only), $EN_{_} = V_{CC}$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = 3.3V$, $I_{VID} = 0.2V$, $V_{CM} = 1.2V$, $f_{IN} = 1.34GHz$, $T_A = +25^\circ C$.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$_SEL_$ to Switched Output	t_{SWITCH}	Figure 3			1.1	ns
Disable, Time to Differential Output Low	t_{PHD}	Figure 4			1.7	ns
Enable, Time to Differential Output High	t_{PDH}	Figure 4			1.7	ns
Switching Frequency	f_{MAX}	$V_{OD} \geq 250mV$	1.50	2.20		GHz
Low-to-High Propagation Delay	t_{PLH}	Figures 1, 5	294	409	565	ps
High-to-Low Propagation Delay	t_{PHL}	Figures 1, 5	286	402	530	ps
Pulse Skew $(t_{PLH} - t_{PHL})$	t_{SKEW}	Figures 1, 5 (Note 6)		7	97	ps
Output-to-Output Skew	t_{CCS}	Figures 5, 6 (Note 7)		10	65	ps
Output Low-to-High Transition Time (20% to 80%)	t_R	Figures 1, 5; $f_{IN} = 100MHz$	112	153	185	ps
Output High-to-Low Transition Time (80% to 20%)	t_F	Figures 1, 5; $f_{IN} = 100MHz$	112	153	185	ps
Added Random Jitter	t_{RJ}	$f_{IN_} = 1.34GHz$, clock pattern (Note 8)			2	ps(RMS)
Added Deterministic Jitter	t_{DJ}	1.34Gbps, $2^{23} - 1$ PRBS (Note 8)		55	82	ps(P-P)

Note 1: Measurements obtained with the device in thermal equilibrium. All voltages referenced to GND except V_{ID} , V_{OD} , and ΔV_{OD} .

Note 2: Current into the device defined as positive. Current out of the device defined as negative.

Note 3: DC parameters tested at $T_A = +25^\circ C$ and guaranteed by design and characterization for $T_A = -40^\circ C$ to $+85^\circ C$.

Note 4: Current through either output.

Note 5: Guaranteed by design and characterization. Limits set at ± 6 sigma.

Note 6: t_{SKEW} is the magnitude difference of differential propagation delays for the same output over same conditions. $t_{SKEW} = |t_{PHL} - t_{PLH}|$.

Note 7: Measured between outputs of the same device at the signal crossing points for a same-edge transition, under the same conditions.

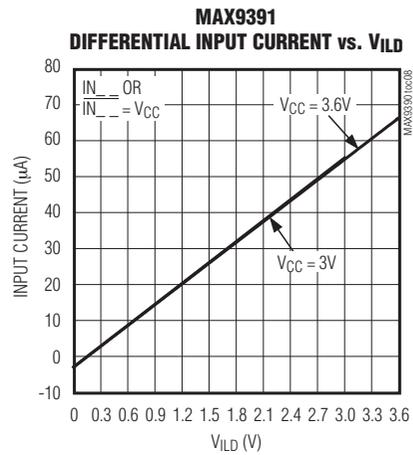
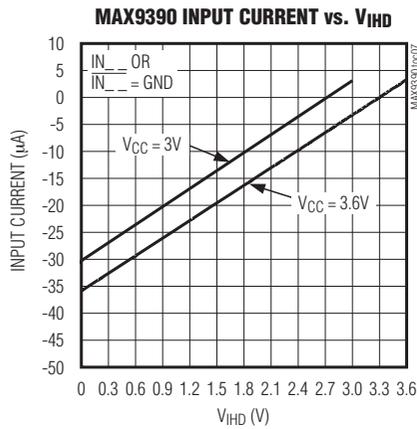
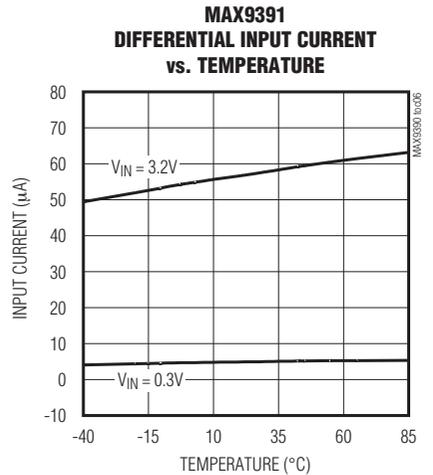
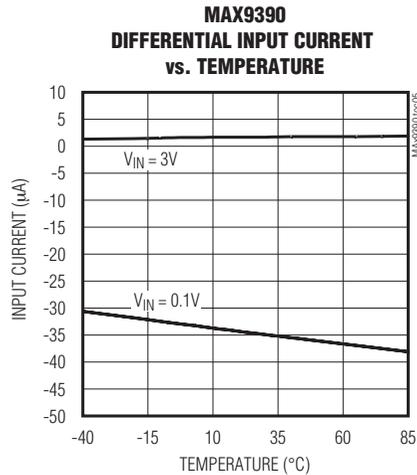
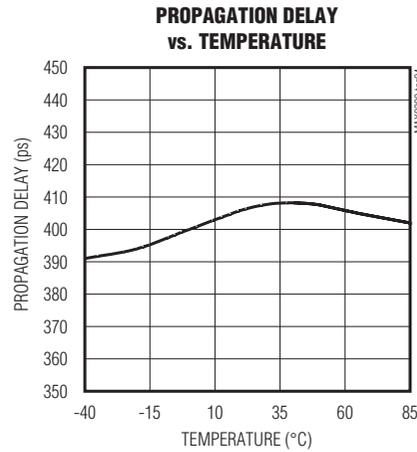
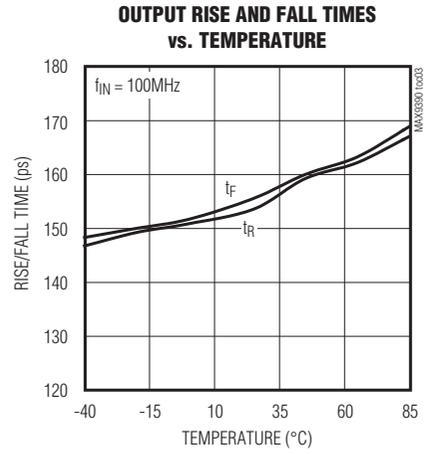
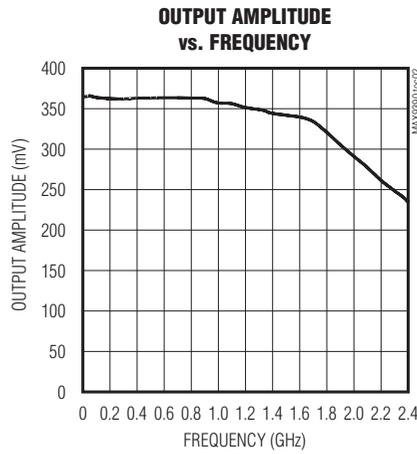
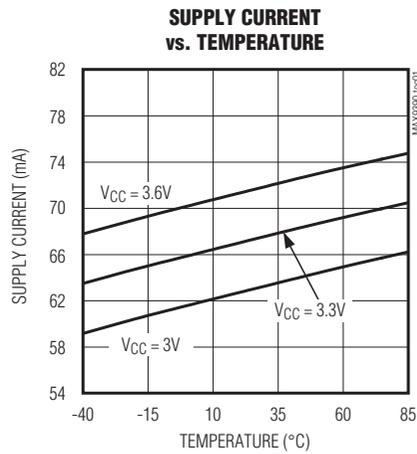
Note 8: Device jitter added to the differential input signal.

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

MAX9390/MAX9391

標準動作特性

($V_{CC} = 3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = 1.2V$, $f_{IN} = 1.34GHz$, $T_A = +25^{\circ}C$.)



あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

MAX9390/MAX9391

端子説明

端子	名称	機能
1	ENB1	B1の出力イネーブル。ENB1をハイに駆動するとB1のLVDS出力がイネーブルになります。接続されていない場合は内蔵の435kΩの抵抗によってENB1はローに強制されます。
2	OUTB1	B1のLVDSの非反転出力。正常な動作を保証するためにはOUTB1と $\overline{\text{OUTB1}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
3	$\overline{\text{OUTB1}}$	B1のLVDSの反転出力。正常な動作を保証するためにはOUTB1と $\overline{\text{OUTB1}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
4, 9, 20, 25	GND	グラウンド
5	ENB0	B0の出力イネーブル。ENB0をハイに駆動するとB0のLVDS出力がイネーブルになります。接続されていない場合は内蔵の435kΩの抵抗によってENB0はローに強制されます。
6	OUTB0	B0のLVDSの非反転出力。正常な動作を保証するためにはOUTB0と $\overline{\text{OUTB0}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
7	$\overline{\text{OUTB0}}$	B0のLVDSの反転出力。正常な動作を保証するためにはOUTB0と $\overline{\text{OUTB0}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
8, 13, 24, 29	V _{CC}	電源入力。各V _{CC} を0.1μFと0.01μFのセラミックコンデンサでGNDにバイパスしてください。両方のコンデンサは可能な限りデバイスの近くに配置し、0.01μFのコンデンサの方をデバイスに近くしてください。
10	$\overline{\text{INB0}}$	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
11	INB0	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の非反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
12	BSEL0	B0出力用の入力選択。B0差動出力に差動入力を再生するために選択します。BSEL0をGNDに接続するか、またはオープンのままにすると、入力内のINB0 ($\overline{\text{INB0}}$)のセットが選択されます。BSEL0をV _{CC} に接続すると入力内のINB1 ($\overline{\text{INB1}}$)のセットが選択されます。接続されていない場合は内蔵の435kΩの抵抗によってBSEL0はローに強制されます。
14	$\overline{\text{INB1}}$	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
15	INB1	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の非反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
16	BSEL1	B1出力用の入力選択。B1差動出力に差動入力を再生するために選択します。BSEL1をGNDに接続するか、またはオープンのままにすると、入力内のINB0 ($\overline{\text{INB0}}$)のセットが選択されます。BSEL1をV _{CC} に接続すると入力内のINB1 ($\overline{\text{INB1}}$)のセットが選択されます。接続されていない場合は内蔵の435kΩの抵抗によってBSEL1はローに強制されます。

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

MAX9390/MAX9391

端子説明(続き)

端子	名称	機能
17	ENA1	A1出力のイネーブル。ENA1をハイに駆動するとA1のLVDS出力がイネーブルになります。接続されていない場合は内蔵の435kΩの抵抗によってENA1はローに強制されます。
18	$\overline{\text{OUTA1}}$	A1のLVDSの反転出力。正常な動作を保証するためにはOUTA1と $\overline{\text{OUTA1}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
19	OUTA1	A1のLVDSの非反転出力。正常な動作を保証するためにはOUTA1と $\overline{\text{OUTA1}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
21	ENA0	A0出力のイネーブル。ENA0をハイに駆動するとA0のLVDS出力がイネーブルになります。接続されていない場合は内蔵の435kΩの抵抗によってENA0はローに強制されます。
22	$\overline{\text{OUTA0}}$	A0のLVDSの反転出力。正常な動作を保証するためにはOUTA0と $\overline{\text{OUTA0}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
23	OUTA0	A0のLVDSの非反転出力。正常な動作を保証するためにはOUTA0と $\overline{\text{OUTA0}}$ 間にそのレシーバ入力で100Ωの終端抵抗を接続してください。
26	INA0	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の非反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
27	$\overline{\text{INA0}}$	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
28	ASEL0	A0出力用の入力選択。A0差動出力に差動入力を再生するために選択します。ASEL0をGNDに接続するか、またはオープンのままにすると、入力内のINA0 (INA0)のセットが選択されます。ASEL0をV _{CC} に接続すると入力内のINA1 (INA1)のセットが選択されます。接続されていない場合は内蔵の435kΩの抵抗によってASEL0はローに強制されます。
30	INA1	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の非反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
31	$\overline{\text{INA1}}$	LVDS/HSTL (MAX9390)またはLVPECL/CML (MAX9391)の反転入力。接続されない場合はV _{CC} に接続された内蔵の128kΩの抵抗が入力をハイに強制します(MAX9390)。接続されない場合はGNDに接続された内蔵の68kΩの抵抗が入力をローに強制します(MAX9391)。
32	ASEL1	A1出力用の入力選択。A1差動出力に差動入力を再生するために選択します。ASEL1をGNDに接続するか、またはオープンのままにすると、入力内のINA0 (INA0)のセットが選択されます。ASEL1をV _{CC} に接続すると入力内のINA1 (INA1)のセットが選択されます。接続されていない場合は内蔵の435kΩの抵抗によってASEL1はローに強制されます。

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

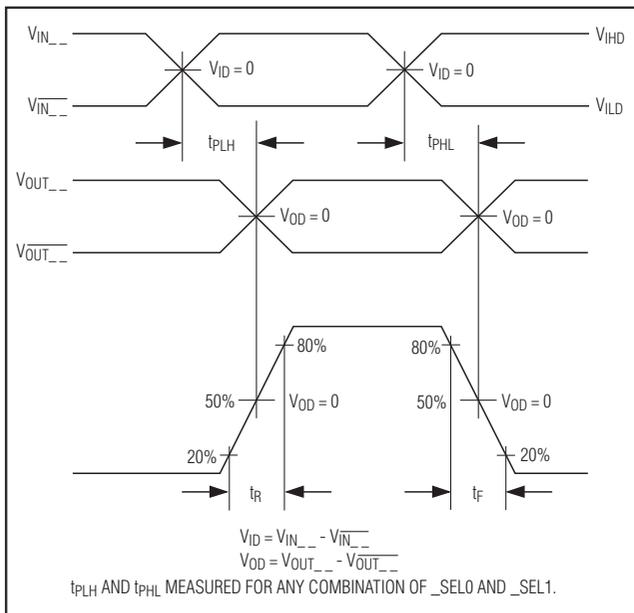


図1. 出力の遷移時間および伝播遅延タイミング図

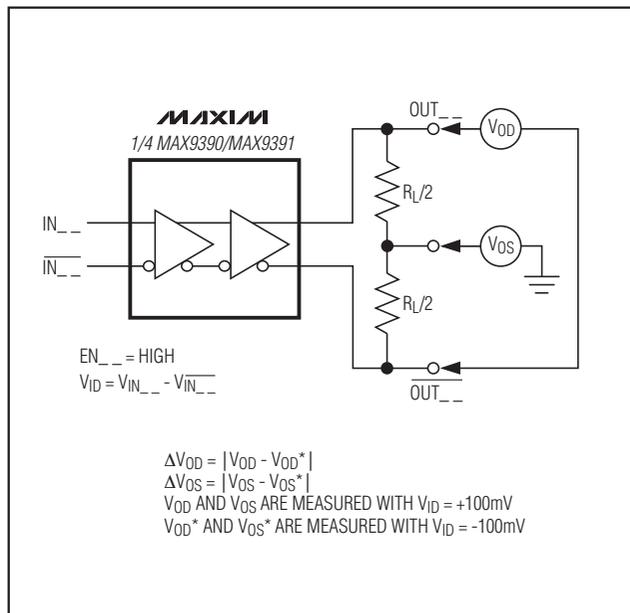


図2. V_{OD} と V_{OS} の試験回路

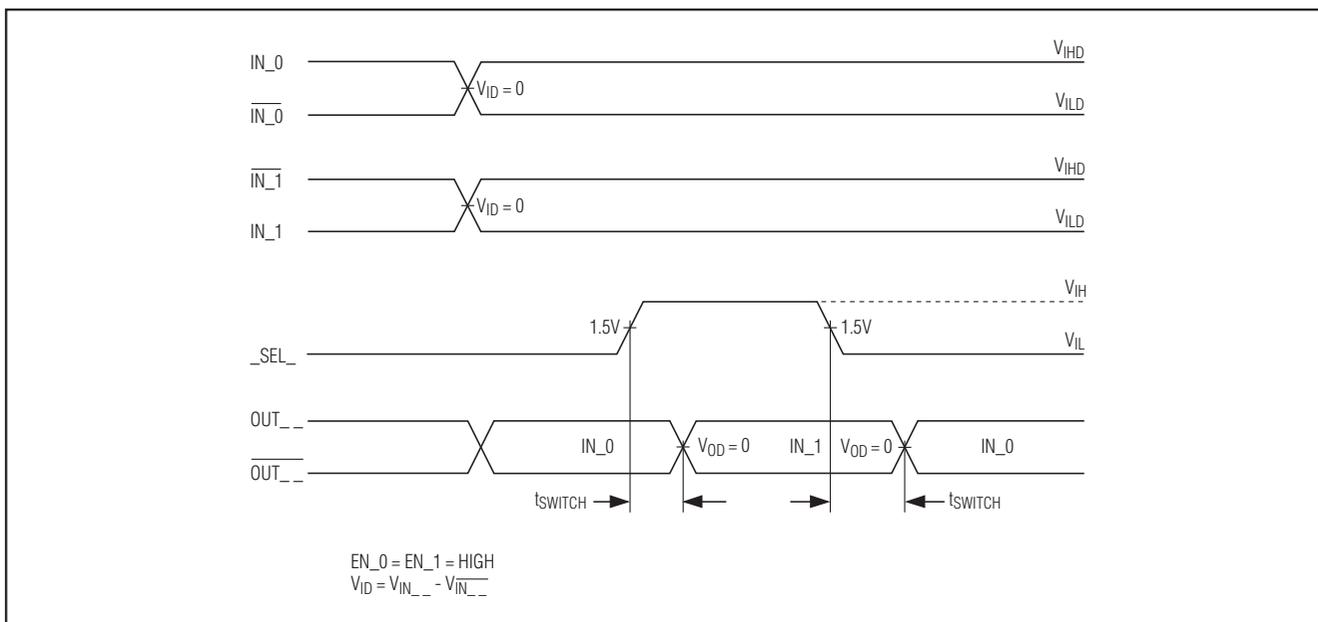


図3. 立上り/立下りエッジ選択入力および多重化スイッチのタイミング図

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

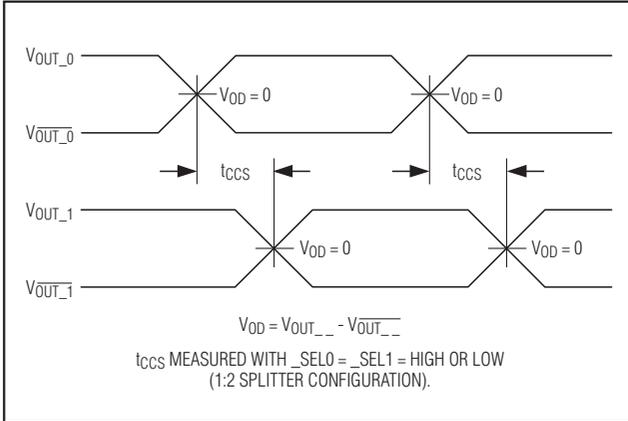


図6. 出力のチャンネル間スキュー

詳細

LVDSインタフェース規格はANSI TIA/EIA-644規格によって定義されたインピーダンス制御された媒体によるポイント間通信に対する信号方式を提供します。LVDSは他の通信規格よりも小さい電圧振幅を使用して、小さい消費電力でより高速のデータ速度を達成し、しかもEMI放射とノイズに対するシステム感度が小さくなります。

MAX9390/MAX9391は1.5GHzデュアル2 x 2クロスポイントスイッチで、高速、低電力、ポイント間インタフェースを最適化します。MAX9390はLVDSおよびHSTL信号を受け取り、MAX9391はLVPECLおよびCML信号を受け取ります。両方のデバイスとも各入力信号を片方または両方のLVDS出力に配信します。

1:2のスプリッタに構成されている場合は出力には選択された入力が見えます。この構成では保護スイッチングのために信号のコピーが作られます。リピータに構成された場合は、デバイスは2チャンネルのバッファとして動作します。リピータによって信号振幅が再生されて、媒体セグメントの分離またはより長い媒体駆動が可能になります。2:1のマルチプレクサに構成された場合は、保護スイッチ付きのフォルトトレラントアプリケーションを提供するために一次、またはバックアップ信号を選択します。

入力のフェイルセーフ

MAX9390/MAX9391の差動入力にはフェイルセーフ保護が内蔵されています。フェイルセーフ回路によって、未入力またはコモンモード電圧が規定された範囲を超えた場合に、出力は差動のロー状態になります。MAX9390はLVDS、HSTL、およびその他のGND基準の差動入力に対してハイレベル入力のフェイルセーフ検出を提供します。MAX9391はLVPECL、CML、およびその他のV_{CC}基準の差動入力に対してローレベル入力のフェイルセーフ検出を提供します。

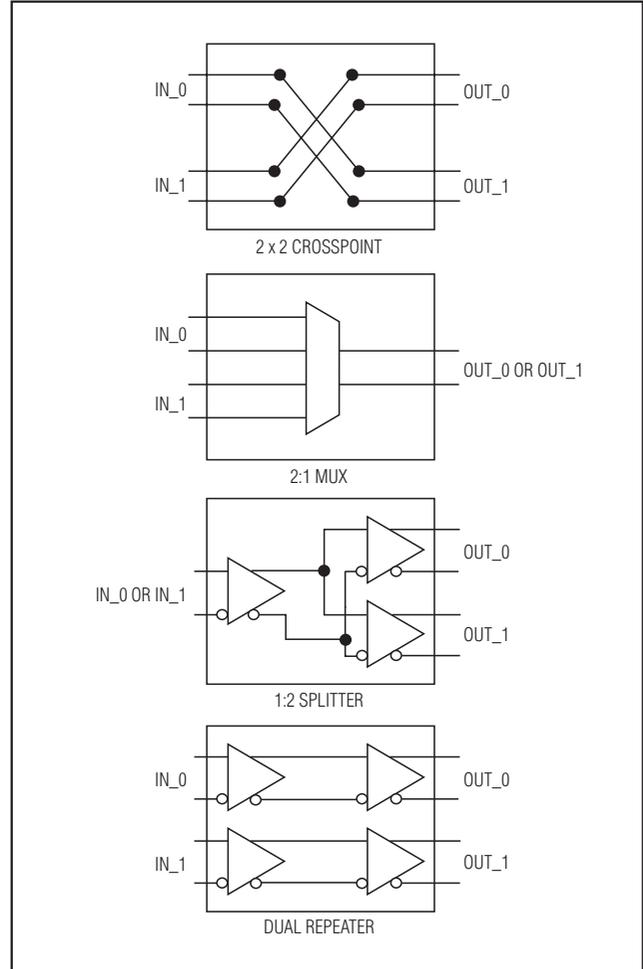


図7. 設定可能な構成

機能の選択

SELのロジック入力によって入力と出力の接続を制御します。2つのロジック入力各々が各チャンネルの信号経路を制御します。SEL0とSEL1によって差動クロスポイントスイッチ、2:1のマルチプレクサ、または1:2のスプリッタとしてデバイスを構成することが可能です(図7)。モード選択設定は表1を参照してください(SELに対してAまたはBを入力します)。チャンネルAとBは別の選択入力を備えているため、各チャンネルで異なった構成にすることが可能です。

イネーブル機能

ENのロジック入力によって各差動出力セットをイネーブルおよびディセーブルにします。EN_0をV_{CC}に接続するとOUT₀/OUT₀の差動出力ペアがイネーブルになります。EN_0をGNDに接続するとOUT₀/OUT₀の差動出力ペアがディセーブルになります。差動出力ペアはディセーブルにすると差動のロー状態になります。

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

表1. 入力/出力の機能表

_SEL0	_SEL1	OUT_0 / $\overline{\text{OUT}}_0$	OUT_1 / $\overline{\text{OUT}}_1$	MODE
0	0	IN_0 / $\overline{\text{IN}}_0$	IN_0 / $\overline{\text{IN}}_0$	1:2 splitter
0	1	IN_0 / $\overline{\text{IN}}_0$	IN_1 / $\overline{\text{IN}}_1$	Repeater
1	0	IN_1 / $\overline{\text{IN}}_1$	IN_0 / $\overline{\text{IN}}_0$	Switch
1	1	IN_1 / $\overline{\text{IN}}_1$	IN_1 / $\overline{\text{IN}}_1$	1:2 splitter

アプリケーション情報

差動入力

MAX9390/MAX9391の入力は規定されたコモンモード電圧の範囲内のどのような差動信号規格をも受け取ることができます。フェイルセーフ機能はコモンモード信号レベルを検出して駆動されない入力またはコモンモード電圧が規定された範囲を超えると差動出力ローの状態を生成します。使用しない入力はMAX9390ではV_{CC}に接続し、MAX9391ではGNDに接続してください。

差動出力

電源が電源投入時に立ち上がっているときはLVDS出力が0.6Vより大きいと出力コモンモード電圧は正しく確立されません。この状態はLVDS出力が同じチップのLVDS入力を駆動する場合に起こる可能性があります。MAX9390/MAX9391でこのような状況になることを避けるためには非反転出力(OUT₊)とグランド間に10kΩの抵抗を接続し、反転出力($\overline{\text{OUT}}_+$)とグランド間に10kΩを接続します。これらのプルダウン抵抗によって電源が立ち上がっているときの出力が0.6Vを下回ることができます(図8)。

LVDS出力ポート数の拡張

より大規模にスイッチングをするためには複数デバイスをカスケード接続にします。最大に可能なスイッチの規模を決定するためには総伝播遅延と総ジッタを考慮します。

電源バイパス

各V_{CC}を高周波用表面実装セラミック0.1μFおよび0.01μFのコンデンサを並列接続して可能な限りデバイスに近づけてGNDにバイパスしてください。0.01μFのコンデンサをデバイスに最も近く配置してください

差動トレース

入力と出力のトレース特性はMAX9390/MAX9391の性能に影響します。各入力と出力は50Ωの特性インピーダンスのトレースに接続してください。各差動トレース間の距離を一定に維持し、差動インピーダンスの不連続性を避けて、コモンモードノイズ耐性を最大化するために鋭角のコーナがないようにしてください。差動入力および出力トレースはピアの数を最小にして

インピーダンスの不連続性が生じないようにしてください。コネクタおよびケーブルを通して50Ωの特性インピーダンスを維持して反射を避けてください。トレースの電気長をマッチさせて、スキューを小さくしてください。

出力終端

LVDSの出力は差動出力間をそのレシーバの入力点で100Ωの終端をしてください。正常な動作のためにはLVDS出力には100Ωの終端が必要です。

出力電流は「Absolute Maximum Ratings (絶対最大定格)」に定められた電流限界値を超えないようにしてください。すべての条件下でMAX9390/MAX9391の総熱限界を守ってください。

ケーブルとコネクタ

伝送媒体としては整合の取れた差動インピーダンスを使用してください。整合された差動インピーダンスのケーブルとコネクタを使用すると、インピーダンスの不連続性が最小になります。不平衡ケーブルは使用しないでください。対より線ペアなどの平衡型ケーブルは優れた品質を提供し、相殺効果のためにEMIの発生が少ない傾向があります。

ボードレイアウト

高速度信号アプリケーションには信号、電源、およびグランドプレーンが別になった4層のプリント基板(PCB)を使用してください。V_{CC}をGNDにデバイスに可能な限り近づけてバイパスしてください。可能な限りレシーバ入力に近づけて終端を配置してください。差動トレースの電気的な長さを整合させると信号スキューが最小になります。

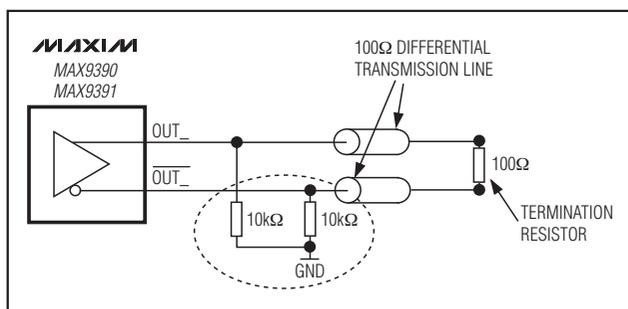
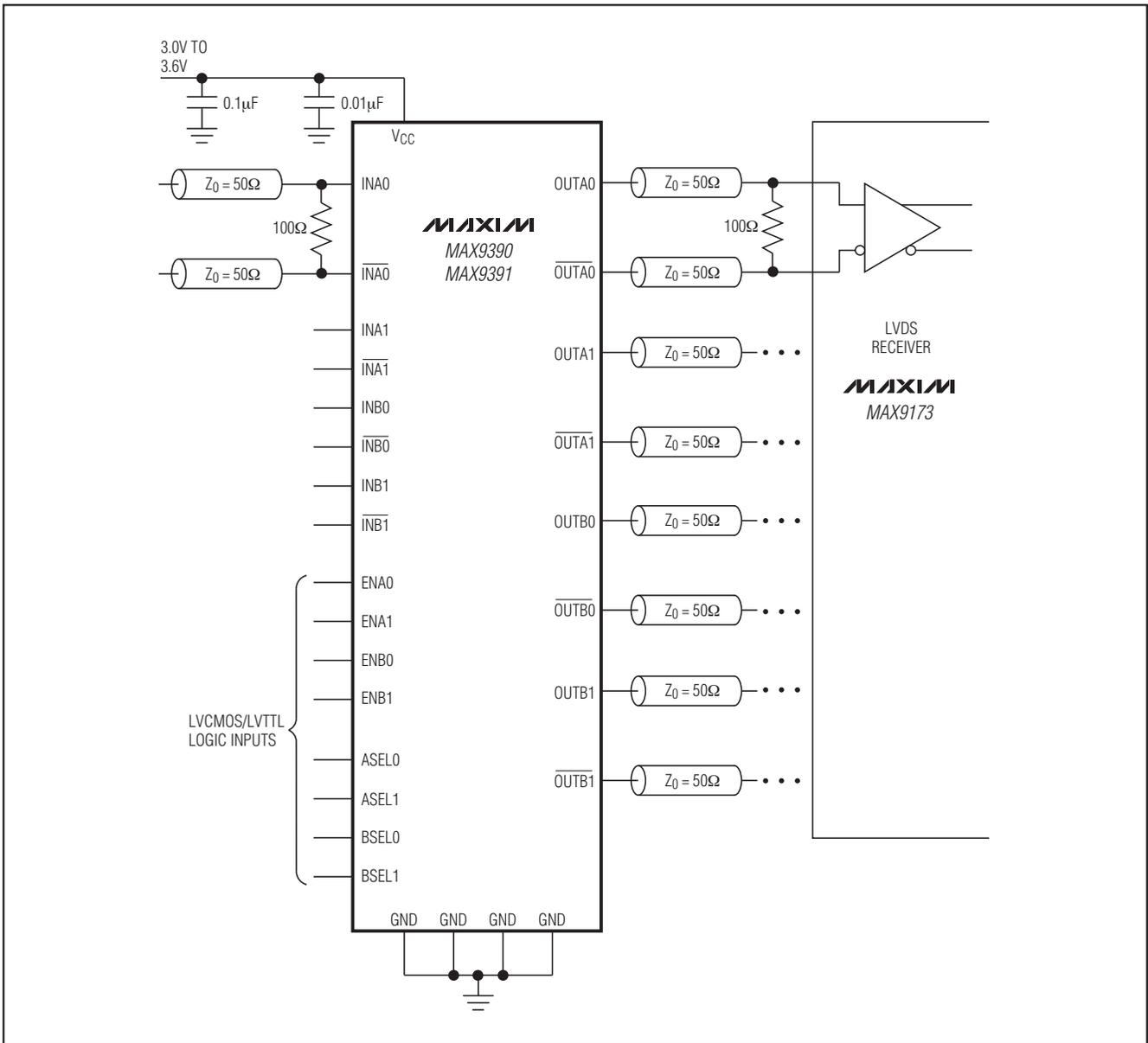


図8. LVDS出力のプルダウン抵抗構成

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

標準動作回路

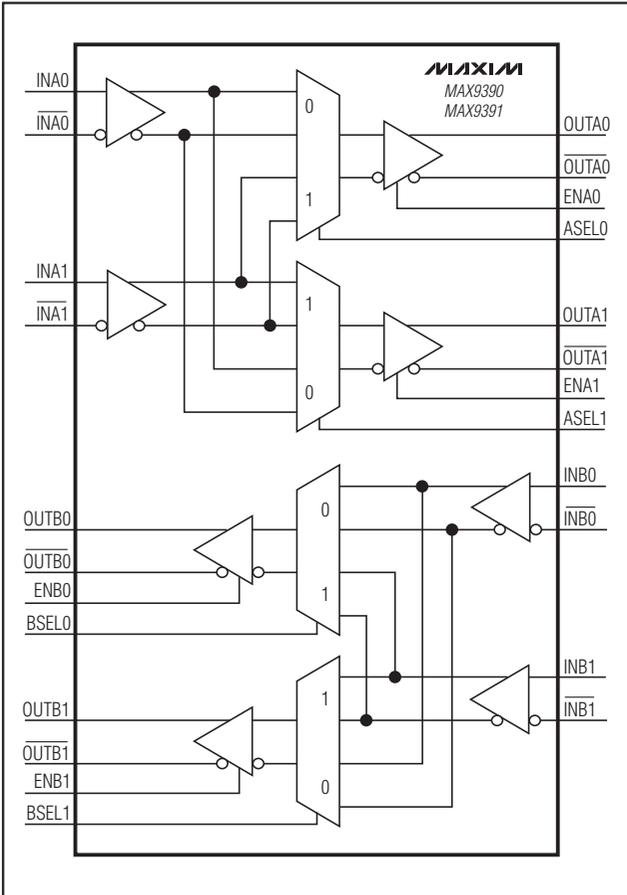


MAX9390/MAX9391

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

MAX9390/MAX9391

機能図



チップ情報

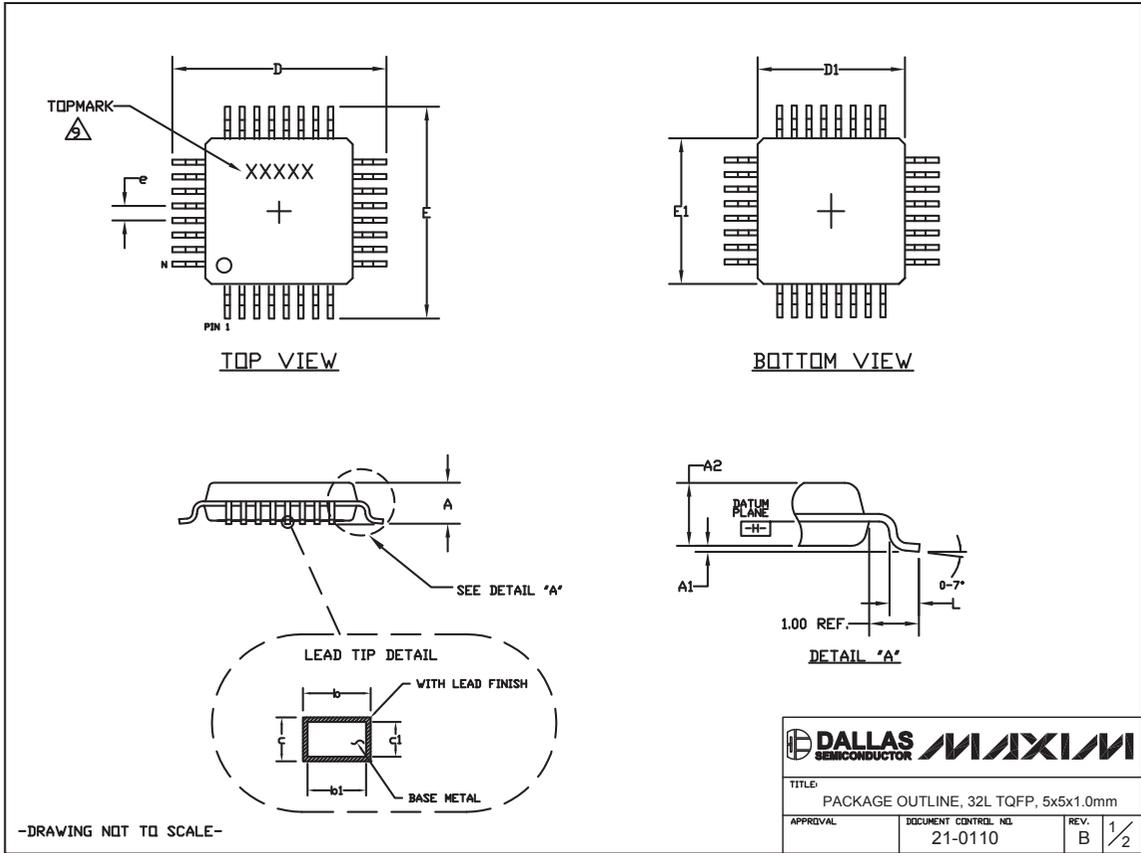
TRANSISTOR COUNT: 1565

PROCESS: BIPOLAR

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



MAX9390/MAX9391

あらゆる信号からLVDSへのデュアル2 x 2 クロスポイントスイッチ

MAX9390/MAX9391

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE E_{B1} IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D_1 AND E_1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D_1 AND E_1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. TOPMARK SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

JEDEC VARIATIONS DIMENSIONS IN MILLIMETERS		
AAA		
5x5x1.0 MM		
	MIN.	MAX.
A	\approx	1.20
A ₁	0.05	0.15
A ₂	0.95	1.05
D	6.80	7.20
D ₁	4.80	5.20
E	6.80	7.20
E ₁	4.80	5.20
L	0.45	0.75
N	32	
e	0.50 BSC.	
b	0.17	0.27
b ₁	0.17	0.23
c	0.09	0.20
c ₁	0.09	0.16

	
TITLE: PACKAGE OUTLINE, 32L TQFP, 5x5x1.0mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0110
REV. B	2/2

-DRAWING NOT TO SCALE-

改訂履歴

Rev 2での変更ページ: 1~4、6、8、10~14

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**