

10ビットLVDSシリアルライザ

MAX9235

概要

MAX9235シリアルライザは10ビット幅の平行LVCMOS/LVTTLデータを高速のシリアル、低電圧差動信号(LVDS)のデータストリームに変換します。このシリアルライザはシリアル出力を受信してそれを元の10ビット幅の平行データに変換するMAX9206などのデシリアルライザと対にして使用されるのが普通です。

MAX9235はPCBトレースまたは対より線ケーブルによって最高400Mbpsの速度でシリアルデータを伝送します。クロックはシリアルデータストリームの中から再生されるため、平行バスの場合に存在するクロックとデータ間、およびデータ間のスキューは、排除されます。

シリアルライザのMAX9235は外付け部品や制御信号なしに16MHz~40MHzのシステムクロックにロックすることができます。シリアルライザの出力は、このデバイスがローカルシステムクロックに完全にロックされるまではハイインピーダンスを維持します。

MAX9235は+3.3Vの単一電源で動作し、-40℃~+105℃で動作が保証され16ピンのTQFN (3mm x 3mm)パッケージで提供されます。

アプリケーション

車線逸脱警報システム リアビューカメラ
監視カメラ 製造ラインの監視

特長

- ◆ 単方向リンク用に最適なスタンドアロンシリアルライザ (SERDESと比較して)
- ◆ デシリアルライザの再同期用のフレーミングビットによってシステム割込みなしに活線挿入が可能
- ◆ ポイント間アプリケーション仕様のLVDSシリアル出力
- ◆ 広いリファレンスクロック入力範囲
16MHz~40MHz
- ◆ 31mAの低電源電流
- ◆ 10ビット平行LVCMOS/LVTTLインタフェース
- ◆ ペイロードデータレート：最高400Mbps
- ◆ 小型16ピンTQFN (3mm x 3mm)パッケージ

型番

PART	PIN-PACKAGE	REF CLOCK RANGE (MHz)	PKG CODE
MAX9235ETE+	16 TQFN-EP*	16 to 40	TI633-5

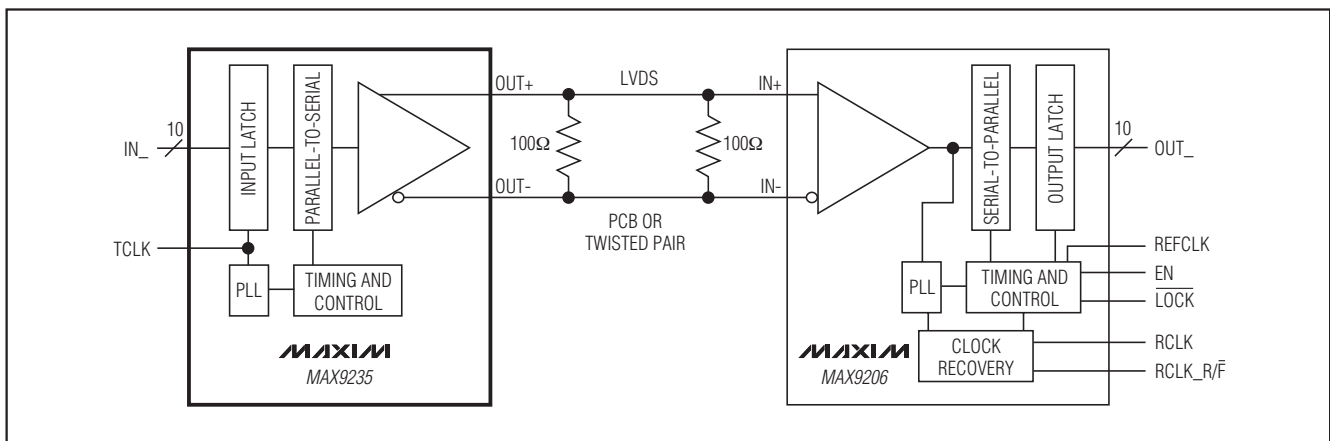
+は鉛フリーパッケージを示します。

注：このデバイスは-40℃~+105℃の温度範囲での動作が保証されています。

*EP = エクスポートパッド。

ピン配置と機能図はデータシートの最後に記載されています。

標準動作回路



10ビットLVDSシリアライザ

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND -0.3V to +4.0V
 IN₋, TCLK to GND -0.3V to (V_{CC} + 0.3V)
 OUT+, OUT- to GND -0.3V to +4.0V
 Output Short-Circuit Duration Continuous
 Continuous Power Dissipation (T_A = +70°C)
 16-Pin TQFN (derate 14.7mW/°C above +70°C) 1177mW

Storage Temperature Range -65°C to +150°C
 Junction Temperature +150°C
 Operating Temperature Range -40°C to +105°C
 Lead Temperature (soldering, 10s) +300°C
 ESD Protection (Human Body Model, OUT+, OUT-) ±8kV
 ESD Protection (Human Body Model, IN₋, TCLK) ±2kV

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, R_L = 50Ω ±1%, C_L = 10pF, T_A = -40°C to +105°C. Typical values are at V_{CC} = +3.3V and T_A = +25°C, unless otherwise noted.) (Notes 1, 2, 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LVCMOS/LVTLL LOGIC INPUTS (IN0 TO IN9, EN, TCLK)							
High-Level Input Voltage	V _{IH}			2.0		V _{CC}	V
Low-Level Input Voltage	V _{IL}			GND		0.8	V
Input Current	I _{IN}	V _{IN_} = 0 or V _{CC}		-20		+20	μA
LVDS OUTPUTS (OUT+, OUT-)							
Differential Output Voltage	V _{OD}	Figure 1	R _L = 100Ω	600	735	950	mV
			R _L = 50Ω	250	370	470	
Change in V _{OD} Between Complementary Output States	ΔV _{OD}	Figure 1		1		35	mV
Output Offset Voltage	V _{OS}	Figure 1	R _L = 100Ω	1.025	1.265	1.375	V
			R _L = 50Ω	1.125	1.265	1.375	
Change in V _{OS} Between Complementary Output States	ΔV _{OS}	Figure 1		3		35	mV
Output Short-Circuit Current	I _{OS}	OUT+ or OUT- = 0, IN0 to IN9 = EN = high		-13		-15	mA
Power-Off Output Current	I _{OX}	V _{CC} = 0, OUT+ or OUT- = 0 or 3.6V		-10		+10	μA
POWER SUPPLY							
Supply Current	I _{CC}	R _L = 100Ω or 50Ω worst-case pattern (Figures 2, 4)	16MHz	22		35	mA
			40MHz	31		45	

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, $R_L = 50\Omega \pm 1\%$, $C_L = 5pF$, $T_A = -40^\circ C$ to $+105^\circ C$. Typical values are at $V_{CC} = +3.3V$ and $T_A = +25^\circ C$, unless otherwise noted.) (Notes 2, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TRANSMIT CLOCK (TCLK) TIMING REQUIREMENTS						
TCLK Center Frequency	f_{TCCF}		16		40	MHz
TCLK Frequency Variation	TCFV		-200		+200	ppm
TCLK Period	t_{TCP}		25		62.5	ns
TCLK Duty Cycle	TCDC		40		60	%
TCLK Input Transition Time	t_{CLKT}	Figure 3		3	6	ns
TCLK Input Jitter	t_{JIT}				150	ps (RMS)
SWITCHING CHARACTERISTICS						
Low-to-High Transition Time	t_{LHT}	Figure 4	$R_L = 100\Omega$	370	500	ps
			$R_L = 50\Omega$	350	500	
High-to-Low Transition Time	t_{HLT}	Figure 4	$R_L = 100\Omega$	370	500	ps
			$R_L = 50\Omega$	350	500	
IN_ Setup to TCLK	t_S	Figure 5	1			ns
IN_ Hold from TCLK	t_H	Figure 5	3			ns
PLL Lock Time	t_{PL}	Figure 6	2048 x t_{TCP}		2049 x t_{TCP}	ns
Bus LVDS Bit Width	t_{BIT}			$t_{TCP} / 12$		ns
Serializer Delay	t_{SD}	Figure 7	$t_{TCP} / 6$		$(t_{TCP} / 6) + 5$	ns

Note 1: Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground except V_{OD} , ΔV_{OD} , and V_{OS} .

Note 2: C_L includes scope probe and test jig capacitance.

Note 3: Parameters 100% tested at $T_A = +25^\circ C$. Limits over operating temperature range guaranteed by design and characterization.

Note 4: AC parameters are guaranteed by design and characterization.

10ビットLVDSシリアライザ

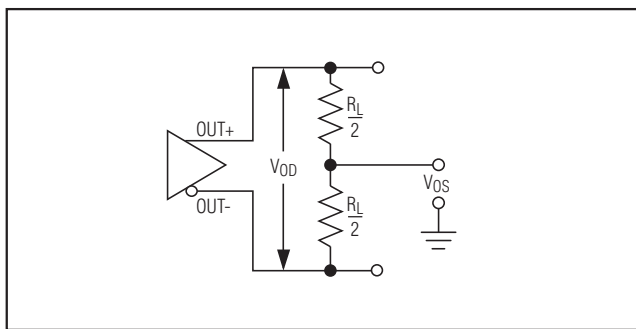


図1. 出力電圧の定義

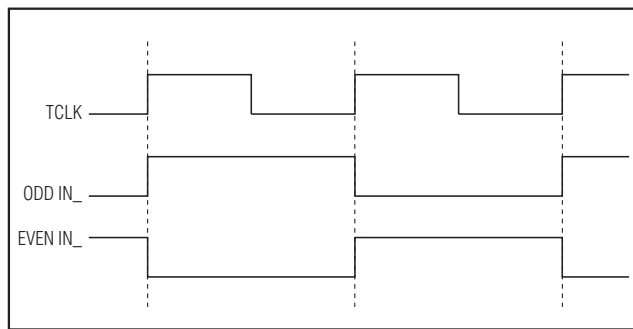
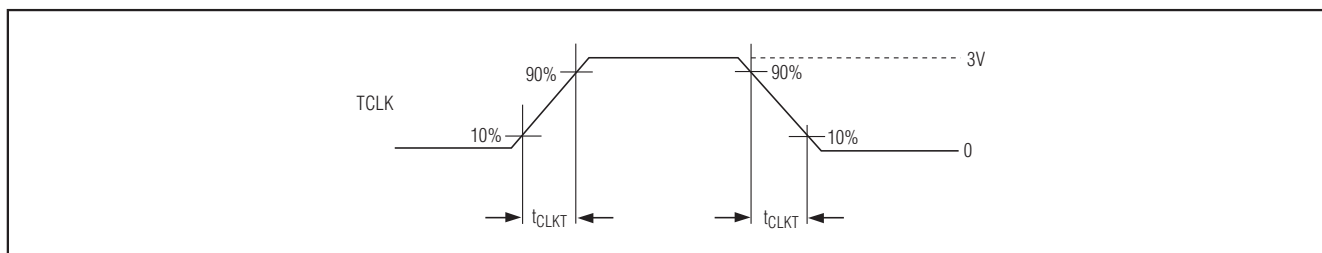
図2. ワorstケースの I_{CC} テストパターン

図3. 入力クロック遷移時間要件

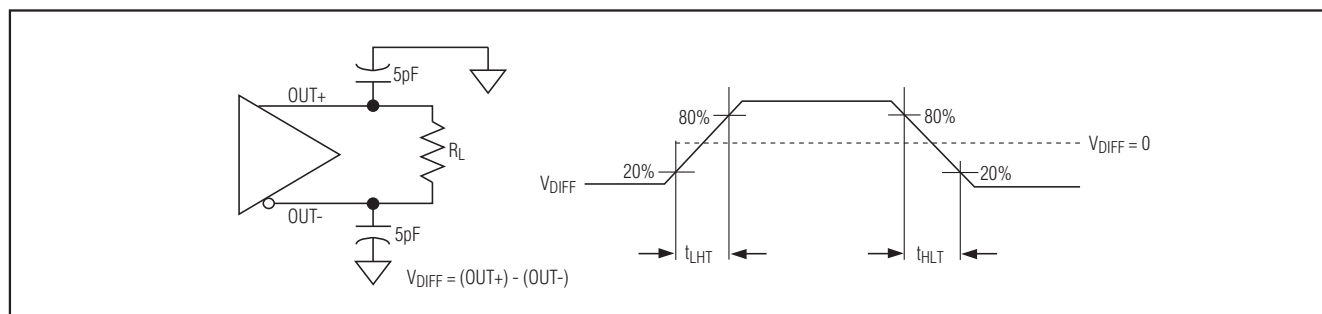


図4. 出力負荷と遷移時間

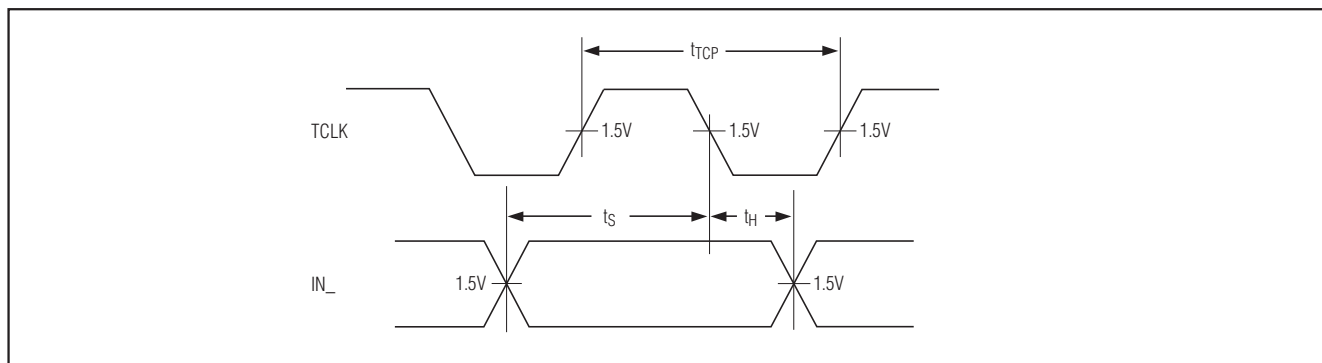


図5. データ入力のセットアップ時間とホールド時間

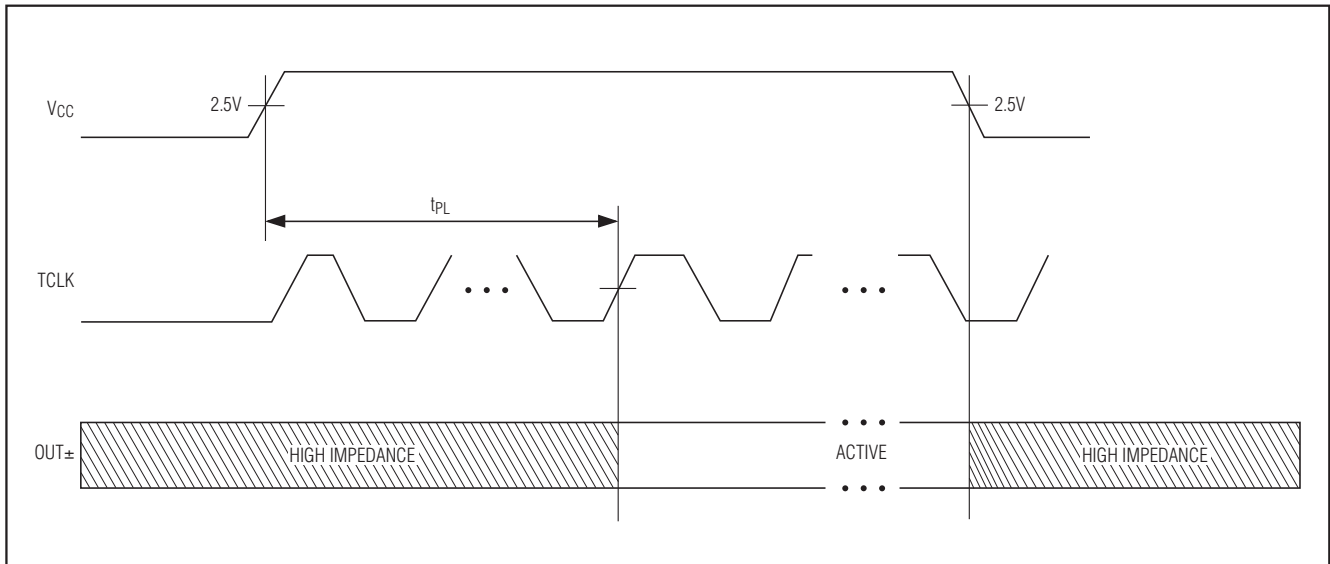


図6. PLLロック時間

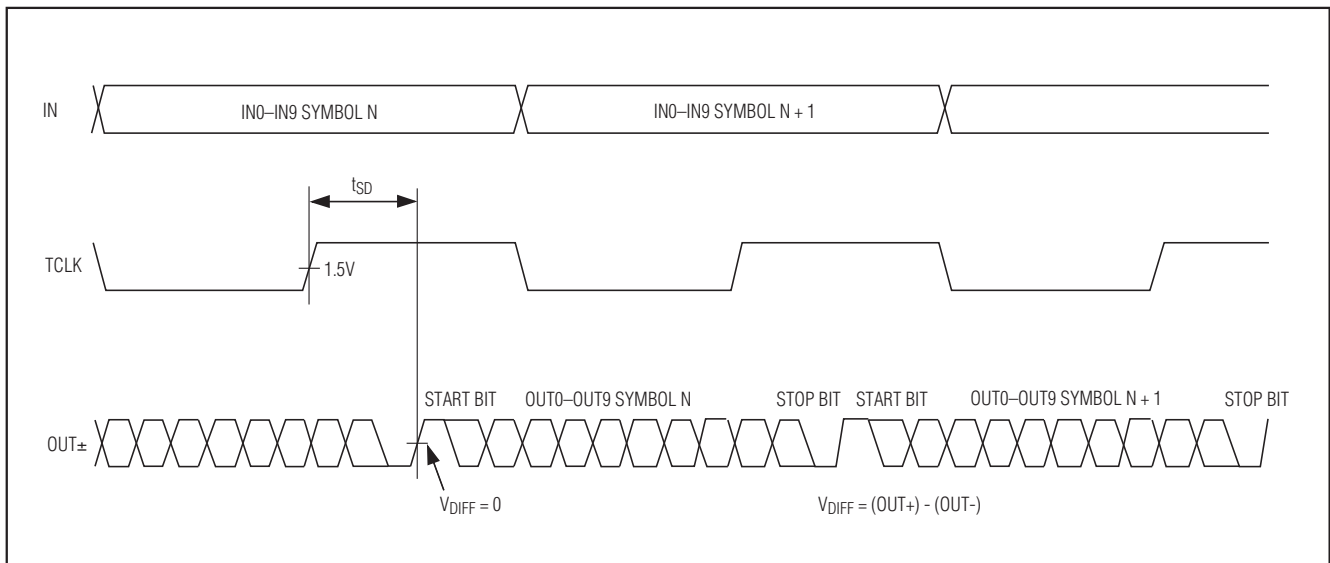
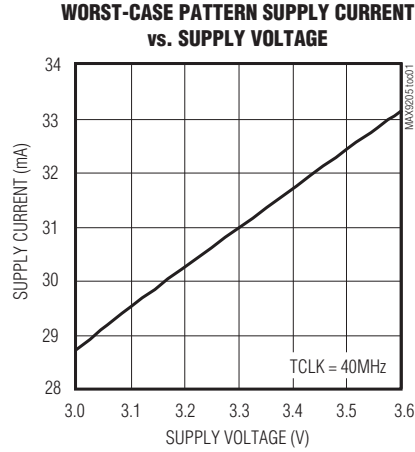


図7. シリアライザ遅延

10ビットLVDSシリアライザ

標準動作特性

($V_{CC} = +3.3V$, $R_L = 50\Omega$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)



端子	名称	機能
1–7, 14, 15, 16	IN3–IN9, IN0, IN1, IN2	LVC MOS/LVTTLデータ入力データはTCLKの立上りエッジによって10ビットラッチにロードされます。各入力は内部でグラウンドにプルダウンされています。
8	TCLK	LVC MOS/LVTTLによるリファレンスクロック入力16MHz~40MHzのクロックを受け取ります。TCLKはPLLに対する周波数リファレンスを提供し、その立上りエッジで入力ラッチにパラレルデータをストローブ入力します。
9, 12	GND	グラウンド
10	OUT-	LVDS差動出力の反転バス
11	OUT+	LVDS差動出力の非反転バス
13	V_{CC}	電源入力。0.1 μF のコンデンサと0.001 μF のコンデンサでグラウンドにバイパスしてください。0.001 μF のコンデンサは V_{CC} の近くに配置してください。
—	EP	エクスポーズドパッド。EPをグラウンドに半田付けすると、熱放散が改善されます。

詳細

10ビットシリアルライザのMAX9235は100Mbps～400Mbpsの速度で標準の対より線ペアケーブルまたはPCBトレースの差動媒体でデータを伝送します。インタフェースは単一または二重終端のポイント間とすることができます。二重終端のポイント間インタフェースはインタフェースの両端に100Ωの終端抵抗を用いるため、結果として50Ωの負荷となります。データ伝送を完結するためには、シリアルライザにはMAX9206のようなデシリアルライザが必要です。

ハイ状態のスタートビットとロー状態のストップビットが内部で追加されて、10ビットの平行データフレームが構成されて、シリアルデータストリームの遷移が確実に行われます。したがって、12個のシリアルビットが各10ビットの平行入力に対して伝送されます。MAX9235は16MHz～40MHzのリファレンスクロックを受け取り、192Mbps (12ビット x 16MHz)～480Mbps (12ビット x 40MHz)のシリアルデータレートを作り出します。入力データからは10ビットのみであるため、実際のスループットはTCLK周波数の10倍です。データを伝送するために、シリアルライザのシーケンスには2つのモードがあります。初期化モードとデータ伝送モードです。

初期化モード

V_{CC}が印加されたとき、出力はハイインピーダンスに保持され、内部回路は内蔵の電源オンリセット回路によってディセーブルになっています。V_{CC}が2.35Vに達すると、PLLは内部のリファレンスクロックへのロックを開始します。リファレンスクロックのTCLKはシステムから与えられます。シリアルライザはTCLKの2049サイクル以内にロックされます。いったん、ロックされると、シリアルライザはデータ送信の準備状態になっています。

データ伝送モード

初期化の後、IN0～IN9の入力データはTCLK入力によってシリアルライザにクロック同期入力されます。データはTCLKの立上りエッジでストローブ入力されます。

スタートビットのハイとストップビットのローによって10ビットデータのフレームが構成され、シリアルデータストリームの中に埋め込まれたクロックエッジの動きをします。シリアル速度はデータと追加されたビットにTCLK周波数を乗算した値になります。例えば、TCLKが40MHzとすると、シリアル速度は40 x 12 (10 + 2ビット) = 480Mbpsとなります。入力データは10ビットのみであるため、ペイロード速度は40 x 10 = 400Mbpsです。

ハイインピーダンス状態

シリアルライザの出力端子(OUT+とOUT-)はV_{CC}が最初に印加され、PLLが内部リファレンスクロックにロックしようとしているときはハイインピーダンスのままです。シリアルライザがハイインピーダンスになると、デシリアルライザはPLLロックを喪失し、データ転送を再開するためには位相ロックを再確立する必要があります。これは、最低1フレームの間、すべてゼロを送信することで行われます。

アプリケーション情報

電源バイパス

V_{CC}を高周波用表面実装セラミック0.1μFおよび0.001μFのコンデンサを並列接続して可能な限りデバイスに近づけ、小さい値の方をV_{CC}の近くに実装してバイパスしてください。

差動配線と終端

インピーダンスが制御された媒体を使用し、媒体の特性インピーダンスで伝送ラインの両端で終端してください。ポイント間リンクの片端に1個の終端をすることは通常、許容することができる性能を提供します。MAX9235の出力レベルは二重終端されたポイント間のアプリケーションに対して規定されています。1個の100Ω終端では出力振幅が大きくなります。

リボンまたは単純な同軸ケーブルのような不平衡ケーブルの使用は避けてください。対より線ペアなどの並行型ケーブルは優れた品質を提供し、相殺効果のためにEMIの発生が少ない傾向があります。平衡型ケーブルはコモンモードのノイズを拾い易く、これは差動レシーバで排除されます。

反射が起こらないようにして、両差動配線を近づけて配置してノイズをコモンモードとして結合させてください。トレースの電気長をマッチさせると、スキューが小さくなります。スキューが過度になると、磁界の相殺が悪化する結果となります。

差動出力信号は相互に近づけて配線し、その外部磁界を相殺させてください。差動インピーダンスに不連続が生じないように差動トレース間の距離を一定にしてください。90°の曲がり避け、ピアを最小化してさらに不連続が生じないようにしてください。

10ビットLVDSシリアライザ

トポロジ

MAX9235はポイント間またはブロードキャスト構成で動作させることができます。

ケーブルまたはPCBトレースの特性インピーダンスで各端を終端したポイント間接続を図8に示します。シリアライザから見た総合負荷は50Ωです。二重終端の方が通常は単一の100Ω終端に比べて反射が減ります。デシリアライザで単一100Ωの終端とすることは可能であり、差動信号振幅が大きくなります。

ポイント間ブロードキャスト構成が図9に示されています。ジッタの小さいMAX9150の10ポートリピータがシリアライザ出力を再生して10個の二重終端したポイント間リンクで伝送するために使われています。

リピータを使うと、10組のシリアライザとデシリアライザ接続に比べて9個のシリアライザが不要になります。リピータのジッタがシリアライザとデシリアライザのタイミングマージンから削減されるため、ジッタの小さいリピータがほとんどの高データレートのアプリケーションにとって不可欠です。

ボードレイアウト

LVDSアプリケーションでは、電源、グランド、および入出力信号を分離可能な4層のPCBを推奨します。LVTTTL/LVCMOSとLVDS信号を相互に分離してLVDSラインへの結合を避けてください。

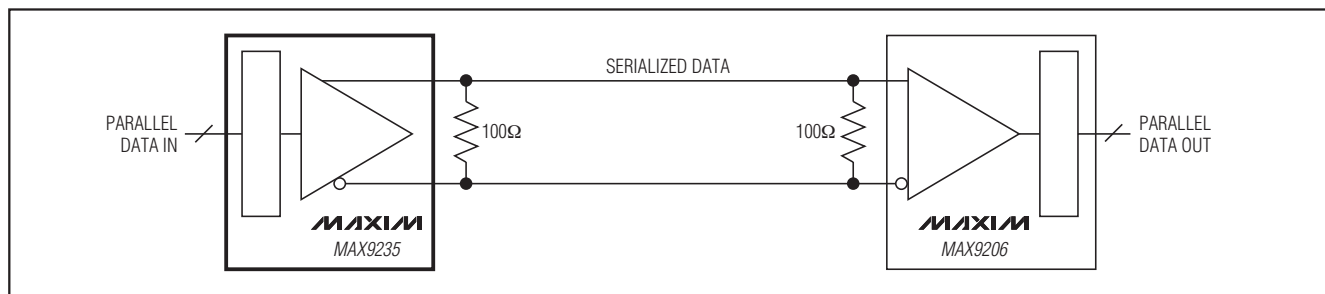


図8. 二重終端したポイント間通信

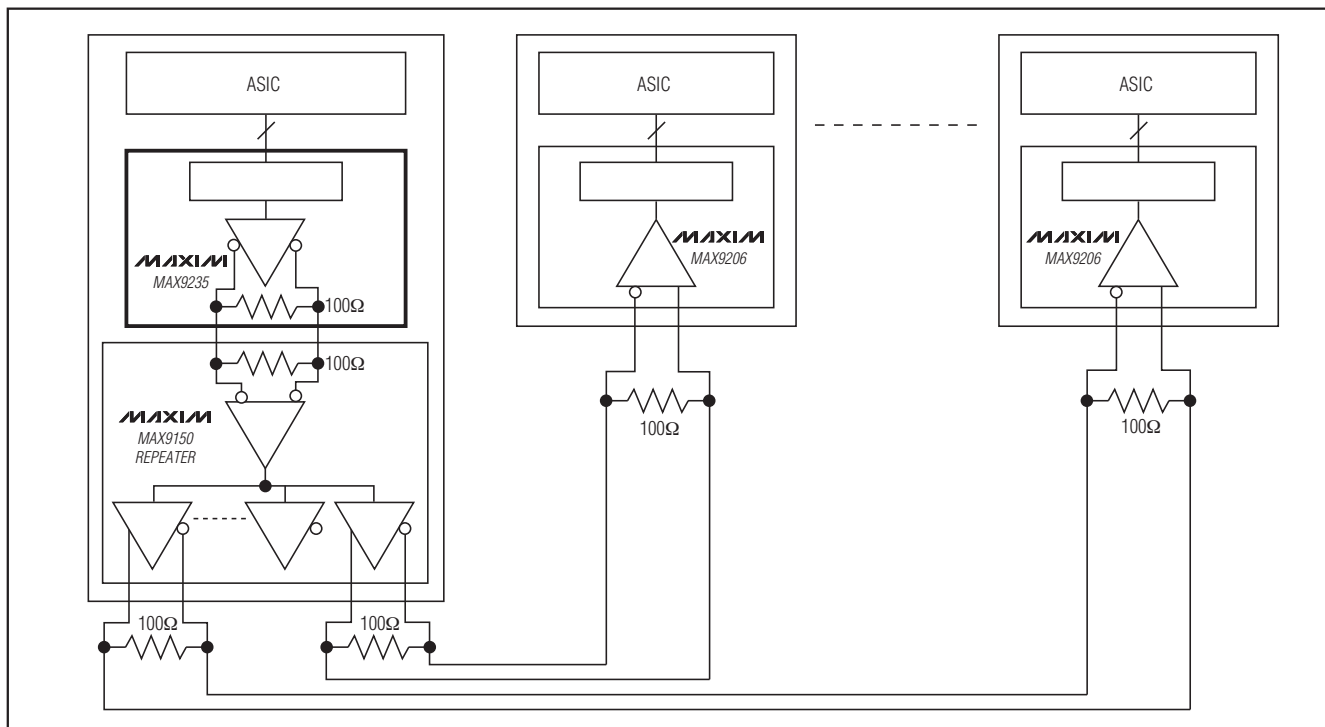
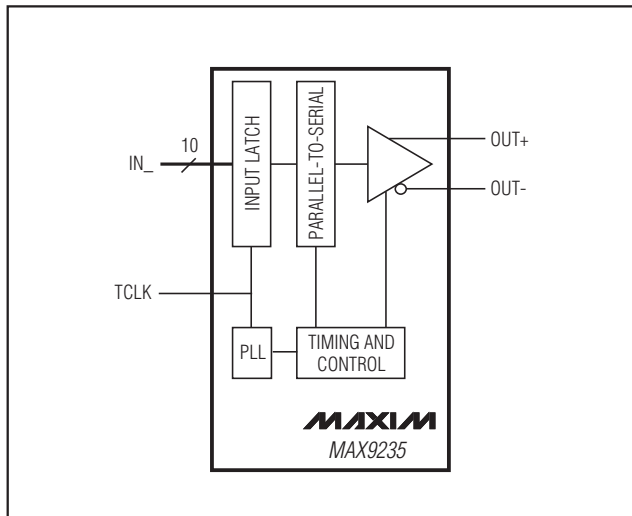


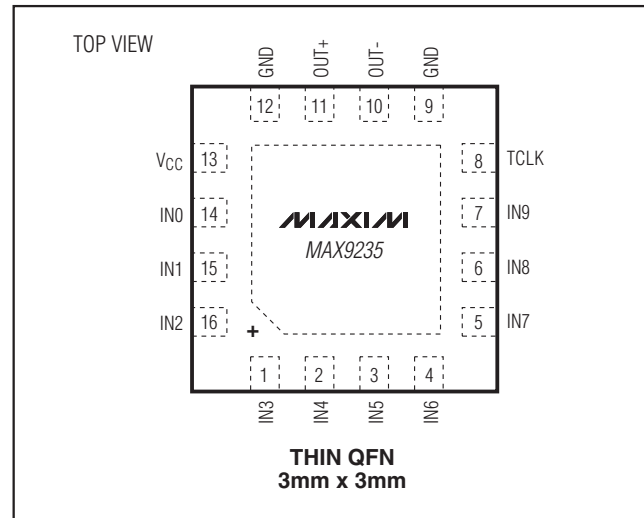
図9. MAX9150リピータを使用したポイント間ブロードキャスト

10ビットLVDSシリアライザ

機能図



ピン配置



MAX9235

チップ情報

PROCESS: CMOS

MAX9235

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



10ビットLVDSシリアライザ

MAX9235

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

PKG	8L 3x3			12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.		
L	0.35	0.55	0.75	0.45	0.55	0.65	0.30	0.40	0.50
N	8			12			16		
ND	2			3			4		
NE	2			3			4		
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-	0.25	-	-

EXPOSED PAD VARIATIONS								
PKG. CODES	D2			E2			PIN ID	JEDEC
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
TQ833-1	0.25	0.70	1.25	0.25	0.70	1.25	0.35 x 45°	WEEC
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633-5	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220 REVISION C.
10. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
11. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
12. WARPAGE NOT TO EXCEED 0.10mm.

-DRAWING NOT TO SCALE-

		
TITLE: PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0136	REV. I 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2007 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products, Inc.