

# 低ジッタ、10ポートLVDSリピータ

## 概要

MAX9150は、消費電力、スペースおよびノイズを最小限に抑える一方、高速データまたはクロックの伝送を必要とするアプリケーション用に設計された低ジッタ、10ポート、低電圧差動信号(LVDS)リピータです。単一のLVDS入力を受け付け、10個のLVDSの信号を出力します。各差動出力は合計50Ωを駆動し、両端を100Ωで終端された伝送ラインで、2点間の信号伝送を実現します。

ピークトゥピークジッタ(確定的およびランダム)が120ps (max)と低いため、タイミングエラーに極めて敏感な高速リンク、特にクロックデータリカバリまたはシリアルライザとデシリアルライザが組み込まれているリンクにおいて、信頼性の高い通信を保証します。高速スイッチング性能により、単一+3.3V電源動作時、400Mbpsのデータレートおよび100ps以下のチャンネル間スキューを保証します。

400Mbpsにおける消費電流は160mA (max)で、低電力シャットダウンモード時は60μA (max)にまで低減します。入力と出力はEIA/TIA-644 LVDS規格に適合しています。フェイルセーフ機能は、入力が非駆動でオープンになっているか、終端されているか、または短絡されている時に出力をハイに設定します。MAX9150は28ピンTSSOPパッケージで提供されています。

LVDSラインドライバとレシーバについては、MAX9110/MAX9112およびMAX9111/MAX9113のデータシートを参照して下さい。

## アプリケーション

携帯電話基地局

アッド/ドロップマルチプレクサ

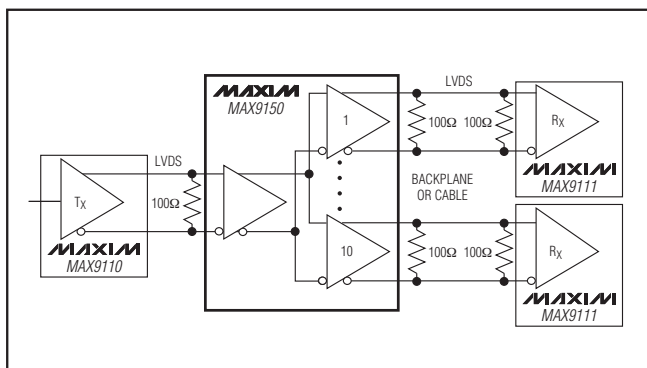
デジタルクロスコネクタ

ネットワークスイッチ/ルータ

バックプレーン相互接続

クロック伝送

## 標準アプリケーション回路



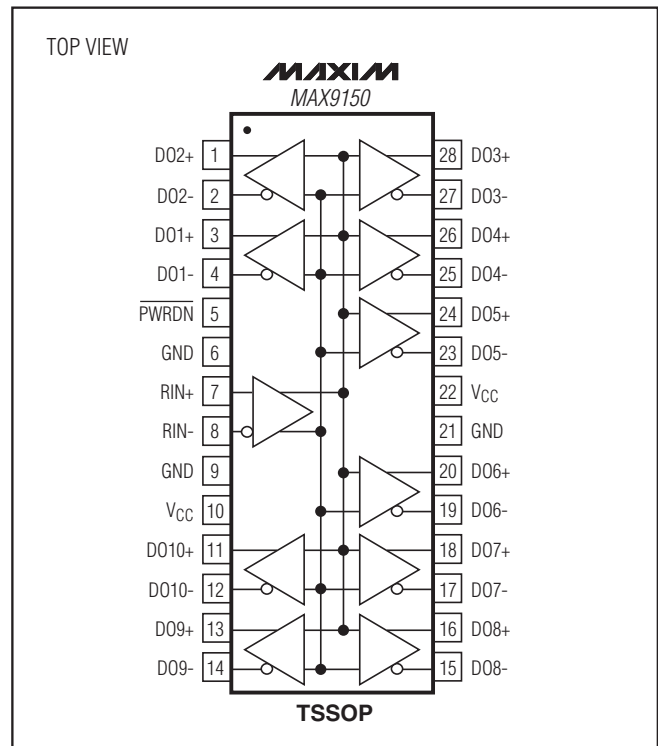
## 特長

- ◆ 超低トータルジッタ：120ps<sub>p-p</sub> (max) (確定的およびランダム)
- ◆ チャンネル間スキュー：100ps (max)
- ◆ 保証データレート：400Mbps
- ◆ シャットダウン消費電流：60μA
- ◆ EIA/TIA-644 LVDS規格適合
- ◆ 単一電源：+3.3V
- ◆ フェイルセーフ回路が非駆動入力に対して出力ハイを設定
- ◆ ハイインピーダンスLVDS入力(V<sub>CC</sub> = 0V)

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX9150EUI	-40°C to +85°C	28 TSSOP

## ピン配置



# 低ジッタ、10ポートLVDSリピータ

MAX9150

## ABSOLUTE MAXIMUM RATINGS

V <sub>CC</sub> to GND	-0.3V to +4.0V
RIN+, RIN- to GND	-0.3V to +4.0V
PWRDN to GND	-0.3V to (V <sub>CC</sub> + 0.3V)
DO <sub>+</sub> , DO <sub>-</sub> to GND	-0.3V to +4.0V
Short-Circuit Duration (DO <sub>+</sub> , DO <sub>-</sub> )	Continuous
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
28-Pin TSSOP (derate 12.8mW/°C above +70°C)	1026mW

Storage Temperature	-65°C to +150°C
Maximum Junction Temperature	+150°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +3.0V to +3.6V, R<sub>L</sub> = 50Ω ±1%, |V<sub>ID</sub>| = 0.1V to 1.0V, V<sub>CM</sub> = |V<sub>ID</sub> / 2| to 2.4V - |V<sub>ID</sub> / 2|, PWRDN = high, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at V<sub>CC</sub> = +3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>PWRDN</b>						
Input High Voltage	V <sub>IH</sub>		2.0			V
Input Low Voltage	V <sub>IL</sub>				0.8	V
Input Current	I <sub>IN</sub>	V <sub>IN</sub> = V <sub>CC</sub> and 0V	-15		15	μA
<b>LVDS INPUT</b>						
Differential Input High Threshold	V <sub>TH</sub>			7	100	mV
Differential Input Low Threshold	V <sub>TL</sub>		-100	-7		mV
Single-Ended Input Current	I <sub>IN</sub>	PWRDN = high or low; V <sub>RIN+</sub> = 2.4V, RIN- = open or RIN+ = open, V <sub>RIN-</sub> = 2.4V	-6		+1	μA
		PWRDN = high or low; V <sub>RIN+</sub> = 0V, RIN- = open or RIN+ = open, V <sub>RIN-</sub> = 0V	-18		+1	
Power-Off Single-Ended Input Current	I <sub>IN(OFF)</sub>	V <sub>CC</sub> = 0V; V <sub>RIN+</sub> = 2.4V, RIN- = open or RIN+ = open, V <sub>RIN-</sub> = 2.4V	-1		+12	μA
Differential Input Resistance	R <sub>IDIFF</sub>	V <sub>CC</sub> = +3.6V or 0V, PWRDN = high or low	5			kΩ
<b>LVDS DRIVER</b>						
Differential Output Voltage	V <sub>OD</sub>	Figure 1	250	320	450	mV
Change in VOD Between Complementary Output States	ΔV <sub>OD</sub>	Figure 1			25	mV
Offset (Common-Mode) Voltage	V <sub>OS</sub>	Figure 1	0.90	1.25	1.375	V
Change in VOS Between Complementary Output States	ΔV <sub>OS</sub>	Figure 1			25	mV
Output High Voltage	V <sub>OH</sub>	Figure 1			1.6	V
Output Low Voltage	V <sub>OL</sub>	Figure 1	0.7			V
Differential Output Resistance (Note 2)	R <sub>ODIFF</sub>	V <sub>CC</sub> = +3.6V or 0V, PWRDN = high or low	150	240	330	Ω
Differential High Output Voltage in Fail-Safe	V <sub>OD+</sub>	R <sub>IN+</sub> , R <sub>IN-</sub> undriven with short, open, or 100Ω termination	250		450	mV
Output Short-Circuit Current	I <sub>SC</sub>	V <sub>ID</sub> = +100mV, V <sub>DO+</sub> = GND	-15			mA
		V <sub>ID</sub> = -100mV, V <sub>DO-</sub> = GND				

# 低ジッタ、10ポートLVDSリピータ

MAX9150

## DC ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = +3.0V$  to  $+3.6V$ ,  $R_L = 50\Omega \pm 1\%$ ,  $|V_{ID}| = 0.1V$  to  $1.0V$ ,  $V_{CM} = |V_{ID} / 2|$  to  $2.4V - |V_{ID} / 2|$ ,  $\overline{PWRDN} = \text{high}$ ,  $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ\text{C}$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Single-Ended Output High-Impedance Current	I <sub>OZ</sub>	$V_{CC} = 0V$ , $\overline{PWRDN} = \text{GND}$ ; $V_{DO+} = 3.6V$ or $0V$ , $DO_- = \text{open}$ ; or $V_{DO-} = 3.6V$ or $0V$ , $DO_+ = \text{open}$	-1		+1	$\mu\text{A}$
		$\overline{PWRDN} = \text{GND}$ ; $V_{DO+} = 3.6V$ or $0V$ , $DO_- = \text{open}$ ; or $V_{DO-} = 3.6V$ or $0V$ , $DO_+ = \text{open}$	-1		+1	$\mu\text{A}$
<b>SUPPLY CURRENT</b>						
Supply Current (Note 2)	I <sub>CC</sub>	DC	Figure 2	100	140	mA
		200MHz (400Mbps)		130	160	
Power-Down Supply Current	I <sub>CCZ</sub>	$\overline{PWRDN} = \text{GND}$			60	$\mu\text{A}$

## AC ELECTRICAL CHARACTERISTICS

( $V_{CC} = +3.0V$  to  $+3.6V$ ,  $R_L = 50\Omega \pm 1\%$ ,  $C_L = 5\text{pF}$ ,  $|V_{ID}| = 0.2V$  to  $1.0V$ ,  $V_{CM} = |V_{ID} / 2|$  to  $2.4V - |V_{ID} / 2|$ ,  $\overline{PWRDN} = \text{high}$ ,  $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ\text{C}$ .) (Notes 2–5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Propagation Delay High-to-Low	t <sub>PHLD</sub>	Figures 2, 3	1.6	2.2	3.5	ns
Differential Propagation Delay Low-to-High	t <sub>PLHD</sub>	Figures 2, 3	1.6	2.2	3.5	ns
Total Peak-to-Peak Jitter (Random and Deterministic) (Note 6)	t <sub>JPP</sub>	Figures 2, 3		20	120	ps <sub>p-p</sub>
Differential Output-to-Output Skew (Note 7)	t <sub>SKOO</sub>	Figures 2, 3		40	100	ps
Differential Part-to-Part Skew (Note 8)	t <sub>SKPP</sub>	Figures 2, 3			1.9	ns
Rise/Fall Time	T <sub>TLH</sub> , t <sub>THL</sub>	Figures 2, 3	150	220	450	ps
Maximum Input Frequency (Note 9)	f <sub>MAX</sub>	Figures 2, 3	400			Mbps

# 低ジッタ、10ポートLVDSリピータ

MAX9150

## AC ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = +3.0V$  to  $+3.6V$ ,  $R_L = 50\Omega \pm 1\%$ ,  $C_L = 5pF$ ,  $|V_{ID}| = 0.2V$  to  $1.0V$ ,  $V_{CM} = |V_{ID} / 2|$  to  $2.4V - |V_{ID} / 2|$ ,  $\overline{PWRDN} = \text{high}$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ C$ .) (Notes 2–5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Down Time	$t_{PD}$	Figures 4, 5			100	ns
Power-Up Time	$t_{PU}$				100	$\mu s$

**Note 1:** Current-into-device pins is defined as positive. Current-out-of-device pins is defined as negative. All voltages are referenced to ground, except  $V_{TH}$ ,  $V_{TL}$ ,  $V_{OD}$ , and  $\Delta V_{OD}$ .

**Note 2:** Guaranteed by design, not production tested.

**Note 3:** AC parameters are guaranteed by design and characterization.

**Note 4:**  $C_L$  includes scope probe and test jig capacitance.

**Note 5:** Signal generator conditions, unless otherwise noted: frequency = 200MHz, 50% duty cycle,  $R_O = 50\Omega$ ,  $t_R = 1ns$ , and  $t_F = 1ns$  (0% to 100%).

**Note 6:** Signal generator conditions for  $t_{JPP}$ :  $V_{OD} = 200mV$ ,  $V_{OS} = 1.2V$ , frequency = 200MHz, 50% duty cycle,  $R_O = 50\Omega$ ,  $t_R = 1ns$ , and  $t_F = 1ns$  (0% to 100%).  $t_{JPP}$  includes pulse (duty cycle) skew.

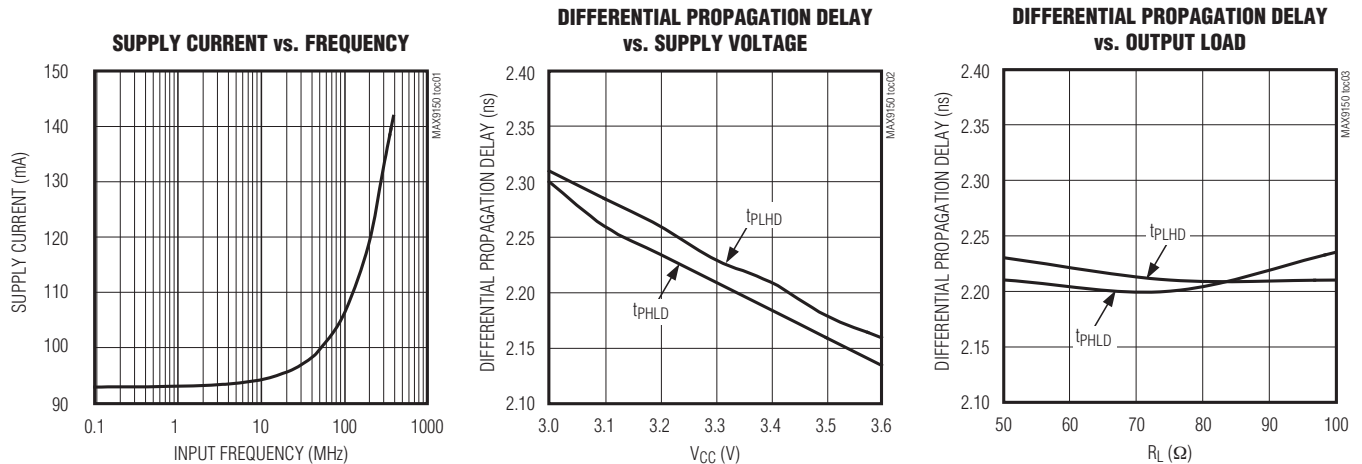
**Note 7:**  $t_{SK00}$  is the magnitude difference in differential propagation delay between outputs for a same-edge transition.

**Note 8:**  $t_{SKPP}$  is the  $|\text{MAX} - \text{MIN}|$  differential propagation delay.

**Note 9:** Device meets  $V_{OD}$  and AC specifications while operating at  $f_{MAX}$ .

## 標準動作特性

(Figure 2,  $V_{CC} = +3.3V$ ,  $R_L = 50\Omega$ ,  $C_L = 5pF$ ,  $|V_{ID}| = 200mV$ ,  $V_{CM} = 1.2V$ ,  $f_{IN} = 50MHz$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

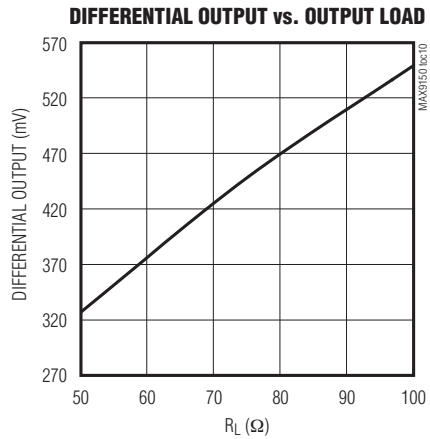
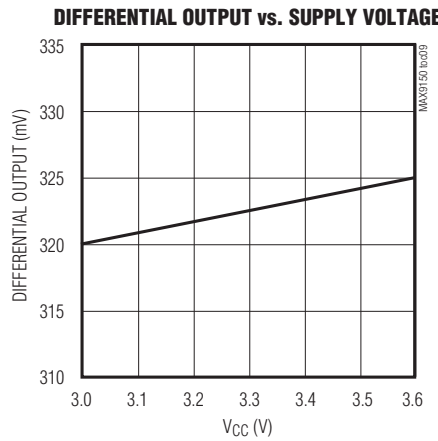
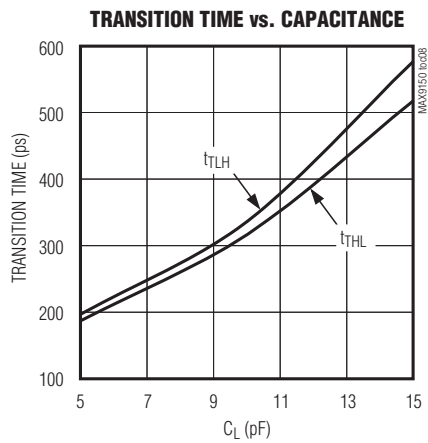
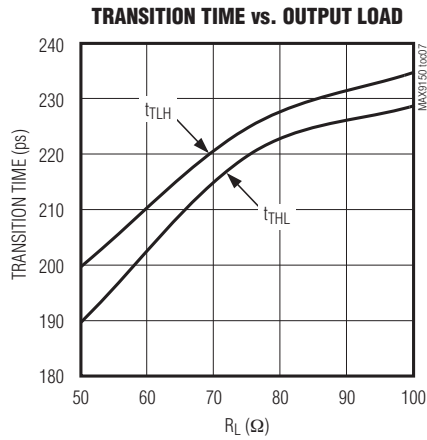
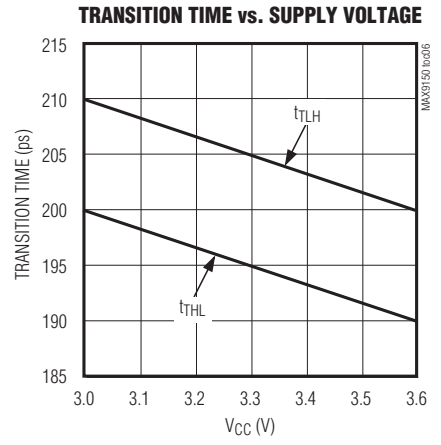
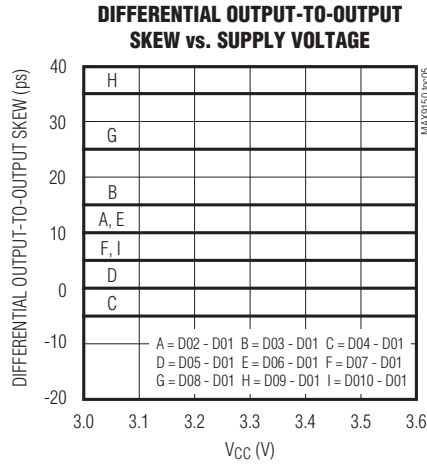
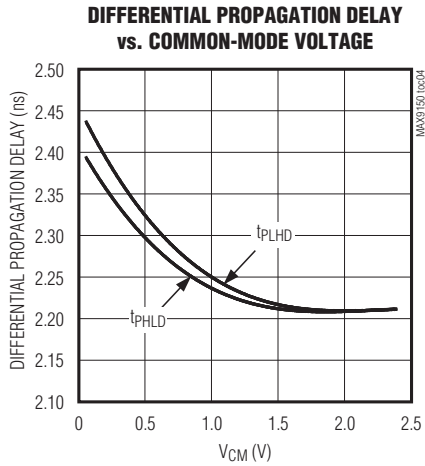


# 低ジッタ、10ポートLVDSリピータ

MAX9150

## 標準動作特性(続き)

(Figure 2,  $V_{CC} = +3.3V$ ,  $R_L = 50\Omega$ ,  $C_L = 5pF$ ,  $|V_{ID}| = 200\text{ mV}$ ,  $V_{CM} = 1.2V$ ,  $f_{IN} = 50\text{ MHz}$ ,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# 低ジッタ、10ポートLVDSリピータ

MAX9150

## 端子説明

端子	名称	機能
1, 3, 11, 13, 16, 18, 20, 24, 26, 28	DO2+, DO1+, DO10+, DO9+, DO8+, DO7+, DO6+, DO5+, DO4+, DO3+	差動LVDS出力。各出力ペア(DO_+およびDO_-)の間に100Ωの抵抗をICに隣接して接続し、受信回路の入力に100Ωの抵抗を接続します。
2, 4, 12, 14, 15, 17, 19, 23, 25, 27	DO2-, DO1-, DO10-, DO9-, DO8-, DO7-, DO6-, DO5-, DO4-, DO3-	
5	$\overline{\text{PWRDN}}$	パワーダウン。 $\overline{\text{PWRDN}}$ をローに駆動すると、全出力がディセーブルされ、消費電流が60μAに低減されます。 $\overline{\text{PWRDN}}$ をハイに駆動すると、通常動作になります。
6, 9, 21	GND	グラウンド
10, 22	V <sub>CC</sub>	電源。0.1μFと1nFのセラミックコンデンサで各V <sub>CC</sub> ピンをGNDにバイパスして下さい。
7	RIN+	LVDSレシーバ入力。RIN+およびRIN-はハイインピーダンス入力です。RIN+とRIN-の間に抵抗を接続して入力信号を終端します。
8	RIN-	

## 詳細

LVDSインターフェースは、ANSI/TIA/EIA-644およびIEEE 1596.3規格で定められている様に、インピーダンスが調整された媒体による2点間通信の信号伝送法です。LVDS規格は他の一般的な通信規格よりも低い電圧スイングを使用するため、低い消費電力で高いデータレートを実現し、またEMI輻射とノイズに対するシステムの影響を低減します。

MAX9150は、高速、2点間、低電力アプリケーションを対象とした400Mbps、10ポートLVDSリピータです。このデバイスは1個のLVDS入力を受け付けて10個のLVDSに出力します。0~2.4Vの入力電圧範囲において、100mV~1Vの範囲の差動信号を検出します。LVDS規格では、入力電圧をグラウンドに対して0~2.4Vの範囲と定めています。

MAX9150出力は電流ステアリング構成を使用して5mA~9mAの出力電流を生成します。電流ステアリングアプローチはグラウンドバウンスが少なく、貫通電流が発生しないため、ノイズマージンおよびシステム速度が向上します。ドライバ出力は短絡電流制限付で、 $\overline{\text{PWRDN}}$  = ローまたはデバイスの電源が切れている時はハイインピーダンス(グラウンドに対して)になります。出力の差動抵抗は240Ω (typ)です。

MAX9150の電流ステアリング構造を使用して信号の終端処理および伝送ループを完成させるには、抵抗負荷が必要です。本デバイスは電流の流れの方向を切り換えますが、電圧レベルは切り換ええないため、実際の出力電圧スイングは終端抵抗の合計値を出力電流と

掛け合わせた値によって決まります。標準的な出力電流6.4mAにおいて、100Ωの終端抵抗で終端されている伝送ラインを駆動する時、MAX9150は320mVの出力電圧を生成します(6.4mA x 50Ω = 320mV)。ロジック状態は終端抵抗を流れる電流の方向によって決まります。

## フェイルセーフ

フェイルセーフは、ある障害条件が発生した場合に出力を既知のロジック状態(ハイ)にするレシーバ機能です。MAX9150の出力は、入力が非駆動でオープンになっているか、終端されているか、または短絡されている時に差動ハイになります(表1)。

表1. 入出力機能表

INPUT, V <sub>ID</sub>		OUTPUTS, V <sub>OD</sub>
+100mV		High
-100mV		Low
Open		High
Short	Undriven	High
Terminated		High

注記: V<sub>ID</sub> = RIN+ - RIN-, V<sub>OD</sub> = DO<sub>+</sub> - DO<sub>-</sub>  
 High = 450mV > V<sub>OD</sub> > 250mV  
 Low = -250mV > V<sub>OD</sub> > -450mV

## アプリケーション情報

### 電源バイパス

各V<sub>CC</sub>端子は、高周波表面実装セラミック0.1μFおよび1nFコンデンサを並列に、デバイスにできるだけ近いところでバイパスして下さい。小さい値のコンデンサをV<sub>CC</sub>端子の近くに配置して下さい。

### 差動トレース

出力トレース特性はMAX9150の性能に影響します。インピーダンスが調整されたトレースを使用し、トレースインピーダンスを伝送媒体インピーダンスと終端抵抗の両方にマッチングさせて下さい。差動トレース同士を近接されて配線し、ノイズが同相で結合するようにして下さい。トレースの電氣的長さを同一にし、スキューを低減させて下さい。過剰なスキューは磁場の相殺を劣化させることがあります。

インピーダンスの不連続性を避けるため、差動トレース間の距離を維持して下さい。さらに90°の角を避け、ビアの数を少なくし、インピーダンスが不連続にならない様にして下さい。

### ケーブルおよびコネクタ

伝送媒体としては、差動インピーダンスが100Ωに調整されたものを使用して下さい。インピーダンスの不連続性を最小限にするため、整合した差動インピーダンスをもったケーブルおよびコネクタを使用して下さい。

リボンあるいはシンプルな同軸ケーブル等の非平衡ケーブルは避けて下さい。ツイストペア等の平衡ケー

ブルは、相殺効果によって優れた信号品質を提供し、EMIも低減します。平衡ケーブルはノイズを同相で拾う傾向があるため、LVDSレシーバで除去され易くなります。

### 終端処理

終端抵抗は伝送ラインの差動特性インピーダンスと整合させて下さい。MAX9150は電流ステアリングデバイスですから、終端抵抗がなければ出力電圧が生成されません。出力電圧レベルは全体の終端抵抗の値に依存します。MAX9150は、二重終端されている(各終端で100Ω) 2点間リンクに対するLVDS出力レベルを生成します。標準的な6.4mAの出力電流では、100Ωの終端抵抗で両端を終端した伝送ラインを駆動する時、MAX9150は320mVの出力電圧を生成します(6.4mA x 50Ω = 320mV)。終端抵抗値は、伝送媒体の特性インピーダンスに応じて90Ω~150Ωの範囲になります。

出力終端抵抗と、対応するMAX9150トランスミッタ出力間の距離はできるだけ短くして下さい。±1%の表面実装抵抗を使用して下さい。

入力終端抵抗とMAX9150レシーバ入力間の距離はできるだけ短くして下さい。±1%の表面実装抵抗を使用して下さい。

## チップ情報

PROCESS : CMOS

## 試験回路とタイミング図

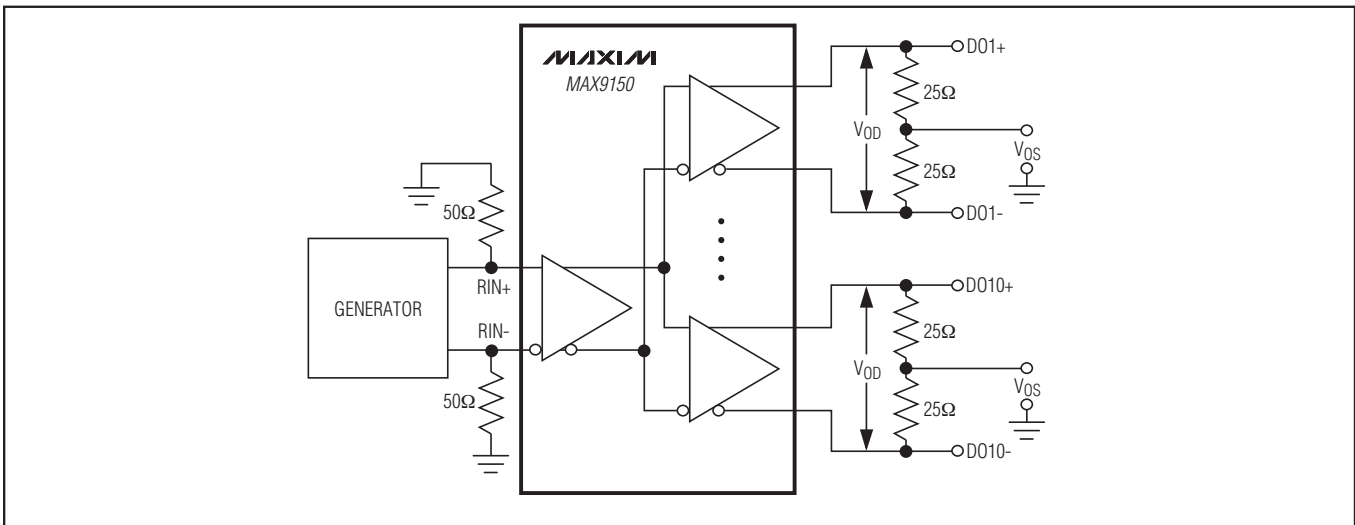


図1. ドライバ負荷試験回路

# 低ジッタ、10ポートLVDSリピータ

MAX9150

## 試験回路とタイミング図(続き)

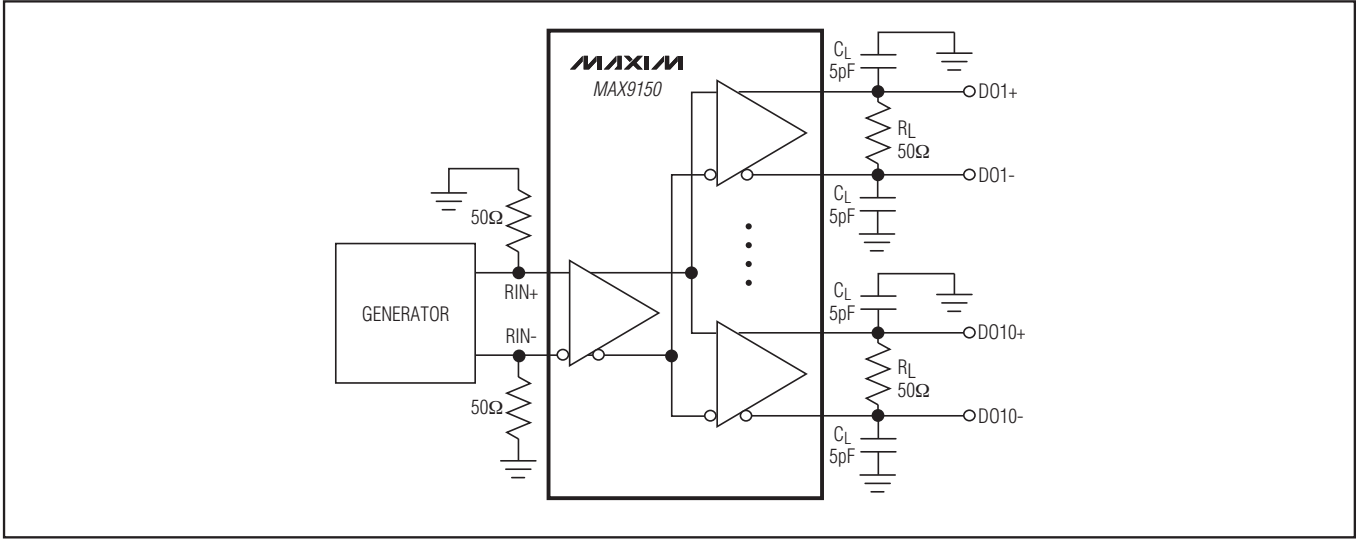


図2. リピータの伝播遅延および遷移時間試験回路

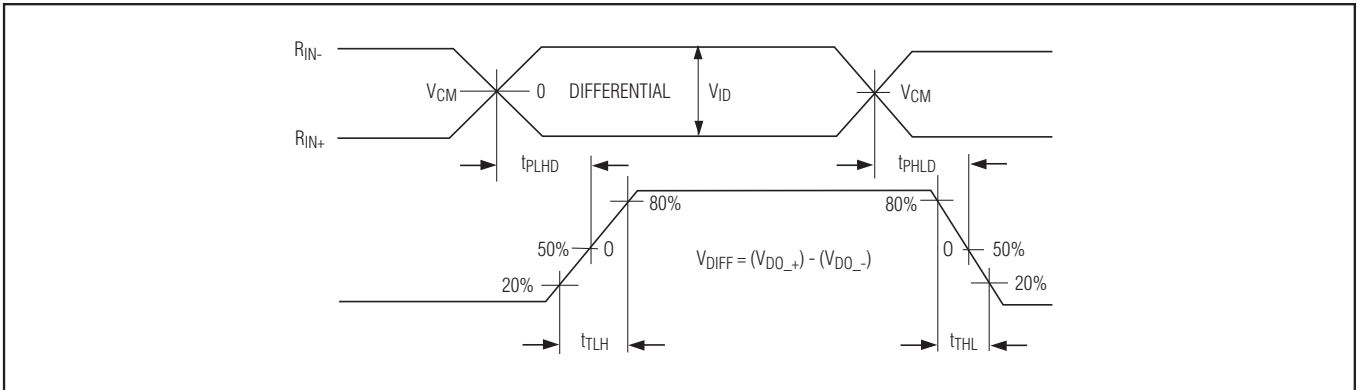


図3. 伝播遅延および遷移時間波形



# 低ジッタ、10ポートLVDSリピータ

MAX9150

## 試験回路とタイミング図(続き)

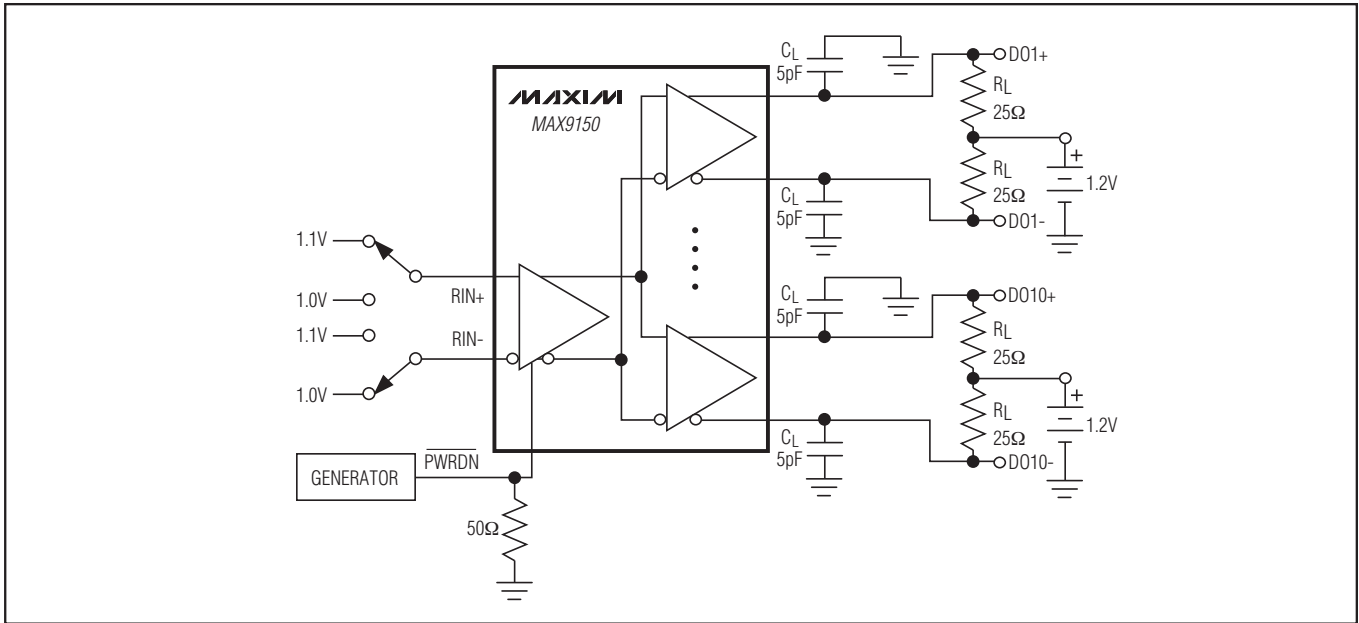


図4. パワーアップ/ダウン遅延試験回路

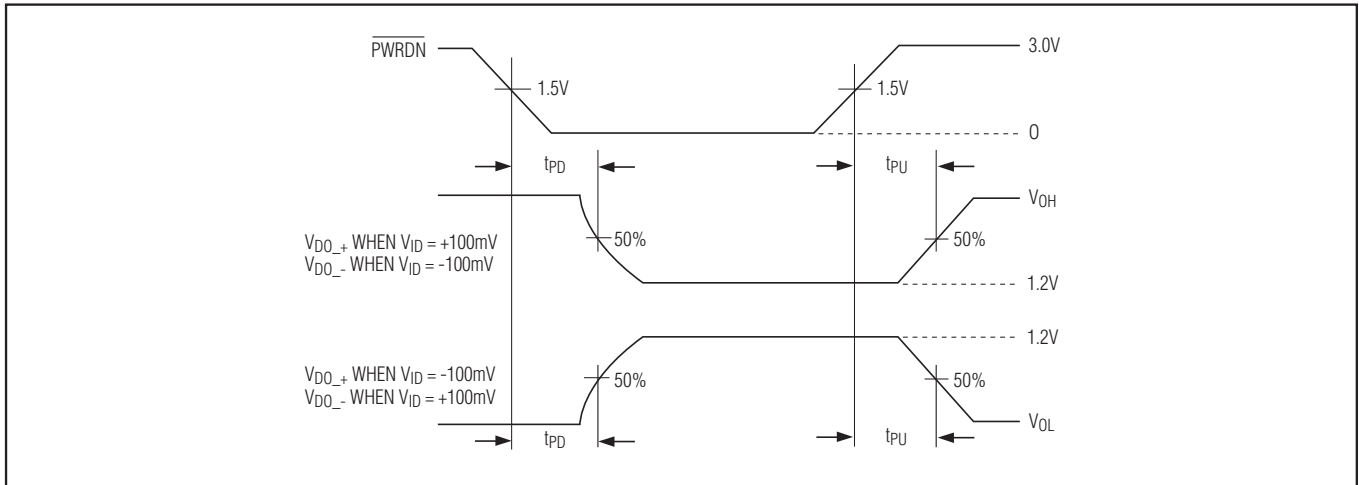


図5. パワーアップ/ダウン遅延波形

## パッケージ

最新のパッケージ図面情報およびランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
28 TSSOP	U28-4	<b>21-0066</b>

# 低ジッタ、10ポートLVDSリピータ

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/00	初版	—
1	3/09	廃盤となったRev Cパッケージ外形図を「パッケージ」の表に置き換え	9

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

10 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**