

## 新規設計用に推奨されていません。

---

MAX900は外部ファウンドリによって製造されたマキシム製品ですが、今後その入手ができなくなりました。新設計用に推奨されていません。マキシムの代替品または他社のセカンドソースが入手可能な場合があります。データシートは現在製品を使用されている方のために残してあります。**このデータシートにある他の製品については影響ありません。**

詳細についてはこの製品のクイックビューデータシートを参照するか、質問がありましたら[テクニカルサポート](#)にお問い合わせください。

## 高速、低電力、電圧コンパレータ

MAX900/901/902/903

### 概要

MAX900~903高速、低電力、シングル/デュアル/クワッド電圧コンパレータは、差動アナログ入力と、内部アクティブ・プルアップをもつTTLロジック出力を備えています。高速な伝播遅延(5mVオーバードライブ時8ns typ)により、MAX900~903は、高速A/Dコンバータおよびサンプリング回路、ライン・レシーバ、V/Fコンバータ、その他のデータ識別応用に最適です。

すべてのコンパレータは、独立したアナログおよびデジタル電源、または、単一供用電源で動作します。アナログ入力のコモンモード・レンジには負電源電圧も含まれており、単一電源時のグラウンド・センスが可能です。MAX900~903は+5V電源時に、コンパレータあたり18mWを消費します。

MAX900~903は独立したTTLコンパチブルのラッチ入力を備えています。コンパレータの出力状態は、ラッチ入力がかろうに駆動されたときに固定されます。MAX901は、MAX900、MAX902およびMAX903と同等の性能を有していますが、ラッチ機能を備えていません。

### アプリケーション

- 高速A/Dコンバータ
- 高速V/Fコンバータ
- ライン・レシーバ
- スレッシュホールド検出器
- 入力トリガ回路
- 高速データ・サンプリング
- PWM回路

### 特長

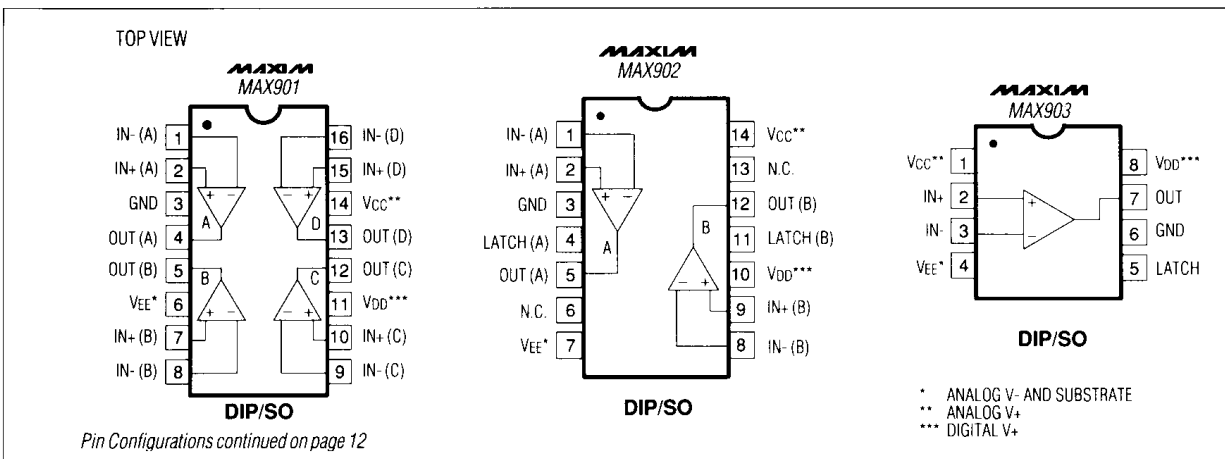
- ◆伝播遅延：8ns typ
- ◆消費電力：コンパレータあたり18mW typ(+5V電源時)
- ◆独立したアナログおよびデジタル電源
- ◆柔軟性のあるアナログ電源：+5~+10Vまたは±5V
- ◆入力範囲：負電源電圧を含む
- ◆TTLコンパチブル出力
- ◆TTLコンパチブル・ラッチ入力(MAX901以外)

### ピン配置

PART	TEMP. RANGE	PIN-PACKAGE
MAX900ACPP	0°C to +70°C	20 Plastic DIP
MAX900BCPP	0°C to +70°C	20 Plastic DIP
MAX900ACWP	0°C to +70°C	20 Wide SO
MAX900BCWP	0°C to +70°C	20 Wide SO
MAX900BC/D	0°C to +70°C	Dice*
MAX900AEPP	-40°C to +85°C	20 Plastic DIP
MAX900BEPP	-40°C to +85°C	20 Plastic DIP
MAX900AEWP	-40°C to +85°C	20 Wide SO
MAX900BEWP	-40°C to +85°C	20 Wide SO
MAX900AMJP	-55°C to +125°C	20 CERDIP
MAX900BMJP	-55°C to +125°C	20 CERDIP

Ordering information continued on page 11.  
\* Contact factory for dice specifications.

### ピン配置



# 高速、低電力、電圧コンパレータ

MAX900/901/902/903

## ABSOLUTE MAXIMUM RATINGS (Note 1)

Analog Supply Voltage (VCC to VEE)	+12V
Digital Supply Voltage (VDD to GND)	+7V
Differential Input Voltage	[VEE-0.2V] to [VCC+0.2V]
Common-Mode Input Voltage	[VEE-0.2V] to [VCC+0.2V]
Latch Input Voltage (MAX900/902/903 only)	-0.2V to [VDD+0.2V]
Output Short-Circuit Duration	
to GND	Indefinite
to VDD	1 min
Internal Power Dissipation	.500mW
Derate above +100°C	10mW/°C

### Operating Temperature Ranges:

MAX900-903_C	0°C to +70°C
MAX900-903_E	-40°C to +85°C
MAX900-903_M	-55°C to +125°C
Junction Temperature (Tj)	-65°C to +160°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10 sec)	+300°C

**Note 1:** Absolute maximum ratings apply to both packaged parts and dice, unless otherwise noted.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(VCC = +5V, VEE = -5V, VDD = +5V, LE1-LE4 = Logic High, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MAX900A/901A			MAX900B/901B/902/903			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	VOS	VCM = 0V, VO = 1.4V		0.5	2.0		1.0	4.0	mV
Input Bias Current	IB	IIN+ or IIN-		3	6		4	10	μA
Input Offset Current	IOS	VCM = 0V, VO = 1.4V		50	250		100	500	nA
Input Voltage Range	VCM	(Note 2)	VEE-0.1		VCC-2.25	VEE-0.1		VCC-2.25	V
Common-Mode Rejection Ratio	CMRR	-5V < VCM < +2.75V, VO = 1.4V (Note 3)		50	150		75	250	μV/V
Power-Supply Rejection Ratio	PSRR	(Note 3)		50	150		100	250	μV/V
Output High Voltage	VOH	VIN > 250mV, ISRC = 1mA	2.4	3.5		2.4	3.5		V
Output Low Voltage	VOL	VIN > 250mV, ISINK = 8mA		0.3	0.4		0.3	0.4	V
Latch Input Voltage High	VLH	(Note 4)		1.4	2.0		1.4	2.0	V
Latch Input Voltage Low	VLL	(Note 4)	0.8	1.4		0.8	1.4		V
Latch Input Current High	ILH	VLH = 3.0V (Note 4)		1	20		1	20	μA
Latch Input Current Low	ILL	VLL = 0.3V (Note 4)		1	20		1	20	μA

# 高速、低電力、電圧コンパレータ

MAX900/901/902/903

## ELECTRICAL CHARACTERISTICS (continued)

(VCC = +5V, VEE = -5V, VDD = +5V, LE1-LE4 = Logic High, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MAX900A/MAX901A MAX900B/MAX901B			MAX902			MAX903			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Positive Analog Supply Current	ICC	(Note 8)		10	15		5	8		2.5	4	mA
Negative Analog Supply Current	IEE	(Note 8)		7	12		3.5	6		2	3	mA
Digital Supply Current	IDD	(Note 8)		4	6		2	3		1	1.5	mA
Power Dissipation	PD	VCC = VDD = +5V, VEE = 0V		70	105		35	55		18	28	mW

## TIMING CHARACTERISTICS

(VCC = +5V, VEE = -5V, VDD = +5V, LE1-LE4 = Logic High, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MAX900A/MAX901A MAX900B/MAX901B			MAX902			MAX903			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input-to-Output High Response Time	tpd+	VOD = 5mV, CL = 15pF, IO = 2mA (Note 5)		8	10		8	10		8	10	ns
Input-to-Output Low Response Time	tpd-	VOD = 5mV, CL = 15pF, IO = 2mA (Note 5)		8	10		8	10		8	10	ns
Difference in Response Time Between Outputs	Δtpd	(Notes 5, 6)		0.5	2.0		0.5	2.0		0.5	2.0	ns
Latch Disable to Output High Delay	tpd+(D)	(Notes 4, 7)		10			10			10		ns
Latch Disable to Output Low Delay	tpd-(D)	(Notes 4, 7)		12			12			12		ns
Minimum Setup Time	ts	(Notes 4, 7)		2			2			2		ns
Minimum Hold Time	th	(Notes 4, 7)		1			1			1		ns
Minimum Latch Disable Pulse Width	tpw(D)	(Notes 4, 7)		10			10			10		ns

**Note 2:** The input common-mode voltage and input signal voltages should not be allowed to go negative by more than 0.2V below VEE. The upper end of the common-mode voltage range is typically VCC-2V, but either or both inputs can go to a maximum of VCC+0.2V without damage.

**Note 3:** Tested for +4.75V < VCC < +5.25V, and -5.25V < VEE < -4.75V with VDD = +5V, although permissible analog power-supply range is +4.75V < VCC < +10.5V for single-supply operation with VEE grounded.

**Note 4:** Specification does not apply to MAX901.

**Note 5:** Guaranteed by design. Times are for 100mV step inputs (see propagation delay characteristics in Figures 2 and 3).

**Note 6:** Maximum difference in propagation delay between any of the four comparators in the MAX900/901/902/903.

**Note 7:** See Timing Diagram (Figure 2). Owing to the difficult and critical nature of switching measurements involving the latch, these parameters cannot be tested in a production environment. Typical specifications listed are taken from measurements using a high-speed test-jig.

**Note 8:** ICC tested for +4.75V < VCC < +10.5V with VEE grounded. IEE tested for -5.25V < VEE < -4.75V with VCC = +5V. IDD tested for +4.75V < VDD < +5.25V with the worst-case condition of all four comparator outputs at logic low.

# 高速、低電力、電圧コンパレータ

MAX900/901/902/903

## ELECTRICAL CHARACTERISTICS

(VCC = +5V, VEE = -5V, VDD = +5V, LE1-LE4 = Logic High; TA = Full Operating Temperature, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MAX900A/901A			MAX900B/901B/902/903			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	VOS	VCM = 0V, VO = 1.4V		1	3		2	6	mV
Input Bias Current	IB	IIN+ or IIN-		4	10		6	15	μA
Input Offset Current	IOS	VCM = 0V, VO = 1.4V		100	500		200	800	nA
Input Voltage Range	VCM	(Note 2)	VEE-0.1		VCC-2.25	VEE-0.1		VCC-2.25	V
Common-Mode Rejection Ratio	CMRR	-5V < VCM < +2.75V, VO = 1.4V (Note 3)		80	250		120	500	μV/V
Power-Supply Rejection Ratio	PSRR	(Note 3)		100	250		150	500	μV/V
Output High Voltage	VOH	VIN > 250mV, ISRC = 1mA	2.4	3.5		2.4	3.5		V
Output Low Voltage	VOL	VIN > 250mV, ISINK = 8mA		0.3	0.4		0.3	0.4	V
Latch Input Voltage High	VLH	(Note 8)		1.4	2.0		1.4	2.0	V
Latch Input Voltage Low	VLL	(Note 8)	0.8	1.4		0.8	1.4		V
Latch Input Current High	ILH	VLH = 3.0V (Note 8)		2	20		1	20	μA
Latch Input Current Low	ILL	VLL = 0.3V (Note 8)		2	20		1	20	μA

PARAMETER	SYMBOL	CONDITIONS	MAX900A/MAX901A MAX900B/MAX901B			MAX902			MAX903			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Positive Analog Supply Current	ICC	(Note 8)		10	25		5	12		2.5	6	mA
Negative Analog Supply Current	IEE	(Note 8)		7	20		3.5	10		2	5	mA
Digital Supply Current	IDD	(Note 8)		4	10		2	5		1	2.5	mA
Power Dissipation	PD	VCC = VDD = +5V, VEE = 0V		70	105		35	55		18	28	mW

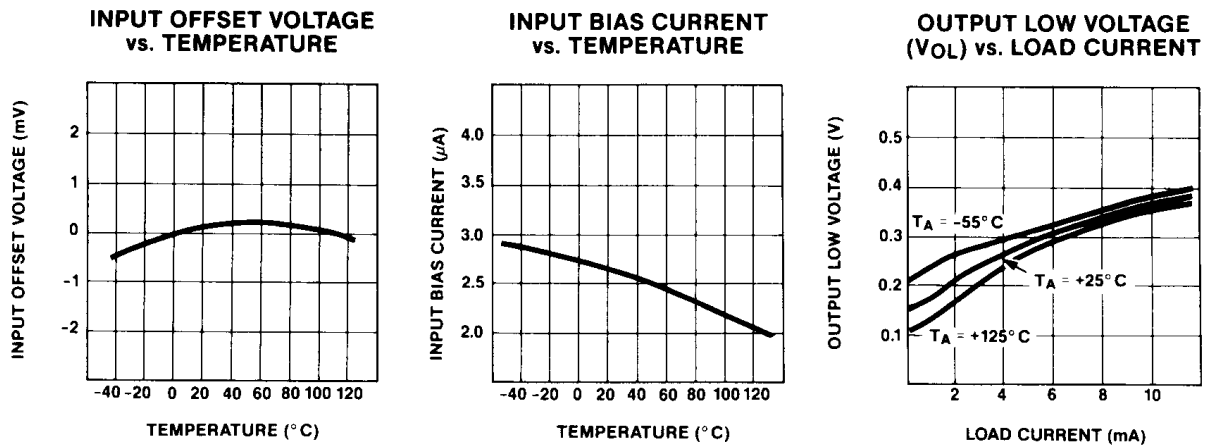
## TIMING CHARACTERISTICS

(VCC = +5V, VEE = -5V, VDD = +5V, LE1-LE4 = Logic High, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MAX900A/901A			MAX900B/901B/902/903			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input-to-Output High Response Time	t <sub>pd+</sub>	V <sub>OD</sub> = 5mV C <sub>L</sub> = 15pF I <sub>O</sub> = 2mA (Note 5)		10	15		10	15	ns
Input-to-Output Low Response Time	t <sub>pd-</sub>	V <sub>OD</sub> = 5mV C <sub>L</sub> = 15pF I <sub>O</sub> = 2mA (Note 5)		10	15		10	15	ns
Difference in Response Time Between Outputs	Δt <sub>pd</sub>	(Notes 5, 6)		1	3		1	3	ns

- Note 2:** The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.2V below VEE. The upper end of the common-mode voltage range is typically VCC-2.0V, but either or both inputs can go to a maximum of VCC+0.2V without damage.
- Note 3:** Tested for +4.75V < VCC < +5.25V, and -5.25V < VEE < -4.75V with VDD = +5V, although permissible analog power-supply range is +4.75V < VCC < +10.5V for single-supply operation with VEE grounded.
- Note 4:** Specification does not apply to MAX901.
- Note 5:** Guaranteed by design. Times are for 100mV step inputs (see propagation delay characteristics in Figures 2 and 3).
- Note 6:** Maximum difference in propagation delay between any of the four comparators in the MAX900/901/902/903.
- Note 7:** See Timing Diagram (Figure 2). Owing to the difficult and critical nature of switching measurements involving the latch, these parameters cannot be tested in a production environment. Typical specifications listed are taken from measurements using a high-speed test-jig.
- Note 8:** I<sub>CC</sub> tested for +4.75V < VCC < +10.5V with VEE grounded. I<sub>EE</sub> tested for -5.25V < VEE < -4.75V with VCC = +5V. I<sub>DD</sub> tested for +4.75V < VDD < +5.25V with the worst-case condition of all four comparator outputs at logic low.

## 標準動作特性

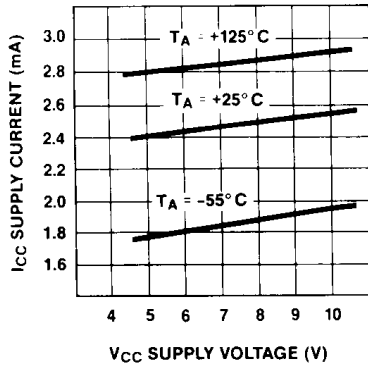


# 高速、低電力、電圧コンパレータ

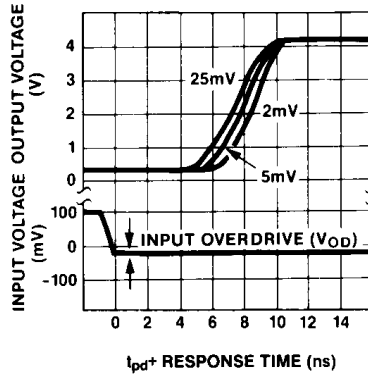
標準動作特性(続き)

MAX900/901/902/903

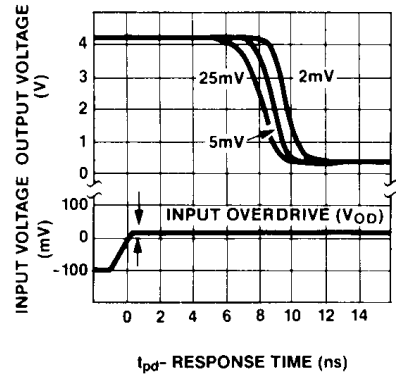
**I<sub>CC</sub> SUPPLY CURRENT (PER COMPARATOR) vs. V<sub>CC</sub> SUPPLY VOLTAGE (V<sub>DD</sub> = +5V)**



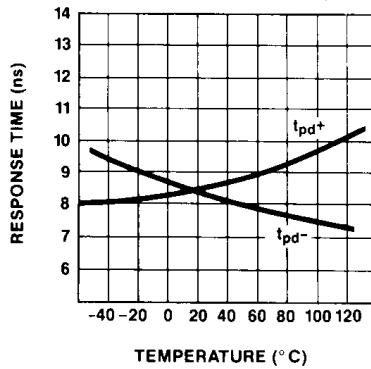
**INPUT OVERDRIVE vs. t<sub>pd+</sub> RESPONSE TIME**



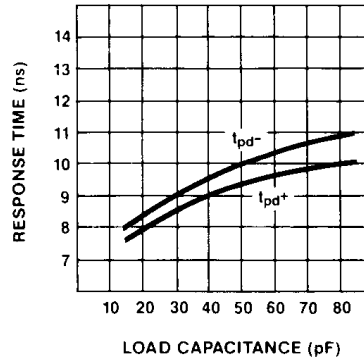
**INPUT OVERDRIVE vs. t<sub>pd-</sub> RESPONSE TIME**



**RESPONSE TIME vs. TEMPERATURE (5mV OVERDRIVE)**



**RESPONSE TIME vs. LOAD CAPACITANCE (5mV OVERDRIVE, R<sub>LOAD</sub> = 2.4kΩ)**



# 高速、低電力、電圧コンパレータ

MAX900/901/902/903

## 端子説明

### MAX900

端子	名称	機能
1, 10, 11, 20,	IN-(A, B, C, D)	負入力 (A, B, C, Dチャンネル)
2, 9, 12, 19	IN+(A, B, C, D)	正入力 (A, B, C, Dチャンネル)
3	GND	グランド端子
4, 7, 14, 17	LATCH(A, B, C, D)	ラッチ入力 (A, B, C, Dチャンネル)
5, 6, 15, 16	OUT(A, B, C, D)	出力 (A, B, C, Dチャンネル)
8	V <sub>EE</sub>	アナログ負電源 (サブストレート)
13	V <sub>DD</sub>	デジタル正電源
18	V <sub>CC</sub>	アナログ正電源

### MAX901

端子	名称	機能
1, 8, 9, 16	IN-(A, B, C, D)	負電源入力 (A, B, C, Dチャンネル)
2, 7, 10, 15	IN+(A, B, C, D)	正電源入力 (A, B, C, Dチャンネル)
3	GND	グランド端子
4, 5, 12, 13	OUT(A, B, C, D)	出力 (A, B, C, Dチャンネル)
6	V <sub>EE</sub>	アナログ負電源 (サブストレート)
11	V <sub>DD</sub>	デジタル正電源
14	V <sub>CC</sub>	アナログ正電源

### MAX902

端子	名称	機能
1, 8	IN-(A, B)	負入力 (A, Bチャンネル)
2, 9	IN+(A, B)	正入力 (A, Bチャンネル)
3	GND	グランド端子
4, 11	LATCH(A, B)	ラッチ入力 (A, Bチャンネル)
5, 12	OUT(A, B)	出力 (A, Bチャンネル)
6, 13	N.C.	無接続
7	V <sub>EE</sub>	アナログ負電源 (サブストレート)
10	V <sub>DD</sub>	デジタル正電源
14	V <sub>CC</sub>	アナログ正電源

### MAX903

端子	名称	機能
1	V <sub>CC</sub>	アナログ正電源
2	IN+	正入力
3	IN-	負入力
4	V <sub>EE</sub>	アナログ負電源 (サブストレート)
5	LATCH	ラッチ入力
6	GND	グランド端子
7	OUT	出力
8	V <sub>DD</sub>	デジタル正電源



## 高速、低電力、電圧コンパレータ

### アプリケーション情報

#### 回路レイアウト

MAX900~903は大きなゲイン帯域幅伝達関数をもつため、高速性能を十分に活かすためには特別な配慮が必要です。良好な低インダクタンスのグラウンド・プレーンをもつプリント基板が必須です。すべてのデカップリング・コンデンサ(小型の0.1 $\mu$ Fセラミック・コンデンサをお勧めします)は、できる限り電源ピンの近くに実装してください。アナログ $V_{CC}$ とデジタル $V_{DD}$ には、それぞれ専用のデカップリング・コンデンサを配置してください。デカップリング用および終端用の部品の帯域幅には、十分に注意してください。コンパレータの周囲での望ましくない寄生フィードバックを避けるために、入力と出力のリード線は必ず短くしてください。プリント基板に部品を実装する際には、ソケットを用いずに、直接ハンダ付けしてください。

#### 入力スルー・レートの条件

すべての高速コンパレータと同様に、MAX900~903の高いゲイン帯域幅積により、入力が線形領域を横切る際に発振の問題が起きます。出力波形に発振やステップのない、きれいな出力スイッチングを得るためには、入力信号は最小スルー・レートの条件を満たす必要があります。発振は、おもに基板のレイアウトや、ソース・インピーダンスと寄生入力容量の結合によって生じます。貧弱なレイアウトや大きなソース・インピーダンスのいずれによっても、発振が起こり、最小スルー・レート条件が増加します。応用によっては、出力と+入力間に正のフィードバックを加えることで発振を抑えることができます。このフィードバック

は、遷移領域での出力をきれいに変化させますが、入力端子におけるスレッシュホールドにヒステリシスが生じます。

#### TTL出力とラッチ入力

コンパレータのTTL出力段は、低電力ショットキTTLを駆動するために最適化されており、ファンアウトは4です。

ラッチがロジック「ハイ」レベルに接続されているか、フローティングのままの場合、コンパレータはトランスペアレントになり、入力端子での変化に即座に反応します。ラッチがTTLの「ロー」レベルに接続されている場合、コンパレータの出力は、ラッチ・コマンドが与えられた瞬間の値を保持し続け、その後の入力変化には反応しません。MAX901にはラッチが用意されていません。

#### 電源

MAX900~903は、独立したアナログおよびデジタル電源、または、単一の+5V電源のいずれにおいても動作します。単一電源動作時において $V_{EE}$ がグラウンドの場合、アナログ電源は+5~+10Vの範囲をとることができ(図1A、1B)、2電源の場合には $\pm 5V$ 電源を与えることができます(図1C)。 $V_{DD}$  デジタル電源には、常に+5Vが必要です。

グラウンドを共有する高速な混在信号応用では、ノイズの多いデジタル部分がアナログ入力信号に悪影響を与えます。独立電源方式でセットアップした場合(図1C)、MAX900~903は独立したAGND( $V_{EE}$ )とDGNDにより、アナログおよびデジタル信号を絶縁します。

### 標準電源

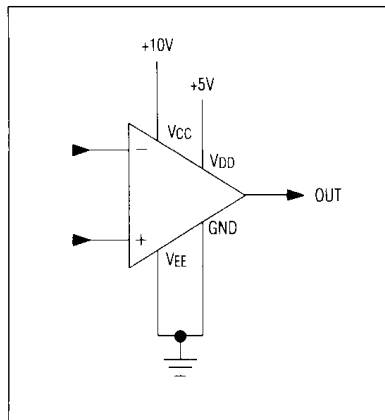


図1A. 独立アナログ電源、グラウンド共有

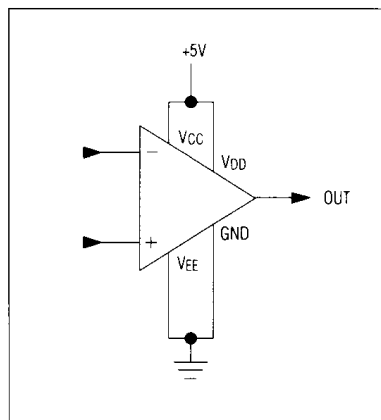


図1B. +5V単一電源、グラウンド共有

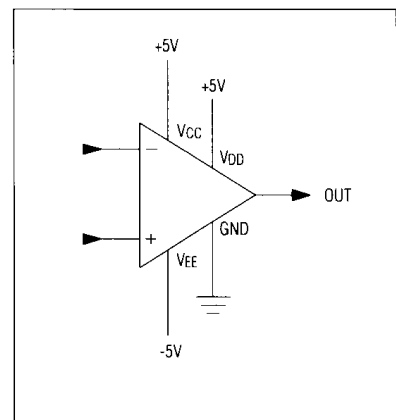


図1C.  $\pm 5V$ デュアル電源、独立グラウンド

## 高速、低電力、電圧コンパレータ

### 用語の定義

$V_{OS}$	入力オフセット電圧：出力にTTLロジック・スレッシュヨルド(+1.4V)を得るために、2つの入力端子間に与える電圧。	$t_{pd-}(D)$	ラッチ・ディセーブル出力ロー遅延：ラッチ信号が、ローからハイへの遷移によってTTLスレッシュヨルドを横切った時点から、出力がハイからローへの遷移によってTTLスレッシュヨルドを横切るまでの時間です。
$V_{IN}$	入力電圧パルス振幅：コンパレータの仕様のため、通常は100mVに設定します。	$t_s$	最小セットアップ時間：入力信号を捉えて出力に保持するために必要な、ラッチ信号の負の遷移の前に入力信号が変化しなければならない最小のセットアップ時間です。
$V_{OD}$	入力電圧オーバードライブ：コンパレータの仕様のため、通常は5mVで $V_{IN}$ と逆の極性に設定します。	$t_h$	最小ホールド時間：入力信号を捉えて出力に保持するために必要な、ラッチ信号の負の遷移の後の入力信号が変化してはならない最小のホールド時間です。
$t_{pd+}$	入力-出力間ハイ遅延：入力信号が、入力オフセット電圧を横切った時点から、出力ローからハイへの遷移を起こすTTLロジック・スレッシュヨルドまでの伝播遅延時間です。	$t_{pw}(D)$	最小ラッチ・ディセーブル・パルス幅：入力信号の変化を捉えて保持するために必要な、ラッチ信号をハイにしておく最小時間です。
$t_{pd-}$	入力-出力間ロー遅延：入力信号が、入力オフセット電圧を横切った時点から、出力ハイからローへの遷移を起こすTTLロジック・スレッシュヨルドまでの伝播遅延時間です。		
$t_{pd+}(D)$	ラッチ・ディセーブル出力ハイ遅延：ラッチ信号が、ローからハイへの遷移によってTTLスレッシュヨルドを横切った時点から、出力がローからハイへの遷移によってTTLスレッシュヨルドを横切るまでの遅延時間です。		

MAX900/901/902/903

# 高速、低電力、電圧コンパレータ

MAX900/901/902/903

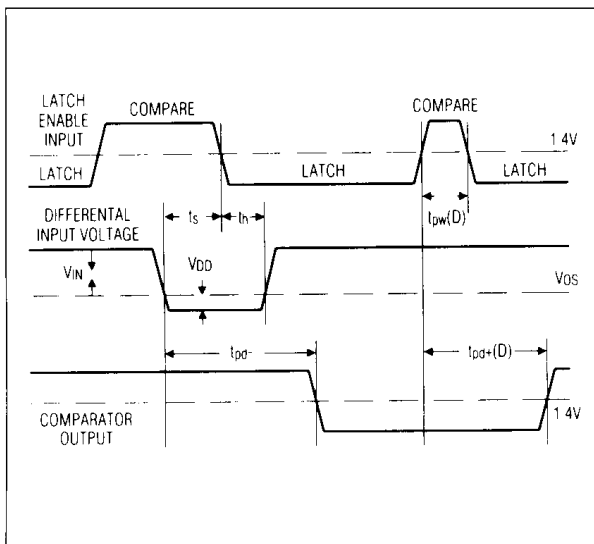


図2. MAX900/902/903タイミング図

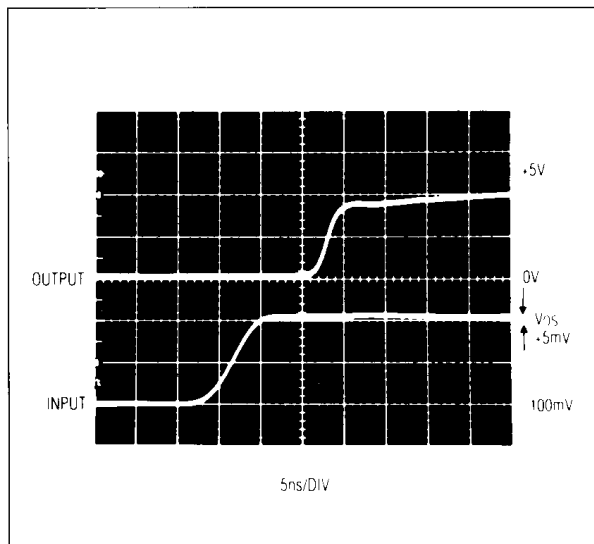


図3. 5mVオーバードライブでの  $t_{pd+}$  応答時間

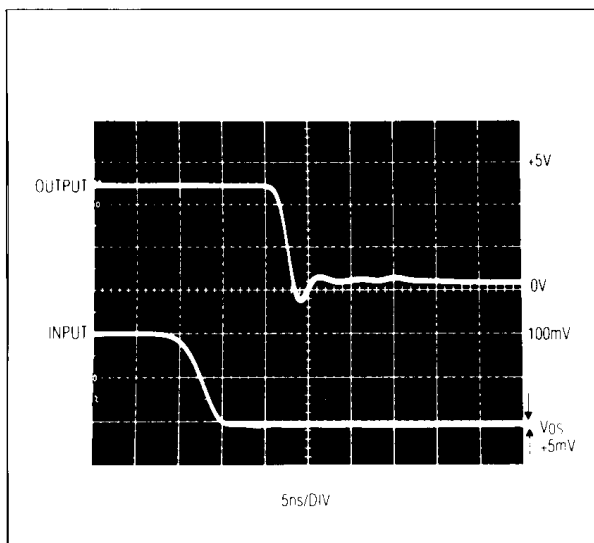


図4. 5mVオーバードライブでの  $t_{pd-}$  応答時間

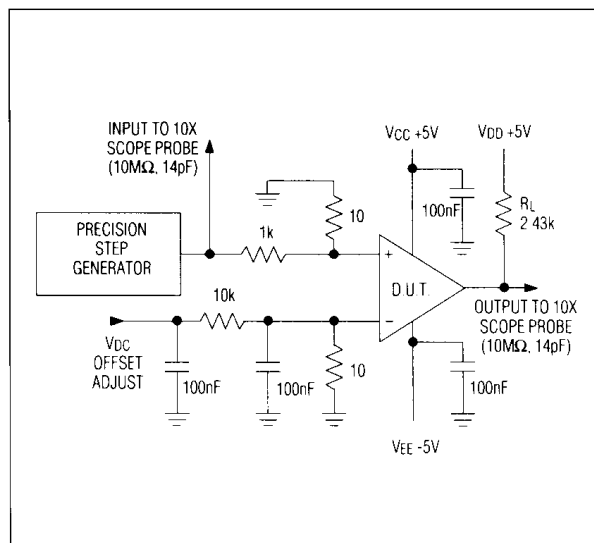


図5. 応答時間の測定回路

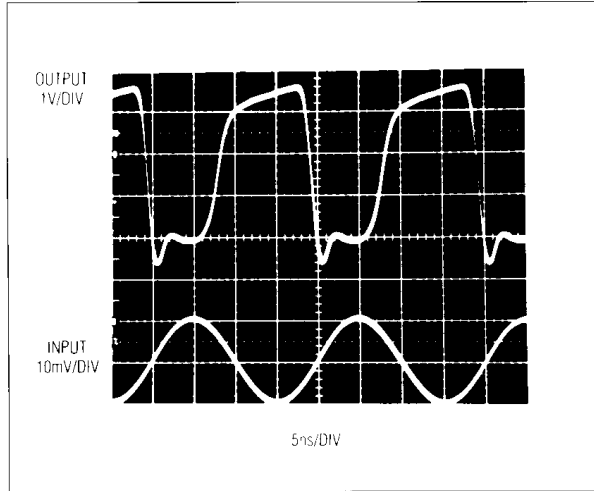


図6. 50MHz正弦波への応答

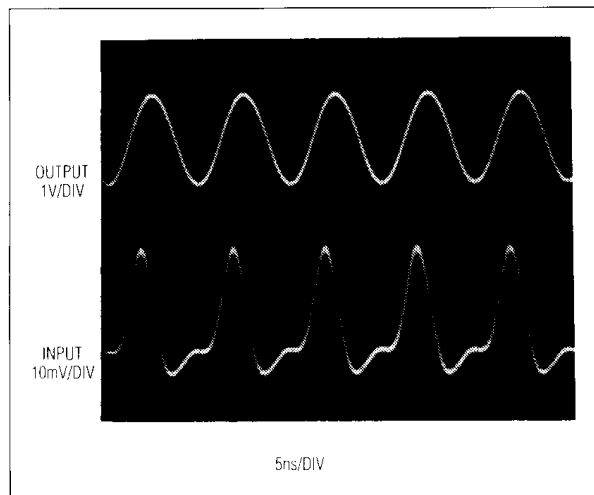


図7. 100MHz正弦波への応答

## 標準的な応用

### プログラマブル可変警報リミット

2つのクワッド・アナログ・コンパレータとオクタ、8ビットD/Aコンバータ(MX7228)の組合せにより、さまざまな警報やリミット検出機能を、外部調整を行うことなく同時に実行することができます。

MX7228の内部ラッチにより、システム・プロセッサは各コンパレータのリミット値を独立して設定し、任意の時点でそれを更新することが可能です。D/Aコンバータとコンパレータを組み合わせることで、単一のトランスデューサに対して上限および下限のスレッシュホールド値を設定します。

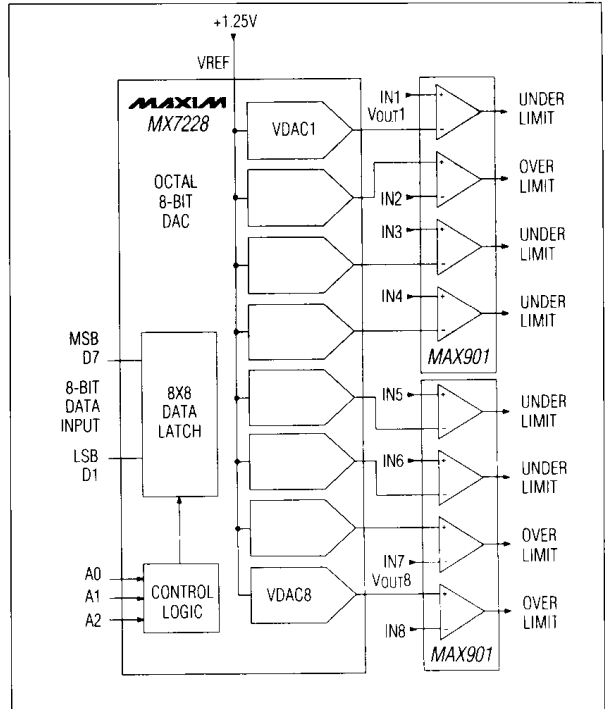
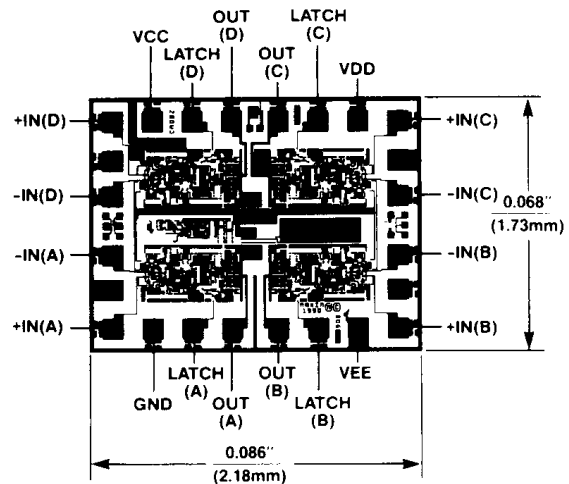


図8. 8つの独立した入力をもつレベル・モニタ警報回路

## チップ構造図



Note: Substrate connected to VEE.  
MAX900/901/902/903

# 高速、低電力、電圧コンパレータ

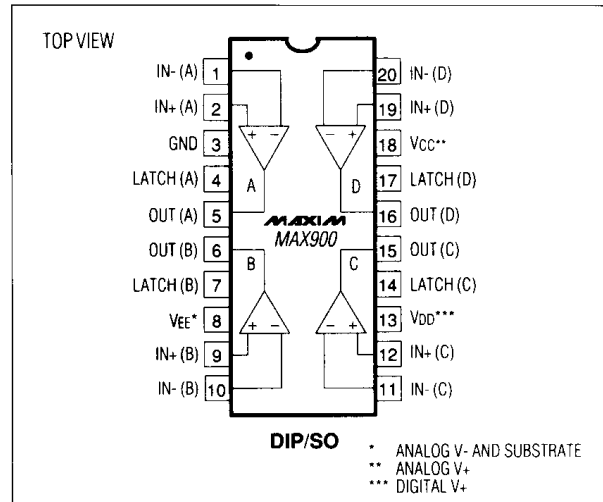
MAX900/901/902/903

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX901ACPE	0°C to +70°C	16 Plastic DIP
MAX901BCPE	0°C to +70°C	16 Plastic DIP
MAX901ACSE	0°C to +70°C	16 Narrow SO
MAX901BCSE	0°C to +70°C	16 Narrow SO
MAX901BC/D	0°C to +70°C	Dice*
MAX901AEPE	-40°C to +85°C	16 Plastic DIP
MAX901BEPE	-40°C to +85°C	16 Plastic DIP
MAX901AESE	-40°C to +85°C	16 Narrow SO
MAX901BESE	-40°C to +85°C	16 Narrow SO
MAX901AMJE	-55°C to +125°C	16 CERDIP
MAX901BMJE	-55°C to +125°C	16 CERDIP
MAX902CPD	0°C to +70°C	14 Plastic DIP
MAX902CSD	0°C to +70°C	14 Narrow SO
MAX902C/D	0°C to +70°C	Dice*
MAX902EPD	-40°C to +85°C	14 Plastic DIP
MAX902ESD	-40°C to +85°C	14 Narrow SO
MAX902MJD	-55°C to +125°C	14 CERDIP
MAX903CPA	0°C to +70°C	8 Plastic DIP
MAX903CSA	0°C to +70°C	8 SO
MAX903C/D	0°C to +70°C	Dice*
MAX903EPA	-40°C to +85°C	8 Plastic DIP
MAX903ESA	-40°C to +85°C	8 SO
MAX903MJA	-55°C to +125°C	8 CERDIP

\* Contact factory for dice specifications.

ピン配置(続き)



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL.(03)3232-6141 FAX.(03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600