

HDTV連続可変
アンチエイリアシングフィルタ

MAX7469/MAX7470

概要

MAX7469/MAX7470トリプルチャネル、アンチエイリアシングフィルタおよびバッファは、高精細(HD)および標準(SD)テレビ(TV)アプリケーションに最適です。1080i、720p、720i、480p、および480iの各走査システム規格およびコンピュータフォーマット信号との互換性があるMAX7469/MAX7470は、コンポーネントビデオ(Y P_b P_r, G_sBR、およびRGBHV)に加えて、コンポジット(CVBS)およびSビデオ(Y/C)もサポートします。

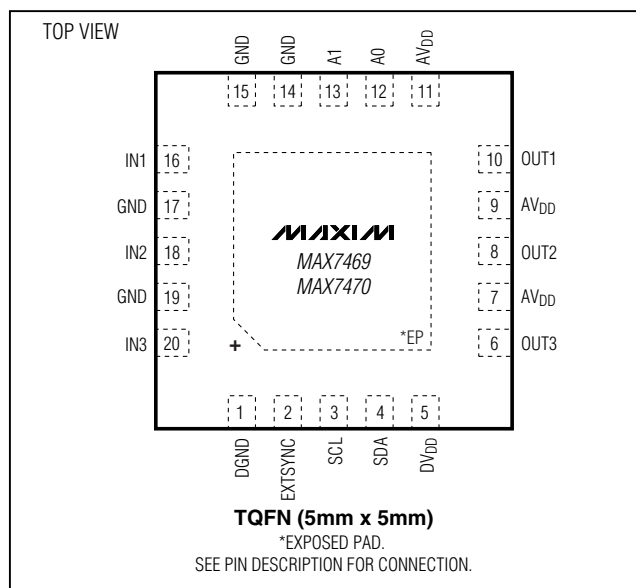
MAX7469/MAX7470は、ADCまたはビデオデコーダによるデジタル変換の前に、入力帯域幅を制限してアンチエイリアシングと帯域外ノイズの低減を行います。MAX7469/MAX7470の周波数応答は、SDを下回る解像度からHDを超える解像度まで256段階のリニアなステップで、I²C*インタフェースを通して連続的に変化させることが可能です。

MAX7469/MAX7470の出力バッファは、標準的な150Ωの負荷に対して2V_{p-p}のビデオ信号を駆動します。入力はAC結合され、出力はDC結合またはAC結合が可能です。MAX7469の利得は0dB、MAX7470の利得は+6dBです。どちらのデバイスも20ピンTQFNパッケージで提供され、0℃～+85℃の拡張民生用温度範囲について完全に仕様が保証されています。

アプリケーション

HDTV (LCD、PDP、DLP、CRT)
セットトップボックス
パーソナルビデオレコーダ
ホームシアター

ピン配置



特長

- ◆ 連続可変アンチエイリアシングフィルタ
5MHz～34MHz、256段階
- ◆ すべての標準的ビデオおよびコンピュータ
入力フォーマットをサポート
480i、480p、720i、720p、1080i
QVGA、VGA、SVGA、XGA、SXGA、UXGA
Y P_b P_r, G_sBR、RGBHV、Y/C、CVBS
- ◆ どのような入力同期フォーマットにも対応
シンクオンY (Sync on Y)、シンクオンG
(Sync on G)、外部Sync (正または負)
シンクオン全チャネル (Sync on All Channels)
- ◆ バッファ付き出力は標準的な150Ωのビデオ負荷を駆動
0dB (MAX7469)
+6dB (MAX7470)
- ◆ DCまたはAC結合された出力
- ◆ 単一+5Vアナログおよび+3.3Vデジタル電源(複数)
- ◆ 5mWパワーダウンモード
- ◆ 20ピンTQFN鉛フリーパッケージ

*Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたことになります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

型番

PART	PIN-PACKAGE	BUFFER GAIN (dB)	PKG CODE
MAX7469UTP+	20 TQFN-EP*	0	T2055-4
MAX7470UTP+**	20 TQFN-EP*	+6	T2055-4

注：すべてのデバイスは0℃～+85℃の動作温度範囲に対して仕様が規定されています。

+は鉛フリーパッケージを示します。

*EP = エクスポーズドパッド。

**開発中の製品。入手性についてはお問い合わせください。

標準動作回路はデータシートの最後に記載されています。

HDTV連続可変 アンチエイリアシングフィルタ

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to GND	-0.3V to +6V
DV _{DD} to DGND	-0.3V to +4V
IN ₋ , EXTSYNC to GND	-0.3V to the lower of (AV _{DD} + 3V) and +6V
OUT ₋ to GND	-0.3V to the lower of (AV _{DD} + 3V) and +6V
A ₋ to GND	-0.3V to the lower of (AV _{DD} + 3V) and +6V
SCL, SDA to DGND	-0.3V to +6V

Continuous Power Dissipation (T _A = +70°C)	
20-Pin TQFN (derate 33.3mW/°C above +70°C)	...2666.7mW
Maximum Current into IN ₋ , A ₋ , GND, SCL, SDA, and EXTSYNC	...±50mA
Operating Temperature Range	...0°C to +85°C
Storage Temperature Range	...-65°C to +150°C
Junction Temperature	...+150°C
Lead Temperature (soldering, 10s)	...+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = +5V ±5%, DV_{DD} = 2.7V to 3.6V, R_{LOAD} = 150Ω to GND, C_{IN} = 0.1μF, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = 5V, DV_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Filter Passband Response	A _{PB}	HD: f = 100kHz to 30MHz, relative to 100kHz (Note 1)	-3	-0.6	+1	dB
		SD: f = 100kHz to 5.75MHz, relative to 100kHz (Note 2)		±0.1	±1.0	
Filter Stopband Attenuation	A _{SB}	HD: f = 74MHz (Note 1)	45	57		dB
		SD: f = 27MHz (Note 2)	52	63		
Group Delay Deviation	Δt _G	HD: 100kHz to 30MHz, relative to 100kHz (Note 1)		20		ns
		SD: 100kHz to 5.75MHz, relative to 100kHz (Note 2)		15		
Group Delay Matching	t _G (MATCH)	HD: channel to channel, 100kHz to 2MHz, (Note 1)		5		ns
		SD: channel to channel, 100kHz to 500kHz, (Note 2)		1.5		
Bypass Frequency Response		-3dB, bypass mode, independent of filter setting		100		MHz
SD Differential Gain	dG	Five-step modulated staircase (Note 2)		0.25		%
SD Differential Phase	dφ	Five-step modulated staircase (Note 2)		0.25		Degrees
Signal-to-Noise Ratio	SNR	Output signal (2V _{P-P}) to RMS noise (100kHz to 30MHz), f = 30MHz		69		dB
SD Line-Time Distortion	H _{DIST}	Deviations in a line with an 18μs, 100 IRE bar; 1 line = 63.5μs (Note 2)			0.3	%
SD Field-Time Distortion	V _{DIST}	Deviations in 130 lines with 18μs, 100 IRE bars (Note 2)			0.3	%

HDTV連続可変 アンチエイリアシングフィルタ

MAX7469/MAX7470

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V ±5%, DVDD = 2.7V to 3.6V, RLOAD = 150Ω to GND, CIN = 0.1μF, TA = 0°C to +85°C, unless otherwise noted. Typical values are at AVDD = 5V, DVDD = 3.3V, TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clamp Settling Time		To 1% with 100 IRE step (Note 4)	Positive	350		H
			Negative	650		
Minimum Functional Input Sync Amplitude			125			mV
Low-Frequency Gain (Note 1)		MAX7469	-0.5	0	+0.5	dB
		MAX7470	5.5	6	6.5	
Low-Frequency Gain Matching		100kHz		0.05		dB
Maximum Output Voltage Amplitude		DC to 30MHz		2.4		VP-P
Maximum Input Voltage Amplitude		MAX7469		2.4		VP-P
		MAX7470		1.2		
Channel-to-Channel Isolation				62		dB
Output Clamping Level Variation		(Notes 1, 4)			±100	mV
Power-Supply Rejection Ratio	PSRR	DC		50		dB
DIGITAL INPUTS (EXTSYNC, A1, A0)						
Input Logic-High Voltage	VIH		2.0			V
Input Logic-Low Voltage	VIL				0.8	V
Input Leakage Current	IIN	VIN = 0 to DVDD		±1	±10	μA
Input Capacitance	CIN			6		pF
DIGITAL INPUTS (SDA, SCL)						
Input Logic-High Voltage	VIH		0.7 x DVDD			V
Input Logic-Low Voltage	VIL				0.3 x DVDD	V
Input Hysteresis	VHYST		0.05 x DVDD			V
Input Leakage Current	IIN	VIN = 0 to DVDD		±0.1	±10	μA
Input Capacitance	CIN			6		pF
DIGITAL OUTPUT (SDA)						
Output Logic-Low Voltage	VOL	ISINK = 3mA			0.4	V
Tri-State Leakage Current	IL	VIN = 0 to DVDD		±0.1	±10	μA
Tri-State Output Capacitance	COUT			6		pF
POWER REQUIREMENTS						
Analog Supply Voltage Range	AVDD		4.75	5	5.25	V
Digital Supply Voltage Range	DVDD		2.7	3.3	3.6	V
Analog Supply Current	IAVDD	Normal operation, no load		180	200	mA
		Power-down mode, no load		1	1.5	
Digital Supply Current	IDVDD	fSCL = 400kHz		25		μA

HDTV連続可変 アンチエイリアシングフィルタ

TIMING CHARACTERISTICS

(AV_{DD} = +5V ±5%, DV_{DD} = 2.7V to 3.6V, R_{LOAD} = 150Ω to GND, C_{IN} = 0.1μF, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = 5V, DV_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f _{SCL}		0		400	kHz
Bus Free Time Between STOP (P) and START (S) Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START (Sr) Condition	t _{HD;STA}	After this period, the first clock pulse is generated	0.6			μs
SCL Pulse-Width Low	t _{LOW}		1.3			μs
SCL Pulse-Width High	t _{HIGH}		0.6			μs
Setup Time for a Repeated START (Sr) Condition	t _{SU;STA}		0.6			μs
Data Hold Time	t _{HD;DAT}	(Note 5)	0.0		0.9	μs
Data Setup Time	t _{SU;DAT}		100			ns
Rise Time of Both SDA and SCL Signals, Receiving	t _r		0		300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _f		0		300	ns
Fall Time of SDA Signal, Transmitting	t _f	(Note 6)	20 + 0.1C _b		250	ns
Setup Time for STOP (P) Condition	t _{SU;STO}		0.6			μs
Capacitive Load for Each Bus Line	C _b				400	pF
Pulse Width of Spikes that Are Suppressed by the Input Filter	t _{SP}	(Note 7)	0		50	ns

Note 1: The filter passband edge is set to code 255.

Note 2: The filter passband edge is set to code 40.

Note 3: 1H is the total line period, depending on the video standard. For NTSC, this is 63.5μs; for HDTV, the line period is 29.64μs.

Note 4: The clamp level is at the sync tip for signals with sync pulses, and at the blanking level otherwise.

Note 5: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

Note 6: C_b = total capacitance of one bus line in pF. t_r and t_f measured between 0.3V_{DD} and 0.7V_{DD}.

Note 7: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

HDTV連続可変 アンチエイリアシングフィルタ

MAX7469/MAX7470

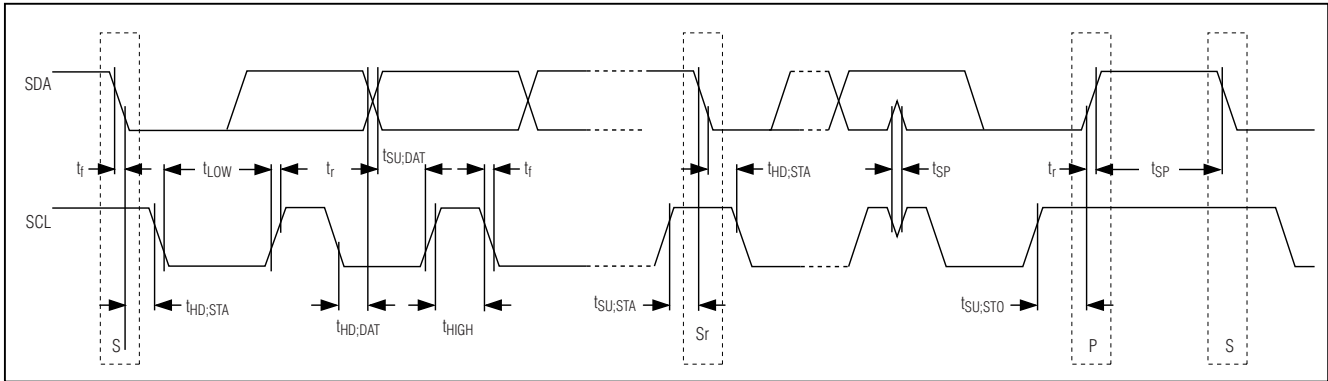
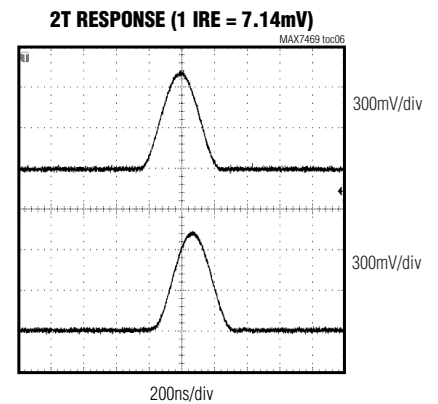
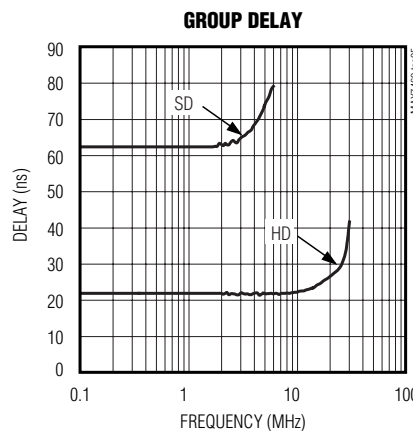
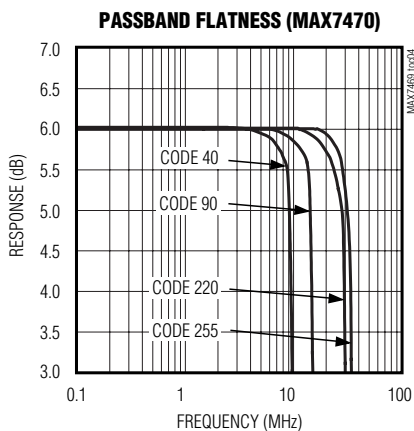
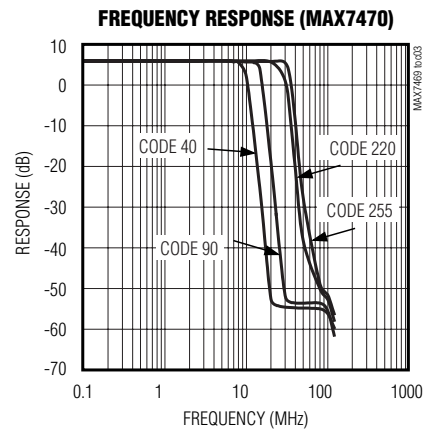
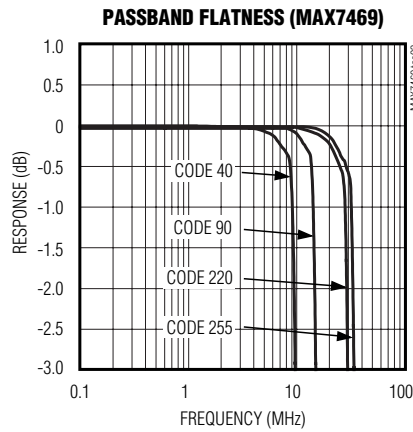
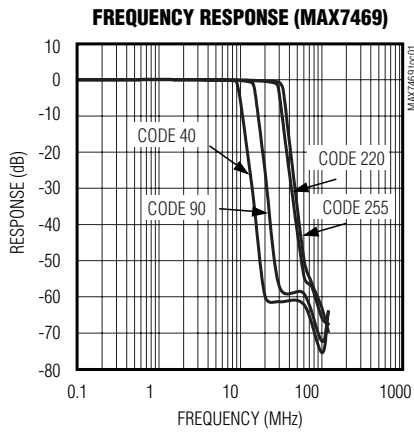


図1. 2線式シリアルインタフェースのタイミング図

標準動作特性

($AV_{DD} = +5V$, $DV_{DD} = 3.3V$, $R_{LOAD} = 150\Omega$ to GND, $C_{LOAD} = 0$ to $20pF$ to GND, $C_{IN} = 0.1\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

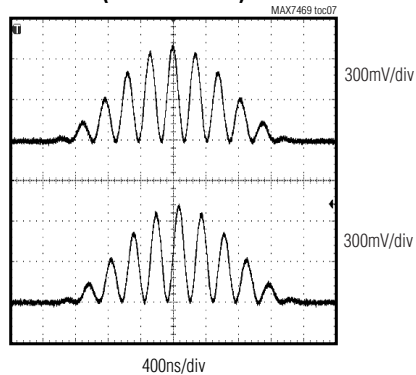


HDTV連続可変 アンチエイリアシングフィルタ

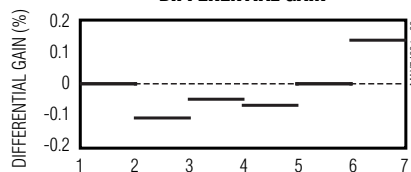
標準動作特性(続き)

($AV_{DD} = +5V$, $DV_{DD} = 3.3V$, $R_{LOAD} = 150\Omega$ to GND, $C_{LOAD} = 0$ to $20pF$ to GND, $C_{IN} = 0.1\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

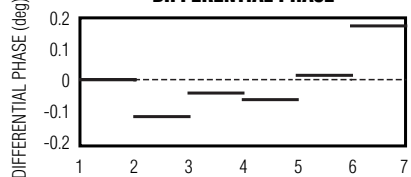
MODULATED 12.5T RESPONSE
(1 IRE = 7.14mV)



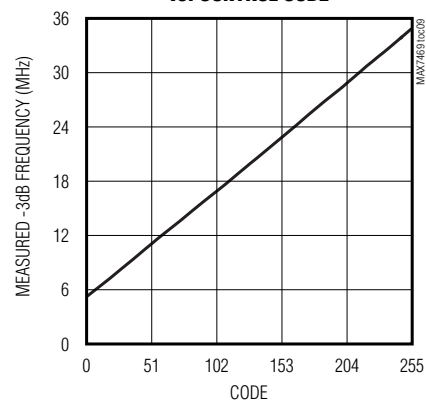
DIFFERENTIAL GAIN



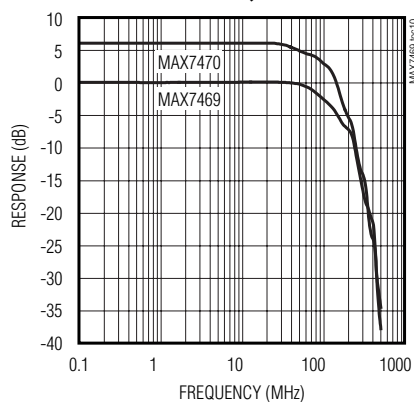
DIFFERENTIAL PHASE



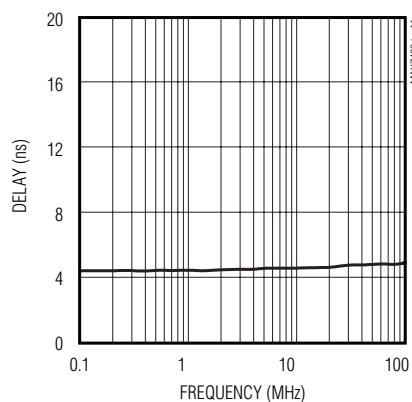
-3dB FREQUENCY
vs. CONTROL CODE



BYPASS-MODE FREQUENCY RESPONSE



BYPASS-MODE GROUP DELAY



HDTV連続可変 アンチエイリアシングフィルタ

MAX7469/MAX7470

端子説明

端子	名称	機能
1	DGND	ディジタルグランド。「電源バイパス処理およびレイアウトについて」の項を参照してください。
2	EXTSYNC	外部同期入力。EXTSYNCは内蔵の3MΩ抵抗でグランドに接続されています。使用しない場合はグランドに接続してください。
3	SCL	I ² C互換シリアルクロック入力
4	SDA	I ² C互換シリアルデータ入出力
5	DVDD	ディジタル電源。0.1μFのコンデンサでDGNDにバイパスしてください。「電源バイパス処理およびレイアウトについて」の項を参照してください。
6	OUT3	ビデオ出力3。OUT3はDCまたはAC結合が可能です。
7, 9, 11	AVDD	アナログ電源。0.1μFのコンデンサでGNDにバイパスしてください。「電源バイパス処理およびレイアウトについて」の項を参照してください。
8	OUT2	ビデオ出力2。OUT2はDCまたはAC結合が可能です。
10	OUT1	ビデオ出力1。OUT1はDCまたはAC結合が可能です。
12	A0	I ² Cデバイスアドレスビット0
13	A1	I ² Cデバイスアドレスビット1
14, 15, 17, 19	GND	グランド。すべてのGND端子をグランドプレーンに接続してください。「電源バイパス処理およびレイアウトについて」の項を参照してください。
16	IN1	ビデオ入力1。直列にした0.1μFのコンデンサでIN1をAC結合してください。
18	IN2	ビデオ入力2。直列にした0.1μFのコンデンサでIN2をAC結合してください。
20	IN3	ビデオ入力3。直列にした0.1μFのコンデンサでIN3をAC結合してください。
—	EP	エクスポーズパッド。内部でGNDに接続されています。プリント基板の配線はパッケージの下を通さないでください。EPをグランドプレーンに接続してください。「電源バイパス処理およびレイアウトについて」の項を参照してください。

詳細

MAX7469/MAX7470は、プラズマやLCDなどの固定画素HDTVディスプレイテクノロジー(入力ビデオ信号をディジタル化した後、ディスプレイ固有の画素フォーマットに合わせて解像度をスケール変換する)に最適な完結したビデオアンチエイリアシングソリューションです。5MHz~34MHzの範囲からソフトウェアによってコーナー周波数を選択可能なMAX7469/MAX7470は、1080i、720p、720i、480p、および480iを含む、SDとHD両方のビデオ信号をサポートします。さらに広い帯域幅のコンピュータ解像度の信号もサポートしています。

ADCまたはビデオデコーダによるサンプリングの前に、内蔵のローパスフィルタでアナログビデオ入力の帯域幅を制限してアンチエイリアシングと帯域外ノイズの低減を行います。コーナー周波数はSDを下回る解像度からHDを超える解像度までリニアな256段階のステップで調整可能とすることで、特定の入力ビデオ信号およびADCまたはビデオデコーダのサンプリング周波数に応じて、フィルタのコーナー周波数を動的に最適化することが可能になっています。最高の周波数設定よりも広い通過帯域を必要とするアプリケーション向けに、フィルタバイパスモードも用意されています。

I²Cインタフェースによって、クランプ電圧、フィルタのコーナー周波数、同期信号源(内部/外部)、フィルタ

バイパスなどを含むMAX7469/MAX7470の性能および機能を、マイクロコントローラ(μC)から設定することが可能になっています。

「標準動作回路」に、MAX7469/MAX7470のブロック図と標準的な外部接続を示します。

同期検出器とクランプの設定

MAX7469/MAX7470では、AC結合コンデンサの後で入力ビデオ信号のDCオフセットを確立するために、ビデオクランプ回路を使用しています。このビデオクランプが、回路のDCバイアスレベルを最適な動作ポイントに設定します。

MAX7469/MAX7470は、内部および外部の同期検出の両方をサポートしています。内部検出と外部検出の選択は、コマンドバイトのプログラミングによって行います(表3参照)。チャンネル1(または外部同期: SYNCA、SYNCB、またはSYNC)から同期情報を抽出した後、MAX7469/MAX7470はビデオの同期チップ部分の間ビデオ信号をクランプします。選択可能な2つのクランプレベルの内の1つを、入力信号フォーマットに従って選択してください。Y(輝度)信号やCVBS信号のような入力信号に同期情報が含まれる場合は、低いレベルを使用してください。C(クロマ)やPb/Prのようなバイポーラ信号には、高いレベルを使用してください。詳細については表1を参照してください。

HDTV連続可変 アンチエイリアシングフィルタ

表1. クランプレベル

INPUT SIGNAL FORMAT	CLAMP LEVEL		
	CHANNEL 1	CHANNEL 2	CHANNEL 3
Y P _b P _r	Low	High	High
G _S BR	Low	High	High
CVBS Y C	Low	Low	High
Y P _b P _r (sync on all signals)	Low	Low	Low
R G B H V	High	High	High

コンポーネント/コンポジット選択

MAX7469/MAX7470は、コンポーネントまたはコンポジット入力に対応しています。コンポジットビデオ入力用に設定されている場合、カラーバーストフィルタがイネーブルとなります。コンポーネントビデオ入力用に設定されている場合、カラーバーストフィルタはディセーブルされます。このフィルタはメインフィルタとは独立しており、直接信号経路上には含まれていないため、全体的な周波数応答には影響を与えません。通常のビデオ信号およびレベルの場合、このカラーバーストフィルタを使用することによる同期検出への影響は無視することができます。小さな信号振幅と、相対的に大きな振幅のカラーバーストとが組み合わさっている条件下では、より大きな影響を及ぼすことになります。

外部同期検出(EXTSYNC)

独立した同期信号を持つコンピュータ用フォーマット(RGBHV)のように、同期情報が埋め込まれていないビデオ信号をフィルタリングする場合、外部同期モード(表3参照)を使用して、水平同期信号源をEXTSYNC端子に印加します。同期検出器によって、いつクランプ回路をオンにするかが決定されます。

MAX7469/MAX7470は、TTL論理レベルの正または負極性の外部同期を検出することができます。外部同期信号の極性は、I²Cインタフェースを使用してプログラミングします。

フィルタ

内蔵のビデオフィルタは、急峻な過渡帯域を持つ最適化された応答を提供し、幅広い通過帯域と優れた阻止帯域除去を実現します。さらに、このフィルタはオーバシュートの少ない優れたタイムドメイン応答を提供するよう最適化されています。

フィルタ周波数の設定

I²Cインタフェースを使用して、MAX7469/MAX7470に内蔵されたフィルタの周波数応答(-3dBカットオフ周波数)を、SDを下回る通過帯域からHDを超える通過帯域まで、リニアな256段階のステップで変更します。周波数レジスタにアクセスするためのコマンドバイト12hを書き込み、その後に必要な周波数に相当する8ビットのデータワードを書き込みます。詳細については、「周波

数レジスタ」の項を参照してください。

MAX7469/MAX7470によって設定される周波数は、-3dB減衰点です。所望の平坦な通過帯域応答に応じて、周波数を設定してください。

周波数応答の最適化

ビデオ信号フォーマットの解像度に応じて、周波数応答を選択します。高精細度の信号がより広い帯域幅を必要とするのに対し、標準精細度の信号はより狭い帯域幅しか必要としません。ビデオ信号に含まれる実際の帯域幅は、信号の視覚的解像度の関数になります。この帯域幅は、各フォーマットの解像度(1080i、720pなど)によって示されるものよりも狭いのが一般的です。詳しくは、マキシムのアプリケーションノート750:「Bandwidth Versus Video Resolution」を参照してください(japan.maxim-ic.comから入手可能です)。

周波数応答は、全体的性能を改善するために最適化することができます。少なくとも、ナイキスト基準を満たすことが重要です。その上で、さらに周波数応答を最適化することが可能です。オーバサンプリング方式のシステムでは、所望の通過帯域応答をサンプルレートが大幅に上回ります。通過帯域とサンプルレートの間の余分な周波数範囲には、ノイズを始めとする望ましくない妨害要因が含まれており、必要な帯域幅だけを通すようにフィルタのコーナー周波数を設定することによって、これらは除去可能です。このことによって、システム全体の信号対ノイズ比が向上します。

フィルタバイパス

MAX7469/MAX7470は、入力ビデオ信号が内蔵フィルタをバイパスし、フィルタリングされずに出力バッファに到達することを可能にする、選択可能なフィルタバイパスを提供しています。表3に示すように、フィルタバイパスモードをイネーブル(0Eh)またはディセーブル(0Fh)する適切なコマンドバイトを書き込んでください。

出力バッファ

各出力バッファは、150Ωのビデオ負荷に対して2V_{p-p}の信号を駆動することができます。MAX7469/MAX7470は、DCまたはAC結合された負荷を駆動することができます。ケーブル駆動時に出力AC結合コンデンサを省くことができ、それによって、ラインおよびフィールド時間歪み(別名ドループ)など、通常これらの大容量コンデンサによって生じる悪影響を排除することができます。出力DCレベルの制御によって、ビデオ信号のブランキングレベルが常に1V未満になるようにケーブル上のDC電圧が制限され、デジタルTVの仕様を満たします。詳細については、「出力について」の項を参照してください。

利得のオプション

MAX7469の総合利得は0dBであり、一方MAX7470の総合利得は+6dBです。バックマッチングされたケーブルを駆動する場合はMAX7470を使用し、MAX7469へ

の入力と同じ入力範囲を持つADCまたはビデオデコーダを駆動する場合はMAX7469を使用してください。さらに柔軟性を高める要素として、MAX7469は標準的なビデオ信号の2倍の信号範囲の入力信号に対応しており、より大きな信号振幅に対応した入力信号範囲を持つADCまたはビデオデコーダの駆動に使用することができます。また、MAX7470は2倍の利得が欲しい場合のADCまたはビデオデコーダの駆動にも使用することができます。

出力クランプレベル

MAX7469/MAX7470の出力は、DCまたはAC結合が可能です。DC結合の場合における出力クランプレベルの公称値はクランプ電圧の設定に依存し、表2に従って決定することができます。

表2. 出力クランプレベル

CLAMP SETTING	OUTPUT CLAMP LEVEL (V)
Low	1.0 (typ)
High	1.6 (typ)

「同期検出器とクランプの設定」の項に示されるように、同期情報を含む信号には低いクランプレベルを使用して同期チップの電圧レベルを決定し、同期情報を含まない信号には高いクランプレベルを使用してブランキングレベルを設定します。

出力信号の絶対的な電圧レベルは、出力クランプレベルに比例します。情報を含むビデオ信号(すなわちCVBSまたはY)はクランプレベルから上に単極性であり、逆に同期のない信号(すなわち、 P_b 、 P_r またはC)はクランプレベルを中心に両極性です。

パワーダウンモード

MAX7469/MAX7470は、アナログ回路への給電を止めることで電源電流を180mA (typ)から1mA (typ)に減少させるパワーダウンモードを備えています。I²Cインタフェースはアクティブなままであり、デバイスがフルパワー動作に戻ることが可能になっています。クランプの整定時間(Clamp settling time) (「Electrical Characteristics (電気的特性)」の項を参照)によってMAX7469/MAX7470のウェイクアップ時間が制限を受けます。パワーダウンモードを抜け出した後は、MAX7469/MAX7470はパワーダウン前に保存された設定を使用して通常動作を再開します。パワーダウンモードとウェイクアップモードは、コマンドバイトによって制御されます(表3参照)。ソフトウェアリセットによってコントロール/ステータスレジスタはデフォルト状態に設定されますが、周波数レジスタは変化しません。

パワーオンリセット(POR)

MAX7469/MAX7470には、内部レジスタとI²Cインタフェースをデフォルト状態にリセットするPOR回路が含まれています(表4、5、および6参照)。

シリアルインタフェース

MAX7469/MAX7470は、双方向シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成される、I²C互換の2線式シリアルインタフェースを備えています。SDAとSCLによって、MAX7469/MAX7470とマスタ間の双方向通信を最高400kHzの速度で行うことができます。

MAX7469/MAX7470はコマンドインタプリタを備えており、正当なコマンドバイトを書き込むことによってアクセスされます。コマンドバイトがMAX7469/MAX7470に書き込まれると、コマンドインタプリタがそれに従ってコントロール/ステータスレジスタを更新します。詳細については「コントロール/ステータスレジスタ」の項を参照してください。コマンドインタプリタは、コマンドバイトを通して周波数レジスタへのアクセスも管理します(「コマンドバイト(書き込みサイクル)」の項を参照)。

MAX7469/MAX7470は送信/受信のスレーブ専用デバイスであり、クロック信号の生成をマスタに依存します。マスタ(一般的にはμC)がバス上のデータ転送を開始し、SCLを生成します。

マスタデバイスは適切なアドレス(「スレーブアドレス」の項を参照)を送信し、その後にコマンドおよび/またはデータワードを送信することによって、MAX7469/MAX7470への通信を行います。個々の転送シーケンスは、スタート(S)または再スタート(Sr)条件とストップ(P)条件とで構成されます。

SDAのドライバはオープンドレイン出力であり、論理ハイ電圧を生成するためにプルアップ抵抗(2.4kΩ以上)を必要とします。オプションとして抵抗(24Ω)をSDAおよびSCLと直列に入れることによって、バスライン上の高電圧スパイクからデバイスの入力を保護することができます。直列抵抗には、バス信号のクロストークとアンダシュートを最小化する効果もあります。

ビット転送

SCLの立上リエッジごとに1つのデータビットが転送されます。MAX7469/MAX7470とのデータ入出力には、9クロックサイクルが必要になります。SDA上のデータは、SCLのクロックパルスがハイの期間は安定している必要があります。SCLがハイのときにSDAが変化すると、制御信号として読み取られます(「スタートおよびストップ条件」の項を参照)。シリアルインタフェースが動作していないとき、SDAとSCLはハイのアイドル状態になります。

HDTV連続可変 アンチエイリアシングフィルタ

スタートおよびストップ条件

マスタデバイスは、スタート条件(S)の発行、すなわち SCLをハイにした状態でSDAをハイからローに遷移させることで通信を開始します(図2)。マスタは、ストップ条件(P)によって転送を終了します(「アクノリッジビット(ACK)と非アクノリッジビット(NACK)」の項を参照)。ストップ条件とは、SCLをハイにした状態でSDAをローからハイに遷移させることです(図2)。ストップ条件によってバスが解放されます。ストップ条件の代わりに再スタート条件(Sr)が生成された場合、バスはアクティブのままになります。ストップ条件または適切でないアドレスが検出されると、MAX7469/MAX7470は次のスタートまたは再スタート条件まで、I²Cバス上のすべての通信を無視してデジタルノイズおよびフィードスルーの最少化を図ります。

早期ストップ条件

MAX7469/MAX7470は、転送中の任意の時点でストップ条件を認識しますが、スタート条件と同じハイパルス

内でストップ条件が発生した場合だけは例外です(図3)。この条件は、正当なI²Cフォーマットではありません。すべてのスタート条件とストップ条件は、少なくとも1つのクロックパルスによって隔てられる必要があります。MAX7469/MAX7470は、早期ストップ条件によって中断されたデータ転送中に受信したデータをすべて破棄します。

再スタート(Sr)条件

Sr条件は、データフローの方向が変わることを示すために使用されます(「読出しサイクル」の項を参照)。また、バスマスタが複数のI²Cデバイスに対して書き込みを行い、バスの制御を放棄したくない場合にも、Srを使用することができます。MAX7469/MAX7470のシリアルインタフェースは、Sr条件によって区切られた(または区切られていない)連続的な書き込み動作をサポートしています。

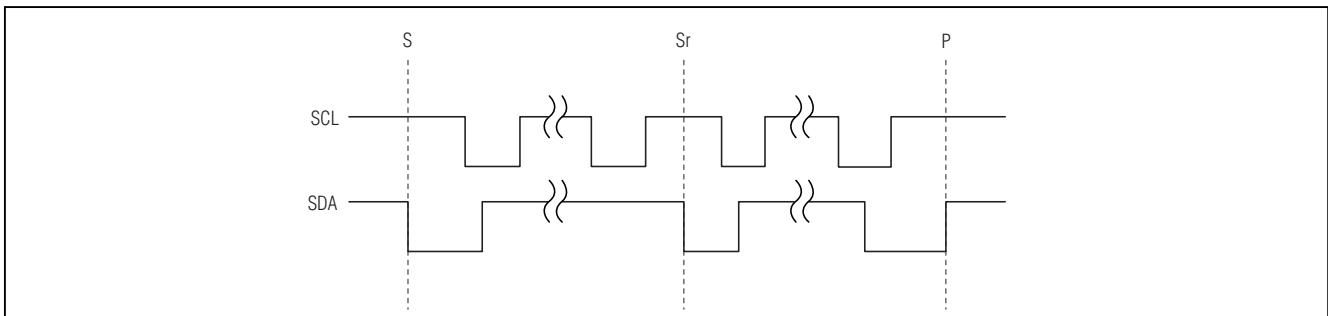


図2. スタート/ストップ条件

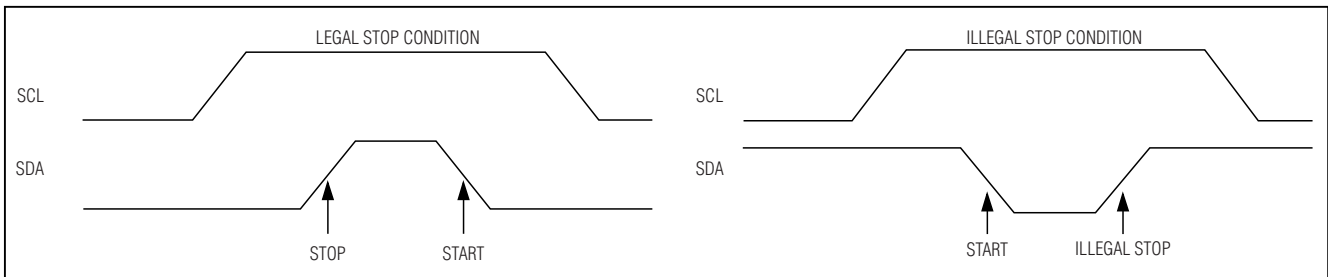


図3. 早期ストップ条件

HDTV連続可変 アンチエイリアシングフィルタ

コマンドバイト(書込みサイクル)

書込みサイクルは、バスマスタがスタート条件を発行し、その後7つのアドレスビット(図5)と1つの書込みビット(R/W = 0)を送信することによって始まります。自分のアドレスの受信に成功した後、MAX7469/MAX7470 (スレーブ)はACKを発行します。スレーブは、受信に成功したアドレスの次のバイトを、コマンドバイトとして認識します(表3)。

MAX7469/MAX7470の設定にはコマンドバイトを使用してください。表3に示したコマンドの大部分はMAX7469/MAX7470の機能を変更するものですが、コマンドにはデバイスが続けてデータ転送を行う準備をするものもあります(「コントロール/ステータスレジスタ」および「周波数レジスタ」の項を参照)。書込みサイクルが完了前に中断された場合、レジスタは更新されず、

表3. コマンドバイト定義

COMMAND BYTE: INDIVIDUAL BIT DEFINITIONS								DESCRIPTION
C7	C6	C5	C4	C3	C2	C1	C0	
0	0	0	0	0	0	0	0	Enters power-down mode.
0	0	0	0	0	0	0	1	Wake-up; resumes normal operation using the frequency/status previously stored (unless power has been cycled).
0	0	0	0	0	0	1	0	Sets IN1 clamp voltage level to low.
0	0	0	0	0	0	1	1	Sets IN1 clamp voltage level to high.
0	0	0	0	0	1	0	0	Sets IN2 clamp voltage level to low.
0	0	0	0	0	1	0	1	Sets IN2 clamp voltage level to high.
0	0	0	0	0	1	1	0	Sets IN3 clamp voltage level to low.
0	0	0	0	0	1	1	1	Sets IN3 clamp voltage level to high.
0	0	0	0	1	0	0	0	Selects component input, color-burst filter disabled.
0	0	0	0	1	0	0	1	Selects composite input, color-burst filter enabled.
0	0	0	0	1	0	1	0	Selects internal sync.
0	0	0	0	1	0	1	1	Selects external sync.
0	0	0	0	1	1	0	0	Selects positive polarity external sync.
0	0	0	0	1	1	0	1	Selects negative polarity external sync.
0	0	0	0	1	1	1	0	Enables filters.
0	0	0	0	1	1	1	1	Disables filters, enters bypass mode.
0	0	0	1	0	0	0	0	Resets the control/status register to the default values as described in the <i>Control/Status Register</i> section. This command does not affect the frequency register.
0	0	0	1	0	0	0	1	Requests a control/status register read. The interface expects an Sr condition to follow with address and read/write set to read so data can be driven onto the bus.
0	0	0	1	0	0	1	0	Loads the frequency register with the data byte following the command byte.
0	0	0	1	0	0	1	1	Requests a frequency register read. The interface expects an Sr condition to follow with address and read/write set to read so data can be driven onto the bus.

HDTV連続可変 アンチエイリアシングフィルタ

MAX7469/MAX7470

書込みシーケンスを再実行する必要があります。図6および7に、書込みシーケンスの例を示します。

読出しサイクル

読出しモード($R/\bar{W} = 1$)では、MAX7469/MAX7470はコントロール/ステータスレジスタまたは周波数レジスタの内容をバスに書き込みます。コマンドバイトがコマンド/ステータスレジスタまたは周波数レジスタの読出し動作を示している場合、シリアルインタフェース

はコマンドバイトの後にSr条件が続くものと予想します。Srを送信した後、マスタはMAX7469/MAX7470のスレーブアドレスバイトを送信し、その後に $R/\bar{W}$ ビット(読出しを示すため1に設定)を送信します。スレーブデバイス(MAX7469/MAX7470)は第2のアドレスワードに対するACKを生成し、そのACKクロックパルスの直後、データフローの方向が反転します。その後スレーブ(MAX7469/MAX7470)は、コマンドバイトで選択されていたレジスタの値を格納した1バイトのデータを

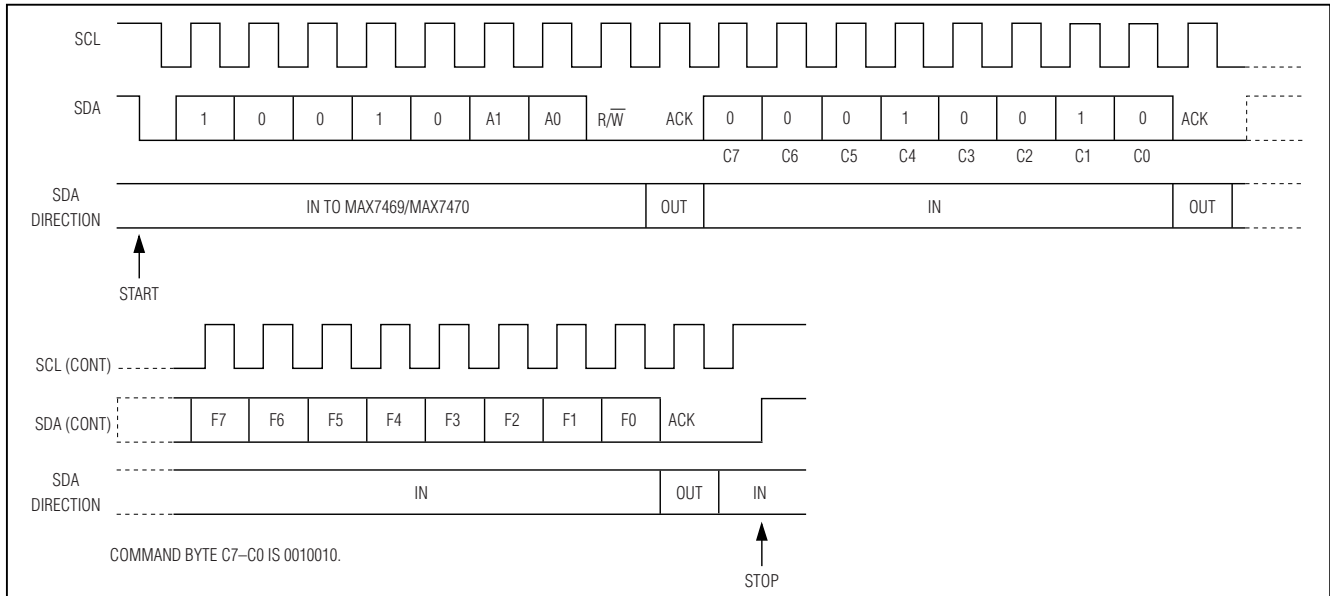


図6. 周波数レジスタ更新の書込みシーケンス

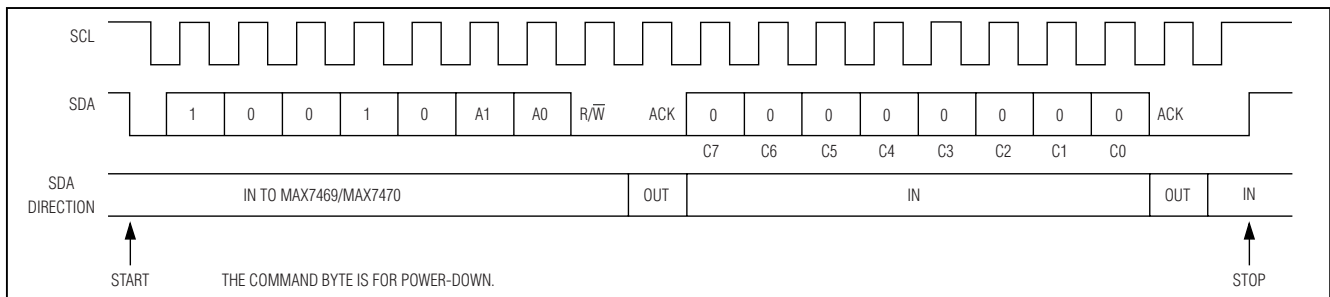


図7. コマンドバイトの書込みシーケンス

HDTV連続可変 アンチエイリアシングフィルタ

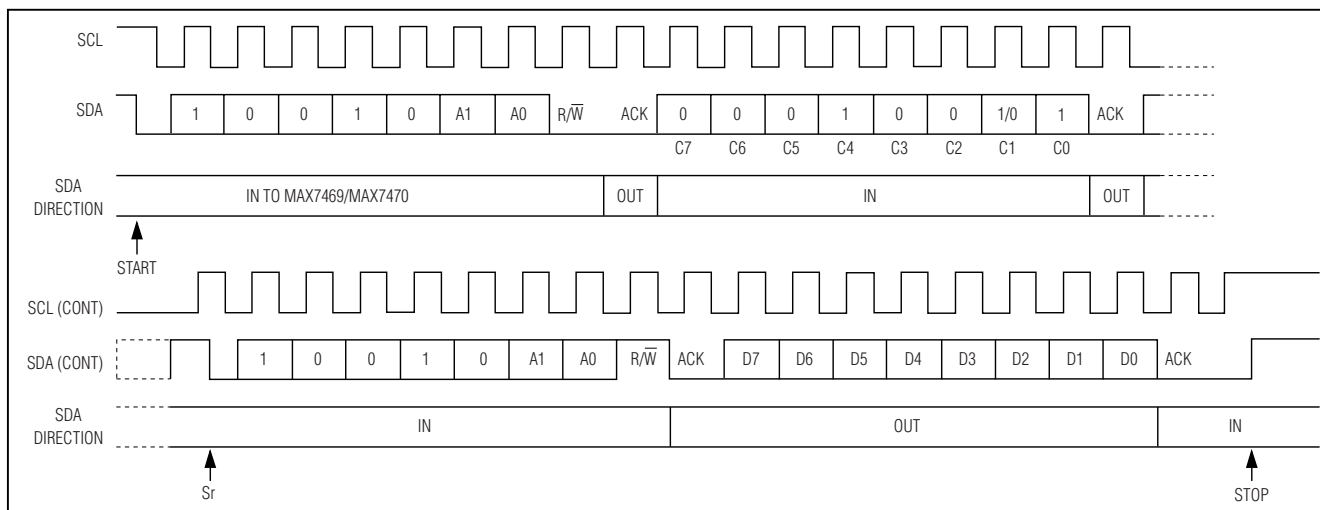


図8. 基本的な読出しシーケンス

送信します。図8に、基本的な読出しシーケンスを示します。

注：マスタは、コントロール/ステータスレジスタまたは周波数レジスタの読出しを要求するコマンドバイトをスレーブ(MAX7469/MAX7470)に書込んでから、選択したレジスタの内容を読み出す必要があります。

コントロール/ステータスレジスタ

MAX7469/MAX7470はステータスを8ビットのレジスタに格納しており、マスタによる読出しが可能になっています。表4および表5に、コントロール/ステータスレジスタの各ビットについてまとめてあります。パワーオン時におけるこのレジスタのデフォルト値は03hです。

周波数レジスタ

MAX7469/MAX7470の周波数応答(-3dB通過帯域端)は、周波数レジスタ内のコードを書き換えることによって、256段階のリニアなステップで連続的に変化させることができます(表6)。周波数レジスタを更新するための書込みシーケンスについては、「コマンドバイト(書込みサイクル)」の項を参照してください。

表4. コントロール/ステータスレジスタ

CONTROL/STATUS REGISTER							
S7	S6	S5	S4	S3	S2	S1	S0

表5. コントロール/ステータスレジスタのビット説明

BIT	DESCRIPTION
S7	0 = component input signal selected (default). 1 = composite input signal selected.
S6	0 = internal sync enabled (default). 1 = external sync enabled.
S5	0 = external sync: positive polarity (default). 1 = external sync: negative polarity.
S4	0 = normal operation mode (default). 1 = power-down mode.
S3	0 = filters enabled (default). 1 = bypass mode—no filtering.
S2	0 = clamp voltage for IN1 set to low (default). 1 = clamp voltage for IN1 set to high.
S1	0 = clamp voltage for IN2 set to low. 1 = clamp voltage for IN2 set to high (default).
S0	0 = clamp voltage for IN3 set to low. 1 = clamp voltage for IN3 set to high (default).

表6. 各種ビデオ信号フォーマット用の周波数レジスタの設定

VIDEO-SIGNAL FORMAT	F7	F6	F5	F4	F3	F2	F1	F0	CODE NO.	APPROXIMATE FREQUENCY (-3dB) MHz
Standard Definition (Interlaced)	0	0	1	0	1	0	0	0	40	10
Standard Definition (Progressive)	0	1	0	1	1	0	1	0	90	15
High-Definition Low Bandwidth	1	1	0	1	1	1	0	0	220	30
High-Definition High Bandwidth	1	1	1	1	1	1	1	1	255	34 (default)

HDTV連続可変 アンチエイリアシングフィルタ

MAX7469/MAX7470

I²C互換性

MAX7469/MAX7470は、標準的なI²Cの8ビット通信をサポートする既存のI²Cシステムに対する互換性を備えています。ジェネラルコールアドレスは無視され、CBUSフォーマットはサポートしていません。このデバイスのアドレスは、7ビットのI²Cアドレス指定のプロトコルとのみ互換性があります。10ビットのアドレスフォーマットはサポートされていません。

アプリケーション情報

入力について

0.1μFのセラミックコンデンサを使用して、入力をAC結合してください。入力をDC結合することはできません。内蔵のクランプ回路が入力コンデンサの両端間にDC電圧を蓄積して、適切な出力DC電圧レベルを得ます。極めて小さい入力漏れ電流によって非常に小さいライン時間歪み特性が得られるため、ライン時間歪みを改善するためにこれらのコンデンサの値を大きくする必要はありません。

MAX7469/MAX7470は高い入力インピーダンスを提供し、バックマッチングされたビデオケーブルに入力を直接接続する場合のように、非ゼロのソースインピーダンスの使用が可能であり、外部の抵抗値によって終端インピーダンスを決めることができます。

出力について

MAX7469/MAX7470の出力は、DC結合またはAC結合することが可能です。MAX7470は+6dBの利得を備えており、通常は75Ωの直列バックマッチング抵抗とその後に続くビデオケーブルに接続されます。本質的に1/2になるこの構成では、ビデオ信号のブランキングレベルは常に1V未満になり、デジタルTVの要件を満たします。

MAX7469は利得が0dBであり、通常はADCまたはビデオデコーダに接続されます。これはDCまたはAC接続とすることが可能です。DC接続を使用する場合は、ADCまたはビデオデコーダのDC入力要件に対応していることを確認してください。

AC接続を使用する場合は、ビデオ信号に含まれる最も低い周波数成分を通し、かつライン時間歪みが所望の制限内に収まることを保証するようにAC結合コンデンサの値を選んでください。この値の選択は、入力インピーダンスの関数になり、さらに重要な点として、駆動する回路の入力リークの関数になります。後続の回路にビデオクランプが含まれていない場合、ビデオクランプを使用してDCレベルを再確立してください。

MAX7469/MAX7470の出力は、グランドまたはデバイスの正の電源への短絡状態から、完全に保護されています。

電源バイパス処理およびレイアウトについて

MAX7469/MAX7470は、+5Vの単一アナログ電源と+3.3Vのデジタル電源で動作します。0.1μFのコンデンサでAV_{DD}をGNDにバイパスし、1μFのコンデンサを並列に追加して低周波数域のデカップリングを強化してください。出力における妨害レベルの許容値、MAX7469/MAX7470の電源電圧除去、およびMAX7469/MAX7470の近くに存在する妨害信号の振幅と周波数を考慮することによって、必要となる適切な電源バイパスを決定してください。最高の性能を保証するため、広いグランドプレーンを使用してください。個々のチャンネルに給電する3つのAV_{DD}端子(ピン7、9、および11)は、各部品が端子の近くに配置されれば、相互接続してひとまとめにバイパスすることができます。0.1μFのコンデンサで、DV_{DD}をDGNDにバイパスしてください。すべてのグランド端子(GND)は、できる限りデバイスの近くでローインピーダンスのグランドプレーンに接続する必要があります。

入力終端抵抗は、できる限りデバイスの近くに配置してください。あるいは、インピーダンスを75Ωに制御するようプリント基板のトレースが設計されているならば、デバイスから離れた位置に終端を配置することもできます。MAX7469/MAX7470で実現可能なさらに高い周波数帯における性能の低下を防ぐため、寄生容量を可能な限り小さくしてください。

実証済みのプリント基板レイアウトは、MAX7469/MAX7470の評価キットを参照してください。

エクスポーズドパッドと熱放散

MAX7469/MAX7470のTQFNパッケージは、底面にエクスポーズドパッドを備えています。このパッドはデバイス内部で電気的にGNDに接続されています。プリント基板の配線はパッケージの下を通さないでください。

MAX7469/MAX7470は標準的に900mWの電力を消費するため、熱放散に関して慎重な配慮を行ってください。良好なグランドプレーンを持つ少なくとも2層の基板の使用を推奨します。熱放散を最大化するため、MAX7469/MAX7470パッケージの真下に、プラスチック封止領域の外形に合わせて銅パターンを配置してください。同じ処理を最下層のグランドプレーン層についても行った上で、最上層と最下層を接続するビアをできる限り多数配置して、グランドプレーンと熱的に接続してください。

マキシムでは、FR-4基板材と1オンス厚銅箔を使用し、20ピンTQFNパッケージのプラスチック封止領域と一致する同じ面積のメタルを最上層と最下層に配置した4層基板の評価を行いました。2つの中間層は、電源プレーン

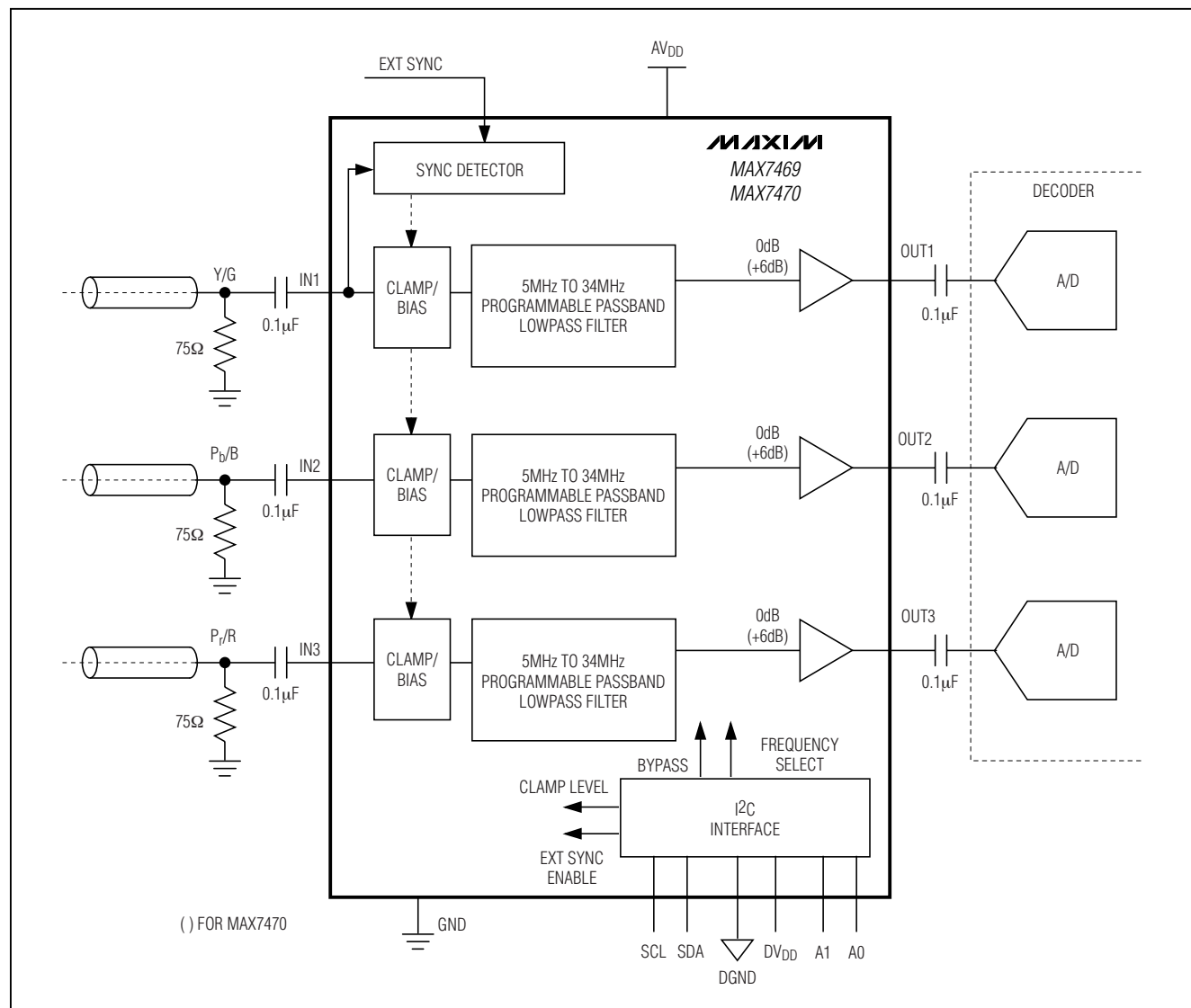
HDTV連続可変 アンチエイリアシングフィルタ

およびグラウンドプレーンとして使用しています。この基板は、最上層、最下層、およびグラウンドプレーン層の間に、21個の15ミル径メッキスルーホールビアを備えています。熱電対による測定結果は、デバイス温度が上限値以内に十分収まることを示しています。

チップ情報

PROCESS: BiCMOS

標準動作回路

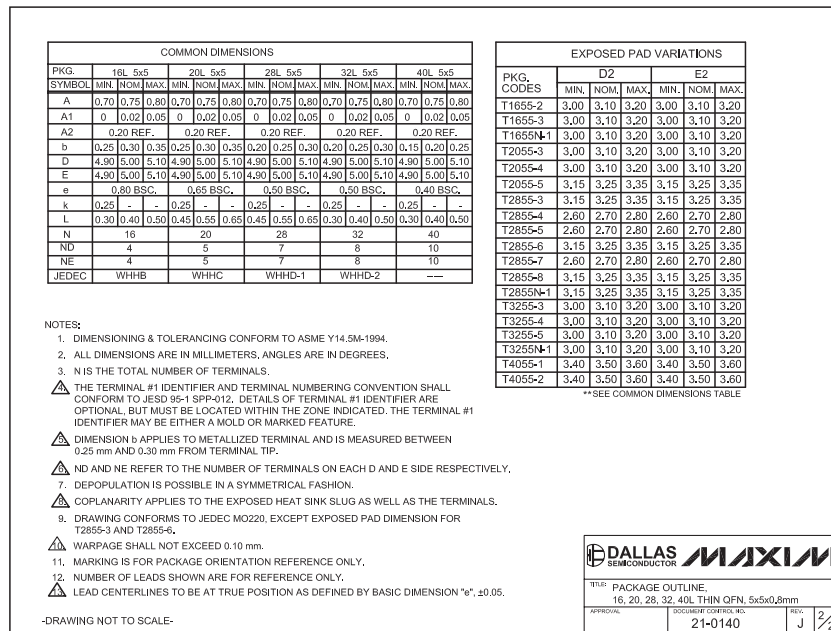
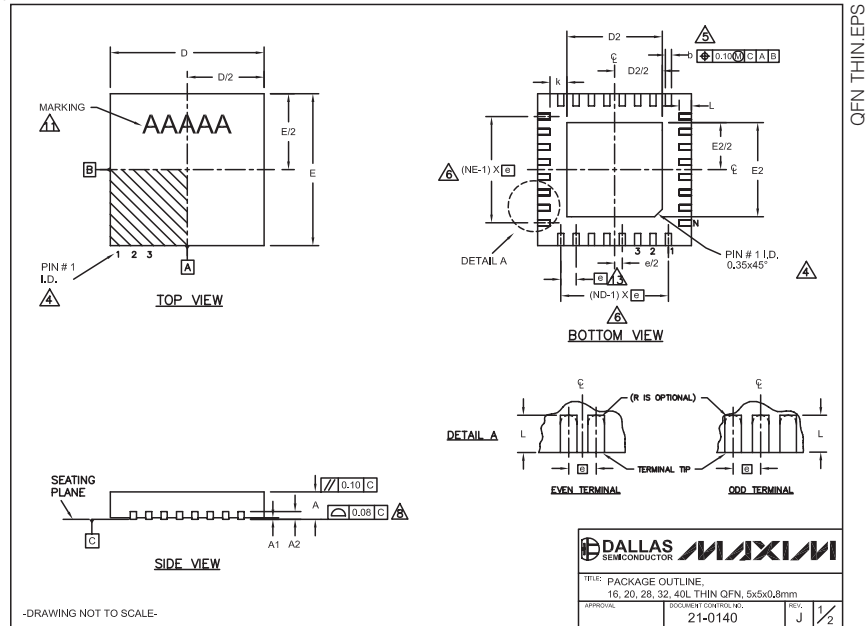


HDTV連続可変 アンチエイリアシングフィルタ

MAX7469/MAX7470

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

17

© 2006 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.