

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

概要

2線式シリアルインタフェースペリフェラルのMAX7323は、8個のI/Oポートを備えています。4個のポートはプッシュプル出力、他の4個は電源電圧に依存しない+6Vまで過電圧保護されたオープンドレインI/Oポートです。

入力に設定した4個のI/Oポートは、状態変化を常に監視されます(遷移検出)。状態変化があったことは、オープンドレインのINT出力によって示されます。この割込みはラッチされるため、過渡変化の検出が可能です。その後シリアルインタフェースを通してMAX7323にアクセスしたとき、発行されている割込みがあればクリアされます。

4個のプッシュプル出力および4個のオープンドレイン出力のシンク定格は20mAであり、LEDを駆動可能です。

RST入力によってシリアルインタフェースがクリアされ、MAX7323との間のすべてのI²C通信が終了します。

MAX7323は、4レベルの論理に2個のアドレス入力を使用して、16通りのI²Cスレーブアドレスが可能です。また、スレーブアドレスによってI/Oポートの起動時の論理状態が決定し、入力ポートの40kΩの内部プルアップが2ポート単位でイネーブルまたはディセーブルされます。

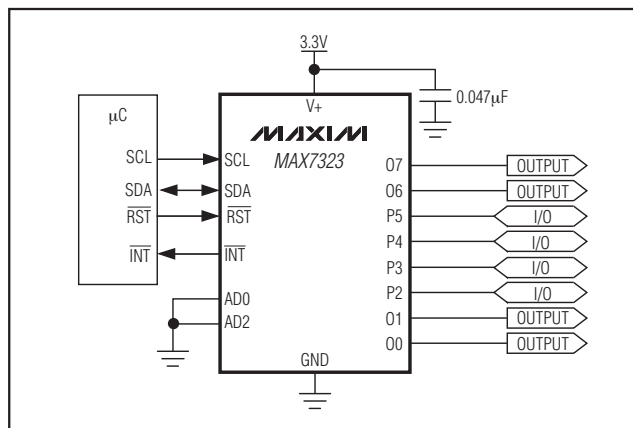
MAX7323は、様々な組み合わせの入力ポート、オープンドレイン型I/Oポート、およびプッシュプル出力ポートを選択可能なピン互換ポートエクステンダファミリに属するデバイスの1つです(表1参照)。

MAX7323は16ピンQSOPおよび16ピンTQFNパッケージで提供され、自動車用温度範囲(-40°C~+125°C)での動作が保証されています。

アプリケーション

携帯電話	ノートブック
SAN/NAS	RAID
サーバ	車載

標準動作回路



特長

- ◆ 400kHzのI²Cシリアルインタフェース
- ◆ 動作電圧：+1.71V~+5.5V
- ◆ シンク電流定格20mAの4個のプッシュプル出力ポート
- ◆ シンク電流定格20mAの4個のオープンドレインI/Oポート
- ◆ 4個のI/Oポートは+6Vまで過電圧保護
- ◆ 過渡変化がラッチされるため、読取り動作間の検出が可能
- ◆ 入力の変化を警告するINT出力
- ◆ AD0およびAD2入力によって16通りのスレーブアドレスを選択可能
- ◆ 低スリープ電流：0.6μA (typ)
- ◆ 動作温度範囲：-40°C~+125°C

型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX7323AEE+	-40°C to +125°C	16 QSOP	—	E16-4
MAX7323ATE+	-40°C to +125°C	16 TQFN-EP* 3mm x 3mm	ADE	T1633-4

+は鉛フリーパッケージを示します。

*EP = エクスポートパッド。

選択ガイド

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7319	8	Yes	—	—
MAX7320	—	—	—	8
MAX7321	Up to 8	—	Up to 8	—
MAX7322	4	Yes	—	4
MAX7323	Up to 4	—	Up to 4	4
MAX7328	Up to 8	—	Up to 8	—
MAX7329	Up to 8	—	Up to 8	—

ピン位置およびファンクションダイアグラムはデータシートの最後に記載されています。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

Supply Voltage V+	-0.3V to +6V
SCL, SDA, AD0, AD2, $\overline{\text{RST}}$, $\overline{\text{INT}}$, P2-P5	-0.3V to +6V
O0, O1, O6, O7	-0.3 to (V+ + 0.3V)
O0, O1, O6, O7 Output Current	±25mA
P2-P5 Sink Current	±25mA
SDA Sink Current	10mA
$\overline{\text{INT}}$ Sink Current	10mA
Total V+ Current	50mA

Total GND Current	100mA
Continuous Power Dissipation (T _A = +70°C)	
16-Pin QSOP (derate 8.3mW/°C above +70°C)	667mW
16-Pin TQFN (derate 15.6mW/°C above +70°C)	1250mW
Operating Temperature Range	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+		1.71		5.50	V
Power-On Reset Voltage	V _{POR}	V+ falling			1.6	V
Standby Current (Interface Idle)	I _{STB}	SCL and SDA and other digital inputs at V+		0.6	1.5	μA
Supply Current (Interface Running)	I+	f _{SCL} = 400kHz; other digital inputs at V+		23	55	μA
Input High Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5	V _{IH}	V+ ≤ 1.8V	0.8 × V+			V
		V+ ≥ 1.8	0.7 × V+			
Input Low Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5	V _{IL}	V+ ≤ 1.8V			0.2 × V+	V
		V+ ≥ 1.8V			0.3 × V+	
Input Leakage Current SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5	I _{IH} , I _{IL}	SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5 at V+ or GND, internal pullup disabled	-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5				10		pF
Output Low Voltage O0, O1, O6, O7, P2-P5	V _{OL}	V+ = +1.71V, I _{SINK} = 5mA		105	180	mV
		V+ = +2.5V, I _{SINK} = 10mA		131	240	
		V+ = +3.3V, I _{SINK} = 15mA		154	290	
		V+ = +5V, I _{SINK} = 20mA		160	310	
Output High Voltage O0, O1, O6, O7	V _{OH}	V+ = +1.71V, I _{SOURCE} = 2mA	V+ - 250	V+ - 30		mV
		V+ = +2.5V, I _{SOURCE} = 5mA	V+ - 360	V+ - 70		
		V+ = +3.3V, I _{SOURCE} = 5mA	V+ - 260	V+ - 100		
		V+ = +5V, I _{SOURCE} = 10mA	V+ - 350	V+ - 120		
Output Low Voltage SDA	V _{OLSDA}	I _{SINK} = 6mA			250	mV
Output Low Voltage $\overline{\text{INT}}$	V _{OLINT}	I _{SINK} = 5mA		130	250	mV
Port Input Pullup Resistor	R _{PU}		25	40	55	kΩ

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

PORT AND INTERRUPT $\overline{\text{INT}}$ TIMING CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port Output Data Valid	t _{PPV}	C _L ≤ 100pF			4	μs
Port Input Setup Time	t _{PSU}	C _L ≤ 100pF	0			μs
Port Input Hold Time	t _{PH}	C _L ≤ 100pF	4			μs
$\overline{\text{INT}}$ Input Data Valid Time	t _{IV}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from STOP	t _{IP}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from Acknowledge	t _{IR}	C _L ≤ 100pF			4	μs

TIMING CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD, STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU, STA}		0.6			μs
STOP Condition Setup Time	t _{SU, STO}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 2)			0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of SDA, Transmitting	t _{F, TX}	(Notes 3, 4)		20 + 0.1C _b	250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C _b	(Note 3)			400	pF
$\overline{\text{RST}}$ Pulse Width	t _W		500			ns
$\overline{\text{RST}}$ Rising to START Condition Setup Time	t _{RST}		1			μs

Note 1: All parameters tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

Note 3: Guaranteed by design.

Note 4: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 × V+ and 0.7 × V+ with I_{SINK} ≤ 6mA.

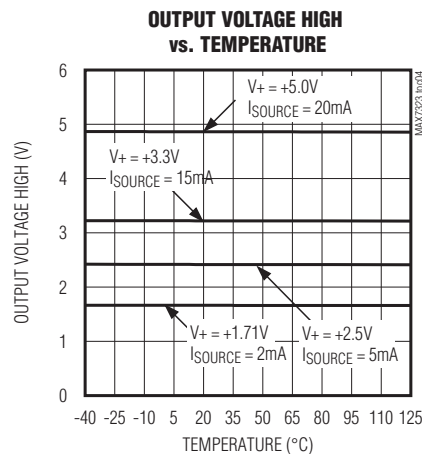
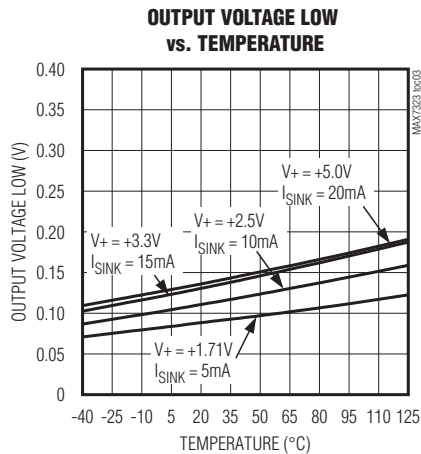
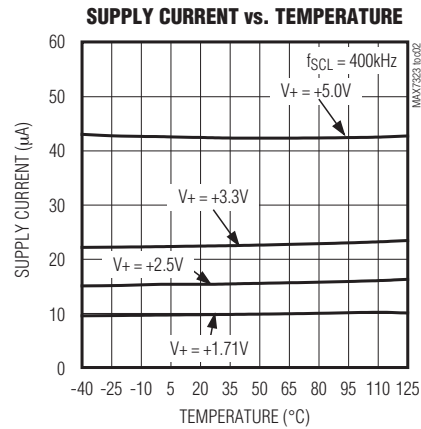
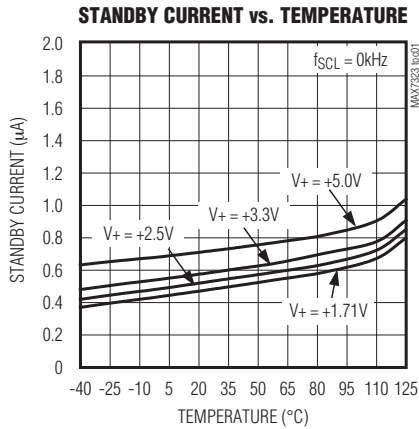
Note 5: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

標準動作特性

(T_A = +25°C, unless otherwise noted.)



端子説明

端子		名称	機能
QSOP	TQFN		
1, 3	15, 1	AD0, AD2	アドレス入力。AD0とAD2でデバイスのスレーブアドレスを選択します。AD0およびAD2を、GND、V+、SCL、またはSDAのいずれかに接続することで、4通りの論理の組み合わせが可能です(表3参照)。
2	16	\overline{RST}	リセット入力、アクティブロー。 \overline{RST} をローに駆動すると2線式インタフェースがクリアされます。
4, 5, 11, 12	2, 3, 9, 10	O0, O1, O6, O7	出力ポート。O0、O1、O6、およびO7はプッシュプル出力です。
6, 7, 9, 10	4, 5, 7, 8	P2-P5	I/Oポート。P2~P5は+6V、20mA定格のオープンドレインI/Oです。
8	6	GND	グラウンド
13	11	\overline{INT}	割込み出力。 \overline{INT} はオープンドレイン出力です。
14	12	SCL	I ² C対応シリアルクロック入力
15	13	SDA	I ² C対応シリアルデータI/O
16	14	V+	正の電源電圧。できる限りデバイスの近くに配置した0.047µF以上のセラミックコンデンサでV+をGNDにバイパスしてください。
—	EP	EP	エクスポーズドパッド。エクスポーズドパッドをGNDに接続してください。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

詳細

MAX7319~MAX7329のファミリ内比較

MAX7319~MAX7323のファミリは、ピン互換の5種類の8ポートエキスパンダです。各バージョンは、それぞれ異なるアプリケーション向けに最適化されています。MAX7328およびMAX7329は業界標準の製品です。

MAX7324~MAX7327のファミリは、MAX7320の機能に加えて、MAX7319、MAX7321、MAX7322、またはMAX7323のいずれか1つの機能を内蔵した、ピン互換の4種類の16ポートエキスパンダです。

機能概説

MAX7323は、+1.71V~+5.5Vの電源で動作し、20mAのシンクおよび10mAのソース駆動能力を持つ4個のプッシュプル出力ポートと、20mAのシンク能力を持つ4個のオープンドレインI/Oポートを提供する、汎用のポートエキスパンダです。4個のオープンドレイン出力は、電源電圧とは無関係に+6Vまで過電圧保護されています。

MAX7323は、アドレス選択入力AD0およびAD2を使用して16通りのI²Cスレーブアドレス(0x60~0x6F)の1つに設定され、I²Cシリアルインタフェースに最大400kHzでアクセスされます。RST入力はバスがロックアップした場合にシリアルインタフェースをクリアし、MAX7323とのすべてのシリアルトランザクションを終了させます。

表1. MAX7319~MAX7329のファミリ内比較

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	APPLICATION
8-PORT EXPANDERS						
MAX7319	110xxxx	8	Yes	—	—	Input-only versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even momentarily) since the ports were last read.
MAX7320	101xxxx	—	—	—	8	Output-only versions: 8 push-pull outputs with selectable power-up default levels. Push-pull outputs offer faster rise time than open-drain outputs, and require no pullup resistors.
MAX7321	110xxxx	Up to 8	—	Up to 8	—	I/O versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors. Any port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which inputs have changed (even momentarily) since the ports were last read.
MAX7322	110xxxx	4	Yes	—	4	4 input-only, 4 output-only versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups; 4 push-pull outputs with selectable power-up default levels.

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

表1. MAX7319~MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	APPLICATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	4 I/O, 4 output-only versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	8 open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports. All ports power up as inputs (or logic-high outputs). Any port can be used as an input by setting the open-drain output to logic-high.
16-PORT EXPANDERS						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	Software equivalent to a MAX7320 plus a MAX7319.
MAX7325		Up to 8	—	Up to 8	8	Software equivalent to a MAX7320 plus a MAX7321.
MAX7326		4	Yes	—	12	Software equivalent to a MAX7320 plus a MAX7322.
MAX7327		Up to 4	—	Up to 4	12	Software equivalent to a MAX7320 plus a MAX7323.

4個のオープンドレインポートは、ポートの出力を論理ハイに設定することによって、任意のポートを論理入力として構成可能です(オープンドレイン出力の論理ハイは、ハイインピーダンスです)。シリアルインタフェースを通してMAX7323の読取りを行うと、ポートの実際の論理レベルが返されます。

この4個のポートは、ラッチ付きの遷移検出機能を備えています。すべての入力ポートの変化が常に監視されます。入力の変化すると4個のフラグビットの内の1つがセットされ、どの入力の変化したか(複数可)を示します。その後MAX7323に対して行われる読取りまたは書込みトランザクションによって、すべてのフラグがクリアされます。

ラッチ付きの割込み出力INTは、入力として使用しているI/Oポートにおけるデータの変化を自動的に通知します。次にMAX7323がシリアルインタフェース経由でアクセスされたとき、割込み出力INTおよびすべての遷移フラグのアサートが解除されます。

V₊への内蔵プルアップ抵抗が、アドレス選択入力AD0およびAD2によって選択されます。プルアップは、入力ポート2個を1組としてイネーブルされます(表3参照)。

スレーブアドレス選択を使用して、入力として使用するI/Oポートが起動時に論理ハイになることを保証することができます。内蔵プルアップをイネーブルされたI/Oポートは、デフォルトで論理ハイの出力状態になります。内蔵プルアップをディセーブルされたI/Oポートは、デフォルトで論理ローの出力状態になります。出力ポートの起動時の論理状態は、アドレス選択入力AD0およびAD2によって選択されます。各ポートの起動時のデフォルトは、2個1組で論理ハイまたは論理ローになります(表3参照)。

初期起動

起動時には、遷移検出口ジックがリセットされ、INTのアサートが解除されます。割込みマスクレジスタには0x3Cがセットされ、4個すべての入力ポートについて遷移に対する割込み出力がイネーブルされます。遷移フラグがクリアされ、データに変化がないことを示します。4個のプッシュプル出力の起動時デフォルト状態は、I²Cスレーブアドレス選択入力AD0およびAD2に従って設定されます(表3参照)。

パワーオンリセット

MAX7323は、起動時にすべてのレジスタが既知の状態にリセットされることを確実にするパワーオンリセット(POR)回路を内蔵しています。V₊がV_{POR} (1.6V max)を上回ると、POR回路がレジスタと2線式インタフェースを解放して通常動作可能にします。V₊がV_{POR}未満まで低下すると、MAX7323はすべてのポートをPORデフォルトにリセットします(表3参照)。

RST入力

アクティブローのRST入力はリセットとして働き、現在MAX7323が行っているすべてのI²Cトランザクションを無効化し、MAX7323を強制的にI²Cのストップ状態に移行させます。リセット動作では、割込み出力(INT)はクリアされません。

スリープモード

シリアルインタフェースがアイドル状態のとき、MAX7323は自動的にスリープモードに移行して、電源電流の消費量を最小化します。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

表2. 8ポートエキスパンダファミリに対する読取りおよび書込みアクセス

PART	I ² C SLAVE ADDRESS	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	I ² C DATA WRITE	I ² C DATA READ
MAX7319	110xxxx	8	Yes	—	—	<I7-I0 interrupt mask>	<I7-I0 port inputs> <I7-I0 transition flags>
MAX7320	101xxxx	—	—	—	8	<O7-O0 port outputs>	<O7-O0 port inputs>
MAX7321	110xxxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs> <P7-P0 transition flags>
MAX7322	110xxxx	4	Yes	—	4	<O7, O6 outputs, I5-I2 interrupt mask, O1, O0 outputs>	<O7, O6, I5-I2, O1, O0 port inputs> <O, 0, I5-I2 transition flags, 0, 0>
MAX7323	110xxxx	Up to 4	—	Up to 4	4	<port outputs>	<O7, O6, P5-P2, O1, O0 port inputs> <O, 0, P5-P2 transition flags, 0, 0>
MAX7328	0100xxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs>
MAX7329	0111xxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs>

スレーブアドレスと入力プルアップの選択

アドレス入力AD0およびAD2によってMAX7323のスレーブアドレスが決まり、どの入力プルアップ抵抗を備えるかが選択され、出力のデフォルトの論理状態が設定されます。入力ポートのプルアップは、2個1組でイネーブルされます(表3参照)。MAX7319、MAX7321、MAX7322、およびMAX7323は、MAX7320 (101xxxx)とは異なる範囲のスレーブアドレス(110xxxx)を使用します。

MAX7323のスレーブアドレスは、I²Cの伝送ごとに決定されます(その伝送が実際にMAX7323をアドレス指定するものかどうかは関係ありません)。MAX7323はこの伝送中に、アドレス入力AD2とAD0が固定の論理レベルV+またはGNDではなく、SDAまたはSCLに接続されているかどうかを識別します。すなわち、MAX7323のスレーブアドレスは、デバイスの電源をオンオフすることなく、アプリケーション内で動的に設定することが可能です。

初期起動時、最初のI²C伝送が行われるまでは、MAX7323はアドレス入力AD2およびAD0を完全にデコードすることができません。AD0とAD2は、最初はV+またはGNDに接続されているように見えます。アドレス選択によって、出力ポートの起動時のデフォルト状態とI/Oポートの初期論理状態が決まり、プルアップをイネーブルするかどうかが決まるため、この点が重要になります。しかし起動時には、MAX7323を含めて、バスに接続されているすべてのデバイス(マスタまたはスレーブ)の端子において、I²CのSDAおよびSCLバスインタフェース

ラインがハイインピーダンスになります。このことはI²C仕様の一部として保証されています。したがって、SDAまたはSCLに接続されているアドレス入力AD2およびAD0は、起動時には通常はV+に接続されているように見えます。プルアップ選択ロジックはAD0を使って、ポートP2およびP3についてプルアップをイネーブルするかどうかを選択し、O0およびO1の初期論理状態を設定します。またAD2で、ポートP4とP5についてプルアップをイネーブルするかを選択し、O6とO7の初期論理状態を設定します。ルールとしては、論理ハイ、SDA、またはSCLと接続されていればプルアップを選択して、デフォルトの論理状態をハイにします。論理ローなら、プルアップを非選択にして、デフォルトの論理状態をローにします(表3参照)。SDAまたはSCLが外部のI²Cプルアップ抵抗によってV+にプルアップされているという、標準的なI²Cの構成にとって正しい起動時のポート構成になります。

起動時にSDA = SCL = V+になるという前提が成立しない場合もあります。たとえば、起動時に合法的なバス活動が行われるアプリケーションなどです。また、SDAとSCLがMAX7323の電源電圧とは別の電源電圧にプルアップ抵抗で終端されており、そのプルアップ電源の立上りがMAX7323の電源より遅い場合には、起動時にSDAまたはSCLがGNDに接続されているように見える可能性があります。そうしたアプリケーションでは、アドレス入力AD2とAD0をV+またはGNDに接続することによって選択される4通りのアドレスの組み合わせを使用してください(表3の太字箇所)。これらの選択肢は、

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

表3. MAX7323のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS								OUTPUTS POWER-UP DEFAULT								40kΩ INPUT PULLUPS ENABLED								
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O7	O6	P5	P4	P3	P2	O1	O0	O7	O6	P5	P4	P3	P2	O1	O0		
SCL	GND	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0	Pullups are not enabled for push-pull outputs.		Y	Y	—	—	Pullups are not enabled for push-pull outputs.			
SCL	V+	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
SCL	SCL	1	1	0	0	0	1	0	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
SCL	SDA	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
SDA	GND	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0				Y	Y	—		—		
SDA	V+	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
SDA	SCL	1	1	0	0	1	1	0	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
SDA	SDA	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
GND	GND	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0				—	—	—		—		
GND	V+	1	1	0	1	0	0	1	0	0	0	0	0	1	1	1				—	—	Y		Y		
GND	SCL	1	1	0	1	0	1	0	0	0	0	0	1	1	1	1				—	—	Y		Y		
GND	SDA	1	1	0	1	0	1	1	0	0	0	0	1	1	1	1				—	—	Y		Y		
V+	GND	1	1	0	1	1	0	0	1	1	1	1	0	0	0	0				Y	Y	—		—		
V+	V+	1	1	0	1	1	0	1	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
V+	SCL	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1				Y	Y	Y		Y		
V+	SDA	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1				Y	Y	Y		Y		

SDAおよびSCLの挙動とは関係なく、起動時に正しくなることが保証されています。他の12通りのアドレスの組み合わせを使用した場合、最初のI²C伝送(必ずしもMAX7323ではなく、任意のデバイスに対するもので構いません)がバス上に送出されるまでは、予想外のプルアップの組み合わせがアサートされる可能性があります。

I/Oポート入力

I/Oポート入力は、エキスパンダの電源電圧によって決定されるCMOS論理レベルで切り換えが行われ、エキスパンダの電源電圧とは無関係に+6Vまでの過電圧耐性があります。

I/Oポート入力の遷移検出

入力に設定されている4個のI/Oポートすべてについて、シリアルインタフェース経由でのエキスパンダに対する最後のアクセス以降の変化が監視されます。I/Oポートの状態が内部の「スナップショット」レジスタに格納されて、遷移の監視に使用されます。このスナップショットが実際の入力状態と常に比較されて、いずれかのポート入力で変化が検出されるとINTがアサートされて状態変化を通知します。そのポートに対応する内部の遷移フラグがセットされます。MAX7323に対する読取りおよび書込みアクセスごとに、I²Cのアクノリッジ中に入力ポートがサンプリングされて(内部でスナップショットレジスタにラッチされて)、古い遷移フラグがクリアされます。それまでのポート遷移フラグは、2バイトの

読取りシーケンスの第2バイトとしてシリアルインタフェース経由で読み取られます。

(2バイトを超える)長い読取りシーケンスを使用して、スレーブアドレス再送のオーバーヘッドなしに連続的なエキスパンダのポーリングを行うことができます。エキスパンダから2バイトを超える読取りが行われる場合、エキスパンダは入力ポートのデータと遷移フラグを交互に繰り返して返送します。入力は繰り返しサンプリングし直され、読み取ったバイトのペアごとに遷移フラグが繰り返し設定し直されます。長い読取りシーケンスの期間中に発生したすべての変化が検出され通知されます。

割込みサービスルーチンへの再入が繰り返されるのを防ぐため、読取りシーケンス中はINT出力が再度アサートされることはありません。代わりに、通常であればINT出力がセットされる原因となるデータの変化が生じた場合、ストップ状態までINTのアサートが遅延されます。変化した入力データがストップ発生前に読み取られた場合は、ストップ状態になってもINTは再アサートされません。このINTのロジックによって、不必要な割込みが発生せず、しかもデータの変化はいつ生じても必ず検出され通知されることが保証されます。

ポート出力

MAX7323への1バイトの書込みによって、4個のプッシュプル出力と4個のオープンドレインI/Oポートの出力ポートレベルが、同時に設定されます。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

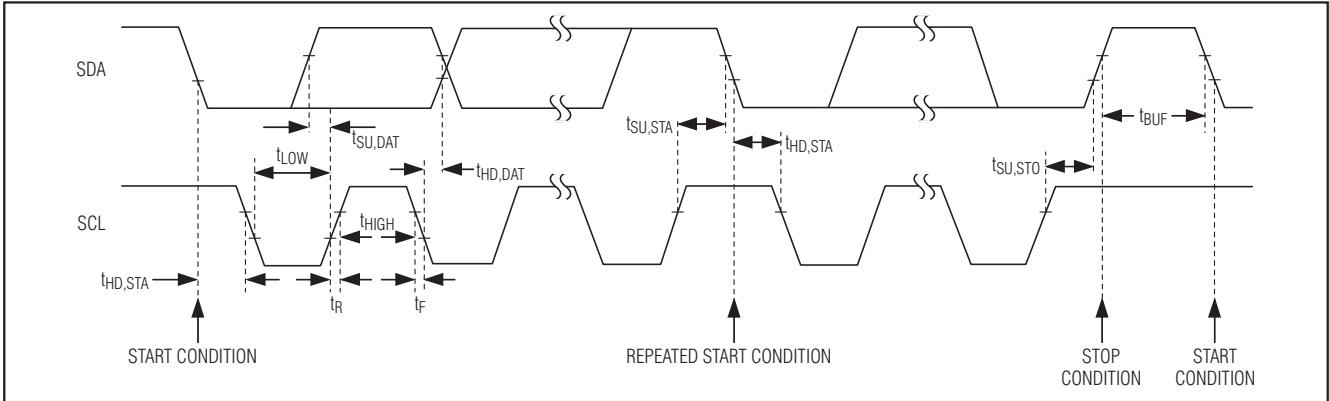


図1. 2線式シリアルインタフェースのタイミング詳細

シリアルインタフェース

シリアルアドレス指定

MAX7323は、I²Cインタフェース経由でデータの送受信を行うスレーブとして動作します。このインタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)を使用して、マスタ(複数可)とスレーブ(複数可)の間で双方向通信を実現するものです。マスタはMAX7323との間におけるすべてのデータ転送を開始し、データ転送の同期のためのSCLクロックを生成します(図1)。

SDAは入力とオープンドレイン出力の両方として動作します。SDAにはプルアップ抵抗(通常は4.7kΩ)が必要です。SCLは入力としてのみ動作します。2線式インタフェース上に複数のマスタが存在する場合、またはシングルマスタシステムのマスタがオープンドレインのSCL出力を備えている場合には、SCLにもプルアップ抵抗(通常は4.7kΩ)が必要です。

個々の伝送は、マスタが送信するスタート状態、それに続くMAX7323の7ビットのスレーブアドレスとR/Wビット、1つ以上のデータバイト、そして最後にストップ状態という組み合わせで構成されます(図2)。

スタートおよびストップ状態

インタフェースがビジーでないときは、SCLとSDAの両方ともハイの状態に保たれています。マスタは、SCLがハイの間にSDAをハイからローに遷移させることによってスタート(S)状態を発行し、転送の開始を伝えます。スレーブとの通信を終えたマスタは、SCLがハイの間にSDAをローからハイに遷移させることによってストップ(P)状態を発行します。これでバスが解放され、次の転送が可能になります(図2)。

ビット転送

各クロックパルスの間に、1つのデータビットが転送されます。SDA上のデータは、SCLがハイの間は安定している必要があります(図3)。

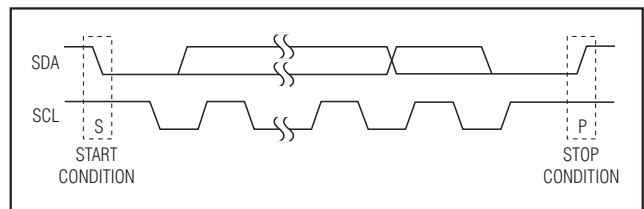


図2. スタートおよびストップ状態

アクノリッジ

アクノリッジビットは、データの各バイトの受領を通知するために受信側が使用する、9番目のクロック上のビットです(図4)。転送されるすべてのバイトが実際上9ビットを必要とすることになります。マスタが9番目のクロックパルスを生成し、受信側はアクノリッジのクロックパルスの間SDAをプルダウンして、クロックパルスのハイの期間SDAラインがローで安定するようにします。マスタからMAX7323への送信中はMAX7323が受信側になるため、MAX7323がアクノリッジビットを生成します。MAX7323からマスタへの送信中はマスタが受信側になるため、マスタがアクノリッジビットを生成します。

スレーブアドレス

MAX7323は7ビット長のスレーブアドレスを持ちます(図5)。7ビットのスレーブアドレスに続く8番目のビットはR/Wビットです。このビットは、書込みコマンドではロー、読取りコマンドではハイになります。

MAX7323のスレーブアドレスの先頭(A6)、2番目(A5)、および3番目(A4)のビットは、常に1、1、0になります。AD2とAD0を、GND、V+、SDA、またはSCLに接続して、スレーブアドレスのビットA3、A2、A1、およびA0を選択します。すなわちMAX7323は16通りのスレーブアドレスを選択可能であり(表3)、1つのI²Cバス上に最大16個のMAX7323デバイスが存在することができることになります。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

MAX7323に対するアクセス

MAX7323には、I²Cインタフェースを通してアクセスします。デバイスがI²Cスレーブアドレスのアクノリッジを行うごとに、遷移フラグがクリアされ、INTのアサートが解除されます。

MAX7323からの単一バイト読取りでは、4個のI/Oポートと4個の出力ポートの状態が返されます(入力として読み取られます)。

2バイト読取りでは、最初に4個のI/Oポートと4個の出力ポートの状態が(単一バイト読取りと同様に)返され、その後4個のI/Oポートの遷移フラグが返されます。

マルチバイト読取り(3バイト以上、I²Cのストップビットまで)では、ポートデータと遷移フラグが交互に繰り返して返却されます。転送ごとにデータが再サンプリングされ、遷移フラグがセットし直されるため、マルチバイト読取りでは最新のデータが連続的に返され、あらゆるI/Oポートの変化を識別することができます。

読取りシーケンス中にポートデータの変化が発生すると、I²Cのストップビットの後でINTが再びアサートされます。MAX7323は、単一バイトまたはマルチバイト読取り中に新たな割込みを生成することはありません。

ポートデータは、その前のI²Cアクノリッジビット(単一バイトまたは2バイト読取りの場合、I²Cスレーブアドレスのアクノリッジビット)の間にサンプリングされます。

MAX7323への単一バイト書込みでは、4個のオープンドレインI/Oポートの論理状態と4個のプッシュプル出力が設定されます。

MAX7323への2バイト書込みでは、最初のバイトで4個のオープンドレインI/Oポートの論理状態と4個のプッシュプル出力が設定され、2番目のバイトで4個のオープンドレインI/Oポートの割込みマスクビットが設定されます。

MAX7323からの読取り

MAX7323からの読取りは、マスタがR/Wビットをハイに設定したMAX7323のスレーブアドレスを送信することで始まります。MAX7323はスレーブアドレスのアクノリッジを行って、アクノリッジビットの間にポートのサンプリングを行います。スレーブアドレスのアクノリッジの間に、INTのアサートが解除されます。

通常、マスタはMAX7323から1バイトまたは2バイトを読み取り、最後のバイトを除いて、各バイトを受け取るごとにマスタによってアクノリッジが行われます。

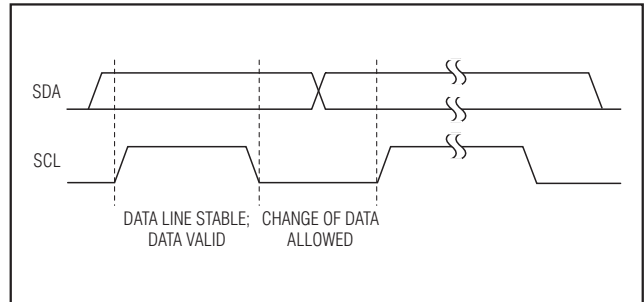


図3. ビット転送

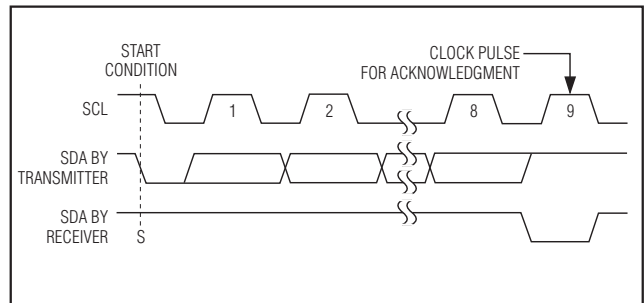


図4. アクノリッジ

マスタがMAX7323から1バイトを読み取る場合、それに続いてマスタはストップ状態を発行します(図6)。MAX7323は現在のポートデータを送信し、変化フラグをクリアし、遷移検出をリセットします。INTはスレーブアクノリッジ中にアサート解除されます。新しいスナッチショットデータは、マスタに送信される現在の入力ポートデータになるため、転送中に発生する入力ポートの変化はすべて検出されます。INTはストップ状態までハイのままになります。

マスタはMAX7323から2バイトを読み取り、その後ストップ状態を発行することができます(図7)。この場合、MAX7323は現在のポートデータを送信し、その後に変化フラグを送信します。変化フラグがクリアされ、遷移検出が再開されます。INTはスレーブアクノリッジの間にハイ(外部プルアップ抵抗が取り付けられていない場合はハイインピーダンス)になります。新しいスナッチショットデータは、マスタに送信される現在の入力ポートデータになるため、転送中に発生するポートの変化はすべて検出されます。INTはストップ状態までハイのままになります。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

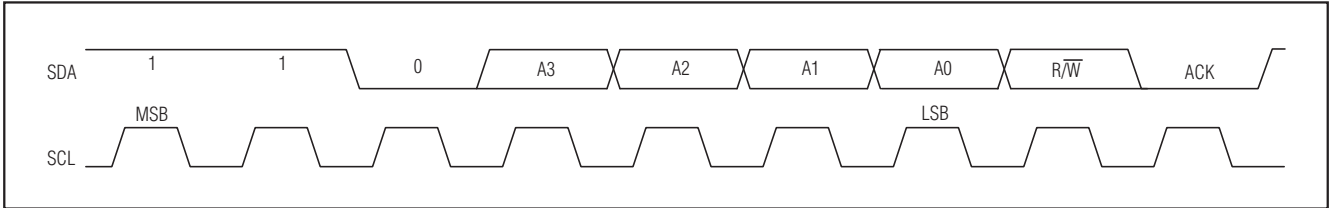


図5. スレーブアドレス

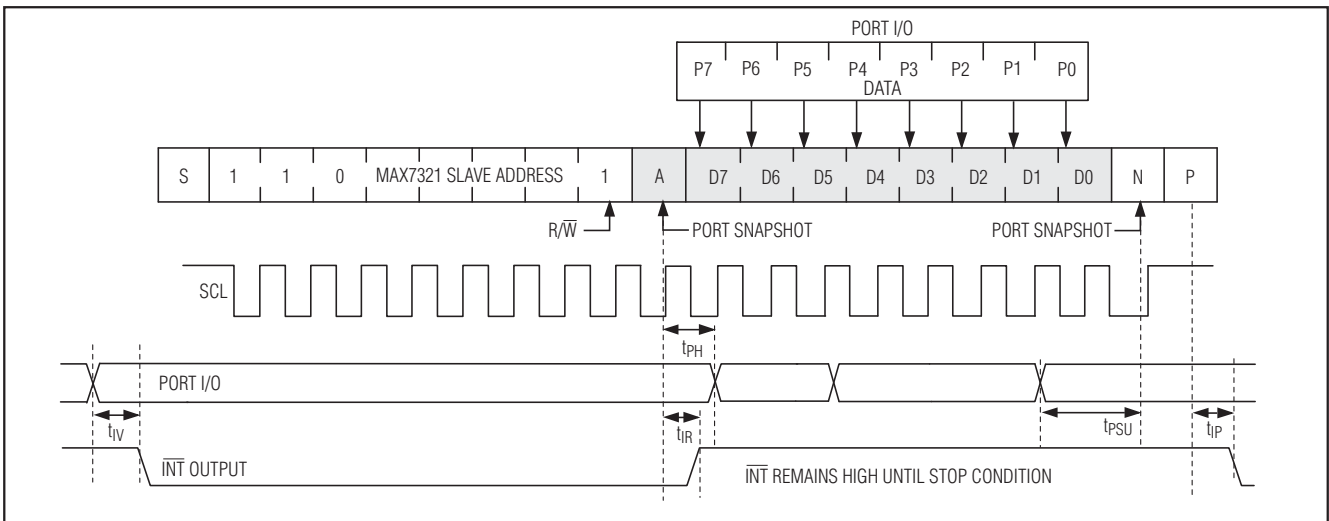


図6. MAX7323からの読取り(1バイトのデータ)

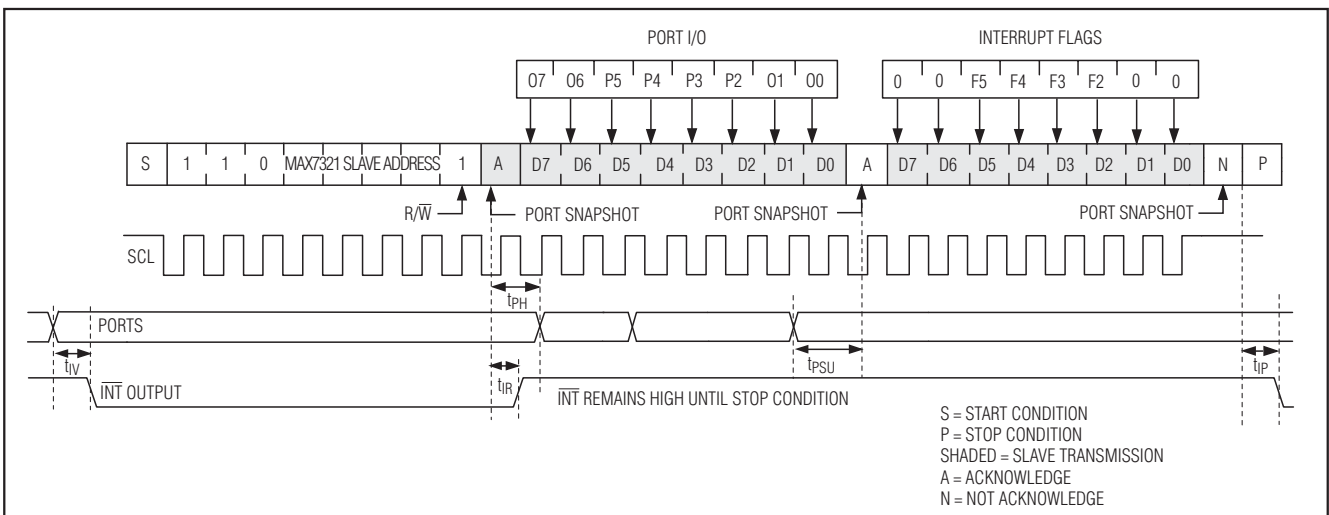


図7. MAX7323からの読取り(2バイトのデータ)

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

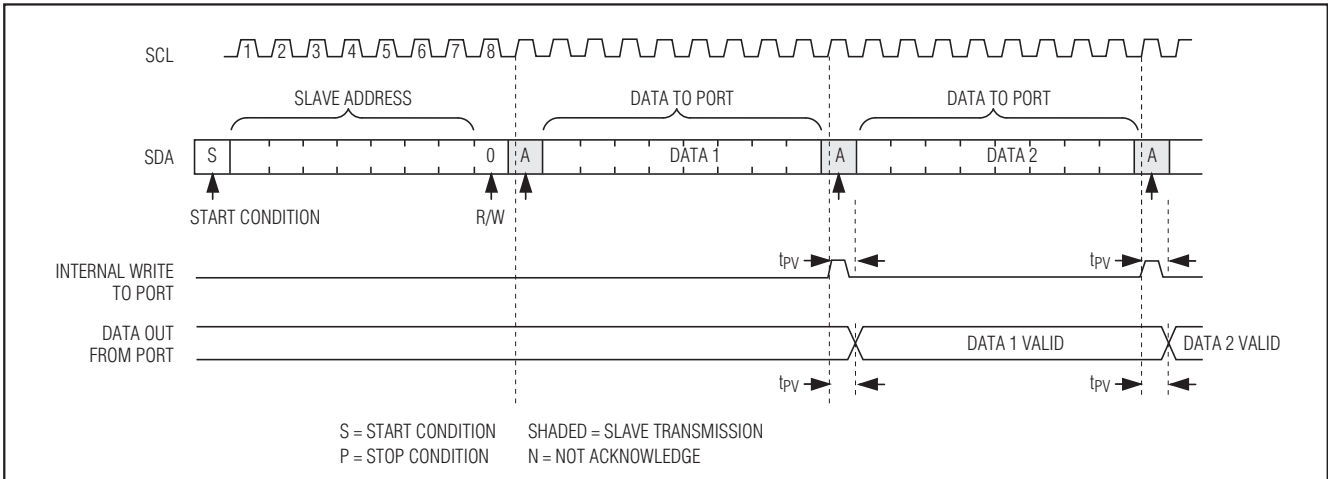


図8. MAX7323への書き込み

MAX7323への書き込み

MAX7323への書き込みは、マスタがR/Wビットをローに設定したMAX7323のスレーブアドレスを送信することで始まります。MAX7323はスレーブアドレスのアクノリッジを行って、アクノリッジの間に入力ポートのサンプリングを行います。スレーブのアクノリッジの間に、 $\overline{\text{INT}}$ はスレーブアクノリッジの間にハイ(外部プルアップ抵抗が取り付けられていない場合はハイインピーダンス)になります。これで、マスタは1バイト以上のデータを送信することができます。MAX7323はマスタがストップ状態を発行するまで、これら後続のデータバイトのアクノリッジを行い、新しいバイトごとに割込みマスクレジスタを更新します(図8)。

アプリケーション情報

ポート入力およびより高いまたは低い論理電圧のI²Cインタフェースレベル変換

MAX7323のSDA、SCL、AD0、AD2、 $\overline{\text{RST}}$ 、 $\overline{\text{INT}}$ 、およびP2~P5は、V+に依存しない+6Vまでの過電圧保護を備えています。これによってMAX7323は、I²Cインタフェースや4個のI/Oポートの一部がより高い論理レベル(たとえば+5V)で駆動されている場合に、より低い電源電圧(たとえば+3.3V)で動作することが可能です。

MAX7323は、I²Cインタフェースや4個のI/OポートP2~P5の一部がより低い論理レベル(たとえば+2.5V)で駆動されている場合に、より高い電源電圧(たとえば+3V)で動作することが可能です。いずれの入力も論理ハイをアサートするためには最低電圧 $0.7 \times V+$ を印加してください。たとえば、MAX7323が+5V電源で動作している場合、公称+3.3Vの論理ハイは認識されない可能性があります。入力レベル変換のための1つの方法は、オープンドレイン出力によってMAX7323の入力を駆動

することです。V+以上の電源へのプルアップ抵抗を使用して、ハイの論理電圧が確実に $0.7 \times V+$ より高くなるようにしてください。

ポート出力のポートレベル変換

オープンドレインの出力アーキテクチャによって、MAX7323の電源より高い電圧または低い電圧へのレベル変換が可能です。任意のポートで、外部プルアップ抵抗を使用して、ハイインピーダンスの論理ハイ状態を正の電圧レベルに変換してください。抵抗は最大+6Vまでの任意の電圧に接続することができ、論理ロー状態で20mAを超える電流がシンクされないことを保証する抵抗値を選択します。CMOS入力をインタフェースする場合は、プルアップ抵抗の抵抗値として220k Ω を基準にすると良いでしょう。電力消費があまり重要でないアプリケーションにおいてノイズ耐性を改善する場合、または所定の容量性負荷に対してより高速な立上り時間が必要な場合は、これより低い抵抗値を使用してください。

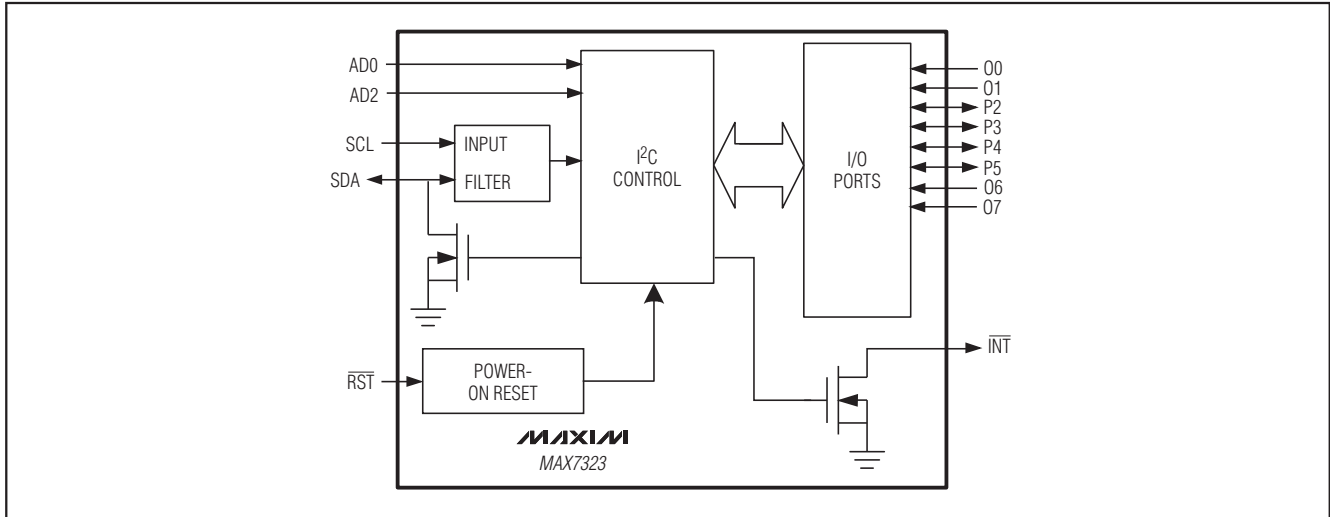
4個の出力ポートO0、O1、O6、およびO7は、いずれもGNDへの保護ダイオードを備えています(図9)。ポートがGNDより低い電圧に駆動されると、保護ダイオードがGNDよりダイオード降下分低い値に出力をクランプします。

4個のI/OポートP2~P5は、イネーブルまたはディセーブル可能な40k Ω (typ)のプルアップ抵抗も備えています。ポートがV+より高い電圧に駆動されると、プルアップイネーブルスイッチのボディダイオードが導通して、40k Ω のプルアップ抵抗がイネーブルされます。MAX7323の電源がオフになると($V+ = 0$)、各I/Oポートはゼロ点に接続されたダイオードと直列な40k Ω の抵抗のように見えます。各ポートはこれらすべての状況下で+6Vまで保護されます(図10)。

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

ファンクションダイアグラム



LED負荷の駆動

4個の出力ポート(O0、O1、O6、またはO7)の1つでLEDを駆動する場合、LEDと直列に抵抗を接続して、LEDの電流が20mAを超えないように制限する必要があります。LEDのカソードをMAX7323のポートに接続し、直列の電流制限抵抗 R_{LED} を通してLEDのアノードを V_+ に接続してください。LEDを点灯するには、ポートの出力をローにします。次式に従って抵抗値を選択してください。

$$R_{LED} = (V_{SUPPLY} - V_{LED} - V_{OL}) / I_{LED}$$

ここで、

R_{LED} はLEDと直列な抵抗の抵抗値(Ω)。

V_{SUPPLY} はLEDの駆動に使用する電源電圧(V)。

V_{LED} はLEDの順電圧(V)。

V_{OL} は I_{LED} シンク時におけるMAX7323の出力ロー電圧(V)。

I_{LED} は希望するLEDのアクティブ電流(A)。

たとえば、+5V電源を使用して2.2Vの赤色LEDを10mAで動作させる場合、

$$R_{LED} = (5 - 2.2 - 0.07) / 0.010 = 270\Omega$$

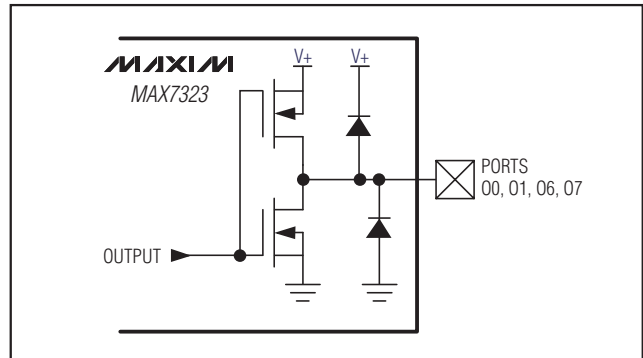


図9. MAX7323のプッシュプル出力ポート構造

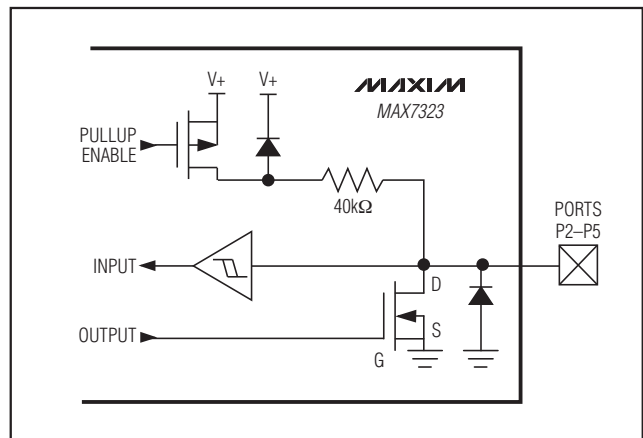


図10. MAX7323のI/Oポート構造

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

20mAを超える負荷電流の駆動

MAX7323は、出力を並列化することによって、電流が20mAを超える負荷(リレーなど)の駆動に使用することができます。負荷電流20mAにつき少なくとも1個の出力を使用してください。たとえば、5V、330mWのリレーには66mAが流れるため、4個の出力を並列化する必要があります。MAX7323への書込みによってポートの任意の組み合わせを同時にセットまたはクリアできるため、出力の任意の組み合わせを負荷分散設計の一部として使用することができます。デバイス全体のシンク電流の合計が100mAを超えないようにしてください。

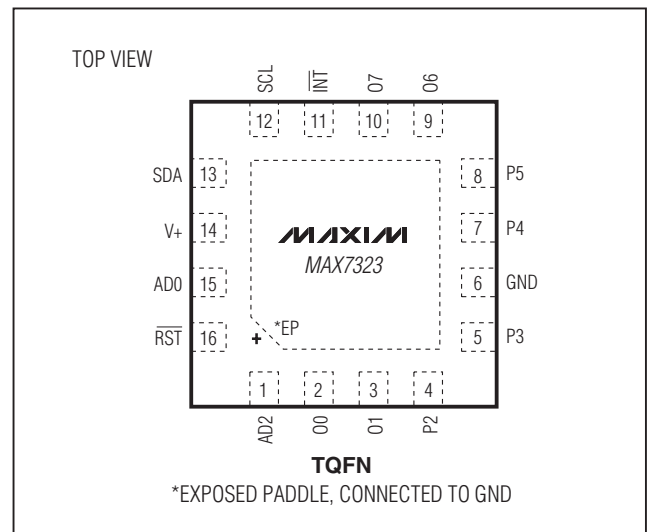
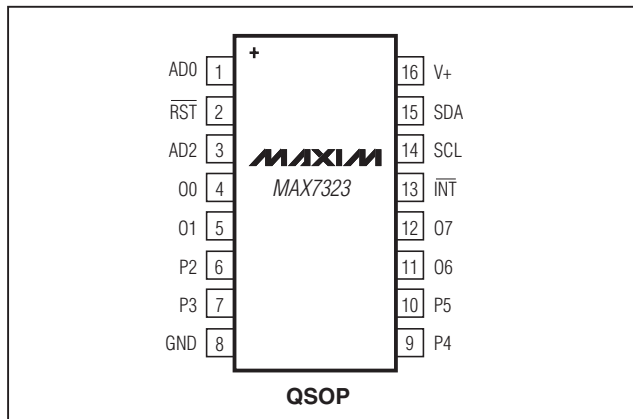
誘導性負荷(リレーなど)をスイッチオフする際に生成される負の電圧トランジェントからMAX7323を保護

するために、誘導性負荷の両端に逆バイアスダイオードを接続する必要があります。誘導性負荷のアクティブ電流よりも大きくなるようにダイオードのピーク電流を選択してください。

電源に関して

MAX7323は、-40°C~+125°Cの温度範囲にわたって+1.71V~+5.5Vの電源電圧で動作します。できる限りデバイスの近くに配置した少なくとも0.047μFのセラミックコンデンサで、電源をGNDにバイパスしてください。TQFNバージョンの場合、さらにエクスポーズドパッドをGNDに接続してください。

ピン配置



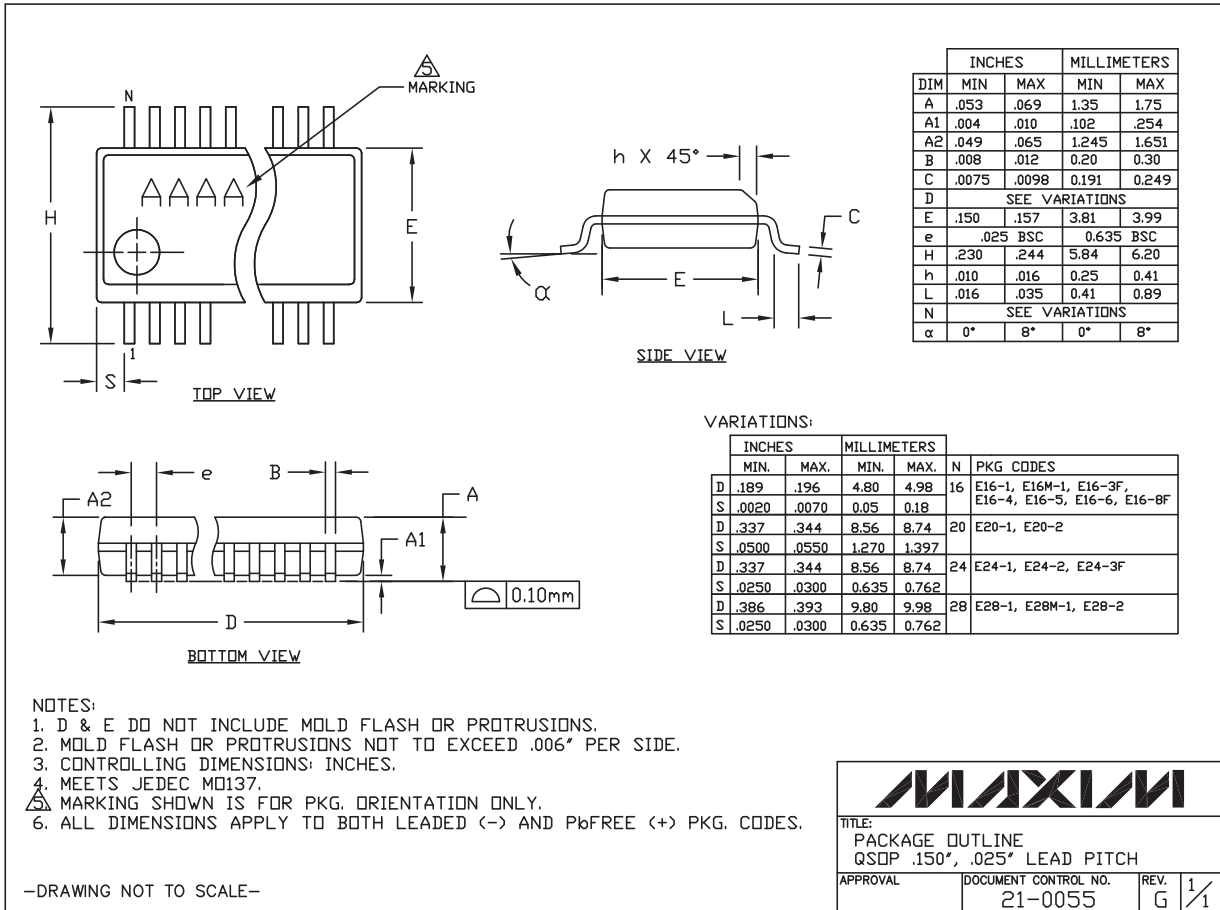
4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX7323

QSOP-EPS

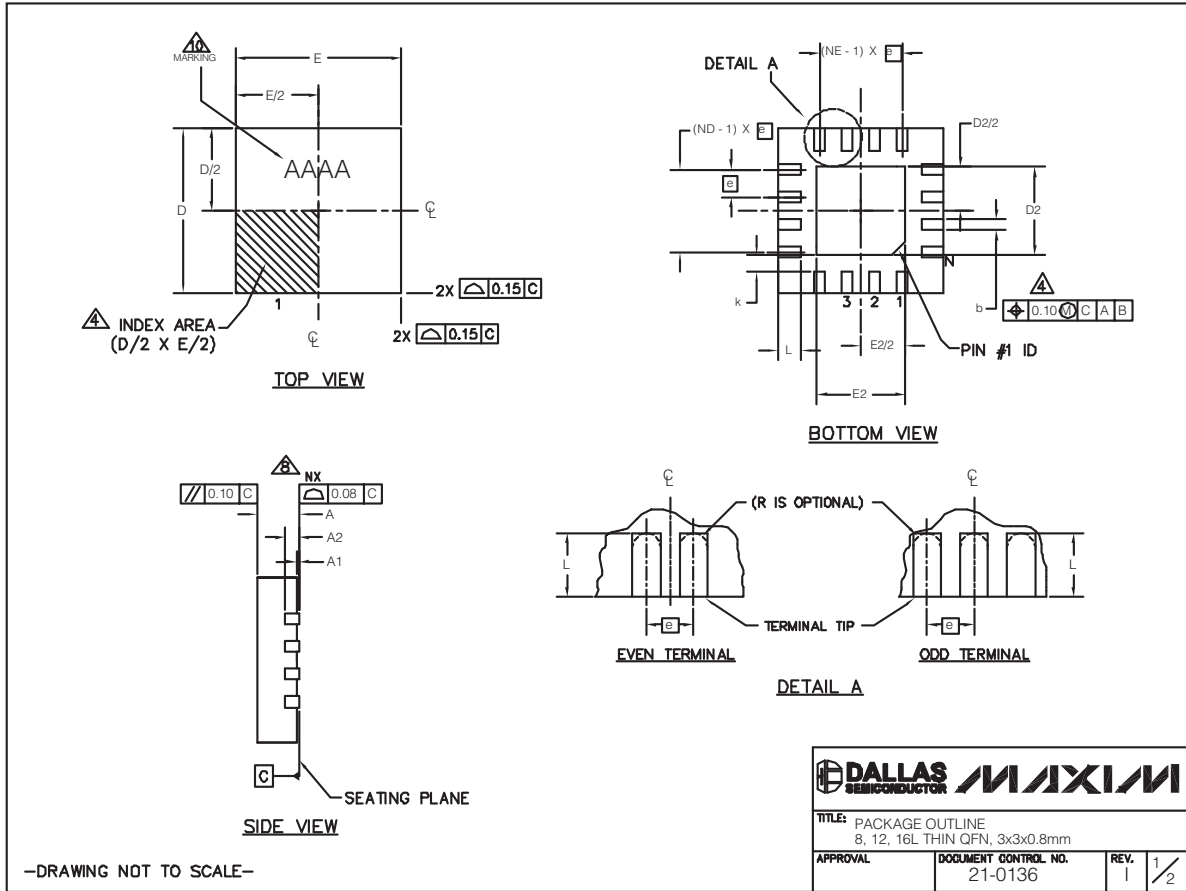


4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



-DRAWING NOT TO SCALE-



TITLE: PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0136	REV. 1/2

4個のプッシュプル出力および4個のオープンドレインI/O付きI²Cポートエキスパンダ

MAX7323

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

PKG	8L 3x3			12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.		
L	0.35	0.55	0.75	0.45	0.55	0.65	0.30	0.40	0.50
N	8			12			16		
ND	2			3			4		
NE	2			3			4		
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-	0.25	-	-

EXPOSED PAD VARIATIONS								
PKG CODES	D2			E2			PIN ID	JEDEC
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
TQ833-1	0.25	0.70	1.25	0.25	0.70	1.25	0.35 x 45°	WEEC
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633-5	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- WARPAGE NOT TO EXCEED 0.10mm.

—DRAWING NOT TO SCALE—

TITLE: PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0136	REV. 1 2/2

改訂履歴

Rev 1での変更ページ: タイトル変更—全ページ、1~17

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 17