

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

概要

水晶ベース、フラクショナルNトランシーバのMAX7031は、308MHz[†]、315MHz、または433.92MHzの出荷時設定された搬送波周波数で、最大で33kbps (マンチエスタエンコード)または66kbps (NRZエンコード)のデータ転送速度のFSKデータの送信および受信用として設計されています。MAX7031は、50Ω負荷において標準で+10dBmの出力を生成し、標準で-110dBmの感度を提供します。MAX7031は、送信および受信ピン(PAOUTおよびLNAIN)を個々に備え、共用アンテナへの送信ピンまたは受信ピンの接続に使用することが可能なRFスイッチを内蔵しています。

MAX7031の送信周波数は、16ビット、フラクショナルN、フェーズロックループ(PLL)によって生成され、同時にレシーバの局部発振(LO)は、整数N PLLによって生成されます。このハイブリッドアーキテクチャによって、受信LOより上の10.7MHzとなるように、フラクショナルN PLLをプリセットすることによって、別々の送信および受信用水晶基準発振器が不要となります。レシーバ用の固定N PLLを備えることで、フラクショナルN PLLのより高い電流消費要因を排除し、レシーバの電流消費を可能な限り低減させます。

MAX7031の送信PLLのフラクショナルNアーキテクチャは、正確な周波数偏差のための送信FSK信号のプリセットを可能にし、発振の引き込みによるFSK信号生成に関連する問題を完全に解消します。すべての周波数生成用の部品は、チップ内に集積され、完全なアンテナ/デジタルデータ構成を実現するためには、水晶、10.7MHzのIFフィルタ、および少数のディスクリート部品が必要です。

MAX7031は、小型の32ピンQFNパッケージ(5mm x 5mm)で提供され、-40°C~+125°Cの自動車用温度範囲での動作として規定されています。

[†]入手性については、お問い合わせください。

アプリケーション

- 2ウェイリモートキーレスエントリー
- セキュリティシステム
- ホームオートメーション
- リモートコントロール
- リモートセンシング
- 煙検知器
- ガレージ扉開閉器
- 近距離遠隔計測システム

特長

- ◆ 単一電源動作：+2.1V~+3.6Vまたは+4.5V~+5.5V
- ◆ 単一水晶トランシーバ
- ◆ 出荷時設定周波数(シリアルインターフェイスが不要)
- ◆ FSK変調
- ◆ 出荷時設定FSK周波数偏差
- ◆ 出力電力：50Ω負荷時+10dBm
- ◆ TX/RXスイッチ内蔵
- ◆ 送信および受信PLL、VCO、およびループフィルタ内蔵
- ◆ イメージ除去比：> 45dB
- ◆ 標準RF感度*：-110dBm
- ◆ 外付けフィルタによる選択が可能なIF帯域幅
- ◆ 広ダイナミックレンジのRSSI出力
- ◆ 送信モード時消費電流：< 12.5mA
- ◆ 受信モード時消費電流：< 6.7mA
- ◆ シャットダウン時消費電流：< 800nA
- ◆ 高速電源オンスタートアップ機能、< 250μs
- ◆ 小型、32ピン、TQFNパッケージ

*0.2% BER、4kbpsのマンチエスタエンコードデータ、280kHz IF BW

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX7031_ATJ_+	-40°C to +125°C	32 Thin QFN-EP**

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

**EP = エクスポートパッド

注：MAX7031は、出荷時に設定された動作周波数で提供されます。全型番については「選択ガイド」を参照してください。

ピン配置、選択ガイド、標準アプリケーション回路、およびファンクションダイアグラムは、データシートの最後に記載されています。

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

ABSOLUTE MAXIMUM RATINGS

HVIN to GND.....	-0.3V to +6.0V	Continuous Power Dissipation (TA = +70°C) 32-Pin Thin QFN (derate 21.3mW/°C above +70°C).....	1702mW
PAVDD, AVDD, DVDD to GND.....	-0.3V to +4.0V		
ENABLE, T/R, DATA, AGC0, AGC1, AUTOCAL to GND.....	-0.3V to (HVIN + 0.3V)	Operating Temperature Range	-40°C to +125°C
All Other Pins to GND	-0.3V to (VDD + 0.3V)	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, 50Ω system impedance, PAVDD = AVDD = DVDD = HVIN = +2.1V to +3.6V, fRF = 308MHz, 315MHz, or 433.92MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at PAVDD = AVDD = DVDD = HVIN = +2.7V, TA = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage (3V Mode)	VDD	HVIN, PAVDD, AVDD, and DVDD connected to power supply		2.1	2.7	3.6	V
Supply Voltage (5V Mode)	HVIN	PAVDD, AVDD, and DVDD unconnected from HVIN, but connected together		4.5	5.0	5.5	V
Supply Current	IDD	Transmit mode (Note 2)	fRF = 315MHz		11.6	19.1	mA
			fRF = 434MHz		12.4	20.4	
	TA < +85°C, typ at +25°C (Note 3)	Receiver 315MHz		6.4	8.4		
			Receiver 434MHz		6.7	8.7	
		Deep-sleep (3V mode)		0.8	8.8		
			Deep-sleep (5V mode)		2.4	10.9	
	TA < +125°C, typ at +125°C (Note 2)	Receiver 315MHz		6.8	8.7		
			Receiver 434MHz		7.0	8.8	
		Deep-sleep (3V mode)		8.0	34.2		
			Deep-sleep (5V mode)		14.9	39.3	
Voltage Regulator	VREG	HVIN = 5V, ILOAD = 15mA			3.0		V
DIGITAL I/O							
Input-High Threshold	VIH	(Note 2)		0.9 x HVIN			V
Input-Low Threshold	VIL	(Note 2)				0.1 x HVIN	V
Pulldown Sink Current		AGC0-1, AUTOCAL, ENABLE, T/R, DATA (HVIN = 5.5V)		20			μA
Output Low Voltage	VOL	ISINK = 500μA		0.15			V
Output High Voltage	VOH	ISOURCE = 500μA		HVIN - 0.26			V

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, 50Ω system impedance, PAVDD = AVDD = DVDD = HVIN = +2.1V to +3.6V, fRF = 308MHz, 315MHz, or 433.92MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at PAVDD = AVDD = DVDD = HVIN = +2.7V, TA = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Frequency Range			308/315/433.92			MHz
Maximum Input Level	PRFIN		0			dBm
Transmit Efficiency (Note 5)		fRF = 315MHz	32			%
		fRF = 434MHz	30			
Power-On Time	tON	ENABLE or T/R transition low to high, transmitter frequency settled to within 50kHz of the desired carrier	200			μs
		ENABLE or T/R transition low to high, transmitter frequency settled to within 5kHz of the desired carrier	350			
		ENABLE transition low to high, or T/R transition high to low, receiver startup time (Note 4)	250			
RECEIVER						
Sensitivity		0.2% BER, 4kbps Manchester data rate, 280kHz IF BW, FSK ±50kHz deviation	315MHz	-110		dBm
			434MHz	-107		
Image Rejection			46		dB	
POWER AMPLIFIER						
Output Power	POUT	TA = +25°C (Note 3)	4.6	10.0	15.5	dBm
		TA = +125°C, PAVDD = AVDD = DVDD = HVIN = +2.1V (Note 2)	3.9	6.7		
		TA = -40°C, PAVDD = AVDD = DVDD = HVIN = +3.6V (Note 3)		13.1	15.8	
Maximum Carrier Harmonics		With output matching network	-40		dBc	
Reference Spur			-50		dBc	
PHASE-LOCKED LOOP						
Transmit VCO Gain	KVCO		340		MHz/V	
Transmit PLL Phase Noise		10kHz offset, 200kHz loop BW	-68		dBc/Hz	
		1MHz offset, 200kHz loop BW	-98			
Receive VCO Gain			340		MHz/V	
Receive PLL Phase Noise		10kHz offset, 500kHz loop BW	-80		dBc/Hz	
		1MHz offset, 500kHz loop BW	-90			
Loop Bandwidth		Transmit PLL	200		kHz	
		Receive PLL	500			

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +2.1V to +3.6V, f_{RF} = 308MHz, 315MHz, or 433.92MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +2.7V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Reference Frequency Input Level					0.5		V _{P-P}
LOW-NOISE AMPLIFIER/MIXER (Note 7)							
LNA Input Impedance	Z _{INLNA}	Normalized to 50Ω	f _{RF} = 315MHz	1 - j4.7			
			f _{RF} = 434MHz	1 - j3.3			
Voltage-Conversion Gain		High-gain state	f _{RF} = 315MHz	50		dB	
			f _{RF} = 434MHz	45			
		Low-gain state	f _{RF} = 315MHz	13			
			f _{RF} = 434MHz	9			
Input-Referred 3rd-Order Intercept Point	IIP3	High-gain state		-42		dBm	
		Low-gain state		-6			
Mixer Output Impedance					330		Ω
LO Signal Feedthrough to Antenna					-100		dBm
RSSI							
Input Impedance					330		Ω
Operating Frequency	f _{IF}				10.7		MHz
3dB Bandwidth					10		MHz
Gain					15		mV/dB
FSK DEMODULATOR							
Conversion Gain					2.0		mV/kHz
ANALOG BASEBAND							
Maximum Data Filter Bandwidth					50		kHz
Maximum Data Slicer Bandwidth					100		kHz
Maximum Peak Detector Bandwidth					50		kHz
Maximum Data Rate		Manchester coded		33		kbps	
		Nonreturn to zero (NRZ)		66			
CRYSTAL OSCILLATOR							
Crystal Frequency	f _{XTAL}				(f _{RF} - 10.7) / 24		MHz
Maximum Crystal Inductance					50		mH
Frequency Pulling by V _{DD}					2		ppm/V
Crystal Load Capacitance		(Note 6)			4.5		pF

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

AC ELECTRICAL CHARACTERISTICS (continued)

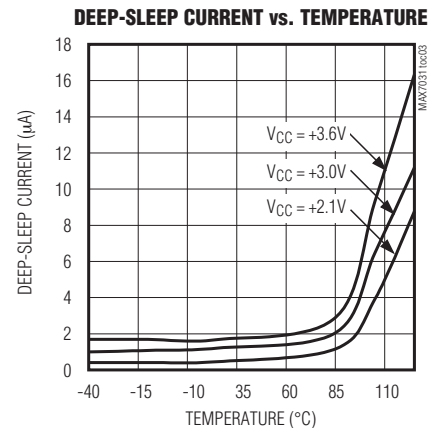
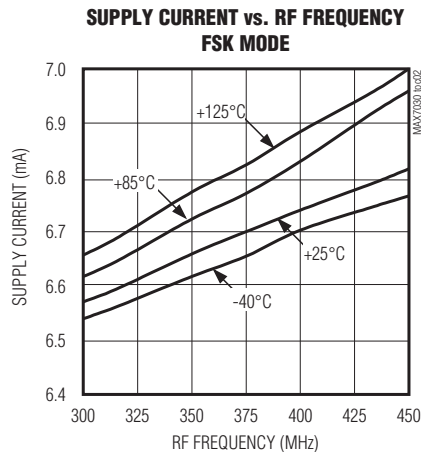
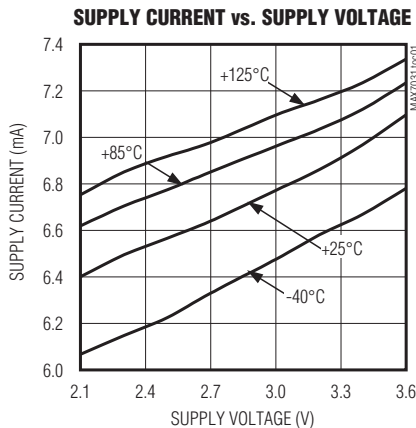
(Typical Application Circuit, 50Ω system impedance, PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +2.1V to +3.6V, f_{RF} = 308MHz, 315MHz, or 433.92MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +2.7V, T_A = +25°C, unless otherwise noted.) (Note 1)

- Note 1:** Supply current, output power, and efficiency are greatly dependent on board layout and PAOUT match.
- Note 2:** 100% tested at T_A = +125°C. Guaranteed by design and characterization over temperature.
- Note 3:** Guaranteed by design and characterization. Not production tested.
- Note 4:** Time for final signal detection; does not include baseband filter settling.
- Note 5:** Efficiency = P_{OUT} / (V_{DD} × I_{DD}).
- Note 6:** Dependent on PCB trace capacitance.
- Note 7:** Input impedance is measured at the LNAIN pin. Note that the impedance at 315MHz includes the 12nH inductive degeneration from the LNA source to ground. The impedance at 434MHz includes a 10nH inductive degeneration connected from the LNA source to ground. The equivalent input circuit is 50Ω in series with ~2.2pF. The voltage conversion is measured with the LNA input-matching inductor, the degeneration inductor, and the LNA/mixer tank in place, and does not include the IF filter insertion loss.

標準動作特性

(Typical Operating Circuit, PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V, f_{RF} = 433.92MHz, IF BW = 280kHz, 4kbps Manchester encoded, 0.2% BER deviation = ±50kHz, T_A = +25°C, unless otherwise noted.)

RECEIVER

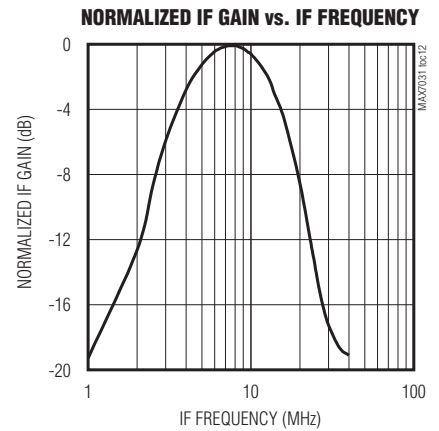
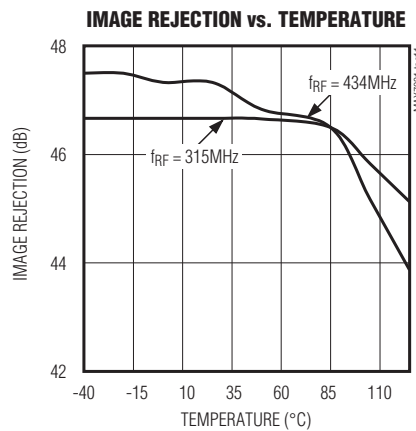
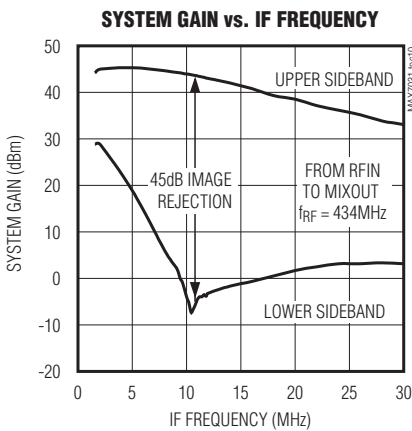
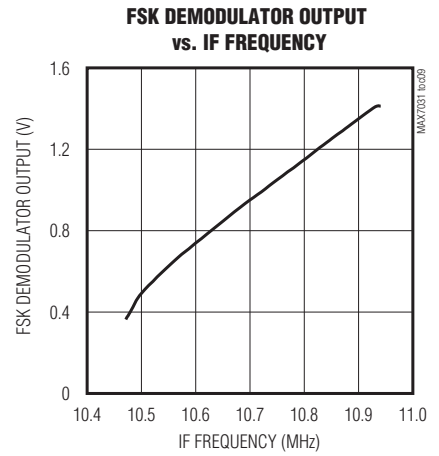
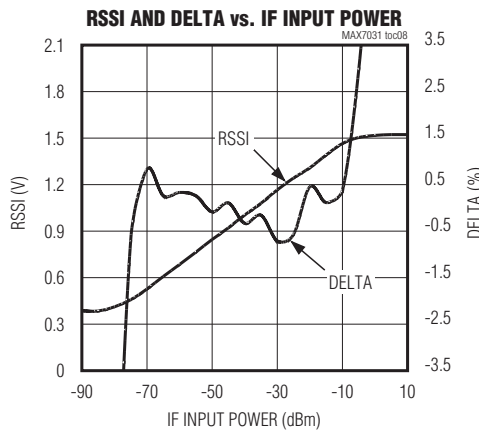
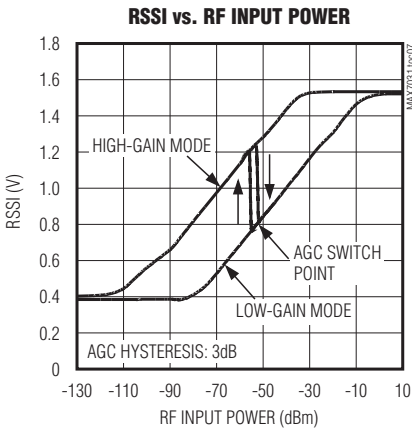
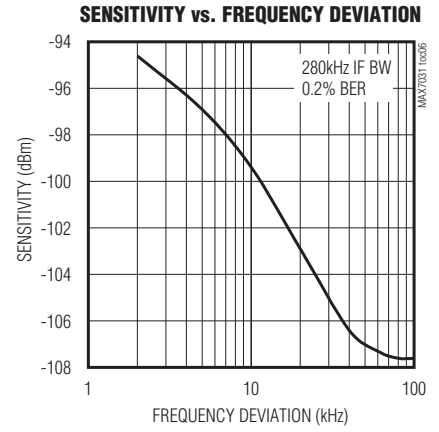
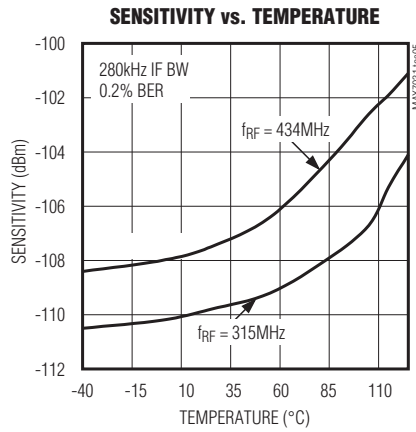
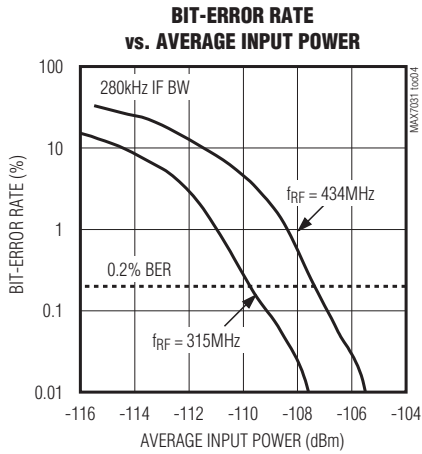


低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

標準動作特性(続き)

(Typical Operating Circuit, PAVDD = AVDD = DVDD = HVIN = +3.0V, f_{RF} = 433.92MHz, IF BW = 280kHz. 4kbps Manchester encoded, 0.2% BER deviation = ±50kHz, T_A = +25°C, unless otherwise noted.)

RECEIVER



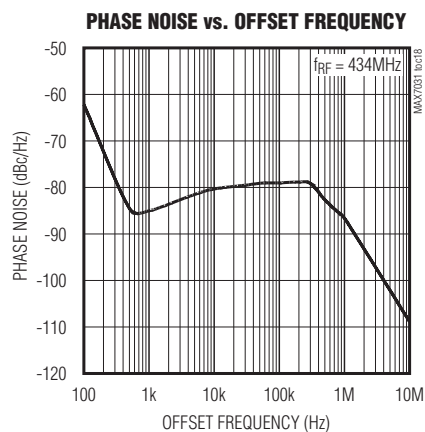
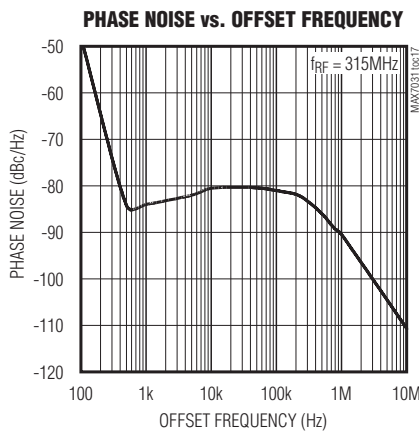
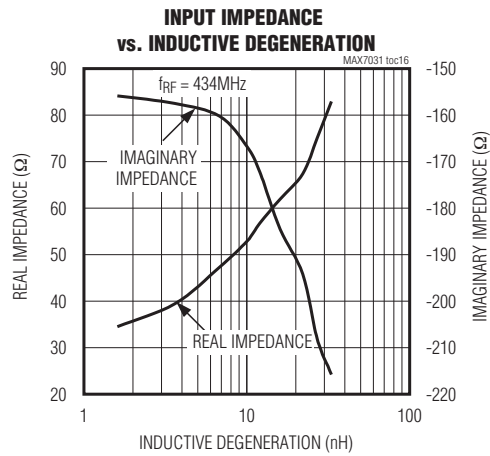
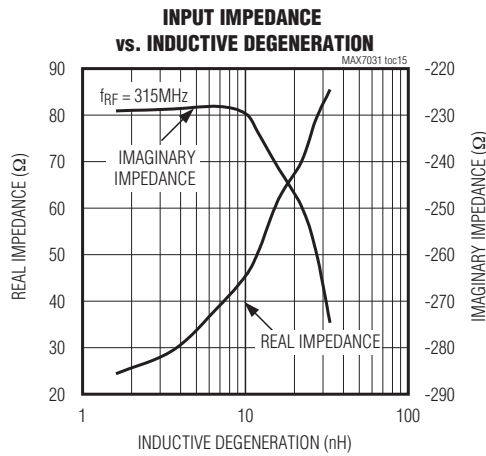
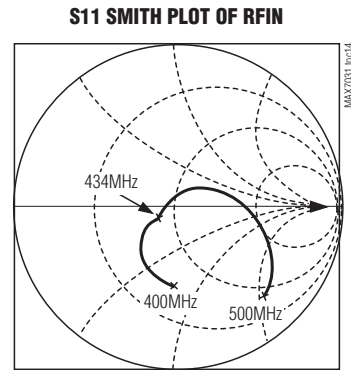
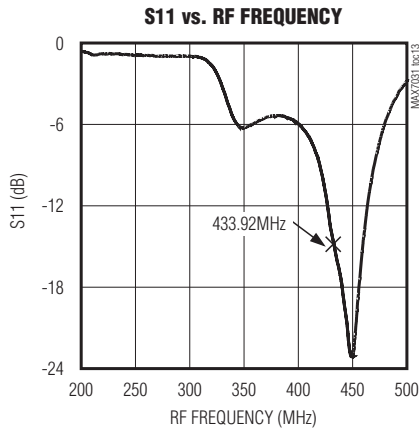
低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

標準動作特性(続き)

(Typical Operating Circuit, PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V, f_{RF} = 433.92MHz, IF BW = 280kHz. 4kbps Manchester encoded, 0.2% BER deviation = ±50kHz, T_A = +25°C, unless otherwise noted.)

RECEIVER



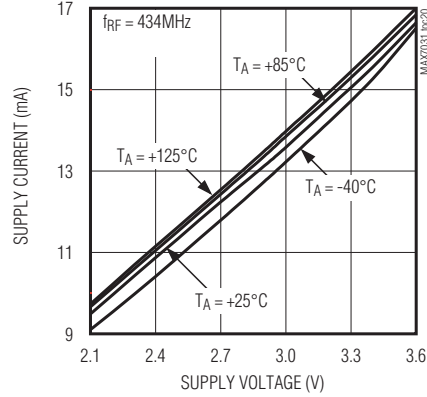
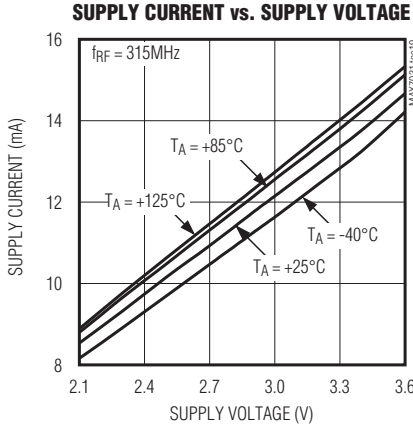
低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

標準動作特性(続き)

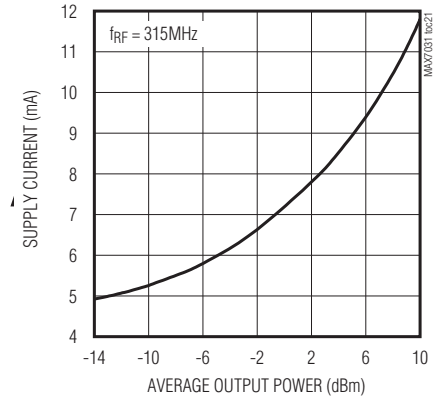
(Typical Operating Circuit, PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V, f_{RF} = 433.92MHz, IF BW = 280kHz. 4kbps Manchester encoded, 0.2% BER deviation = ±50kHz, T_A = +25°C, unless otherwise noted.)

TRANSMITTER

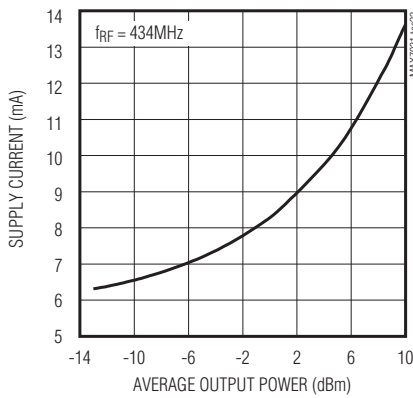
SUPPLY CURRENT vs. SUPPLY VOLTAGE



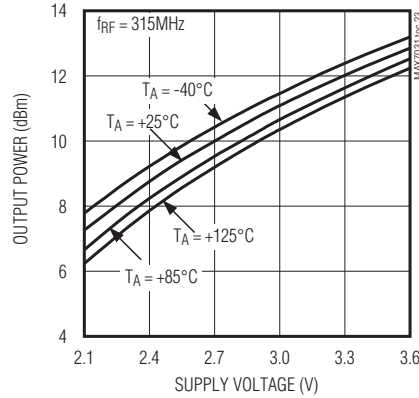
SUPPLY CURRENT vs. OUTPUT POWER



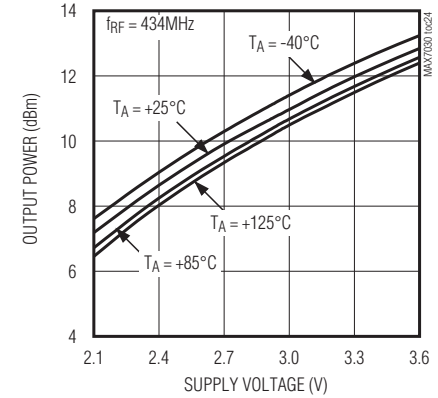
SUPPLY CURRENT vs. OUTPUT POWER



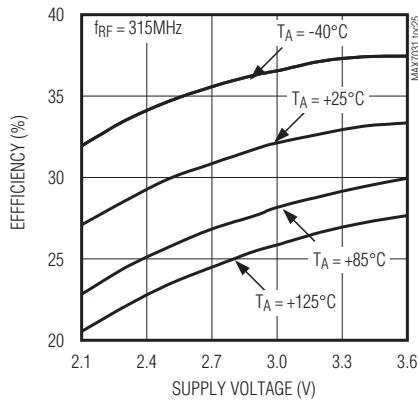
OUTPUT POWER vs. SUPPLY VOLTAGE



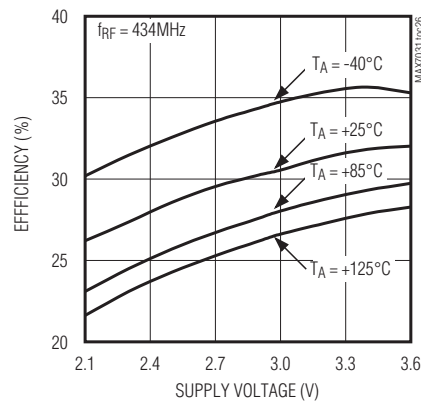
OUTPUT POWER vs. SUPPLY VOLTAGE



EFFICIENCY vs. SUPPLY VOLTAGE



EFFICIENCY vs. SUPPLY VOLTAGE



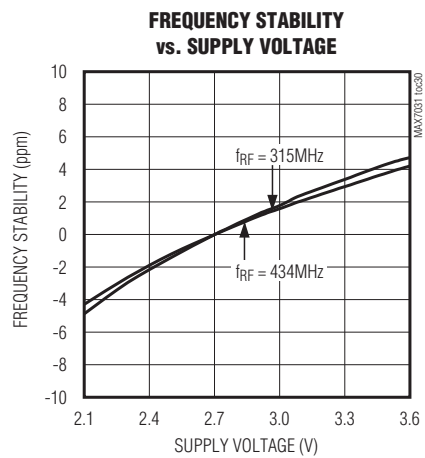
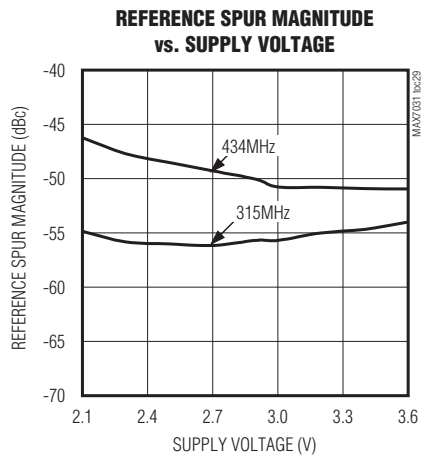
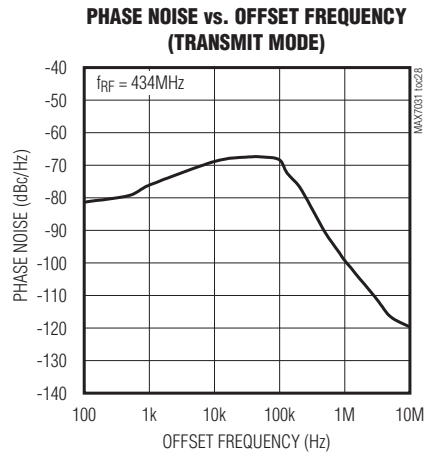
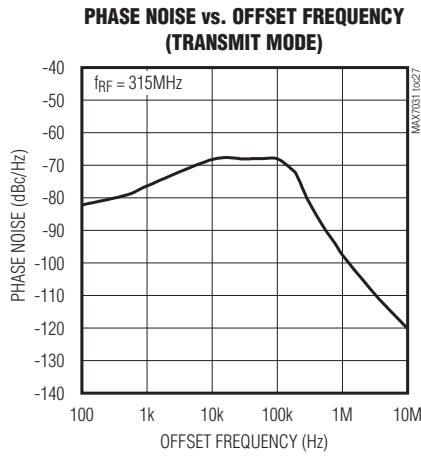
低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

標準動作特性(続き)

(Typical Operating Circuit, PAVDD = AVDD = DVDD = HVIN = +3.0V, f_{RF} = 433.92MHz, IF BW = 280kHz. 4kbps Manchester encoded, 0.2% BER deviation = ± 50 kHz, T_A = +25°C, unless otherwise noted.)

TRANSMITTER



低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

端子説明

端子	名称	機能
1	PAVDD	パワーアンプ電源電圧。端子に可能な限り近くに配置した0.01 μ Fと220pFのコンデンサでGNDへバイパスしてください。
2	ROUT	エンベロープ整形出力。ROUTは、パワーアンプのエンベロープの立上りおよび立下り時間を制御します。ROUTをPAへのプルアップインダクタ、またはオプションのパワー調整抵抗に接続してください。「標準アプリケーション回路」に示すように、インダクタに可能な限り近く配置した680pFと220pFのコンデンサでインダクタをGNDへバイパスしてください。
3	TX/RX1	送信/受信スイッチのロー側。TX/RX1をTX/RX2に接続するためには、T/Rをハイに駆動します。TX/RX1をTX/RX2から切り離すためには、T/Rをローに駆動します。TX/RX2と機能的に同一です。
4	TX/RX2	送信/受信スイッチのポール側。通常はグラウンドに接続します。「標準アプリケーション回路」を参照してください。
5	PAOUT	パワーアンプ出力。電源電圧(または、エンベロープ整形が必要な場合はROUT)へプルアップインダクタが必要で、そしてアンテナの出力整合ネットワークの一部となります。
6	AVDD	アナログ電源電圧。AVDDは、5V動作時+3.0Vの内蔵レギュレータに接続されます。端子に可能な限り近く配置した0.1 μ Fと220pFのコンデンサでAVDDをGNDへバイパスしてください。
7	LNAIN	ローノイズアンプ入力。AC結合する必要があります。
8	LNASRC	外付けの誘導性ディジェネレーション用のローノイズアンプソース。LNAの入力インピーダンスを設定するために、インダクタをGNDに接続してください。
9	LNAOUT	ローノイズアンプ出力。並列接続のLCタンクフィルタを通してAVDDに接続する必要があります。MIXIN+へAC結合してください。
10	MIXIN+	ミキサーの非反転入力。LNA出力へAC結合させる必要があります。
11	MIXIN-	ミキサーの反転入力。LNA LCタンクフィルタに可能な限り近くに配置したコンデンサでAVDDにバイパスしてください。
12	MIXOUT	330 Ω のミキサー出力。10.7MHzのフィルタの入力に接続してください。
13	IFIN-	330 Ω のIFリミッタアンプの反転入力。コンデンサでGNDへバイパスしてください。
14	IFIN+	330 Ω のIFリミッタアンプの非反転入力。10.7MHzのIFフィルタの出力に接続してください。
15	PDMIN	復調出力の最小レベルピーク検出器
16	PDMAX	復調出力の最大レベルピーク検出器
17	DS-	データスライサの反転入力
18	DS+	データスライサの非反転入力
19	OP+	サレンキーデータフィルタ用オペアンプの非反転入力
20	DF	データフィルタのフィードバックノード。サレンキーデータフィルタの帰還コンデンサ用入力。
21	RSSI	バッファされた受信信号強度インジケータ(RSSI)出力
22	T/R	送信/受信。デバイスを送信モードにするためにはハイに駆動します。デバイスを受信モードにするためには、ローに駆動または未接続にします。内部でプルダウンされています。
23	ENABLE	イネーブル。通常動作のためにはハイに駆動します。デバイスをシャットダウンモードにするためには、ローに駆動または未接続にします。
24	DATA	レシーバデータ出力/トランスミッタデータ入力
25	N.C.	接続なし。この端子には接続をしないでください。
26	DVDD	デジタル供給電源電圧。端子に可能な限り近く配置させた0.01 μ Fと220pFのコンデンサでGNDへバイパスしてください。
27	HVIN	高電圧電源入力。3V動作では、HV _{IN} をAV _{DD} 、PAV _{DD} 、およびDV _{DD} と接続してください。5V動作では、HV _{IN} のみを5Vに接続します。端子に可能な限り近く配置させた0.01 μ Fと220pFのコンデンサでHV _{IN} をGNDへバイパスしてください。

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

端子説明(続き)

端子	名称	機能
28	AUTOCAL	FSK復調器の自動キャリブレーション(~1分周期)用イネーブル。10pFのコンデンサでGNDへバイパスしてください。
29	AGC1	AGCイネーブル/ドゥエルタイム制御1。表1を参照してください。10pFのコンデンサでGNDへバイパスしてください。
30	AGC0	AGCイネーブル/ドゥエルタイム制御0 (LSB)。表1を参照してください。10pFのコンデンサでGNDへバイパスしてください。
31	XTAL1	水晶入力1。XTAL2がAC結合された外部リファレンスによって駆動される場合、GNDへバイパスしてください。
32	XTAL2	水晶入力2。XTAL2は、AC結合された外部のリファレンスによって駆動することができます。
—	EP	エクスポーズドパッド。正常動作のために、ボードのグラウンドプレーンに均等にはんだ付けしてください。

詳細

308MHz、315MHz、および433.92MHz CMOSトランシーバのMAX7031、および少数の外付け部品によって、アンテナからデジタルデータインタフェースへの完全な送信および受信チェーンが提供されます。MAX7031は、FSKデータの送信および受信用として設計されています。すべての送信周波数はフラクショナルNベースのシンセサイザによって生成され、 $f_{XTAL}/4096$ の増減での非常に精密な周波数ステップを可能にしています。受信用局部発振(LO)は、伝統的な整数Nベースのシンセサイザによって生成されます。部品選択によって、最大で33kbps (マンチエスタエンコード)または66kbps (NRZエンコード)のデータレートを達成することができます。

レシーバ

ローノイズアンプ(LNA)

LNAは、LNA入力のアンテナ整合ネットワーク、およびLNA出力とミキサー入力間のLCタンクネットワークの両方に応じて約30dBの電圧利得を達成する、外付けによる誘導性ディジェネレーションを備えたカスコードアンプです。

外付けによる誘導性ディジェネレーションは、インダクタをLNASRCからAGNDへ接続することによって達成されます。このインダクタは、LNAINでの入力インピーダンスの実数部を設定し、PCBトレースアンテナのような低入力インピーダンスに対する柔軟な整合を可能にします。50Ωの入力インピーダンスに対して、このインダクタの公称値は315MHzで12nH、および434MHzで10nHですが、インダクタンスは、PCBのトレース長による影響を受けます。LNASRCは、感度を約1dB増加させるためにグラウンドへ短絡することが可能ですが、入力整合は再度最適化する必要があります。

LNAOUTに接続されたLCタンクフィルタは、L5とC9で構成されます(「標準アプリケーション回路」を参照)。必要なRF入力周波数において共振するように、L5とC9を選択してください。共振周波数は次式によって与えられます。

$$f = \frac{1}{2\pi\sqrt{L_{TOTAL} \times C_{TOTAL}}}$$

ここで、 $L_{TOTAL} = L5 + L_{PARASITICS}$ 、および $C_{TOTAL} = C9 + C_{PARASITICS}$ です。

$L_{PARASITICS}$ と $C_{PARASITICS}$ は、PCBトレース、パッケージピン、ミキサー入力インピーダンス、LNA出力インピーダンスなどのインダクタンス成分および容量成分を含みます。高周波におけるこれらの寄生成分は、無視することができず、タンクフィルタの中心周波数に基大な影響を及ぼす可能性を持っています。タンクの中心周波数を最適化するために、実証実験を行う必要があります。寄生容量成分は、通常5pF~7pFです。

自動利得制御(AGC)

AGCがイネーブルされている場合、AGCは、RSSI出力を監視します。RSSI出力が、約-55dBmのRF入力レベルに相当する、1.28Vに達した時、AGCはLNA利得減衰器のスイッチをオンにします。減衰器は、LNAの利得を36dB減少させ、これに従いRSSI出力は約540mV~740mV減少します。LNAは、RSSIの出力レベルが、AGCドゥエルタイムと呼ばれるプログラム可能な期間に680mV以下(RF入力の約-59dBm)に低下した時、高利得モードへ復帰します(表1を参照)。AGCは約4dBのヒステリシスを持っています。AGC機能によって、RSSIダイナミックレンジは拡大します。AGCは、ほとんどのFSKアプリケーションでは不要です。

AGCドゥエルタイムの設定

AGCスイッチングスレッショルド以下にパワーレベルが低下した後、AGCドゥエルタイマーは設定された時間の間、AGCを低利得状態にします。LNAは、設定された時間の後、パワーレベルがAGCスレッショルドを依然と下回っている場合、高利得状態になります。

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

表1. MAX7031のAGCドウェルタイム設定

AGC1	AGC0	DESCRIPTION
0	0	AGC disabled, high gain selected
0	1	K = 11, short dwell time
1	0	K = 14, medium dwell time
1	1	K = 20, long dwell time

MAX7031の2本のAGC制御ピン(AGC0とAGC1)を使用して、AGCのイネーブルおよびディセーブル、3種類のユーザーが制御可能なドウェルタイム設定値を決定します。AGCドウェルタイムは、水晶周波数およびAGC制御ピンのビット設定に依存します。ドウェルタイムの計算には、以下の式を使用してください。

$$\text{Dwell Time} = \frac{2^K}{f_{\text{XTAL}}}$$

ここで、Kは、表1に示された制御ピン設定によって決定される10進の整数値です。

例えば、315MHzで動作するレシーバは12.679MHzの水晶発振周波数を備えています。K = 11 (AGC設定値 = 0, 1)ではドウェルタイムは162 μ s、K = 14 (AGC設定値 = 1, 0)ではドウェルタイムは1.3ms、K = 20 (AGC設定値 = 1, 1)では、ドウェルタイムは83msです。

ミキサー

MAX7031の特徴的な機能は、ミキサーの内蔵イメージ除去機能です。これによって、多くのアプリケーションで必要とされる高価なフロントエンドSAWフィルタが不要になります。SAWフィルタを使用しない利点は、感度の向上、アンテナ整合の簡素化、基板面積の小型化、およびコスト低減です。

ミキサーセルは、ローサイドインジェクション(すなわち、 $f_{\text{LO}} = f_{\text{RF}} - f_{\text{IF}}$)によって、RF入力から中間周波数(IF)の10.7MHzにIQダウンコンバージョンを実行する1組のダブルバランスミキサーです。イメージ除去回路は、これらの信号を合成し全温度範囲について標準46dBのイメージ除去を達成しています。ハイサイドインジェク

ションがチップ内でのイメージ除去のために不可能であるため、ローサイドインジェクションが必要になります。このIF出力は、外付けの330 Ω のセラミックIFフィルタにインターフェースするために、330 Ω の駆動インピーダンスを生成するためのバイアスされたソースフォロワによって駆動されます。330 Ω の負荷を駆動する電圧変換利得は約20dBです。MIXIN+とMIXIN-入力が機能的に同一であることに注意してください。

整数Nフェーズロックループ(PLL)

MAX7031は、受信LOを生成するために、固定整数N PLLを使用しています。ループフィルタ、電圧制御発振器、チャージポンプ、非同期の24x分周器および位相周波数検出器を含むすべてのPLL部品を内蔵しています。ループ帯域幅は約500kHzです。RF、IF、および基準周波数の関係は次式によって与えられます。

$$f_{\text{REF}} = (f_{\text{RF}} - f_{\text{IF}})/24$$

中間周波数(IF)

IF部は、外付けセラミックフィルタとの整合を提供するために、330 Ω の差動負荷インピーダンスを備えています。内蔵の6段のAC結合されたリミッティングアンプは、全体で約65dBの利得を生成し、約10MHzの3dB帯域幅で、中心周波数が10.7MHzのIF周波数の近辺にあるバンドパスフィルタ型の応答を持っています。RSSI回路は、約15mV/dBのスロープを持ったIF信号レベルの対数値に比例するDC出力を生成し、IFをベースバンドに復調します。

FSK復調器

FSK復調器は、入力RF変調に追従し、周波数偏差を電位差に変換する、内蔵の10.7MHz PLLを使用します。PLLを図1に示します。PLLへの入力は、IFリミッティングアンプの出力から供給されます。PLL制御電圧は、2.0mV/kHzの公称利得を備え、入力信号周波数の変化にตอบสนองします。例えば、50kHzのFSKピークトゥピーク偏差によって、制御ラインに100mV_{p-p}の信号が生成されます。この後、制御電圧は、ベースバンド回路によってフィルタおよびスライスされます。

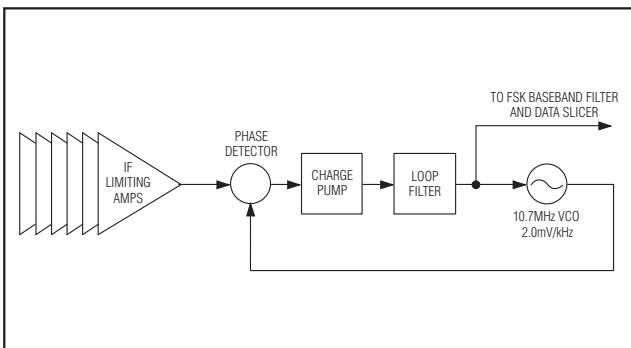


図1. FSK復調PLLのブロック図

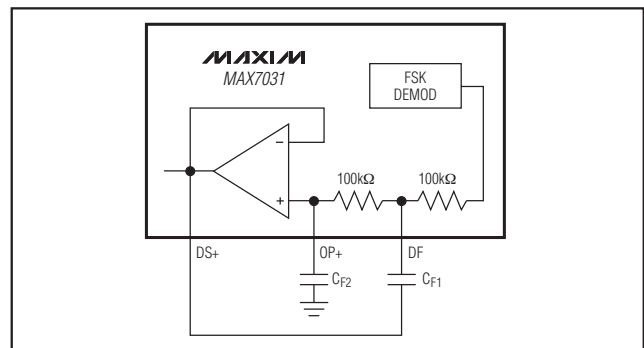


図2. サレンキーローパスデータフィルタ

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

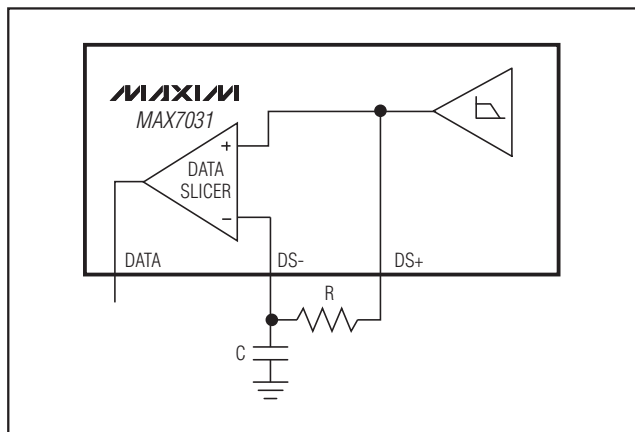


図3. ローパスフィルタを使用したデータスライサスレッシュヨルドの生成

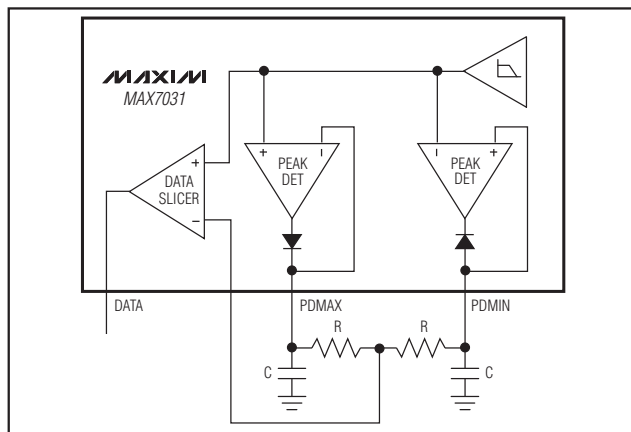


図4. ピーク検出器を使用したデータスライサスレッシュヨルドの生成

FSK復調用のPLLは、プロセス、電圧、および温度の変動を制限するために、キャリブレーションを必要とします。これは、AUTOCALピンを使用して、またはENABLEピンをサイクルさせることによって実行されます。AUTOCALピンがロジック1の場合、キャリブレーションは約1分ごとに行われます。AUTOCALピンがロジック0の場合、MAX7031がイネーブルされた後のみ、キャリブレーションが行われます。

データフィルタ

復調データ用のデータフィルタは、2次のローパスサレンキーフィルタとして構成されています。極の位置は、2個の内蔵抵抗および2個の外付けコンデンサの組み合わせによって設定されます。異なるデータ転送速度についての最適化を行うために、外付けのコンデンサの値を調整することで、コーナー周波数を変更します。コーナー周波数(kHz単位)を、トランスミッタからの予想される最も速いマンチェスタデータ転送速度(kbps単位)の約2倍(予想される最も速いNRZデータ転送速度の1.0倍)に設定してください。データ転送速度付近にコーナー周波数を設定することで、これより高い周波数のすべてのノイズが除去され、その結果、レシーバの感度が向上します。

表2. C_{F1} および C_{F2} の算出用の係数

FILTER TYPE	a	b
Butterworth (Q = 0.707)	1.414	1.000
Bessel (Q = 0.577)	1.3617	0.618

図2に示す構成で、バターワースまたはベッセル応答を生成することができます。バターワースフィルタは通過帯域内での非常に平坦な振幅応答および2ポールフィルタでは40dB/decadeの減衰率を提供します。ベッセルフィルタは、デジタルデータをフィルタするために適切な線形の位相応答を持っています。コンデンサの値を計算するためには、表2の係数と共に以下の式を使用してください。

$$C_{F1} = \frac{b}{a(100k\Omega)(\pi)(f_c)}$$

$$C_{F2} = \frac{a}{4(100k\Omega)(\pi)(f_c)}$$

ここで、 f_c は、必要な3dBコーナー周波数です。

例として、5kHzのコーナー周波数のバターワースフィルタの応答を選択します。

$$C_{F1} = \frac{1.000}{(1.414)(100k\Omega)(3.14)(5kHz)} \approx 450pF$$

$$C_{F2} = \frac{1.414}{(4)(100k\Omega)(3.14)(5kHz)} \approx 225pF$$

コンデンサの標準値を選択すると、 C_{F1} は470pFに、 C_{F2} は220pFに変更されます。 C_{F1} および C_{F2} は、「標準アプリケーション回路」中において、それぞれC16およびC17と名称されています。

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

データスライサ

データスライサは、データフィルタのアナログ出力を受け取り、これをデジタル信号に変換します。この動作は、コンパレータを使用してアナログ入力をスレッシュド電圧と比較することで行われます。スレッシュド電圧は、データスライサコンパレータの負側入力に接続されているDS-ピンの電圧によって設定されます。

データスライサのスレッシュドを生成するために、様々な回路構成を使用することができます。例として、図3の回路は、1個の抵抗と1個のコンデンサを使用した簡単な方法を示しています。この回路構成では、フィルタのアナログ出力を平均し、スレッシュドをその振幅の約50%に設定します。この回路構成によって、アナログ信号が変化した時、スレッシュドは自動的に調整され、デジタルデータ中の誤りの可能性が最小化されます。RとCの値は、アナログ振幅に対するスレッシュドの追従速度に影響を与えます。RC回路のコーナー周波数を、必ず予想される最も低いデータ転送速度よりもずっと低く(約10分の1)してください。

この回路構成では、NRZ 0または1の長い列によって、スレッシュドがドリフトする可能性があります。この回路構成は、等しい数の0と1を持つマンチェスタコーディングなどのコーディング方式を使用する場合に最適です。

図4は、スレッシュドを生成するために、正側および負側のピーク検出器を使用する回路構成を示しています。この回路構成では、データフィルタのハイ出力とロー出力間の midpoint にスレッシュドが設定されます。

ピーク検出器

図4に示す、抵抗とコンデンサによる最大ピーク検出器(PD_{MAX})および最小ピーク検出器(PD_{MIN})は、フィルタおよび復調後の信号のハイおよびローのピーク値に等しいDC出力電圧を生成します。この抵抗はコンデンサの放電のための経路を提供し、ピーク検出器がデータフィルタ出力電圧のピーク変化に動的な追従を可能にします。最大および最小ピーク検出器を併用することで、データストリームの最大および最小電圧レベルの中間値にデータスライサのスレッシュド電圧を設定することができます(「データスライサ」の項、および図4を参照)。ピーク検出器結合ネットワークのRC時定数を、データ周期の少なくとも5倍に設定してください。

AGC利得の切り替え、またはパワーアップ時の過渡状態などのベースバンド信号の振幅の著しい変化を発生させるイベントが発生した場合、ピーク検出器は、異常なレベルを「捕まえる」可能性があります。誤ったピークが検出された場合、スライスレベルは、不正確なものとなります。MAX7031のピーク検出器は、AGCの状態の切り替えが発生した時、入力されたベースバンドフィルタ電圧に一時的に追従させる、またはすべての内部回路がイネーブルピンのローからハイへの遷移した後に

安定化するまで、ピーク検出器を強制的にベースバンドフィルタの出力電圧に追従させることによって、これらの問題を解消します。ピーク検出器は、高速なアタック/低速な減衰応答を示します。この特長によって、極めて速い起動およびAGCの回復が可能です。

トランスミッタ

パワーアンプ(PA)

MAX7031のPAは、高効率、オープンドレイン、スイッチモードのアンプです。適切な出力整合ネットワークを備えたPAは、小型ループPCBトレースおよび50Ωのアンテナを含む、様々なインピーダンスのアンテナを駆動することができます。50Ωのアンテナ用の出力整合ネットワークは、「標準アプリケーション回路」に示されています。出力整合ネットワークは、キャリアの高調波を抑制し、PAOUT (ピン5) における最適なインピーダンスにアンテナインピーダンスを変換します。PAOUTの適合インピーダンスは、250Ωです。

出力整合ネットワークが適切に調整された場合、PAは最大32%の高い全効率で電力を送信します。PA自身の効率は46%以上です。出力は、PAOUTの外付け抵抗によって設定され、PA出力での外付けアンテナおよびアンテナ整合ネットワークに依存します。

エンベロープ整形

MAX7031は、PAのオープンドレイン出力と電源を接続する、内蔵のエンベロープ整形抵抗を特長としています。エンベロープ整形抵抗は、PAのターンオン/ターンオフを遅延させます。FSKではエンベロープ整形は不要です。ほとんどのアプリケーションにおいて、PAのプルアップインダクタは、ROUTではなくPAV_{DD}へ接続する必要があります。

フラクショナルNフェーズロックループ(PLL)

MAX7031は、完全に集積された、送信周波数シンセサイザ用のフラクショナルN PLLを使用します。ループフィルタを含むすべてのPLL部品が内蔵されています。ループ帯域幅は、約200kHzです。

電源の接続

MAX7031は、2.1V~3.6Vの電源、または4.5V~5.5Vの電源から給電することができます。4.5V~5.5Vの電源を使用する場合、内蔵のリニアレギュレータが5Vの電源を、チップの動作に必要な3Vに降圧させます。

MAX7031を3Vの電源によって動作させるためには、3Vの電源にPAV_{DD}、AV_{DD}、DV_{DD}、およびHV_{IN}を接続してください。5Vの電源を使用する場合、電源をHV_{IN}のみと接続し、AV_{DD}、PAV_{DD}、およびDV_{DD}を相互に接続してください。どちらの電源を使用する場合でも、PAV_{DD}、DV_{DD}、およびHV_{IN}を、0.01μFと220pFのコンデンサでGNDへバイパスし、AV_{DD}を0.1μFと220pF

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

のコンデンサでGNDへバイパスしてください。T/R、ENABLE、DATA、AGC0-1、およびAUTOCALを、10pFのコンデンサでGNDへバイパスしてください。すべてのバイパスコンデンサは、それぞれのピンの可能な限り近くに配置してください。

送信/受信アンテナスイッチ

MAX7031は、少数の外付け部品で構成する際に、送信および受信ピンによる共通アンテナの共用を可能にする内部のSPST RFスイッチを内蔵しています(「標準アプリケーション回路」を参照)。受信モード時はスイッチを開放し、パワーアンプはLNAの負荷を最小にするためにシャットダウンし、ハイインピーダンスを示します。送信モード時はスイッチを閉じ、PA出力で共振タンク回路を完成させ、LNAへの入力においてRF短絡状態を形成します。このモード時、強い送信信号からLNA入力を保護するために、外付けの受動部品によってPAの出力はアンテナと結合されます。

スイッチの状態は、T/Rピン(ピン22)によって制御されます。デバイスを送信モードにするためには、T/Rをハイに駆動し、デバイスを受信モードにするためには、T/Rをローに駆動します。

水晶発振器(XTAL)

MAX7031のXTAL発振器は、XTAL1とXTAL2ピン間の容量を約3pFとして設計されています。ほとんどの場合、これは、標準のPCBの寄生成分が追加された時の外付け水晶に適用される4.5pFの負荷容量に相当します。MAX7031の水晶発振器にPCBの寄生容量を足し合わせたものと等しい負荷容量の水晶を使用することは大変重要です。異なる負荷容量で発振するように設計された水晶を使用した場合、水晶は安定した動作周波数から引き離され、基準周波数に誤差を発生させます。より高い差動負荷容量によって動作するように設計された水晶は、基準周波数をより高くします。

実際には、発振器はすべての水晶を引き込みます。水晶の固有周波数は、規定周波数以下ですが、指定された負荷が与えられると、水晶は引き込まれ、規定周波数で発振します。この引き込みは、負荷容量の規格に既に計上されています。

水晶の電気的パラメータが既知である場合、追加の引き込みは計算することが可能です。周波数の引き込みは次式によって与えられます。

$$f_p = \frac{C_m}{2} \left(\frac{1}{C_{CASE} + C_{LOAD}} - \frac{1}{C_{CASE} + C_{SPEC}} \right) \times 10^6$$

ここで：

f_p は、ppm単位の水晶周波数の引き込み量です。

C_m は、水晶の等価容量です。

C_{CASE} は、ケースの容量です。

C_{SPEC} は、規格上の負荷容量です。

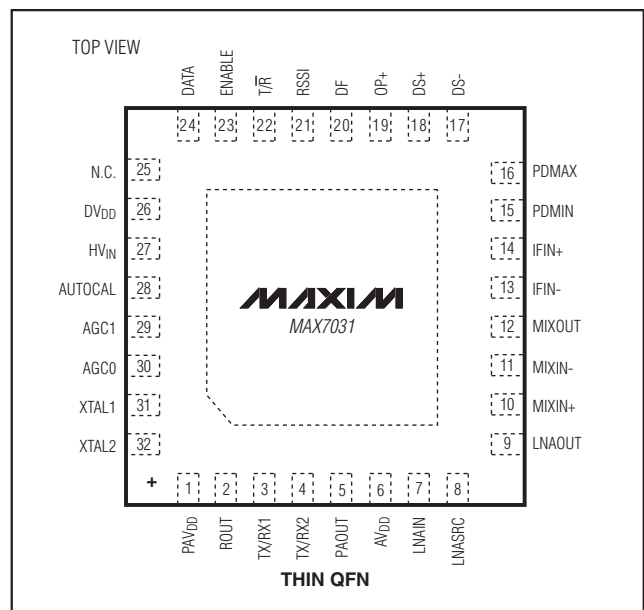
C_{LOAD} は、実際の負荷容量です。

水晶が規格通りの負荷となる時、すなわち、 $C_{LOAD} = C_{SPEC}$ の時、周波数引き込みは0に等しくなります。

チップ情報

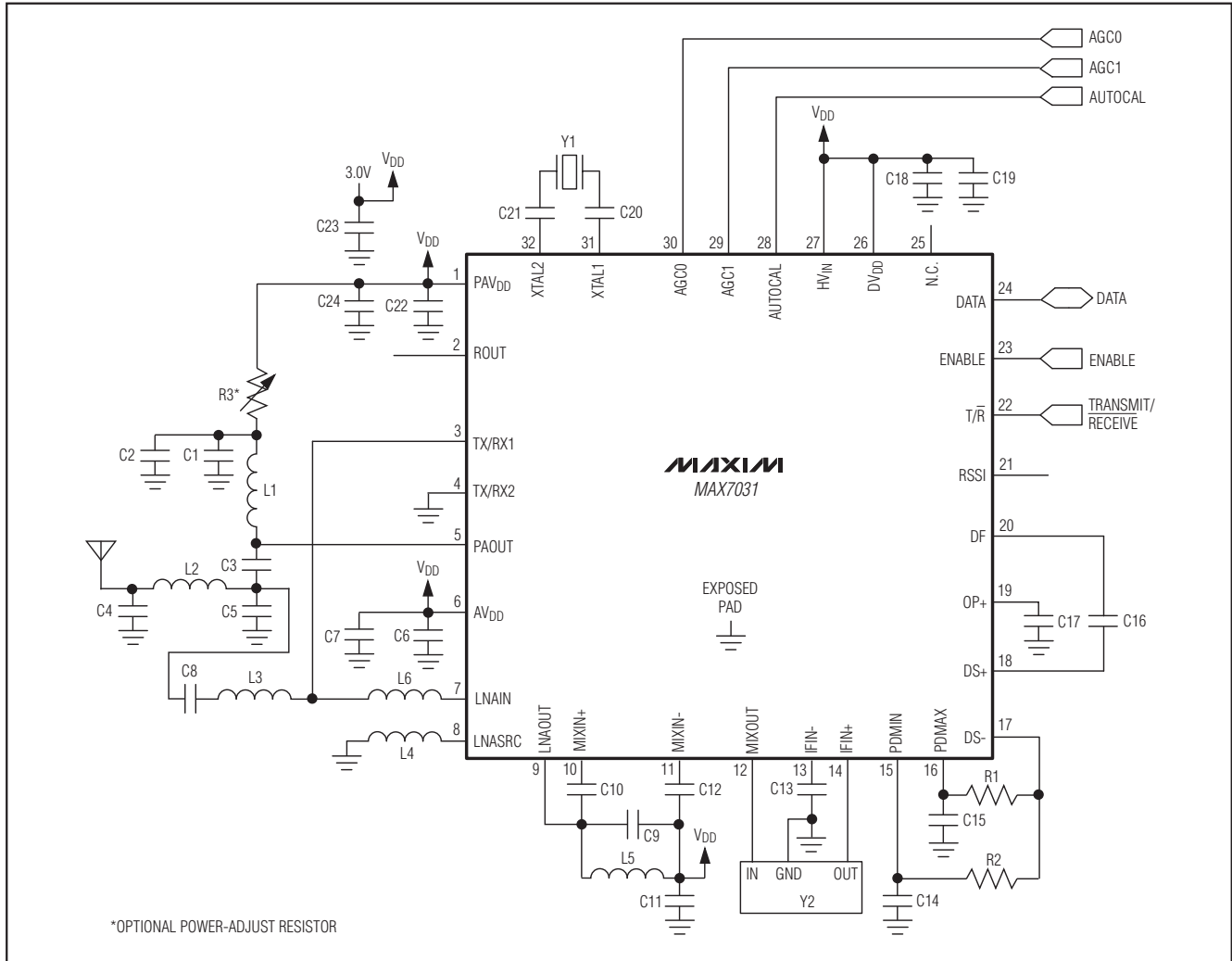
PROCESS: CMOS

ピン配置



低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

標準アプリケーション回路



選択ガイド

PART	CARRIER FREQUENCY (MHz)	FSK DEVIATION FREQUENCY (kHz)
MAX7031LATJ+†	308	±51.413
MAX7031MATJ15+	315	±15.477
MAX7031MATJ50+	315	±49.528
MAX7031HATJ17+	433.92	±17.221
MAX7031HATJ51+	433.92	±51.663

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

†入手性については、お問い合わせください。

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

表3. 標準アプリケーション回路の部品定数

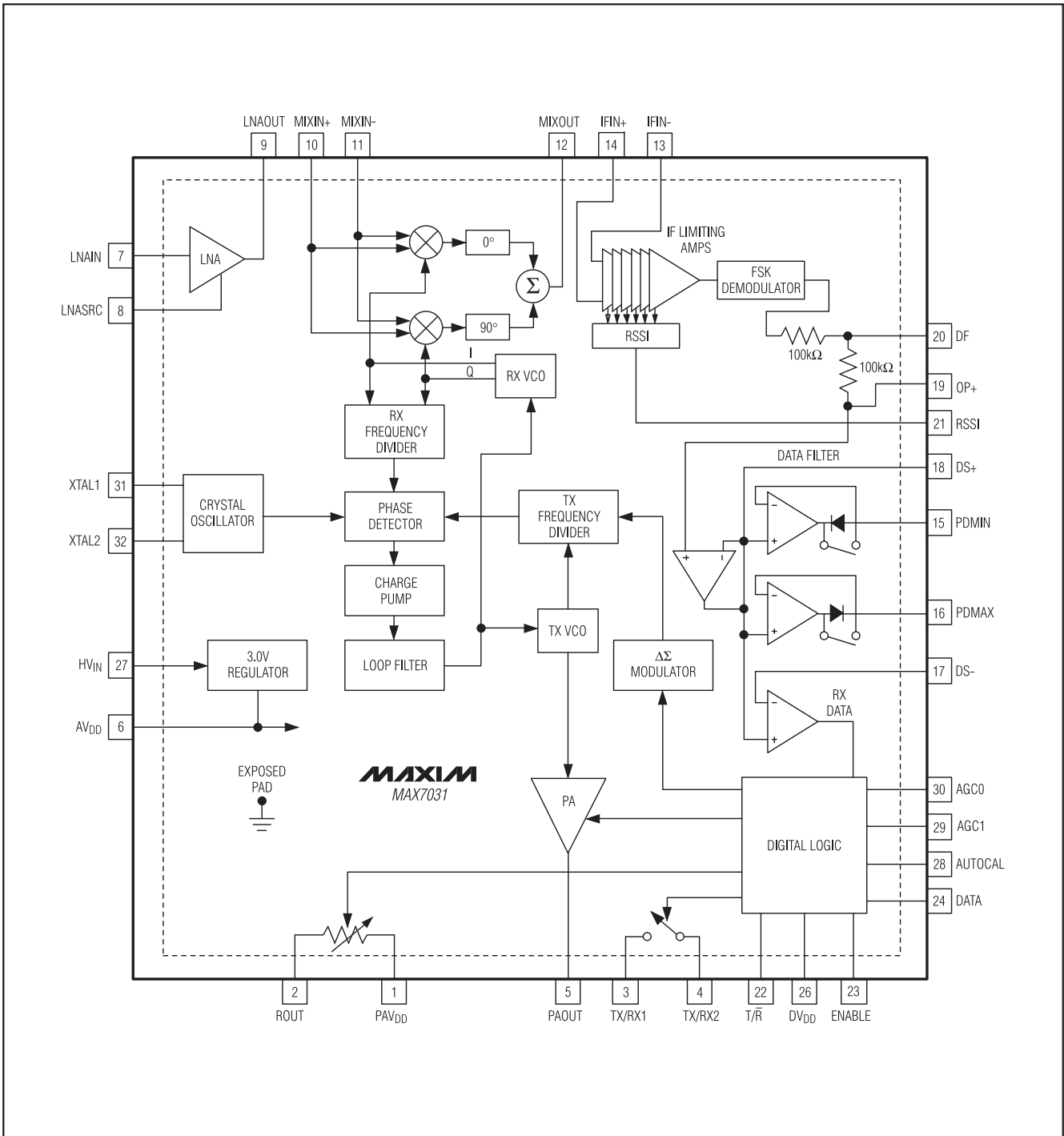
COMPONENT	VALUE FOR 433.92MHz RF	VALUE FOR 315MHz RF	DESCRIPTION
C1	220pF	220pF	10%
C2	680pF	680pF	10%
C3	6.8pF	12pF	5%
C4	6.8pF	10pF	5%
C5	10pF	22pF	5%
C6	220pF	220pF	10%
C7	0.1μF	0.1μF	10%
C8	100pF	100pF	5%
C9	1.8pF	2.7pF	±0.1pF
C10	100pF	100pF	5%
C11	220pF	220pF	10%
C12	100pF	100pF	5%
C13	1500pF	1500pF	10%
C14	0.047μF	0.047μF	10%
C15	0.047μF	0.047μF	10%
C16	470pF	470pF	10%
C17	220pF	220pF	10%
C18	220pF	220pF	10%
C19	0.01μF	0.01μF	10%
C20	100pF	100pF	5%
C21	100pF	100pF	5%
C22	220pF	220pF	10%
C23	0.01μF	0.01μF	10%
C24	0.01μF	0.01μF	10%
L1	22nH	27nH	Coilcraft 0603CS
L2	22nH	30nH	Coilcraft 0603CS
L3	22nH	30nH	Coilcraft 0603CS
L4	10nH	12nH	Coilcraft 0603CS
L5	16nH	30nH	Murata LQW18A
L6	68nH	100nH	Coilcraft 0603CS
R1	100kΩ	100kΩ	5%
R2	100kΩ	100kΩ	5%
R3	0Ω	0Ω	—
Y1	17.63416MHz	12.67917MHz	Crystal, 4.5pF load capacitance
Y2	10.7MHz ceramic filter	10.7MHz ceramic filter	Murata SFECV10.7 series

注：部品定数は、PCBレイアウトによって変わります。

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

MAX7031

ファンクションダイアグラム



低コスト、フラクショナルN PLL内蔵、308MHz、 315MHz、および433.92MHz FSKトランシーバ

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
32 Thin QFN-EP	T3255-3	21-0140

MAX7031

低コスト、フラクショナルN PLL内蔵、308MHz、315MHz、および433.92MHz FSKトランシーバ

改訂履歴

版数	改訂日	説明	改訂ページ
0	5/05	初版	—
1	9/08	鉛フリー/RoHS準拠のパッケージを表すために、各製品に+を追加し、標準ではない周波数製品の入手性についての問い合わせを明確化	16
2	6/09	「パワーアンプ(PA)」の項中の訂正を実施	14

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**