

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

概要

MAX5952は、クワッドの-48Vのパワーコントローラで、IEEE® 802.3afに準拠し策定中のIEEE 802.3atに対応した給電機器(PSE)で使用するために設計されています。このデバイスは、IEEE 802.3af規格に準拠した受電機器(PD)の検出、分類、電流制限、DCおよびAC負荷切断検出を行います。MAX5952は、MAX5945/LTC4258/LTC4259A PSEコントローラとピンコンパチブルで機能が追加されています。

MAX5952は、ポート当り最大45Wを供給するハイパワーモードを備えています。MAX5952は、I²Cインタフェースを通じて各ポートの電流を即時に読み出します。また、MAX5952はレガシーPDの大きい容量値を検出します。

このデバイスは、I²C対応の3線式シリアルインタフェースを備え、ソフトウェアによる完全な設定とプログラムが可能です。クラス過電流検出機能によって、PDに許容値を上回る電流が流れるかどうかをシステム電源管理で検出することができます。MAX5952が備える豊富なプログラム能力は、システムの柔軟性を高め、フィールド診断および他のアプリケーションへの応用を可能にします。

MAX5952は、種々の要求を満たす4つの動作モードを提供します。自動モードでは、デバイスはソフトウェアによる監視なしで自動的に動作します。半自動モードでは、初期のソフトウェア起動後にポートに接続されたデバイスの検出と分類が自動的に行われますが、ソフトウェアによる指示があるまでそのポートは電源オンにされません。マニュアルモードは、ソフトウェアによってデバイスを完全に制御することが可能で、システム診断に有用です。シャットダウンモードは、すべてのアクティビティを終了してポートへの電源を確実にオフにします。

MAX5952は、入力低電圧ロックアウト(UVLO)、入力低電圧検出、検出中の負荷安定性セーフティチェック、入力過電圧ロックアウト、温度過昇検出、起動時の出力電圧スルーレイト制限、パワーグッドステータス、およびフォルトステータスを提供します。MAX5952は起動タイムアウト、過電流タイムアウト、および負荷切断検出タイムアウトなどの設定が可能です。

MAX5952は、36ピンSSOPパッケージで提供され、拡張(-40°C ~ +85°C)および上位民生用(0°C ~ +85°C)の両温度範囲での動作が保証されています。

アプリケーション

給電機器(PSE)

スイッチ/ルータ

ミッドスパンパワーインジェクタ

IEEEはInstitute of Electrical and Electronics Engineers, Inc.の登録商標です。

特長

- ◆ IEEE 802.3af準拠/Pre-IEEE 802.3at対応
- ◆ I²Cインタフェースを通じたポート電流の即時読出し
- ◆ ハイパワーモードでポート当り最大45Wが可能
- ◆ レガシーデバイスの大きい容量値検出
- ◆ MAX5945およびLTC4258/LTC4259Aとピンコンパチブル
- ◆ 4つの独立したパワースイッチコントローラ
- ◆ PD検出および分類
- ◆ 検出中に負荷安定性セーフティチェック
- ◆ DCおよびACの負荷除去検出をサポート
- ◆ I²C対応の3線式シリアルインタフェース
- ◆ 電流フォールドバックおよびデューティサイクル制御の電流制限
- ◆ オープンドレインのINT信号
- ◆ 直接高速シャットダウン制御機能

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX5952AEAX+*	-40°C to +85°C	36 SSOP	A36-4
MAX5952AUAX+	0°C to +85°C	36 SSOP	A36-4
MAX5952CEAX+*	-40°C to +85°C	36 SSOP	A36-4
MAX5952CUAX+*	0°C to +85°C	36 SSOP	A36-4

+は鉛フリーパッケージを示します。

*開発中の製品。入手性についてはお問い合わせください。

ピン配置および選択ガイドはデータシートの最後に記載されています。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to V_{EE} , unless otherwise noted.)
 AGND, DGND, DET_, V_{DD} , \overline{RESET} , A3–A0, \overline{SHD} , OSC,
 SCL, SDAIN, and AUTO -0.3V to +80V
 OUT_ -12V to (AGND + 0.3V)
 GATE_ (internally clamped) (Note 1) -0.3V to +11.4V
 SENSE -0.3V to +24V
 V_{DD} , \overline{RESET} , MIDSPAN, A3–A0, \overline{SHD} , OSC, SCL,
 SDAIN and AUTO to DGND -0.3V to +7V
 \overline{INT} and SDAOUT to DGND -0.3V to +12V
 AGND to DGND -0.3V to +7V

Maximum Current into \overline{INT} , SDAOUT, DET_ 80mA
 Maximum Power Dissipation ($T_A = +70^\circ\text{C}$)
 36-Pin SSOP (derate 11.4mW/ $^\circ\text{C}$ above +70 $^\circ\text{C}$) 941mW
 Operating Temperature Ranges:
 MAX5952_EAX -40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 MAX5952_UAX 0 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 Storage Temperature Range -65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
 Junction Temperature +150 $^\circ\text{C}$
 Lead Temperature (soldering, 10s) +300 $^\circ\text{C}$

Note 1: GATE_ is internally clamped to 11.4V above V_{EE} . Driving GATE_ higher than 11.4V above V_{EE} may damage the device.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AGND = 32V to 60V, $V_{EE} = 0\text{V}$, V_{DD} to DGND = +3.3V, all voltages are referenced to V_{EE} , unless otherwise noted. Typical values are at AGND = +48V, DGND = +48V, $V_{DD} = (\text{DGND} + 3.3\text{V})$, $T_A = +25^\circ\text{C}$. Currents are positive when entering the pin and negative otherwise.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Operating Voltage Range	V_{AGND}	$V_{AGND} - V_{EE}$	32		60	V
	V_{DGND}		0		60	
	V_{DD}	V_{DD} to V_{DGND} , $V_{DGND} = V_{AGND}$		1.71		
V_{DD} to V_{DGND} , $V_{DGND} = V_{EE}$		3.0		5.5		
Supply Currents	I_{EE}	$V_{OUT_} = V_{EE}$, $V_{SENSE_} = V_{EE}$, $DET_ = AGND$, all logic inputs open, SCL = SDAIN = V_{DD} . \overline{INT} and SDAOUT open. Measured at AGND in power mode after GATE_ pullup		4.8	6.8	mA
	I_{DIG}	All logic inputs high, measured at V_{DD}		3.0	5.6	
GATE DRIVER AND CLAMPING						
GATE_ Pullup Current	I_{PU}	Power mode, gate drive on, $V_{GATE} = V_{EE}$	-40	-50	-60	μA
Weak GATE_ Pulldown Current	I_{PDW}	$\overline{SHD_} = DGND$, $V_{GATE_} = V_{EE} + 10\text{V}$	30	42	55	μA
Maximum Pulldown Current	I_{PDS}	$V_{SENSE} = 600\text{mV}$, $V_{GATE_} = V_{EE} + 2\text{V}$		70		mA
External Gate Drive	V_{GS}	$V_{GATE} - V_{EE}$, power mode, gate drive on	9	10	11	V

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ELECTRICAL CHARACTERISTICS (continued)

(AGND = 32V to 60V, V_{EE} = 0V, V_{DD} to DGND = +3.3V, all voltages are referenced to V_{EE}, unless otherwise noted. Typical values are at AGND = +48V, DGND = +48V, V_{DD} = (DGND + 3.3V), T_A = +25°C. Currents are positive when entering the pin and negative otherwise.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
CURRENT LIMIT							
Current-Limit Clamp Voltage	V _{SU_LIM}	Maximum V _{SENSE_} allowed during current limit, V _{OUT_} = 0V (ICUT = 000) (Note 3)	IV _{EE} = 00	202	212	220	mV
			IV _{EE} = 01	192	202	212	
			IV _{EE} = 10	186	190	200	
			IV _{EE} = 11	170	180	190	
Overcurrent Threshold After Startup	V _{FLT_LIM}	Overcurrent V _{SENSE_} threshold allowed for t ≤ t _{FAULT} after startup; V _{OUT_} = 0V, (IV _{EE} = 00)	ICUT = 000 (Class 0/3)	177	186	196	mV
			ICUT = 110 (Class 1)	47	55	62	
			ICUT = 111 (Class 2)	86	94	101	
			ICUT = 001	265	280	295	
			ICUT = 010	310	327	345	
			ICUT = 011	355	374	395	
			ICUT = 100	398	419	440	
Foldback Initial OUT_ Voltage	V _{FLBK_ST}	V _{OUT_} - V _{EE} , above which the current-limit trip voltage starts folding back, IV _{EE} = 00	ICUT = 000, ICUT = 110, ICUT = 111	28		V	
			ICUT = 001...101	10			
Foldback Final OUT_ Voltage	V _{FLBK_END}	IV _{EE} = 00, ICUT = 000, V _{OUT_} - V _{EE} above which the current-limit trip voltage reaches V _{TH_FB}	50		V		
Minimum Foldback Current-Limit Threshold	V _{TH_FB}	V _{OUT_} = AGND = 60V, IV _{EE} = 00, ICUT = 000	64		mV		
SENSE_ Input Bias Current		V _{SENSE_} = V _{EE}	-2	+2		μA	

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ELECTRICAL CHARACTERISTICS (continued)

(AGND = 32V to 60V, V_{EE} = 0V, V_{DD} to DGND = +3.3V, all voltages are referenced to V_{EE}, unless otherwise noted. Typical values are at AGND = +48V, DGND = +48V, V_{DD} = (DGND + 3.3V), T_A = +25°C. Currents are positive when entering the pin and negative otherwise.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY MONITORS						
V _{EE} Undervoltage Lockout	V _{EEUVLO}	AGND - V _{EE} , AGND - V _{EE} increasing		28.5		V
V _{EE} Undervoltage Lockout Hysteresis	V _{EEUVLOH}	Ports shut down if AGND - V _{EE} < V _{UVLO} - V _{EEUVLOH}		3		V
V _{EE} Overvoltage Lockout	V _{EE_OV}	V _{EE_OV} event bit sets and ports shut down if AGND - V _{EE} > V _{EE_OV} , AGND increasing		62.5		V
V _{EE} Overvoltage Lockout Hysteresis	V _{OVH}			1		V
V _{EE} Undervoltage	V _{EE_UV}	V _{EE_UV} event bit is set if AGND - V _{EE} < V _{EE_UV} , V _{EE} increasing		40		V
V _{DD} Overvoltage	V _{DD_OV}	V _{DD_OV} event bit is set if V _{DD} - V _{DGND} > V _{DD_OV} ; V _{DD} increasing	MAX5952A	3.82		V
			MAX5952C	5.7		
V _{DD} Undervoltage	V _{DD_UV}	V _{DD_UV} is set if V _{DD} - V _{DGND} > V _{DD_UV} , V _{DD} decreasing	MAX5952A	2.7		V
			MAX5952C	4.2		
V _{DD} Undervoltage Lockout	V _{DDUVLO}	Device operates when V _{DD} - DGND > V _{DDUVLO} , V _{DD} increasing		2		V
V _{DD} Undervoltage Lockout Hysteresis	V _{DDHYS}			120		mV
Thermal Shutdown Threshold	T _{SHD}	Ports shut down and device resets if its junction temperature exceeds this limit, temperature increasing (Note 4)		150		°C
Thermal Shutdown Hysteresis	T _{SHDH}	Thermal hysteresis, temperature decreasing (Note 5)		20		°C
OUTPUT MONITOR						
OUT_ Input Current	I _{BOUT}	V _{OUT} = AGND, all modes			2	μA
Idle Pullup Current at OUT_	I _{DIS}	OUT_ discharge current, detection and classification off, port shutdown, V _{OUT_} = AGND - 2.8V	200		260	μA
PGOOD High Threshold	PG _{TH}	V _{OUT_} - V _{EE} , OUT_ decreasing	1.5	2.0	2.5	V
PGOOD Hysteresis	PG _{HYS}			220		mV
PGOOD Low-to-High Glitch Filter	t _{PGOOD}	Minimum time PGOOD has to be high to set bit in register 10h		3		ms

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ELECTRICAL CHARACTERISTICS (continued)

(AGND = 32V to 60V, V_{EE} = 0V, V_{DD} to DGND = +3.3V, all voltages are referenced to V_{EE}, unless otherwise noted. Typical values are at AGND = +48V, DGND = +48V, V_{DD} = (DGND + 3.3V), T_A = +25°C. Currents are positive when entering the pin and negative otherwise.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
LOAD DISCONNECT							
DC Load Disconnect Threshold	V _{DCTH}	Minimum V _{SENSE} allowed before disconnect (DC disconnect active), V _{OUT_} = 0V	2.5	3.75	5.0	mV	
AC Load Disconnect Threshold (Note 6)	I _{ACTH}	Current into DET_, for I < I _{ACTH} the port powers off, ACD_EN_bit = H; V _{OSC_IN} = 2.2V	300	320	350	μA	
Oscillator Buffer Gain	A _{OSC}	V _{DET_} / V _{OSC} , ACD_EN_bit = H	2.9	3.0	3.1	V/V	
OSC Fail Threshold (Note 7)	V _{OSC_FAIL}	Port does not power on if V _{OSC} < V _{OSC_FAIL} and ACD_EN_bit is high	1.8		2.2	V	
OSC Input Impedance	Z _{OSC}	OSC input impedance when all the ACD_EN_ are active	100			kΩ	
Load Disconnect Timer	t _{DISC}	Time from V _{SENSE} < V _{DCTH} to gate shutdown (Note 8)	300		400	ms	
DETECTION							
Detection Probe Voltage (First Phase)	V _{DPH1}	AGND - V _{DET_} during the first detection phase	3.8	4	4.2	V	
Detection Probe Voltage (Second Phase)	V _{DPH2}	AGND - V _{DET_} during the second detection phase	9.0	9.3	9.6	V	
Current-Limit Protection	I _{DLIM}	V _{DET_} = AGND, during detection, measure current through DET_	1.5	1.75	2.0	mA	
Short-Circuit Threshold	V _{DCP}	If AGND - V _{OUT} < V _{DCP} after the first detection phase a short circuit to AGND is detected		1		V	
Open-Circuit Threshold	I _{D_OPEN}	First point measurement current threshold for open condition		12.5		μA	
Resistor Detection Window	R _{DOK}	(Note 9)	19.0		26.5	kΩ	
Resistor Rejection Window	R _{DBAD}	Detection rejects lower values			15.2	kΩ	
		Detection rejects higher values	32				
CLASSIFICATION							
Classification Probe Voltage	V _{CL}	V _{AGND} - V _{DET_} during classification	16		20	V	
Current-Limit Protection	I _{CILIM}	DET_ = AGND, during classification, measure current through DET_	68		81	mA	
Classification Current Thresholds	I _{CL}	Classification current thresholds between classes	Class 0, Class 1	5.5	6.5	7.5	mA
			Class 1, Class 2	13	14.5	16	
			Class 2, Class 3	21	23	25	
			Class 3, Class 4	31	33	35	
			Class 4, Class 5	45	48	51	

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ELECTRICAL CHARACTERISTICS (continued)

(AGND = 32V to 60V, V_{EE} = 0V, V_{DD} to DGND = +3.3V, all voltages are referenced to V_{EE}, unless otherwise noted. Typical values are at AGND = +48V, DGND = +48V, V_{DD} = (DGND + 3.3V), T_A = +25°C. Currents are positive when entering the pin and negative otherwise.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS/OUTPUTS (Referred to DGND)						
Digital Input Low	V _{IL}				0.9	V
Digital Input High	V _{IH}		2.4			V
Internal Input Pullup/Pulldown Resistor	R _{DIN}	Pullup (pulldown) resistor to V _{DD} (DGND) to set default level	25	50	75	kΩ
Open-Drain Output Low Voltage	V _{OL}	I _{SINK} = 15mA			0.4	V
Digital Input Leakage	I _{DL}	Input connected to the pull voltage			2	μA
Open-Drain Leakage	I _{OL}	Open-drain high impedance, V _O = 3.3V			2	μA
TIMING						
Startup Time	t _{START}	Time during which a current limit set by V _{SU_LIM} is allowed, starts when the GATE_ is turned on (Note 5)	50	60	70	ms
Fault Time	t _{FAULT}	Maximum allowed time for an overcurrent condition set by V _{FLT_LIM} after startup (Note 5)	50	60	70	ms
Port Turn-Off Time	t _{OFF}	Minimum delay between any port turning off, does not apply in case of a reset		0.5		ms
Detection Reset Time		Time allowed for the port voltage to reset before detection starts		80	90	ms
Detection Time	t _{DET}	Maximum time allowed before detection is completed			330	ms
Midspan Mode Detection Delay	t _{DMID}		2.0		2.4	s
Classification Time	t _{CLASS}	Time allowed for classification		19	23	ms
V _{EEUVLO} Turn-On Delay	t _{DLY}	Time V _{AGND} must be above the V _{EEUVLO} thresholds before the device operates	2		4	ms
Restart Timer	t _{RESTART}	Time a port has to wait before turning on after an overcurrent fault, RSTR_EN_ bits = high	RSTR bits = 00		16 x t _{FAULT}	ms
			RSTR bits = 01		32 x t _{FAULT}	
			RSTR bits = 10		64 x t _{FAULT}	
			RSTR bits = 11		0	
Watchdog Clock Period	t _{WD}	Rate of decrement of the watchdog timer		164		ms
ADC PERFORMANCE						
Resolution				9		Bits
Range				0.51		V
LSB Step Size				1		mV
Integral Nonlinearity (Relative)	INL			0.5		LSB

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ELECTRICAL CHARACTERISTICS (continued)

(AGND = 32V to 60V, V_{EE} = 0V, V_{DD} to DGND = +3.3V, all voltages are referenced to V_{EE}, unless otherwise noted. Typical values are at AGND = +48V, DGND = +48V, V_{DD} = (DGND + 3.3V), T_A = +25°C. Currents are positive when entering the pin and negative otherwise.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Nonlinearity	DNL			0.1		LSB
ADC Absolute Accuracy		V _{SENSE} = 100mV	5A (90)	61 (97)	67 (103)	Hex (Dec)
		V _{SENSE} = 250mV	EF (239)	F8 (248)	101 (257)	
		V _{SENSE} = 400mV	183 (387)	190 (400)	19F (415)	
TIMING CHARACTERISTICS (For 2-Wire Fast Mode, Note 10)						
Serial-Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and START Condition	t _{BUF}		1.2			μs
Hold Time for a START Condition	t _{HD, STA}		0.6			μs
Low Period of the SCL Clock	t _{LOW}		1.2			μs
High Period of the SCL Clock	t _{HIGH}		0.6			μs
Setup Time for a Repeated START Condition (Sr)	t _{SU, STA}		0.6			μs
Data Hold Time	t _{HD, DAT}		0		150	ns
Data in Setup Time	t _{SU, DAT}		100			ns
Rise Time of Both SDA and SCL Signals, Receiving	t _R		20 + 0.1C _B		300	ns
Fall Time of SDA Transmitting	t _F		20 + 0.1C _B		300	ns
Setup Time for STOP Condition	t _{SU, STO}		0.6			μs
Capacitive Load for Each Bus Line	C _B				400	pF
Pulse Width of Spike Suppressed	t _{SP}				50	ns

Note 2: Limits to -40°C are guaranteed by design.

Note 3: Default values. The current-limit thresholds are programmed through the I²C-compatible serial interface (see the *Register Map and Description* section).

Note 4: Functional test is performed over thermal shutdown entering test mode.

Note 5: Default values. The startup and fault times can be also programmed through the I²C serial interface (see the *Register Map and Description* section).

Note 6: This is the default value. Threshold can be programmed through serial interface R23h[2:0].

Note 7: AC disconnect works only if (V_{DD} - V_{DGND}) ≥ 3V and DGND is connected to AGND.

Note 8: t_{DJSC} can also be programmed through the serial interface (R16H) (see the *Register Map and Description* section).

Note 9: R_D = (V_{OUT_2} - V_{OUT_1}) / (I_{DET_2} - I_{DET_1}). V_{OUT_1}, V_{OUT_2}, I_{DET_2} and I_{DET_1} represent the voltage at OUT_ and the current at DET_ during phase 1 and 2 of the detection.

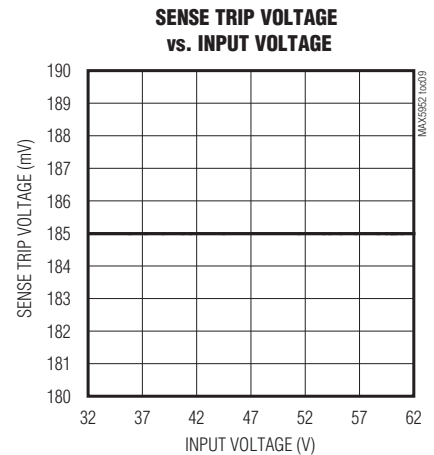
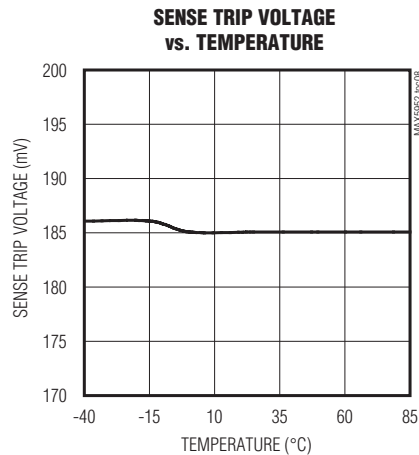
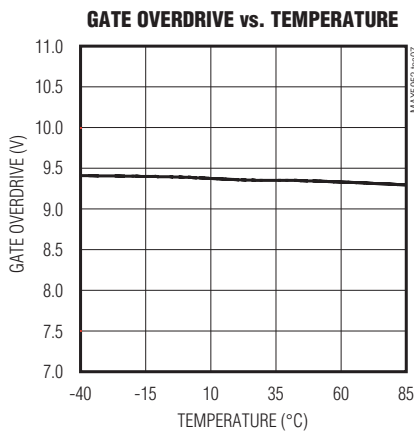
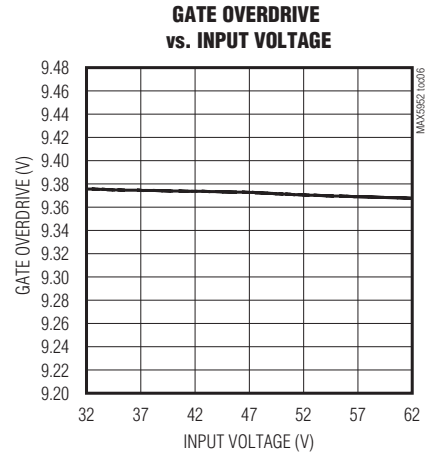
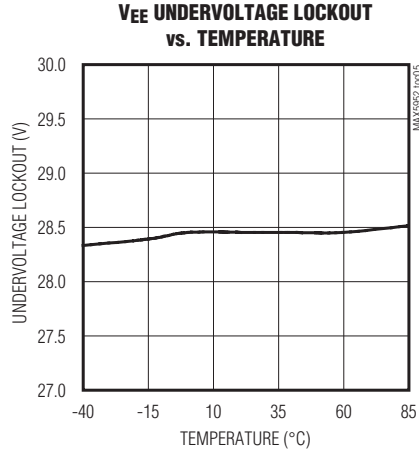
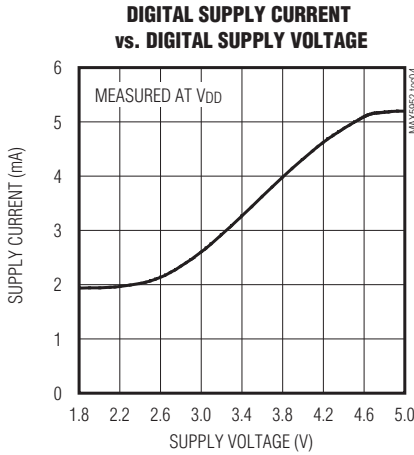
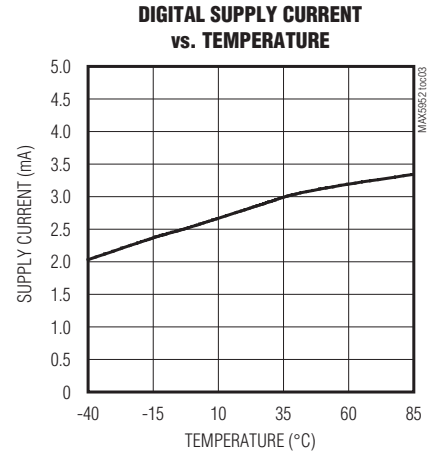
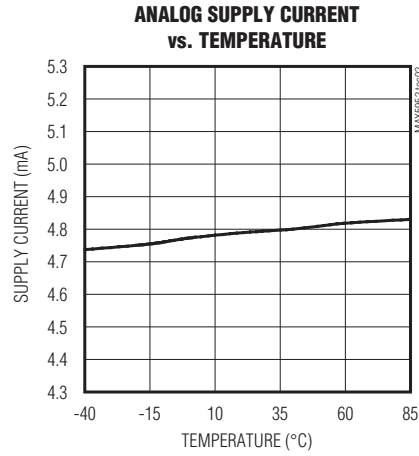
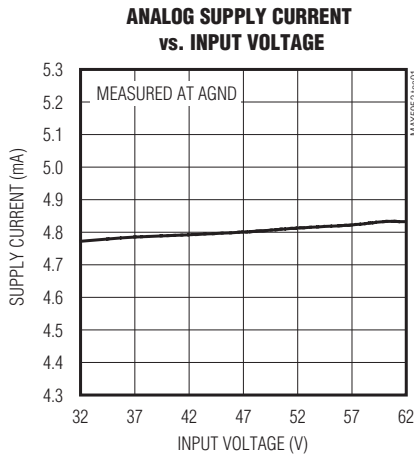
Note 10: Guaranteed by design. Not subject to production testing.

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

標準動作特性

($V_{EE} = -48V$, $V_{DD} = +3.3V$, AUTO = AGND = DGND = 0V, $\overline{RESET} = \overline{SHD_} = \text{unconnected}$, $R_{SENSE} = 0.5\Omega$, $I_{VEE} = 00$, $ICUT = 000$, $T_A = +25^\circ C$, all registers = default setting, unless otherwise noted.)

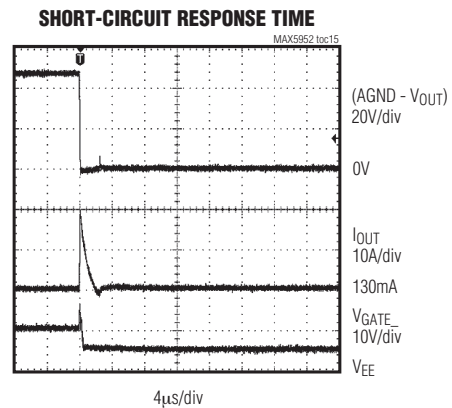
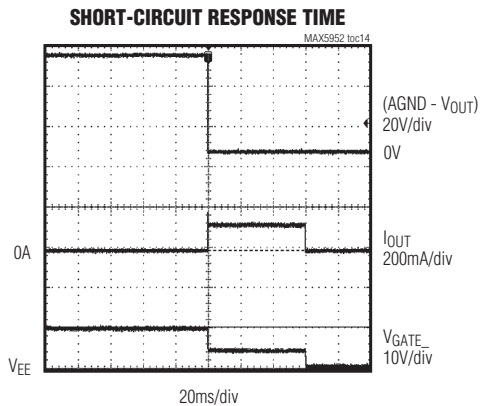
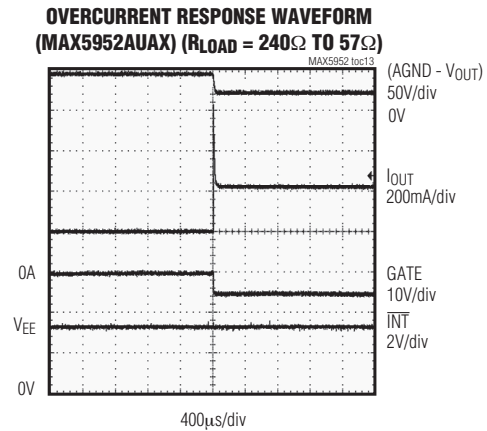
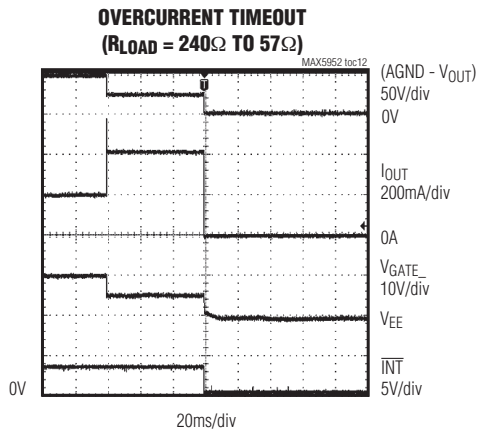
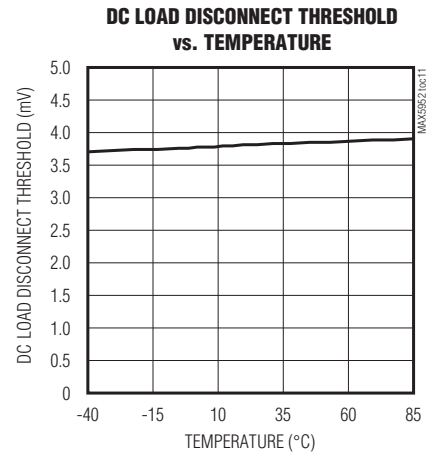
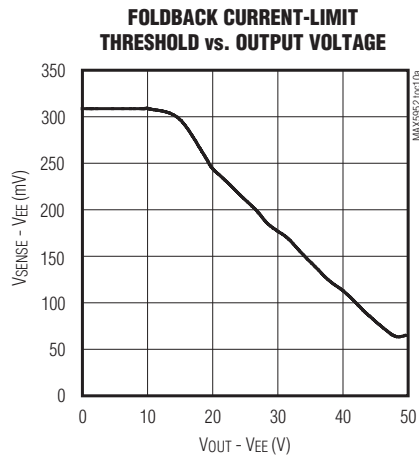
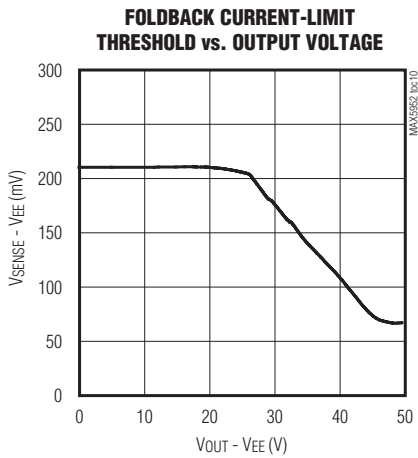


Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

標準動作特性(続き)

($V_{EE} = -48V$, $V_{DD} = +3.3V$, $AUTO = AGND = DGND = 0V$, $RESET = SHD_ =$ unconnected, $R_{SENSE} = 0.5\Omega$, $I_{VEE} = 00$, $ICUT = 000$, $T_A = +25^\circ C$, all registers = default setting, unless otherwise noted.)

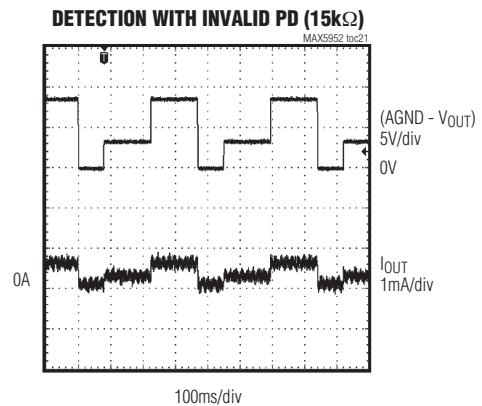
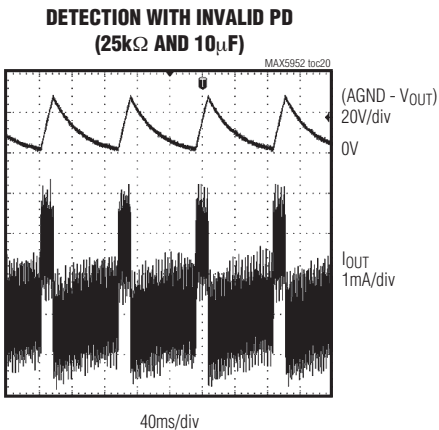
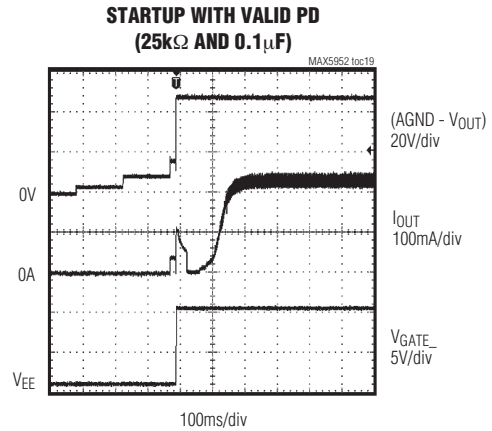
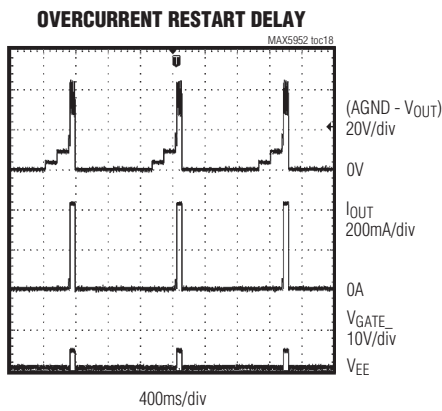
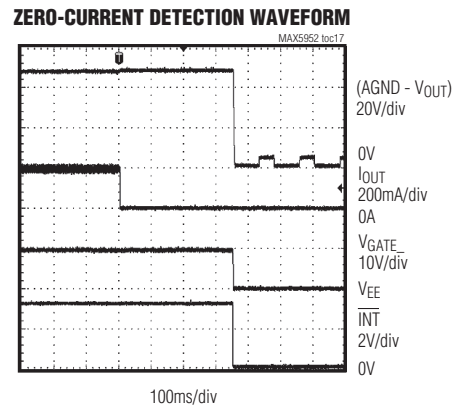
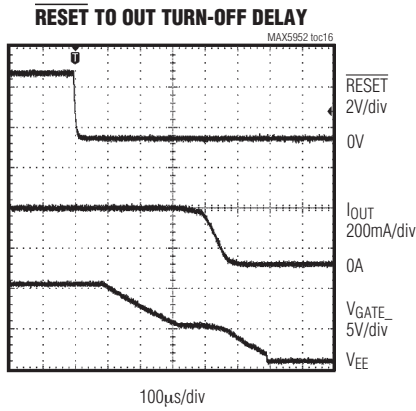


Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

標準動作特性(続き)

($V_{EE} = -48V$, $V_{DD} = +3.3V$, $AUTO = AGND = DGND = 0V$, $RESET = SHD_ = unconnected$, $R_{SENSE} = 0.5\Omega$, $I_{VEE} = 00$, $ICUT = 000$, $T_A = +25^\circ C$, all registers = default setting, unless otherwise noted.)

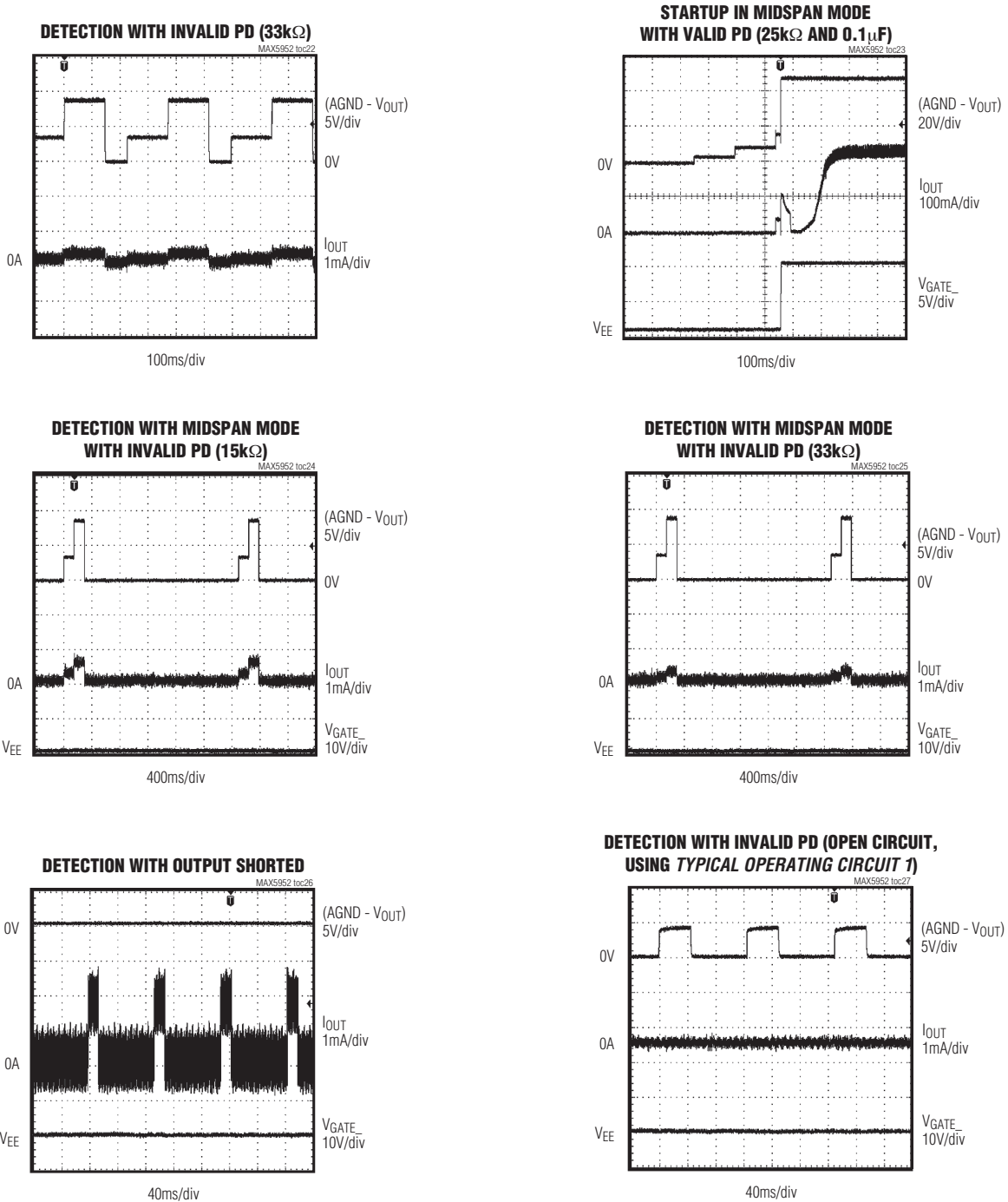


Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

標準動作特性(続き)

($V_{EE} = -48V$, $V_{DD} = +3.3V$, $AUTO = AGND = DGND = 0V$, $RESET = SHD_ = \text{unconnected}$, $R_{SENSE} = 0.5\Omega$, $I_{VEE} = 00$, $ICUT = 000$, $T_A = +25^\circ C$, all registers = default setting, unless otherwise noted.)



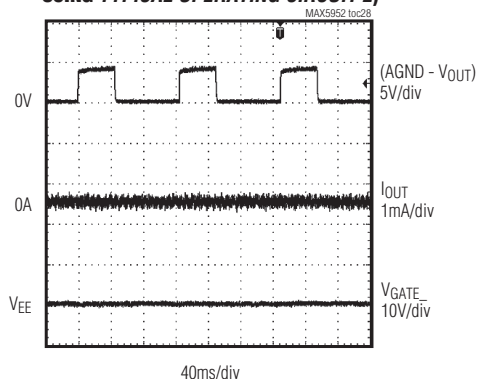
Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

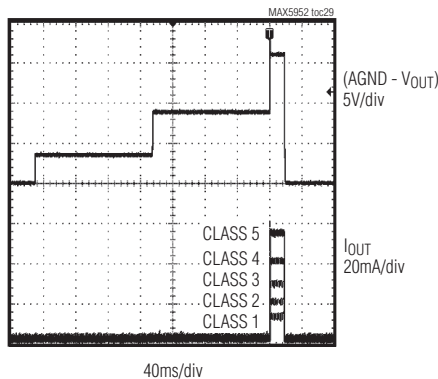
標準動作特性(続き)

($V_{EE} = -48V$, $V_{DD} = +3.3V$, $AUTO = AGND = DGND = 0V$, $\overline{RESET} = \overline{SHD_} = \text{unconnected}$, $R_{SENSE} = 0.5\Omega$, $I_{VEE} = 00$, $ICUT = 000$, $T_A = +25^\circ C$, all registers = default setting, unless otherwise noted.)

DETECTION WITH INVALID PD (OPEN CIRCUIT, USING TYPICAL OPERATING CIRCUIT 2)



STARTUP WITH DIFFERENT PD CLASSES



端子説明

端子	名称	機能
1	\overline{RESET}	ハードウェアリセット。デバイスをリセットするためには \overline{RESET} を少なくとも300 μs の間ローに駆動してください。すべての内部レジスタがそのデフォルト値にリセットされます。アドレス(A0~A3)、 $AUTO$ およびMIDSPANの入力ロジックレベルは、 \overline{RESET} がローからハイの遷移時にラッチされます。 \overline{RESET} は50k Ω の抵抗によって内部で V_{DD} にプルアップされています。
2	MIDSPAN	ミッドスパンモード入力。DGNDとの間に接続された内蔵50k Ω プルダウン抵抗によって、デフォルトモードはエンドポイントのPSE動作(信号ペアによる電力供給)に設定されます。ミッドスパン動作を設定するためには、MIDSPANを V_{DIG} に駆動してください。ICが電源オンまたはリセットされると、MIDSPANの値はラッチされます(「PD検出」の項を参照してください)。
3	\overline{INT}	オープンドレイン割込み出力。 \overline{INT} は、フォルト状態が存在するとローになります。ソフトウェアを使用するか、または \overline{RESET} をローに駆動するとフォルト状態がリセットされます(割込み管理の詳細については、「割込み」の項を参照してください)。
4	SCL	シリアルインタフェースクロックライン入力
5	SDAOUT	シリアル出力データライン。データラインのフォトカプラ入力をSDAOUTに接続してください(「標準動作回路」を参照してください)。2線式I ² C対応システムを使用する場合は、SDAOUTをSDAINに接続してください。
6	SDAIN	シリアルインタフェース入力データライン。データラインのフォトカプラ出力をSDAINに接続してください(「標準動作回路」を参照してください)。2線式I ² C対応システムを使用する場合は、SDAINをSDAOUTに接続してください。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

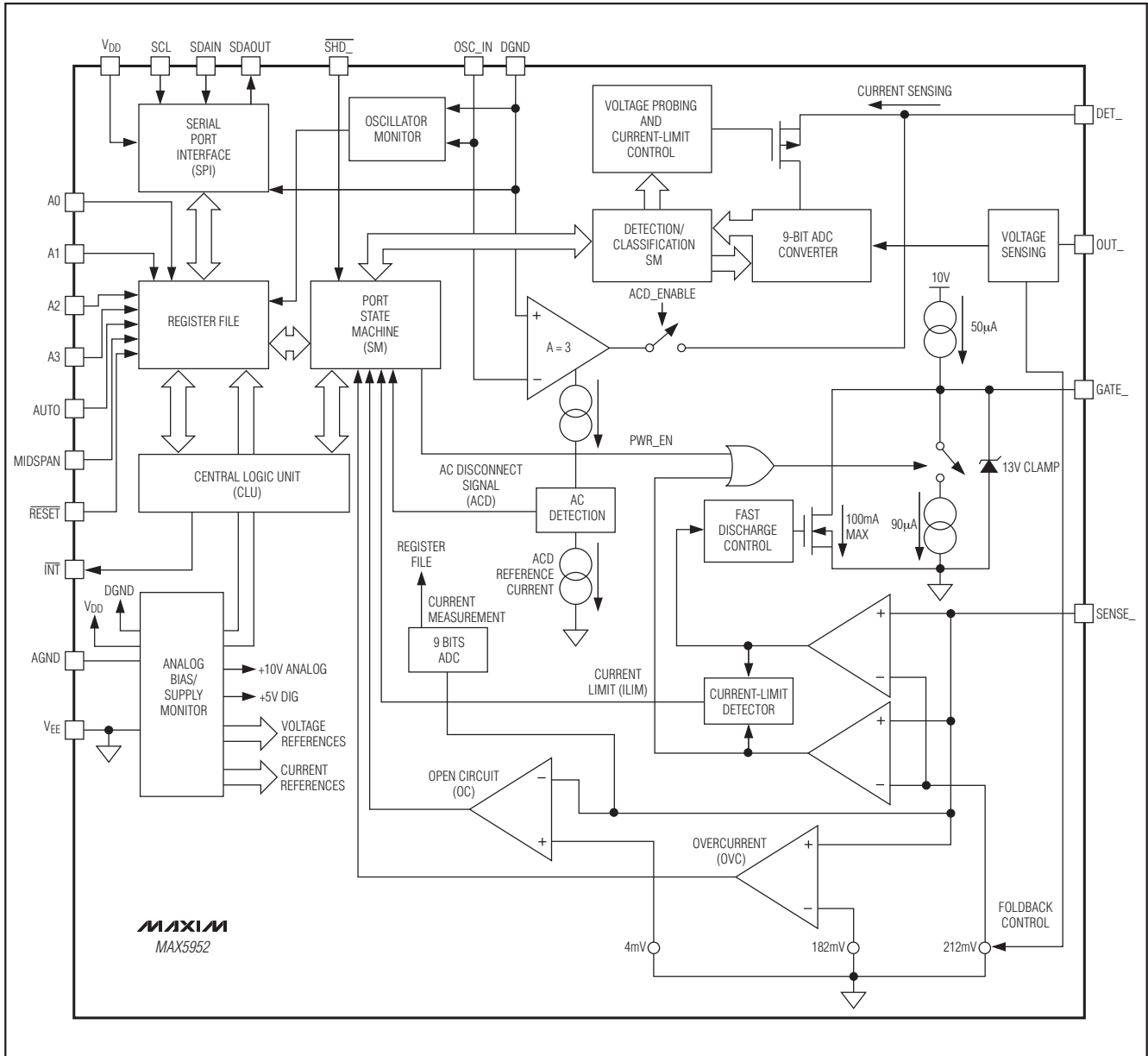
端子説明(続き)

端子	名称	機能
7-10	A3-A0	アドレスビット。A3~A0はデバイスのアドレスの下部を構成します。アドレス入力は、内蔵の50kΩプルアップ抵抗でV _{DD} (ハイ)にデフォルト設定されます。V _{DD} またはV _{EE} が立ち上りそのUVLOスレッショルドを超えるか、またはリセットされると、アドレス値がラッチされます。アドレスのMSBの3個は010に設定されます。
11-14	DET1-DET4	検出/分類電圧出力。ポート1の検出および分類プローブ電圧を設定するためには、DET1を使用してください。AC切断方式を使用するときは、ポート1のAC電圧検出用にDET1を使用してください(「標準動作回路」を参照してください)。
15	DGND	デジタルグラウンド。デジタルグラウンドに接続してください。
16	V _{DD}	正デジタル電源。デジタル電源(DGND基準)に接続してください。
17-20	$\overline{\text{SHD1}}-\overline{\text{SHD4}}$	ポートシャットダウン入力。ポート _n の外付けFETをオフにするためには、 $\overline{\text{SHD}}_n$ をローに駆動してください。50kΩ抵抗によって内部でV _{DD} にプルアップされています。
21	AGND	アナロググラウンド。ハイサイドアナログ電源に接続してください。
22, 25, 29, 32	SENSE4, SENSE3, SENSE2, SENSE1	MOSFETソース電流検出出力。パワーMOSFETのソースに接続し、SENSE _n とV _{EE} の間に電流検出抵抗を接続してください(「標準動作回路」を参照してください)。
23, 26, 30, 33	GATE4, GATE3, GATE2, GATE1	ポート _n のMOSFETゲートドライバ。GATE _n を外付けMOSFETのゲートに接続してください(「標準動作回路」を参照してください)。
24, 27, 31, 34	OUT4, OUT3, OUT2, OUT1	MOSFETドレイン出力電圧検出。OUT _n を、抵抗(100Ω~100kΩ)を介してパワーMOSFETのドレインに接続してください。OUT _n が低リークであるため、抵抗両端間の電圧が100mV以下に制限されます(「標準動作回路」を参照してください)。
28	V _{EE}	ローサイドアナログ電源入力。ローサイドアナログ電源をV _{EE} (-48V)に接続してください。AGNDとV _{EE} を1μFのコンデンサでバイパスしてください。
35	AUTO	自動またはシャットダウンモード入力。リセットまたは電源オンの後に自動モードに入るためには、AUTOをハイに強制してください。MAX5952をシャットダウンモードにするためには、ローに駆動してください。シャットダウンモードでは、ソフトウェアがMAX5952の動作モードを制御します。内蔵の50kΩプルダウン抵抗は、AUTOをローにデフォルト設定します。V _{DD} またはV _{EE} が立ち上ってそのUVLOスレッショルドを超えるか、またはデバイスがリセットされるとAUTOはラッチされます。ソフトウェアコマンドによって、AUTOがハイであってもMAX5952をAUTOから抜け出させることができます。
36	OSC	発振器入力。AC切断検出機能ではOSCが使用されます。100Hz ±10%、2V _{p,p} ±5%、+1.2Vのオフセットの正弦波をOSCに接続してください。発振器の正のピークが2VのOSC_FAILスレッショルド未満に低下すると、AC機能がイネーブルされたポートがシャットダウンして電源オンにすることができなくなります。AC切断検出機能を使用しないときは、OSCを無接続のままにしてください。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ファンクションダイアグラム



Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

詳細

MAX5952は、クワッド-48Vのパワーコントローラで、IEEE 802.3afに準拠し策定中のIEEE 802.3atに対応したPSEで使用するために設計されています。このデバイスは、IEEE 802.3af規格に準拠したPDの検出、分類、電流制限、DCおよびAC負荷切断検出を行います。MAX5952は、MAX5945/LTC4258/LTC4259A PSEコントローラとピンコンパチブルで、機能が追加されています。

MAX5952は、ポート当たり最大45Wを供給するハイパワーモードを備えています。このデバイスでは、ユーザはデフォルトスレッショルドの最大2.5倍の電流制限および過電流スレッショルドをプログラムすることができます。また、高い動作電圧状態で出力電力を一定に保つために、MAX5952の電流制限および過電流スレッショルドを15%だけ低くプログラムすることもできます。MAX5952は、I²Cインタフェースを通じて各ポート電流を即座に読み出します。また、MAX5952はレガシーPDの大きい容量値を検出します。

MAX5952は、49個のレジスタを備え、I²C対応の3線式シリアルインタフェースを通じて、ソフトウェアによる完全な設定とプログラムが可能です。クラス過電流検出機能によって、PDに許容値を上回る電流が流れるかどうかをシステム電源管理で検出することができます。MAX5952の広範なプログラム能力は、システムの柔軟性を高め、フィールド診断および他のアプリケーションへの応用を可能にします。

MAX5952は、種々のシステム要件を満たす4つの動作モードを提供します。自動モードでは、デバイスはソフトウェアによる監視なしで自動的に動作します。半自動モードでは、最初のソフトウェア起動後にポートに接続されたデバイスの検出と分類が自動的に行われますが、ソフトウェアによる指示があるまでそのポートは電源オンにされません。マニュアルモードは、ソフトウェアによってデバイスを完全に制御することが可能で、システム診断に有用です。シャットダウンモードは、すべてのアクティビティを終了してポートへの電源を確実にオフにします。

MAX5952は、入力低電圧ロックアウト、入力低電圧検出、検出中の負荷安定性セーフティチェック、入力過電圧ロックアウト、温度過昇検出、起動中の出力電圧スルーレート制限、パワーグッド、およびフォルトステータスを提供します。MAX5952のプログラム機能には、起動タイムアウト、過電流タイムアウト、および負荷切断検出タイムアウトが含まれます。

MAX5952は、I²C対応インタフェースを通じてシステムマイクロコントローラと通信します。MAX5952は、フォトカプラ絶縁用の独立した入力および出力データライン(SDAINとSDAOUT)を備えています。スレーブデバイスとしてのMAX5952は、16の固有アドレスを指定可能な4つのアドレス入力を備えています。1つの独立したINT出力と4つの個別シャットダウン入力(SHD_n)によって、MAX5952とマイクロコントローラの間でフォルト発生からポートシャットダウンまでを高速で応答します。RESET入力によって、デバイスのハードウェアリセットを行うことができます。

リセット

MAX5952は下記条件のいずれかの後にリセット状態になります。

- 1) 電源オン(V_{EE}およびV_{DD}のおのおのがUVLOスレッショルドを超えて上昇)後。
- 2) ハードウェアリセット。電源オン後の任意の時点でRESET入力をローに駆動し、その後で再びハイに戻す。
- 3) ソフトウェアリセット。電源オン後の任意の時点で1をR1Ah[4]に書込む。
- 4) 熱シャットダウン

リセット時、MAX5952は、表37に示すようにそのレジスタマップをリセット状態にリセットし、AUTO(端子35)およびMIDSPAN(端子2)の状態をラッチ入力します。通常の動作時には、AUTOおよびMIDSPAN入力の変化は無視されます。リセットの原因となる状態(すなわち、高温、RESET入力ロー、またはいずれかのUVLO状態)が持続する限り、MAX5952はシリアルインタフェースからのアドレス指定に確認応答しません。

ポートリセット(R1Ah[3:0])

通常動作中に随時ハイに設定すると、電源をオフにし、対応するポートのイベントおよびステータスレジスタがクリアされます。ポートリセットは、イベントおよびステータスレジスタのみをリセットします。

ミッドスパンモード

ミッドスパンモードでは、このデバイスは検出段階でCadenceタイミングを採用します。Cadenceタイミングがイネーブルされていて検出が行われないうち、ポートは2~2.4秒待った後に再び検出を試みます。ミッドスパンモードは、R11[1]をハイに設定するとアクティブになります。MIDSPAN端子の状態は、起動中またはリセット後にR11[1]に書き込まれます。MIDSPANは50kΩの抵抗によって内部でローに駆動されています。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

動作モード

MAX5952は、4つのネットワークポートをリアルタイムで確実に制御するための独立した全く同じ各ステートマシンを内蔵しています。各ステートマシンは、自動、半自動、マニュアル、およびシャットダウンの4つの動作モードを備えています。自動モードでは、デバイスがソフトウェアによる監視なしで自動的に動作します。半自動モードは、要求に応じてポートに接続されたデバイスの検出と分類を連続的に行いますが、ソフトウェアの指示があるまでそのポートは電源オンされません。マニュアルモードは、ソフトウェアによってデバイスを完全に制御することが可能で、システム診断に有用です。シャットダウンモードは、すべてのアクティビティを終了してポートへの電源を確実にオフにします。

自動、半自動、またはマニュアルの切替えは、ポートの動作に影響を与えません。ポートをシャットダウンモードに設定すると、ポートのすべての動作が直ちに停止し、そのポートはシャットダウンから抜け出るまでアイドル状態を維持します。

自動(Auto)モード

自動モードに入るためには、リセットに先立って、または通常動作中にR12h[P_M1, P_M0]を[1, 1]に設定してAUTO入力をハイに強制してください(表16と16a参照)。自動モードでは、正当なPDがポートで検出されるとMAX5952は検出と分類を行ってポートを自動的に電源オンします。正当なPDがポートで検出されなければ、正当なPDが接続されるまでMAX5952は検出ルーチンを繰り返します。

自動モードに入ると、DET_ENビットとCLASS_ENビットがハイに設定されてソフトウェアによる変更がない限りハイに保たれます。ソフトウェアを使ってDET_ENビットおよび/またはCLASS_ENをローに設定すると、MAX5952は検出および/または分類を行いません。自動モードで検出ルーチンをディセーブルすると、DET_BY (R23H[4])を1に設定しない限り対応するポートは電源オンにならないように保護されます。

AUTOの状態は、リセット中にのみレジスタにラッチされます。リセット後にAUTO入力を変更しても無視されます。

半自動(Semi-Auto)モード

半自動モードに入るためには、通常動作中にR12h[P_M1, P_M0]を[1, 0]に設定してください(表16と16a参照)。半自動モードでは、MAX5952は、要求に応じて検出および/または分類を繰り返して行いますが、ポート接続の状態に関係なくポートの電源をオンとしません。

R19h[PWR_ON_] (表22)をハイに設定すると、検出/分類ルーチンを直ちに終了してポートへの電源がオンになります。

半自動モードでは、R14h[DET_EN_, CLASS_EN_]がローにデフォルト設定されます。R14h[DET_EN_,

CLASS_EN_]をハイに設定して検出および/または分類ルーチンを開始するためには、ソフトウェアを使用してください。ソフトウェアがポートの電源オフを命令(リセットまたはPWR_OFFのいずれかによる)するたびに、R14h[DET_EN_, CLASS_EN_]はリセットされます。その他のいかなる場合も、その各ビットの状態は不変です(負荷切断やフォルト状態が発生したためにステートマシンが電源をオフにする場合など)。

マニュアルモード

マニュアルモードに入るためには、通常モード中にR12h[P_M1, P_M0]を[0, 1]に設定してください(表16と16a参照)。マニュアルモードでは、ソフトウェアが動作シーケンスを命令します。検出および分類動作を開始するためには、R14h[DET_EN_]とR14h[CLASS_EN_]の両方にこの順序でそれぞれ1を書き込んでください。実行後、コマンドはレジスタからクリアされます。PWR_ON_が最優先となります。PWR_ON_を随時ハイに設定すると、デバイスは直ちに給電モードに入ります。DET_ENとCLASS_ENを同時にハイに設定すると、まず検出が行われます。いったん給電状態になると、デバイスはDET_EN_またはCLASS_EN_のコマンドを無視します。

別のモードからマニュアルモードに切り替えると、DET_EN_、CLASS_EN_はローにデフォルト設定されます。これらのビットは、設定ビットでなくプッシュボタンになります(すなわち、マニュアルモードの間にこれらのビットに1を書き込むと、デバイスは1サイクルの検出および/または分類を実行するよう命令されます。実行が終了すると、各ビットはゼロにリセットされます)。

シャットダウンモード

シャットダウンモードに入るためには、リセットに先立ってAUTO入力をローに強制するか、または通常動作中にR12h[P_M1, P_M0]を[0, 0]に設定してください(表16と16a参照)。MAX5952をシャットダウンモードにすると、電源が直ちにオフになり、対応するポートに対する動作がすべて停止します。影響を受けるポートのイベントビットとステータスビットもクリアされます。シャットダウンモードでは、DET_EN_、CLASS_EN_、およびPWR_ON_の各コマンドは無視されます。

シャットダウンモードでは、シリアルインタフェースは正常に動作します。

PD検出

PD検出がアクティブになると、MAX5952は正当なPDに対応する出力を調べます。各検出サイクル後、このデバイスはDET_END_ビットのR04h/O5h[3:0]をハイに設定して検出結果をステータスレジスタR0Ch[2:0]、R0Dh[2:0]、R0Eh[2:0]、およびR0Fh[2:0]に通知します。R05hを読み取ったとき、またはポートのリセット後に、DET_END_ビットはローにリセットされます。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

正当なPDは、IEEE 802.3af/at規格で規定された25kΩの検出シングニチャ特性を備えています。表1は、正当なPDシングニチャを検出するPSEのIEEE 802.3af/at仕様を示しています。「標準動作回路」と図1（検出、分類、および電源オンのポートシーケンス）を参照してください。MAX5952は、正当なPD、開路、低抵抗負荷、高抵抗負荷、大容量性負荷、正DC電源、または負DC電源など、ポートに接続された各種デバイスを調べて類別することができます。

検出の際、MAX5952は外付けMOSFETをオフ状態に維持してDET_入力から2種のプローブ電圧を強制的に与えます。DET_入力を流れる電流はOUT_の電圧と同様に測定されます。ポートに接続されたデバイスを確認するために、IEEE 802.3af規格の規定にしたがって2点間勾配測定が採用されます。MAX5952は、50Hz/60Hzの電力線ノイズ結合の排除に適したセトリング時間を満たす100msのデジタル積分を行います。

DET_入力と直列の外付けダイオードは、IEEE 802.3af/at規格の規定に従ってPD検出を第1象限に限定します。非PDデバイスの損傷を防止し、このデバイス自体を出力短絡から保護するために、MAX5952はPD検出時にDET_に流れる最大電流を2mA未満に制限します。

ミッドスパンモードでは、MAX5952は各異常検出の後2.2秒待ってからもう一度検出サイクルを試みます。ただし、最初の検出は検出コマンドの送出直後に行われます。

大きい容量値の検出

レジスタR23h[5]のCLC_ENビットは、レガシーPDデバイスの大容量コンデンサの検出機能をイネーブルします。CLC_EN = 1のとき、この大容量検出限界は最大100μFまで拡大されます。CLC_EN = 0は、通常のコンデンササイズの検出に対するデフォルト条件です。表1と「レジスタマップおよび説明」の項を参照してください。

**表1. PSE PI検出モード電氣的要件
(IEEE 802.3af規格の表33-2)**

PARAMETER	SYMBOL	MIN	MAX	UNITS	ADDITIONAL INFORMATION
Open-Circuit Voltage	V _{OC}	—	30	V	In detection mode only
Short-Circuit Current	I _{SC}	—	5	mA	In detection mode only
Valid Test Voltage	V _{VALID}	2.8	10	V	
Voltage Difference Between Test Points	ΔV _{TEST}	1	—	V	
Time Between Any Two Test Points	t _{BP}	2	—	ms	This timing implies a 500Hz maximum probing frequency
Slew Rate	V _{SLEW}		0.1	V/μs	
Accept Signature Resistance	R _{GOOD}	19	26.5	kΩ	
Reject Signature Resistance	R _{BAD}	< 15	> 33	kΩ	
Open-Circuit Resistance	R _{OPEN}	500	—	kΩ	
Accept Signature Capacitance	C _{GOOD}	—	150	nF	
Reject Signature Capacitance	C _{BAD}	10	—	μF	
Signature Offset Voltage Tolerance	V _{OS}	0	2.0	V	
Signature Offset Current Tolerance	I _{OS}	0	12	μA	

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

受電機器の分類(PD分類)

PD分類モードでは、MAX5952はDET_にプローブ電圧(-18V)を強制的に印加して、DET_に流れる電流を測定します。測定された電流がPDのクラスを決定します。

各分類サイクルの後、デバイスはCL_END_ビット(R04h/05h[7:4])をハイに設定し、分類結果をステータスレジスタR0Ch[6:4]、R0Dh[6:4]、R0Eh[6:4]、およびR0Fh[6:4]に通知します。レジスタR05hから読取りを行ったとき、またはポートリセット後に、CL_END_ビットはローにリセットされます。ステータスレジスタR04hとR05hはいずれもポートを電源オフにした後にクリアされます。表2は、電源インタフェース(PI)においてPDを分類するPSEに関するIEEE 802.3af要件を示します。

MAX5952は、分類を増やすことによってIEEE 802.3af規格を超えるハイパワーに対応します。(クラス5およびピンポン分類)。

給電状態

MAX5952が給電された状態に入ると、t_{START}とt_{DISC}の各タイマーがリセットされます。MAX5952は、ポート電源をオンにする前に、他のポートがオンになっていないかどうか、またt_{FAULT}タイマーがゼロであるかどうかをチェックします。ACD_ENビットが設定されているかどうかさらにチェックされ、この場合、ポートが給電されるためにはOSC_FAILビットがロー(発振器OK)でなければなりません。

表2. PDのPSE分類(IEEE 802.3af規格の表33-4)

MEASURED I _{CLASS} (mA)	CLASSIFICATION
0 to 5	Class 0
> 5 and < 8	May be Class 0 and 1
8 to 13	Class 1
> 13 and < 16	May be Class 1 or 2
16 to 21	Class 2
> 21 and < 25	May be Class 2 or 3
25 to 31	Class 3
> 31 and < 35	May be Class 3 or 4
35 to 45	Class 4
> 45 and < 51	May be Class 4 or 5
51 to 68	Class 5

これらの条件が満たされると、MAX5952は起動に入りポートへの電源をオンにします。V_{OUT}がV_{EE}から2Vの範囲内にあるとき内部信号POK_はハイをアサートします。POK_がt_{PGOOD}よりも長い間ハイのままであると、PGOOD_ステータスビットがハイに設定されます。POK_がローになると、PGOODは直ちにリセットされます。

ポートが電源オンまたは電源オフになると、PG_CHG_ビットが設定されます。PWR_ENは、ポートが電源オンになると設定され、ポートがシャットダウンするとリセットされます。ポートシャットダウンタイマーは0.5msの間持続して、この期間に他のポートがオフになるのを防ぎます。ただし、緊急シャットダウン(RESET = L、RESET_IC = H、V_{EEUVLO}、V_{DDUVLO}、およびTSHD)の場合を除きます。

MAX5952は、オフにする前に必ず全ポートのステータスをチェックします。優先順位ロジックシステムが各ポートのターンオンまたはターンオフの順序を決定して、これらの同時発生を防止します。序数の小さいポートが他のポートに優先します(すなわち、ポート1が最初に、ポート2が2番目に、ポート3が3番目に、そしてポート4が4番目にオンになります)。PWR_OFF_をハイに設定すると、対応するポートへの電源がオフになります。

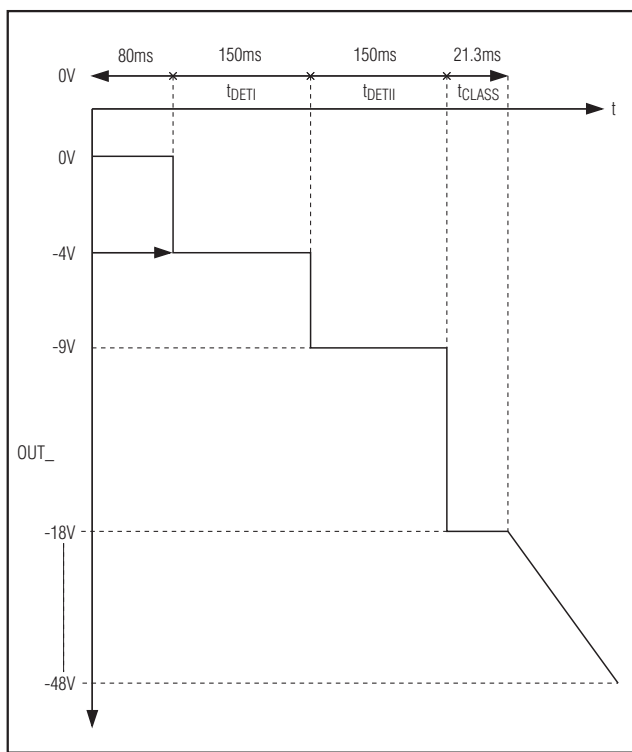


図1. 検出、分類、およびポートの電源オンシーケンス

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

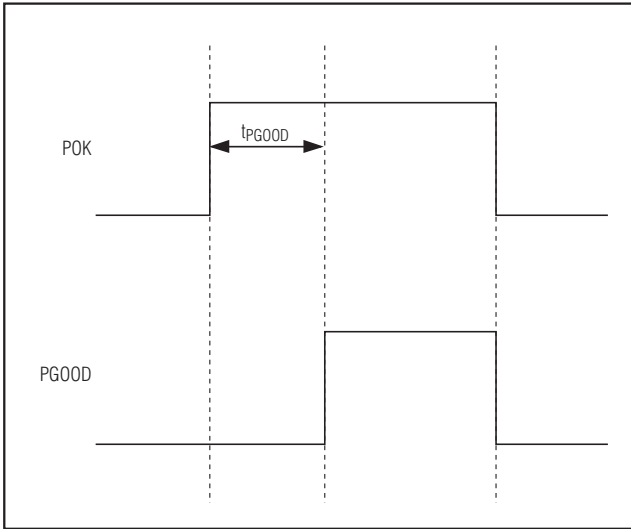


図2. PGOODのタイミング

過電流保護

SENSE₊とV_{EE}の間に接続された検出抵抗R_Sによって、負荷電流を監視します。通常の動作状態では、R_S両端間の電圧(V_{RS})がスレッショルドV_{SU_LIM}を超えることはありません。V_{RS}がV_{SU_LIM}を超えると内蔵の電流制限回路がGATE電圧をレギュレートして電流がI_{LIM} = V_{SU_LIM} / R_Sに制限されます。過渡状態においてV_{RS}がV_{SU_LIM}よりも1V以上高くなると、高速プルダウン回路が働いて電流オーバershootから急速に回復します。起動時に電流制限状態が持続している場合、起動タイマーt_{START}が満了するとポートが遮断されてSTRT_FLT_ビットが設定されます。通常の給電された状態では、MAX5952はV_{FLT_LIM} = V_{SU_LIM}の~88%で設定された過電流状態にないかをチェックします。t_{FAULT}カウンタは、許容最大連続過電流期間を設定します。t_{FAULT}カウンタは、V_{RS}がV_{FLT_LIM}を超えると増加し、V_{RS}がV_{FLT_LIM}以下に低下すると緩やかに減少します。t_{FAULT}カウンタが緩やかにデクリメントすると、反復される短期間の過電流を検出することができます。カウンタがt_{FAULT}限界に達すると、MAX5952はポートへの給電を停止してIMAX_FLT_ビットをアサートします。連続過電圧の場合、t_{FAULT}期間の直後にフォルトがラッチされます。

V_{SU_LIM}は、ICUTレジスタR2Ah[6:4]、R2Ah[2:0]、R2Bh[6:4]、R2Bh[2:0]、およびレジスタR29h[1:0]のIVEEビットによってプログラムすることができます。ICUTレジスタの詳細については、「ハイパワーモード」の項を参照してください。

過電流フォルトによる電源オフの後、およびRSTR_ENビットが設定された場合、t_{FAULT}タイマーは直ちにリセットされずに、それまでと同様に緩やかにデクリメントを開始します。MAX5952は、t_{FAULT}カウンタがゼロのときのみポートに給電することができます。この機能は外付けMOSFETに対する自動デューティサイクル保護を設定して過熱を防止します。

電流がCLASSステータスレジスタで指定されたクラスの許容最大電流を超えると、MAX5952は連続的にフラグを立てます。クラス過電流が発生すると、MAX5952はレジスタR09hのIVCビットを設定します。

ICUTレジスタおよびハイパワーモード

ICUTレジスタ

ICUTレジスタは、MAX5952の各ポートに許容される最大電流制限値を決定します。3つのICUTビット(R2Ah[6:4]、R2Ah[2:0]、R2Bh[6:4]、およびR2Bh[2:0])を使用すると、IEEE規格の制限値を超える電流制限と過電流のスレッショルドをプログラムすることができます(表34a、34b、および34c参照)。CL_DISC (R17h[2])が0に設定されているときは、I²Cインタフェースを通じてICUTレジスタにじかに書き込むことができます(表3参照)。この場合、ポートの電流制限は分類のステータスに無関係に設定されます。

CL_DISCビットを1に設定すると、MAX5952はポートの分類結果に基づいてICUTレジスタを自動的に設定します。表3と「レジスタマップおよび説明」の項を参照してください。

表3. 自動ICUTプログラミング

CL_DISC	PORT CLASSIFICATION RESULT	RESULTING ICUT REGISTER BITS
0	Any	User programmed
1	1	ICUT = 110
1	2	ICUT = 111
1	0, 3	ICUT = 000

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

ハイパワーモード

CL_DISC (R17h[2])が0に設定されているとき、ICUTビットを000、110、または111以外の任意の組合せに設定することによってハイパワーモードが設定されます(ただし、000はIEEE規格の限界値のデフォルト値です)。表3と「レジスタマップおよび説明」の項を参照してください。

フォールドバック電流

起動中および通常動作中に($V_{OUT_} - V_{EE}$) > 28Vになると、内蔵回路はOUT_の電圧を検出して電流制限値を下げます。フォールドバック機能は、FETの電力消費を低減するのに役立ちます。($V_{OUT_} - V_{EE}$) > 48Vのとき、電流制限は最終的に I_{LIM} の1/3まで減少します(図3a参照)。ハイパワーモードの場合、フォールドバックは($V_{OUT_} - V_{EE}$) > 10Vのときに開始されます(図3b参照)。ハイパワーモードでは、($V_{OUT_} - V_{EE}$) > 48Vのとき、電流制限(I_{LIM})はプログラムされた値の1/8まで減少します。

MOSFETゲートドライバ

外付けnチャンネルMOSFETのゲートをGATE_に接続してください。内蔵の50 μ A電流源がGATE_を($V_{EE} + 10V$)

に駆動してMOSFETをオンにします。内蔵の40 μ A電流源がGATE_を V_{EE} にプルダウンしてMOSFETをオフにします。

プルアップ電流とプルダウン電流は、ターンオンまたはターンオフの際に出力の最大スルーレートを抑制します。次式を使用して最大スルーレートを設定してください。

$$\frac{\Delta V_{OUT}}{\Delta t} = \frac{I_{GATE}}{C_{GD}}$$

ここで、 C_{GD} は外付けMOSFETのGATEとDRAIN間の全容量です。電流制限とドレインにおける容量性負荷により起動時のスルーレートが抑制されます。電流制限のレギュレーションの間、MAX5952はGATE_電圧を処理してSENSE_の電圧(V_{RS})を抑制します。 V_{RS} が制限スレッショルド(V_{SU_LIM})を超えた場合は、高速プルダウンがアクティブになります。高速プルダウン電流はオーバシュート量の増加にともなって増えます。最大高速プルダウン電流は100mAです。

ターンオフ時にGATE電圧が1.2Vを下回る値になると、強プルダウンスイッチがアクティブになってMOSFETを確実にオフ状態に保ちます。

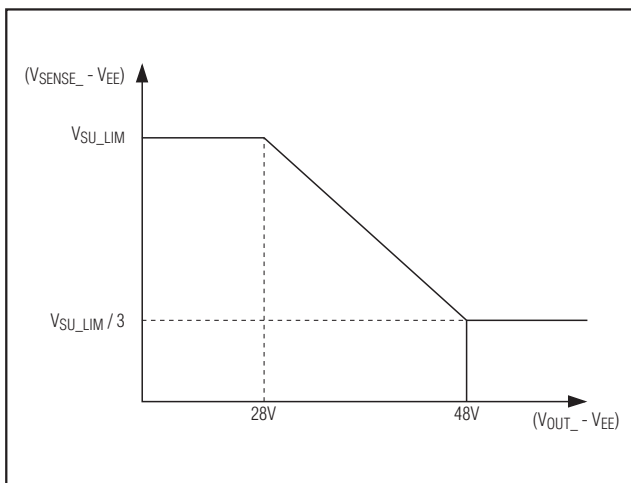


図3a. フォールドバック電流特性

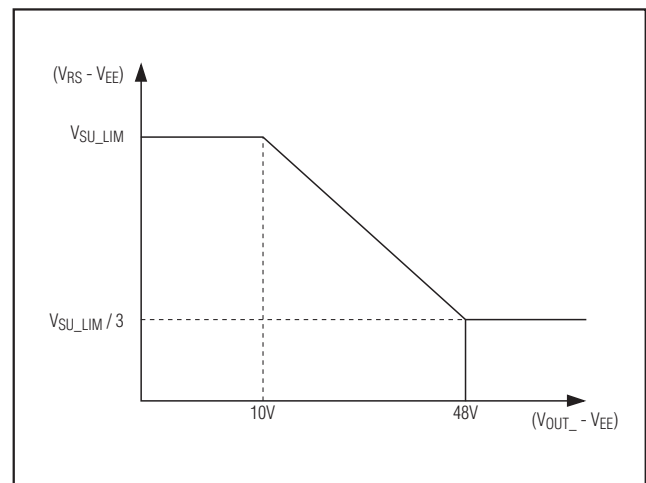


図3b. ハイパワーモードの場合のフォールドバック電流特性

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

デジタルロジック

V_{DD}電源は内蔵ロジック回路に給電します。V_{DD}は、可変範囲が+3.0V~+5.5Vで、CMOS接続部(SDAIN、SDAOUT、SCL、AUTO、SHD₋、A₋)のロジックスレッシュホールドを決定します。この電圧範囲で、MAX5952は非絶縁型の低電圧マイクロコントローラとインタフェースすることができます。MAX5952は、デジタル電源と内蔵ロジックとの整合性をチェックします。MAX5952は+2.0VのV_{DD}低電圧ロックアウト(V_{DDUVLO})も備えています。V_{DDUVLO}状態では、MAX5952がリセットされてポートが遮断された状態に保たれます。電源イベントレジスタのビット0は、V_{DD}が回復した後のV_{DDUVLO}の状態を示します(表12)。ロジック入力とロジック出力はすべてDGNDが基準です。DGNDとAGNDは外部で互いに接続する必要があります。DGNDをMAX5952にできる限り近接させてシステム内の1点でAGNDに接続してください。

ハードウェアシャットダウン

SHD₋はシリアルインタフェースを使わずに各ポートをシャットダウンします。ハードウェアシャットダウンは、電源をポートから高速で切断することが可能な緊急ターンオフ機能を提供します。電源を除去するためにはSHD₋をローに駆動してください。また、SHD₋によって対応するイベントとステータスレジスタビットもリセットされます。

割込み

MAX5952は、割込み条件が存在するときローになるオープンドレインのロジック出力(INT)を内蔵しています。R00hとR01h(表6と7)で割込みレジスタが定義されています。マスクレジスタR01hは割込みをトリガするイベントを決定します。割り込みに対する応答として、コントローラはイベントレジスタのステータスを読み取って割込みの原因を判断しその後の処置を取ります。また、各割込みイベントレジスタは、読取り時クリア(Clear on Read)(CoR)レジスタを備えています。CoRレジスタアドレスを読み取ると割込みがクリアされます。割込みを読取り専用アドレスから読み取るときはINTはローのままです。たとえば、ポート4の起動フォルトをクリアするためには、アドレス09hを読み取ってください(表11参照)。複数の割込みをクリアするためには、レジスタ1Ahのグローバルブッシュボタンビット(ビット7、表23)を使用するか、ソフトウェアまたはハードウェアリセットを使用してください。

低電圧および過電圧保護

MAX5952は複数の低電圧および過電圧保護機能を備えています。「レジスタマップおよび説明」の項に掲げた表12は、低電圧および過電圧保護機能の詳細リストを示します。内部のV_{EE}低電圧ロックアウト(V_{EEUVLO})回路は、V_{AGND}-V_{EE}が3msより長く29Vを超えるまでMOSFETをオフ状態に保ち、MAX5952をリセットされた状態に保ちます。内部のV_{EE}過電圧(V_{EEOV})回路は、(V_{AGND}-

V_{EE})が60Vを超えるとポートをシャットダウンします。デジタル電源も低電圧ロックアウト(V_{DDUVLO})を備えています。さらに、MAX5952は、他にV_{EE}低電圧割込み(V_{EEUV})、V_{DD}低電圧割込み(V_{DDUV})、およびV_{DD}過電圧割込み(V_{DDOV})の3つの低電圧および過電圧割込みを備えています。フォルトは電源イベントレジスタにラッチされますが(表12)、MAX5952はV_{EEUV}、V_{DDUV}、またはV_{DDOV}によってポートをシャットダウンしません。

DC切断の監視

R13h[DCD_EN_]ビットをハイに設定すると、通常の給電された状態でDC負荷の監視が可能になります。V_{RS}(R_S両端間の電圧)がt_{DISC}を超えてDC負荷切断スレッシュホールドV_{DCTH}未満に低下すると、デバイスは電源をオフにして対応するポートのLD_DISC_ビットをアサートします。

AC切断の監視

MAX5952はAC負荷切断監視を備えています。外部から正弦波をOSCに加えてください。発振器の要件は次の通りです。

- 1) V_{p-p} × 周波数 = 200V_{p-p} × Hz ±15%
- 2) 正ピーク電圧 > +2V
- 3) 周波数 > 60Hz

100Hz ±10%、2V_{p-p} ±5%、+1.2Vオフセット(V_{PEAK} = +2.2V (typ))付きを推奨します。

MAX5952は、外部発振器信号をバッファ処理し3倍に増幅してこの信号をDET_₋に送ります。ただし、正弦波は出力にAC結合されます。MAX5952は、DET_₋に戻るAC電流の振幅を監視して負荷の存在を検出します(「ファンクションダイアグラム」参照)。

R13h[ACD_EN_]ビットをハイに設定すると、通常の給電された状態でAC負荷切断を監視することが可能になります。DET_₋入力のAC電流ピークがt_{DISC}を超えてI_{ACTH}未満に低下すると、デバイスは電源をオフにして対応するポートのLD_DISC_ビットをアサートします。I_{ACTH}はR23h[0-3]を使ってプログラムすることができます。

内蔵コンパレータは発振器入力の振幅が適正であるかチェックします。入力正弦波の正のピークが安全値の2V未満に低下すると、OSC_FAILが設定されてポートがシャットダウンされます。ACD_ENがハイに設定され、かつOSC_FAILがハイに設定されているときは、電源をポートに印加することができません。AC切断検出を使用しないときは、OSCを無接続のままにするか、これをDGNDに接続してください。

熱シャットダウン

MAX5952のダイ温度が+150°Cに達すると、温度過昇フォルトが発生してMAX5952はシャットダウンします。MOSFETはオフになります。温度過昇フォルト状態を除去するためには、MAX5952のダイ温度を130°C未満に冷却する必要があります。熱シャットダウンの後、デバイスはリセットされます。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ウォッチドッグ

R1Dh、R1Eh、およびR1Fhの各レジスタは、ウォッチドッグ動作を制御します。ウォッチドッグ機能がイネーブルされると、MAX5952は速やかに制御を引き継ぐか、またはソフトウェア/ファームウェアのクラッシュの場合にはポートへの電源を安全にシャットダウンします。詳しくはお問い合わせください。

アドレス入力

A3、A2、A1、およびA0は、チップアドレスの4つのLSBを表します。完全なチップアドレスは7ビットです(表4参照)。

表4. MAX5952のアドレス

0	1	0	A3	A2	A1	A0	R/W
---	---	---	----	----	----	----	-----

$\overline{\text{RESET}}$ がローからハイに遷移するか、または電源が起動(V_{DD} または V_{EE} のいずれかの)すると、4つのLSBはラッチされます。アドレス入力は、内蔵の50k Ω プルアップ抵抗によって V_{DD} (ハイ)にデフォルト設定されています。また、MAX5952は、グローバルアドレス30hからの呼出しにตอบสนอง(「グローバルアドレス指定およびアラート応答プロトコル」の項を参照してください)。

I²C対応シリアルインタフェース

MAX5952は、スレーブとして動作し、I²C対応の2線式または3線式インタフェースを通じてデータを送受信します。このインタフェースは、シリアルデータ入力ライン(SDAIN)、シリアルデータ出力ライン(SDAOUT)、およびシリアルクロックライン(SCL)を使用してマスタとスレーブの間で双方向通信を実現します。マスタ(通常、マイクロコントローラ)は、MAX5952とのすべてのデータ転送を開始し、データ転送に同期したSCLクロックを生成します。ほとんどのアプリケーションでは、SDAINとSDAOUTの両ラインを互いに接続してシリアルデータライン(SDA)を構成します。

独立した入力および出力データラインを使用すると、絶縁型の電源からマイクロコントローラに給電するときはコントローラバスとのフォトカプラ結合が可能になります。

MAX5952のSDAINラインは入力として動作します。MAX5952のSDAOUTはオープンドレイン出力として動作します。SDAOUTには、通常4.7k Ω のプルアップ抵抗が必要です。MAX5952のSCLラインは入力としてのみ動作します。複数のマスタが存在する場合、または単一マスタシステムのマスタがオープンドレインSCL出力を備えている場合、SCLには通常4.7k Ω のプルアップ抵抗が必要です。

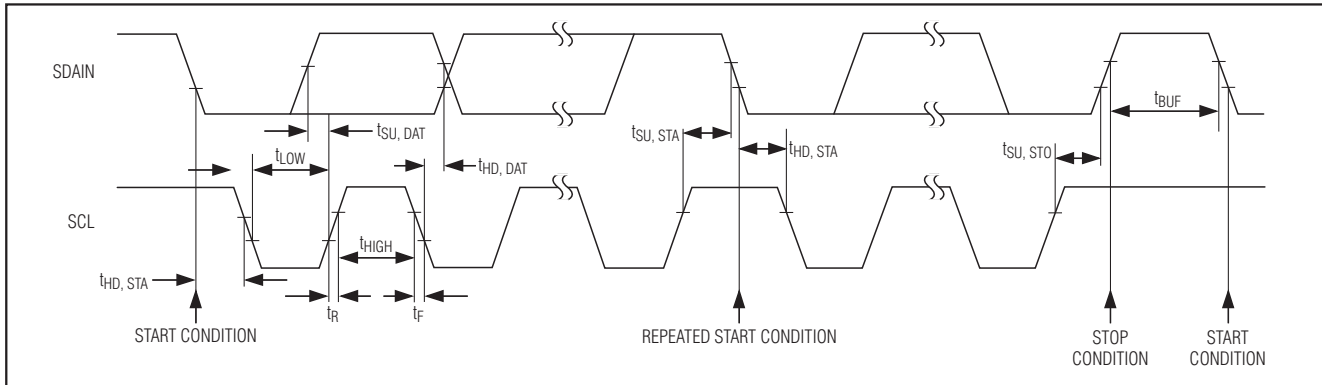


図4. 2線式シリアルインタフェースのタイミング詳細

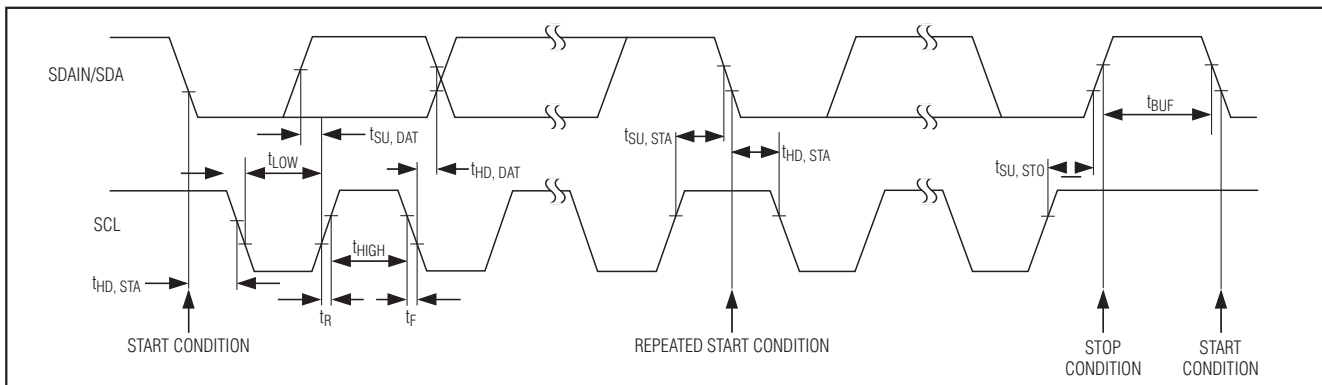


図5. 3線式シリアルインタフェースのタイミング詳細

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

シリアルアドレス指定

各送信は、マスタが送信するSTART条件(図6)、これに続くMAX5952の7ビットスレーブアドレスとR \bar{W} ビット、レジスタアドレスバイト、少なくとも1データバイト、および最後のSTOP条件から成ります。

STARTおよびSTOP条件

インタフェースがビジーでないとき、SCLとSDAはいずれもハイに保たれます。マスタは、SCLがハイの間にSDAをハイからローに遷移させるSTART (S)条件を用いて送信の開始を知らせます。スレーブとの通信を終了するとき、マスタはSCLがハイの間にSDAをローからハイに遷移させてSTOP (P)条件を送出します。STOP条件はバスを次の送信のために解放します。

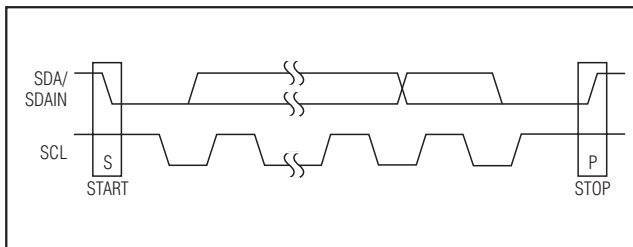


図6. STARTおよびSTOP条件

ビット転送

各クロックパルスで1データビットが転送されます(図7)。SCLがハイの間はSDA上のデータを安定な状態に保つ必要があります。

確認応答

確認応答ビットは、受信側で各データバイトのハンドシェイク受信に使用されるクロック駆動の9番目のビットです(図8)。すなわち、有効な各転送バイトは9ビットを必要とします。マスタは9番目のクロックパルスを生成し、受信側は確認応答クロックパルスの間SDA (または、3線式インタフェースではSDAOUT)をプルダウンします。したがって、SDAラインはクロックパルスがハイの期間中安定なローとなります。マスタがMAX5952に送信すると、MAX5952は確認応答ビットを生成します。MAX5952がマスタに送信すると、マスタは確認応答ビットを生成します。

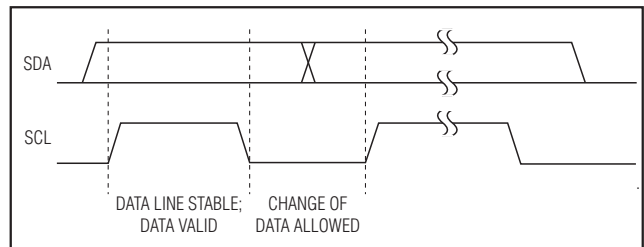


図7. ビット転送

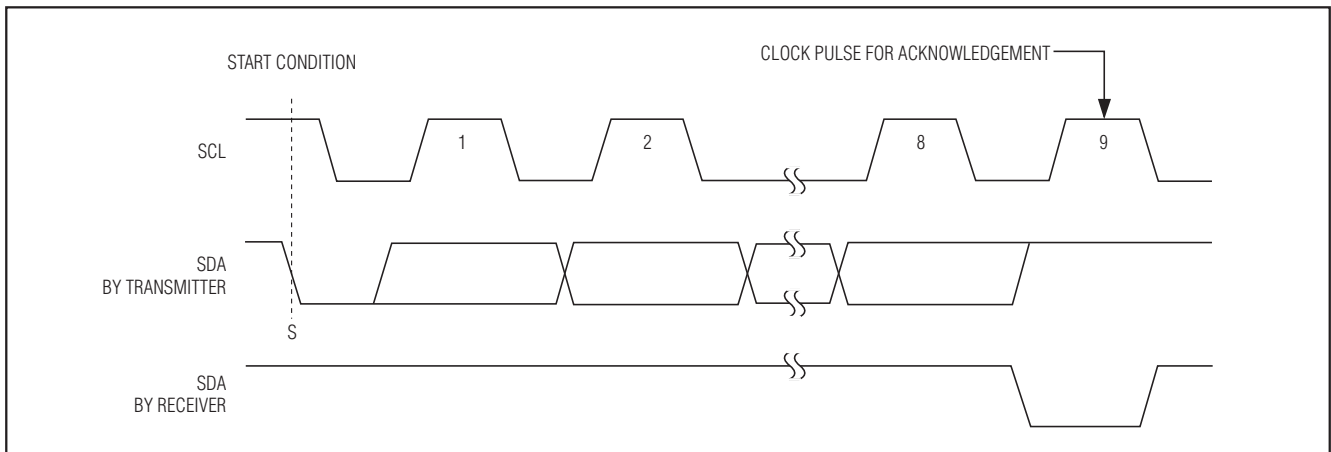


図8. 確認応答

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

スレーブアドレス

MAX5952は7ビット長のスレーブアドレスを備えています(図9)。7ビットのスレーブアドレスに続くビット(ビット8)はR/Wビットで、これは書込みコマンドの場合ローで読取りコマンドの場合ハイです。

010は、常にMAX5952のスレーブアドレスの最初の3ビット(MSB)を表します。スレーブアドレスビットA3、A2、A1、およびA0はMAX5952のA3、A2、A1、およびA0の各入力の状態を表すため、最大16個のMAX5952デバイスがバスを共有することができます。A3、A2、A1、およびA0の状態は、MAX5952がリセットされるとレジスタR11hにラッチされます。MAX5952は、バスを常に監視してSTART条件とこれに続くMAX5952のスレーブアドレスを待ちます。MAX5952は、そのスレーブアドレスを認識すると確認応答してから次の通信に備えます。

グローバルアドレス指定およびアラート応答プロトコル

グローバルアドレス呼出しは、複数のデバイスに対して同一レジスタを書き込むために書込みモード(アドレス0x60)で使用されます。読取りモード(アドレス0x61)では、グローバルアドレス呼出しがアラート応答アドレスとして使用されます。グローバル呼出しに応答する際、割込みがアクティブのときにMAX5952はそれ自体のアドレスをデータラインに出力します。SDAOUTラインに接続された、割込みがアクティブな他のデバイスもすべて同様です。各ビットが送信された後、MAX5952は送信しているデータにデータラインが有効に回答して

いることを確認します。有効に回答していなければ、バックオフしてデータラインを解放します。この遡及対応プロトコルによって、常に最下位アドレスを持つデバイスに送信を終了させることができます。ここで、マイクロコントローラは割込みに応答して適切な処置を取ることができます。MAX5952は、自身の割込みをアラート応答プロトコルの終了時にリセットしません。このリセットは、マイクロコントローラがCoRアドレスを通じてイベントレジスタをクリアするか、もしくはCLR_INTプッシュボタンを作動させて行う必要があります。

MAX5952への書込み用メッセージ形式

MAX5952への書込みは、R/Wビットを0に設定することによるMAX5952のスレーブアドレス送信、およびこれに続く少なくとも1バイトの情報から成ります。情報の最初のバイトはコマンドバイトです(図10)。コマンドバイトは、次のバイトを受信する場合のこのバイトの書込み対象となるMAX5952のレジスタを決定します。MAX5952がコマンドバイトの受信後にSTOP条件を検出した場合、MAX5952はコマンドバイトの保存後に新たな処置を取りません。コマンドバイトの後に受信されるバイトはデータバイトです。最初のデータバイトは、コマンドバイトによって選択されたMAX5952の内部レジスタに保存されます。MAX5952がSTOP条件を検出する前に複数のデータバイトを送信すると、これらのバイトは後続のMAX5952の内部レジスタに保存されます。これは、制御バイトアドレスが自動インクリメントするためです。

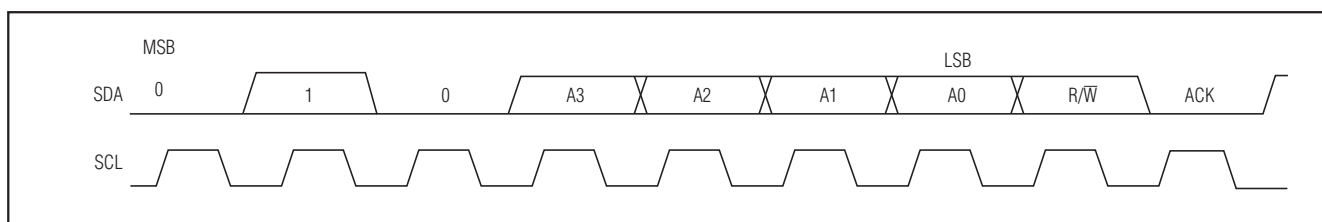


図9. スレーブアドレス

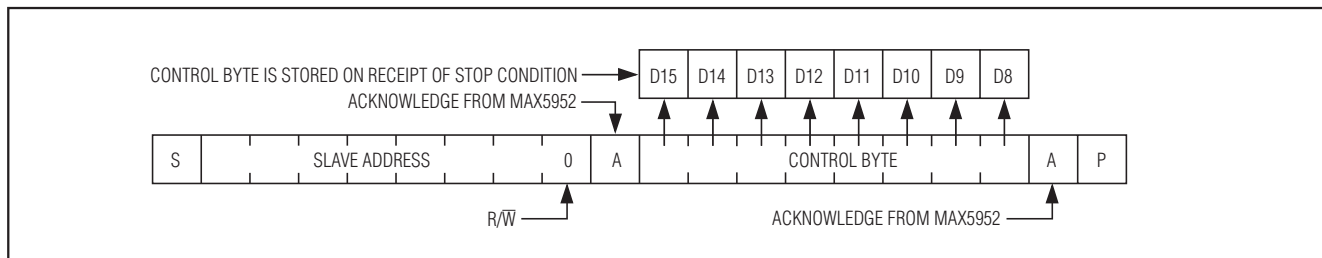


図10. 受信される制御バイト

Power over Ethernet用、ハイパワー、クワッド、PSEコントローラ

読取り用メッセージ形式

MAX5952は、その内部にアドレスポインタとして保存されたコマンドバイトを使って読取りを行います。これは書込みの場合にこの保存されたコマンドバイトが使用されるのと同じです。ポインタは、書込みの場合と同じルールに従って各データバイトの読取り後に自動インクリメントします。したがって、読取りは、書込みを行ってMAX5952のコマンドバイトをまず設定することによって開始されます(図11)。その後、マスタは、MAX5952から連続した「n」バイトを読み取ります。その最初のデータバイトは初期化されたコマンドバイトによってアドレス指定されたレジスタから読み取られます(図12)。書込み後の読取り確認を行うときは必ずコマンドバイトのアドレスをリセットしてください。これは保存された制御バイトアドレスが書込み後に自動インクリメントするためです。

複数マスタによる動作

MAX5952が複数のマスタとともに2線式インタフェース上で動作するとき、MAX5952を読み取るマスタは、MAX5952のアドレスポインタを設定する書込みとその位置からデータを取り出す読取りとの間で起動を繰り返す必要があります。マスタ1がMAX5952のアドレス

ポインタを設定した後で、マスタ1がデータを読み取る前であればマスタ2がバスを引き継ぐことは可能です。マスタ2が後でMAX5952のアドレスポインタをリセットすると、マスタ1の読取りは予期しない位置から行われることとなります。

コマンドアドレスの自動インクリメント

アドレスの自動インクリメントによって、コマンドアドレスに必要な送信回数を最小限に抑えてMAX5952をより少ない送信で設定することができます。MAX5952に保存されるコマンドアドレスは、一般に、各データバイトの書込みまたは読取りが行われた後でインクリメントします(表5)。MAX5952は、無効なレジスタアドレスへの書込みと不注意によるアドレスのラップアラウンドとが回避されるように設計されています。

表5. 自動インクリメントルール

COMMAND BYTE ADDRESS RANGE	AUTO-INCREMENT BEHAVIOR
0x00 to 0x26	Command address auto-increments after byte read or written
0x26	Command address remains at 0x26 after byte written or read

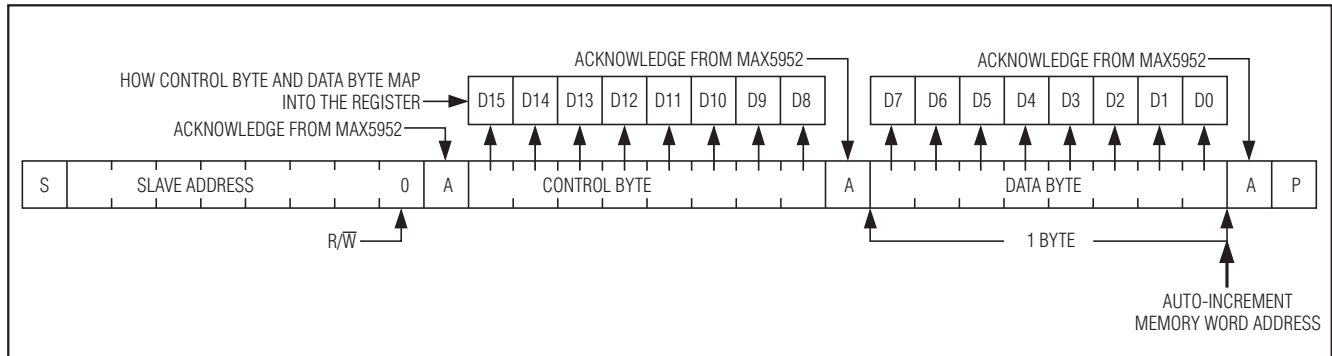


図11. 受信される制御および単一データバイト

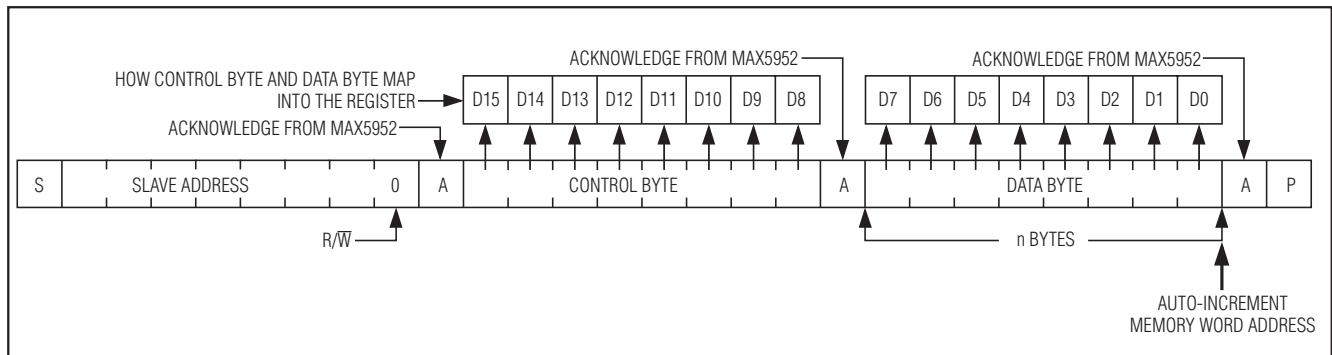


図12. 受信される「n」データバイト

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

レジスタマップおよび説明

割込みレジスタ(表6)は、イベントレジスタのステータスの要約を示すもので、割込み信号(INTがローになる)をコントローラに送信するために使用されます。R1Ah[7]に1を書き込むと、すべての割込みおよびイベントレジスタがクリアされます。リセットすると、R00hが00hに設定されます。

INT_EN (R17h[7])はグローバル割込みマスクです(表7)。MASK_ビットはレジスタR00hの対応する割込みビットを有効にします。INT_EN (R17h[7])に0を書き込むと、INT出力がディセーブルされます。

リセットすると、R01hがAAA00A00bに設定されます。ここで、Aはリセット前のAUTO入力の状態です。

表6. 割込みレジスタ

ADDRESS = 00h			DESCRIPTION
SYMBOL	BIT	R/W	
SUP_FLT	7	R	Interrupt signal for supply faults. SUP_FLT is the logic OR of all the bits [7:0] in register R0Ah/R0Bh (Table 12).
TSTR_FLT	6	R	Interrupt signal for startup failures. TSTR_FLT is the logic OR of bits [7:0] in register R08h/R09h (Table 11).
IMAX_FLT	5	R	Interrupt signal for current-limit violations. IMAX_FLT is the logic OR of bits [3:0] in register R06h/R07h (Table 10).
CL_END	4	R	Interrupt signal for completion of classification. CL_END is the logic OR of bits [7:4] in register R04h/R05h (Table 9).
DET_END	3	R	Interrupt signal for completion of detection. DET_END is the logic OR of bits [3:0] in register R04h/R05h (Table 9).
LD_DISC	2	R	Interrupt signal for load disconnection. LD_DISC is the logic OR of bits [7:4] in register R06h/R07h (Table 10).
PG_INT	1	R	Interrupt signal for PGOOD status change. PG_INT is the logic OR of bits [7:4] in register R02h/R03h (Table 8).
PE_INT	0	R	Interrupt signal for power-enable status change. PEN_INT is the logic OR of bits [3:0] in register R02h/R03h (Table 8).

表7. 割込みマスクレジスタ

ADDRESS = 01h			DESCRIPTION
SYMBOL	BIT	R/W	
MASK7	7	R/W	Interrupt mask bit 7. A logic-high enables the SUP_FLT interrupts. A logic-low disables the SUP_FLT interrupts.
MASK6	6	R/W	Interrupt mask bit 6. A logic-high enables the TSTR_FLT interrupts. A logic-low disables the TSTR_FLT interrupts.
MASK5	5	R/W	Interrupt mask bit 5. A logic-high enables the IMAX_FLT interrupts. A logic-low disables the IMAX_FLT interrupts.
MASK4	4	R/W	Interrupt mask bit 4. A logic-high enables the CL_END interrupts. A logic-low disables the CL_END interrupts.
MASK3	3	R/W	Interrupt mask bit 3. A logic-high enables the DET_END interrupts. A logic-low disables the DET_END interrupts.
MASK2	2	R/W	Interrupt mask bit 2. A logic-high enables the LD_DISC interrupts. A logic-low disables the LD_DISC interrupts.
MASK1	1	R/W	Interrupt mask bit 1. A logic-high enables the PG_INT interrupts. A logic-low disables the PG_INT interrupts.
MASK0	0	R/W	Interrupt mask bit 0. A logic-high enables the PEN_INT interrupts. A logic-low disables the PEN_INT interrupts.

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

パワーイベントレジスタ(表8)は、4つのポートにおけるパワーステータスの変化を記録します。PGOOD_ (R10h [7:4])が変化すると、PG_CHG_が1に設定されます。PWR_EN_ (R10h[3:0])が変化すると、PWEN_HG_が1に設定されます。PG_CHG_とPWEN_CHG_は、PGOOD_とPWR_EN_のエッジでトリガされ、各ビットの実際のレベルに依存しません。

パワーイベントレジスタは2つのアドレスを備えています。R02hアドレスから読み取るときは、レジスタの内容が不変です。CoR R03hアドレスから読み取るときは、レジスタの内容がクリアされます。リセットすると、R02h/R03hは00hに設定されます。

表8. パワーイベントレジスタ

ADDRESS =		02h	03h	DESCRIPTION
SYMBOL	BIT	R/W	R/W	
PG_CHG4	7	R	CoR	PGOOD change event for port 4
PG_CHG3	6	R	CoR	PGOOD change event for port 3
PG_CHG2	5	R	CoR	PGOOD change event for port 2
PG_CHG1	4	R	CoR	PGOOD change event for port 1
PWEN_CHG4	3	R	CoR	Power enable change event for port 4
PWEN_CHG3	2	R	CoR	Power enable change event for port 3
PWEN_CHG2	1	R	CoR	Power enable change event for port 2
PWEN_CHG1	0	R	CoR	Power enable change event for port 1

DET_END_/CL_END_は、対応するポートで検出/分類が終了するとハイに設定されます。CL_END_ビットのいずれかが1になると、R00h[4]が1に強制されます。DET_END_ビットのいずれかが1になると、R00h[3]が1に強制されます。他のイベントレジスタの場合と同様、

検出イベントレジスタは2つのアドレスを備えています。R04hアドレスから読み取るときは、レジスタの内容が不変です。CoR R05hアドレスから読み取るときは、レジスタの内容がクリアされます。リセットすると、R04h/R05hは00hに設定されます。

表9. 検出イベントレジスタ

ADDRESS =		04h	05h	DESCRIPTION
SYMBOL	BIT	R/W	R/W	
CL_END4	7	R	CoR	Classification completed on port 4
CL_END3	6	R	CoR	Classification completed on port 3
CL_END2	5	R	CoR	Classification completed on port 2
CL_END1	4	R	CoR	Classification completed on port 1
DET_END4	3	R	CoR	Detection completed on port 4
DET_END3	2	R	CoR	Detection completed on port 3
DET_END2	1	R	CoR	Detection completed on port 2
DET_END1	0	R	CoR	Detection completed on port 1

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

LLD_DISC_は、対応するポートが負荷除去の検出によってシャットダウンすると設定されます。IMAX_FLT_は、正常な起動の後にポートの過電流イベントが続いていた場合にシャットダウンすると設定されます。LD_DISC_ビットのいずれかが1になると、R00h[2]が1に強制されます。IMAX_FLT_ビットのいずれかが1になると、R00h[5]が1に強制されます。

他のイベントレジスタの場合と同様、フォルトイベントレジスタは2つのアドレスを持っています。R06hアドレスから読み取るときは、レジスタの内容が不変です。CoR R07hアドレスから読み取るときは、レジスタの内容がクリアされます。リセットすると、R06h/R07hは00hに設定されます。

表10. フォルトイベントレジスタ

ADDRESS =		06h	07h	DESCRIPTION
SYMBOL	BIT	R/W	R/W	
LD_DISC4	7	R	CoR	Disconnect on port 4
LD_DISC3	6	R	CoR	Disconnect on port 3
LD_DISC2	5	R	CoR	Disconnect on port 2
LD_DISC1	4	R	CoR	Disconnect on port 1
IMAX_FLT4	3	R	CoR	Overcurrent on port 4
IMAX_FLT3	2	R	CoR	Overcurrent on port 3
IMAX_FLT2	1	R	CoR	Overcurrent on port 2
IMAX_FLT1	0	R	CoR	Overcurrent on port 1

ポートが電流制限状態にある場合、または起動期間の終了時にPGOOD条件が満たされない場合、ポートはシャットダウンして対応するSTRT_FLT_は1に設定されます。STRT_FLT_ビットのいずれかが1になると、R00h[6]が1に強制されます。IVC_は、ポート電流がクラスの最大許容限界(分類処理の際に決定される)を超えると1に設定されます。IVC_のいずれかが1になると、R00h[6]が1に強制されます。

CL_DISC (R17h[2])が1に設定されると、ポートも「Electrical Characteristics (電気的特性)」の表で規定されたクラスにしたがって負荷電流を制限します。他のイベントレジスタの場合と同様、起動イベントレジスタは2つのアドレスを持っています。R08hアドレスから読み取るときは、レジスタの内容が不変です。CoR R09hアドレスから読み取るときは、レジスタの内容がクリアされます。リセットすると、R08h/R09hは00hに設定されます。

表11. 起動イベントレジスタ

ADDRESS =		08h	09h	DESCRIPTION
SYMBOL	BIT	R/W	R/W	
IVC4	7	R	CoR	Class overcurrent flag for port 4
IVC3	6	R	CoR	Class overcurrent flag for port 3
IVC2	5	R	CoR	Class overcurrent flag for port 2
IVC1	4	R	CoR	Class overcurrent flag for port 1
STRT_FLT4	3	R	CoR	Startup failed on port 4
STRT_FLT3	2	R	CoR	Startup failed on port 3
STRT_FLT2	1	R	CoR	Startup failed on port 2
STRT_FLT1	0	R	CoR	Startup failed on port 1

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952は、常に電源を監視して電源イベントレジスタに適切なビットを設定します(表12)。V_{DD_OV}/V_{EE_OV}は、V_{DD}/V_{EE}がその過電圧スレシヨルドを超えると1に設定されます。V_{DD_UV}/V_{EE_UV}は、V_{DD}/V_{EE}がその低電圧スレシヨルドを下回ると1に設定されます。

OSC_FAILは、OSC_入力における発振器信号の振幅がAC切断検出機能を損なう可能性のあるレベル未満に低下すると1に設定されます。OSC_FAILは、1つ以上のACD_EN (R13h[7:4])ビットがハイに設定された場合にのみ割込みを発生します。

熱シャットダウン回路は、ダイの温度を監視して温度が+150°Cを超えるとMAX5952をリセットします。TSDは、MAX5952が通常動作に戻ると1に設定されます。TSDは、どのUVLOがリセットされた後も1に設定されます。

V_{DD}および/または|V_{EE}|がそのUVLOスレシヨルド未満になると、MAX5952はリセットモードに入り、すべてのポートを確実にオフに保ちます。V_{DD}と|V_{EE}|が各UVLOスレシヨルドを超えて上昇すると、デバイスは最後の電源がUVLOスレシヨルドを超えるとすぐにリセット状態から抜けます。電源イベントレジスタの最後の電源に対応するUVとUVLOの各ビットは1に設定されます。

いずれかの電源イベントレジスタのビットが1になると、R00h[7]が1に強制されます。他のイベントレジスタの場合と同様、電源イベントレジスタは2つのアドレスを持っています。R0Ahアドレスから読み取るときは、レジスタの内容が不変です。CoR R0Bhアドレスから読み取るときは、レジスタの内容がクリアされます。リセットすると、R0Ah/R0Bhは、V_{DD}がV_{EE}の後に発生する場合10100001bに設定され、V_{EE}がV_{DD}の後に発生する場合10010100bに設定されます。

表12. 電源イベントレジスタ

ADDRESS =		0Ah	0Bh	DESCRIPTION
SYMBOL	BIT	R/W	R/W	
TSD	7	R	CoR	Overtemperature shutdown
V _{DD_OV}	6	R	CoR	V _{DD} overvoltage condition
V _{DD_UV}	5	R	CoR	V _{DD} undervoltage condition
V _{EE_UVLO}	4	R	CoR	V _{EE} undervoltage lockout condition
V _{EE_OV}	3	R	CoR	V _{EE} overvoltage condition
V _{EE_UV}	2	R	CoR	V _{EE} undervoltage condition
OSC_FAIL	1	R	CoR	Oscillator amplitude is below limit
V _{DD_UVLO}	0	R	CoR	V _{DD} undervoltage lockout condition

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

ポートステータスレジスタ(表13a)は、3つの符号化ビット各々の各段階が終了した時点で検出および分類の結果を記録します。R0Chはポート1の検出および分類ステータスを格納します。R0Dhはポート2に対応し、R0Ehはポート3に対応し、R0Fhはポート4に対応します。表13bと13cは、検出と分類の結果それぞれの復号化チャートを示します。CLC_EN = 0の場合の検出結果を表13bに示します。CLC_ENがハイに設定されると、MAX5952は最大100 μ Fの大きい容量性負荷の有効な検出が可能になります。

ピンポン分類がイネーブルされないとき(ENx_CL6 = 0)の分類ステータスを表13cに示します。ピンポン分類がイネーブルされる時(ENx_CL6 = 1)、CLASS_[2:0]ビットが000に設定され、分類結果が位置R2Ch~R2Fhに通知されます。

POFF_CL (R17h[3]、表21)が1に設定されると、MAX5952は分類の後ステータス111を返すポートへの給電を阻止して、保護します。リセットすると、0Ch、0Dh、0Eh、および0Fhは00hに設定されます。

表13a. ポートステータスレジスタ

ADDRESS = 0Ch, 0Dh, 0Eh, 0Fh			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	R	Reserved
CLASS_	6	R	CLASS_[2]
	5	R	CLASS_[1]
	4	R	CLASS_[0]
Reserved	3	R	Reserved
DET_ST_	2	R	DET_[2]
	1	R	DET_[1]
	0	R	DET_[0]

表13b. 検出結果復号化チャート

DET_ST_[2:0] (ADDRESS = 0Ch, 0Dh, 0Eh, 0Fh)	DETECTED	DESCRIPTION
000	None	Detection status unknown
001	DCP	Positive DC supply connected at the port (AGND - V _{OUT} < 1V)
010	HIGH CAP	High capacitance at the port (> 8.5 μ F)
011	RLOW	Low resistance at the port, R _{PD} < 15k Ω
100	DET_OK	Detection pass, 15k Ω > R _{PD} > 33k Ω
101	RHIGH	High resistance at the port, R _{PD} > 33k Ω
110	OPEN0	Open port (I < 10 μ A)
111	DCN	Negative DC supply connected to the port (V _{OUT} - V _{EE} < 2V)

表13c. 分類結果復号化チャート

CLASS_[2:0] (ADDRESS = 0Ch, 0Dh, 0Eh, 0Fh)	CLASS RESULT
000	Unknown
001	1
010	2
011	3
100	4
101	5
110	0
111	Current limit (> I _{CILIM})

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

パワーグッド条件が満たされると($0 < (V_{OUT} - V_{EE}) < PG_{TH}$)、PGOOD_が電源オンの起動期間の終了時に1に設定されます(表14)。PGOOD_をアサートするためには、パワーグッド条件が t_{PGOOD} を超えた時間有効でなければなりません。出力がパワーグッド条件から外れると、PGOOD_は0にリセットされます。フォルト状態が発生すると、PGOOD_は直ちにローに強制されます。

ポート電源がオンになるとPWR_EN_が1に設定されます。ポートがオフになると、PWR_ENは直ちに0にリセットされます。PGOOD_とPWR_EN_の両ビットが変化すると、パワーイベントレジスタR02h/R03hの対応するビットが設定されます(表8)。リセットすると、R10hが00hに設定されます。

表14. パワーステータスレジスタ

ADDRESS = 10h			DESCRIPTION
SYMBOL	BIT	R/W	
PGOOD4	7	R	Power-good condition on port 4
PGOOD3	6	R	Power-good condition on port 3
PGOOD2	5	R	Power-good condition on port 2
PGOOD1	4	R	Power-good condition on port 1
PWR_EN4	3	R	Power is enabled on port 4
PWR_EN3	2	R	Power is enabled on port 3
PWR_EN2	1	R	Power is enabled on port 2
PWR_EN1	0	R	Power is enabled on port 1

A3、A2、A1、およびA0 (表15)は、MAX5952のアドレスの4つのLSBを表します(表4)。リセット期間にデバイスはこれらのビットをR11hにラッチします。これら

4ビットは、MIDSPANおよびAUTOの各入力の状態と同様に、同様に指定されます。通常動作中のこれらの入力変化は無視されます。

表15. アドレス入カステータスレジスタ

ADDRESS = 11h			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	R	Reserved
Reserved	6	R	Reserved
A3	5	R	Device address, A3 pin latched-in status
A2	4	R	Device address, A2 pin latched-in status
A1	3	R	Device address, A1 pin latched-in status
A0	2	R	Device address, A0 pin latched-in status
MIDSPAN	1	R	MIDSPAN input's latched-in status
AUTO	0	R	AUTO input's latched-in status

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

MAX5952では、動作モードを設定するために各ポートに2ビットが使用されます。表16aに従って各モードを設定してください。

リセットすると、R12hがAAAAAAAに設定されます。ここで、Aはリセット前のAUTO入力のラッチされた

状態を表します。動作モードの変更には、ソフトウェアを使用してください。各ポートのソフトウェアリセット(RESET_P_ビット、表23)は、モードレジスタに影響を与えません。

表16. モードレジスタ

ADDRESS = 12h			DESCRIPTION
SYMBOL	BIT	R/W	
P4_M1	7	R/W	MODE[1] for port 4
P4_M0	6	R/W	MODE[0] for port 4
P3_M1	5	R/W	MODE[1] for port 3
P3_M0	4	R/W	MODE[0] for port 3
P2_M1	3	R/W	MODE[1] for port 2
P2_M0	2	R/W	MODE[0] for port 2
P1_M1	1	R/W	MODE[1] for port 1
P1_M0	0	R/W	MODE[0] for port 1

表16a. モードステータス

MODE	DESCRIPTION
00	Shutdown
01	Manual
10	Semi-auto
11	Auto

DCD_EN_を1に設定すると、DC負荷切断検出機能がイネーブルされます(表17)。ACD_EN_を1に設定すると、AC負荷切断検出機能がイネーブルされます。イネーブルされた負荷切断検出は、パワーモードにある間と、レジ

スタR10hの対応するPGOOD_ビット(表14)がハイとなる起動後に開始します。リセットすると、R13hが0000AAAAに設定されます。ここで、Aはリセット前のAUTO入力のラッチされた状態を表します。

表17. 負荷切断検出イネーブルレジスタ

ADDRESS = 13h			DESCRIPTION
SYMBOL	BIT	R/W	
ACD_EN4	7	R/W	Enable AC disconnect detection on port 4
ACD_EN3	6	R/W	Enable AC disconnect detection on port 3
ACD_EN2	5	R/W	Enable AC disconnect detection on port 2
ACD_EN1	4	R/W	Enable AC disconnect detection on port 1
DCD_EN4	3	R/W	Enable DC disconnect detection on port 4
DCD_EN3	2	R/W	Enable DC disconnect detection on port 3
DCD_EN2	1	R/W	Enable DC disconnect detection on port 2
DCD_EN1	0	R/W	Enable DC disconnect detection on port 1

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

DET_EN_とCLASS_EN_を1に設定すると(表18)、負荷の検出と分類がそれぞれイネーブルされます。検出は常に分類に優先します。検出なしで分類を行うためには、DET_EN_ビットをローに、CLASS_EN_ビットをハイに設定してください。

マニュアルモードでは、R14hがプッシュボタン同様に機能します。対応するルーチンを開始するためには、

各ビットをハイに設定してください。ビットはルーチンが終了するとクリアされます。

自動モードに入ると、R14hがFFhにデフォルト設定されます。半自動またはマニュアルモードに入ると、R14hは00hにデフォルト設定されます。リセットするか、電源オンにすると、R14hはAAAAAAAAAbに設定されます。ここで、Aはリセット前のAUTO入力が入ラッチされた状態を表します。

表18. 検出および分類イネーブルレジスタ

ADDRESS = 14h			DESCRIPTION
SYMBOL	BIT	R/W	
CLASS_EN4	7	R/W	Enable classification on port 4
CLASS_EN3	6	R/W	Enable classification on port 3
CLASS_EN2	5	R/W	Enable classification on port 2
CLASS_EN1	4	R/W	Enable classification on port 1
DET_EN4	3	R/W	Enable detection on port 4
DET_EN3	2	R/W	Enable detection on port 3
DET_EN2	1	R/W	Enable detection on port 2
DET_EN1	0	R/W	Enable detection on port 1

CL_DISC (R17h[2])およびENx_CL6 (R1Ch[7:4])は、ハイパワーモードをプログラムするために使用されます。詳しくは表3を参照してください。

BCKOFF_を1に設定すると(表19)、各ポートのCadence タイミングがイネーブルされます。ここで、ポートはバックオフして異常な負荷を検出するとその都度2.2秒

の間待ちます。IEEE 802.3af規格では、スペアペア (ミッドスパンPSE)を通じて給電するPSEがCadence タイミングを備えていることを要求しています。

リセットするか、電源オンにすると、R15hが0000XXXXbに設定されます。ここで、「X」はMIDSPANとAUTOの各入力の論理積です。

表19. バックオフおよびハイパワーイネーブルレジスタ

ADDRESS = 15h			DESCRIPTION
SYMBOL	BIT	R/W	
BCKOFF4	3	R/W	Enable cadence timing on port 4
BCKOFF3	2	R/W	Enable cadence timing on port 3
BCKOFF2	1	R/W	Enable cadence timing on port 2
BCKOFF1	0	R/W	Enable cadence timing on port 1

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

TSTART[1,0] (表20a)は、起動タイマーをプログラムします。起動時間は、起動中にポート電流が制限されている時間です。TFAULT[1,0]はフォルト時間をプログラムします。フォルト時間は、通常動作中にポートの電流が制限されている時間です。RSTR[1,0]は、TFAULT_カウンタの放電レートをプログラムし、過電流フォルト後にポートがオフ状態を維持する時間を実際に設定します。TDISC[1,0]は、負荷切断検出時間をプログラムします。デバイスは、負荷切断検出時間(TDISC)よりも長い間最小パワー保持信号を供給しない場合はポートへの電源をオフにします。

t_{START} 、 t_{FAULT} 、および t_{DISC} を重み付けするR16hの各ビットを、「Electrical Characteristics (電気的特性)」の表で規定された各公称値の倍数に設定してください。MAX5952が引き続き過電流状態(起動時または通常動作時)のためにポートをシャットダウンするとき、RSTR_ENがハイに設定されていると再起動タイマー(表20b)がゼロに戻る前にデバイスがポートに再給電することはできません。このため、長時間の出力過電流状態の間に外付けMOSFETが過熱することから保護するよう実質的に最小のデューティサイクルが設定されます。リセットすると、R16hが00hに設定されます。

表20a. タイミングレジスタ

ADDRESS = 16h			DESCRIPTION
SYMBOL	BIT	R/W	
RSTR[1]	7	R/W	Restart timer programming bit 1
RSTR[0]	6	R/W	Restart timer programming bit 0
TSTART[1]	5	R/W	Startup timer programming bit 1
TSTART[0]	4	R/W	Startup timer programming bit 0
TFAULT[1]	3	R/W	Overcurrent timer programming bit 1
TFAULT[0]	2	R/W	Overcurrent timer programming bit 0
TDISC[1]	1	R/W	Load disconnect timer programming bit 1
TDISC[0]	0	R/W	Load disconnect timer programming bit 0

表20b. タイミングレジスタ用の起動、フォルト、および負荷切断の各タイマー値

BIT [1:0] (ADDRESS = 16h)	RSTR	t_{DISC}	t_{START}	t_{FAULT}
00	$16 \times t_{FAULT}$	t_{DISC} nominal (350ms, typ)	t_{START} nominal (60ms, typ)	t_{FAULT} nominal (60ms, typ)
01	$32 \times t_{FAULT}$	$1/4 \times t_{DISC}$ nominal	$1/2 \times t_{START}$ nominal	$1/2 \times t_{FAULT}$ nominal
10	$64 \times t_{FAULT}$	$1/2 \times t_{DISC}$ nominal	$2 \times t_{START}$ nominal	$2 \times t_{FAULT}$ nominal
11	$0 \times t_{FAULT}$	$2 \times t_{DISC}$ nominal	$4 \times t_{START}$ nominal	$4 \times t_{FAULT}$ nominal

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

CL_DISCを1に設定すると(表21)、ポートのクラス過電流保護がイネーブルされます。この場合、MAX5952はポート分類ステータスに従って過電流制限値(V_{FLT_LIM})を減らします。この機能は、最大クラス電流の許容値に違反するPDに対してシステムを保護します。

より大きい電流の設定は正常な起動の後にのみ可能であり、その結果PDは正規の15Wデバイスとして電源オンします。

CL_DISCは、EN_HP_CL_ (R15h[6:4])、EN_HP_ALL (R15h[7])、およびENx_CL6 (R1Ch[7:4])とともに、ハイパワーモードをプログラムするために使用されます。詳しくは表3を参照してください。

OUT_ISOをハイに設定すると(表21)、DET_がハイインピーダンス状態に強制されます。

リセットすると、R17hが0xC0に設定されます。

表21. その他の設定1

ADDRESS = 17h			DESCRIPTION
SYMBOL	BIT	R/W	
INT_EN	7	R/W	A logic-high enables INT functionality
RSTR_EN	6	R	A logic-high enables the autorestart protection time off (as set by the RSTR[1:0] bits)
Reserved	5	R	Reserved
Reserved	4	R	Reserved
POFF_CL	3	R	A logic-high prevents power-up after a classification failure (I > 50mA, valid only in AUTO mode)
CL_DISC	2	R/W	A logic-high enables reduced current-limit voltage threshold (V _{FLT_LIM}) according to port
OUT_ISO	1	R/W	Forces DET_ to high impedance. Does not interfere with other circuit operation.

半自動とマニュアルの各モード用のパワーイネーブルプッシュボタンを表22に示します。PWR_ON_を1に設定すると、対応するポートへの電源がオンになります。PWR_OFF_を1に設定すると、そのポートへの電源がオフになります。ポートが既に給電されているときとシャットダウン中は、PWR_ON_が無視されます。ポートが既にオフのときとシャットダウン中は、PWR_OFF_が無視されます。

実行後、各ビットは0にリセットされます。検出や分類の際にPWR_ON_がハイになると、MAX5952はその時点の動作を速やかに終了してポートへの電源をオンにします。MAX5952は、自動モードではPWR_ON_を無視します。リセットすると、R19hが00hに設定されます。

表22. パワーイネーブルプッシュボタン

ADDRESS = 19h			DESCRIPTION
SYMBOL	BIT	R/W	
PWR_OFF4	7	W	A logic-high powers off port 4
PWR_OFF3	6	W	A logic-high powers off port 3
PWR_OFF2	5	W	A logic-high powers off port 2
PWR_OFF1	4	W	A logic-high powers off port 1
PWR_ON4	3	W	A logic-high powers on port 4
PWR_ON3	2	W	A logic-high powers on port 3
PWR_ON2	1	W	A logic-high powers on port 2
PWR_ON1	0	W	A logic-high powers on port 1

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

CLR_INT (表23)に1を書き込むと、すべてのイベントレジスタとレジスタR00hの対応する割込みビットとがクリアされます。RESET_P_に1を書き込むと、対応するポートへの電源がオフになり、このポートのステータスおよびイベントレジスタのみがリセットされます。

これらの書き込みの実行後、各ビットは0にリセットされます。RESET_ICに1を書き込むと、グローバルソフトウェアリセットが行われ、その後、レジスタマップは元のリセット状態に設定されます。リセットすると、R1Ahが00hに設定されます。

表23. グローバルプッシュボタン

ADDRESS = 1Ah			DESCRIPTION
SYMBOL	BIT	R/W	
CLR_INT	7	W	A logic-high clears all interrupts
Reserved	6		Reserved
Reserved	5		Reserved
RESET_IC	4	W	A logic-high resets the MAX5952
RESET_P4	3	W	A logic-high softly resets port 4
RESET_P3	2	W	A logic-high softly resets port 3
RESET_P2	1	W	A logic-high softly resets port 2
RESET_P1	0	W	A logic-high softly resets port 1

IDレジスタ(表24)は、デバイスのID番号と改訂を記録します。MAX5952ではID_CODE[4:0] = 11000bです。REV[2:0]の値についてはお問い合わせください。

表24. IDレジスタ

ADDRESS = 1Bh			DESCRIPTION
SYMBOL	BIT	R/W	
ID_CODE	7	R	ID_CODE[4]
	6	R	ID_CODE[3]
	5	R	ID_CODE[2]
	4	R	ID_CODE[1]
	3	R	ID_CODE[0]
REV	2	R	REV [2]
	1	R	REV [1]
	0	R	REV [0]

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

SMODE機能(表25)をイネーブルにするためには、EN_WHDOG (R1Fh[7])を1に設定してください。ウォッチドッグカウンタがゼロに達してポートがハードウェア制御モードに切り替わると、SMODE_ビットはハイに

なります。さらに、ソフトウェアがポートに給電しようとするときSMODE_は常にハイになりますが、ポートはハードウェアモードにあるため拒絶されます。リセットすると、R1Chが00hに設定されます。

表25. SMODEイネーブルレジスタ

ADDRESS = 1Ch			DESCRIPTION
SYMBOL	BIT	CoR	
SMODE4	3	CoR	Port 4 hardware control flag
SMODE3	2	CoR	Port 3 hardware control flag
SMODE2	1	CoR	Port 2 hardware control flag
SMODE1	0	CoR	Port 1 hardware control flag

ウォッチドッグ機能をイネーブルするためには、EN_WHDOG (R1Fh[7])を1に設定してください。この機能が有効になると、ウォッチドッグタイマーカウンタWDTIME[7:0]は、164msに1回だけゼロの方向にデクリメントします。いったんカウンタがゼロに達すると(即ちウォッチドッグ満了)、MAX5952はハードウェア制御モードに入り、各ポートはレジスタR1FhのHWMODE_ビットで設定されたモードに移行します(表27)。ソフトウェアを使ってWDTIMEを設定し(表26)、ウォッチドッグの満了を回避するためにこのレジスタがゼロに

達する前にこのレジスタをいつも非ゼロ値に設定してください。こうして、ソフトウェアはシステムクラッシュ時や切替え時にポートへの給電を速やかに処理します。

ハードウェア制御モードにあるMAX5952は電源オンの要求すべてを無視し、フラグのSMODE_はハードウェアがMAX5952の動作を制御していることを表示します。さらに、ハードウェア制御モードでは、ソフトウェアによって動作モードを変更することは認められません。リセットすると、R1Ehは00hに設定されます。

表26. ウォッチドッグレジスタ

ADDRESS = 1Eh			DESCRIPTION
SYMBOL	BIT	R/W	
WDTIME	7	R/W	WDTIME[7]
	6	R/W	WDTIME[6]
	5	R/W	WDTIME[5]
	4	R/W	WDTIME[4]
	3	R/W	WDTIME[3]
	2	R/W	WDTIME[2]
	1	R/W	WDTIME[1]
	0	R/W	WDTIME[0]

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

EN_WHDOG (表27)をハイに設定すると、ウォッチドッグカウンタがアクティブになります。カウンタがゼロに達すると、そのポートは、対応するHWMODE_ビットによって設定されるハードウェア制御モードに切り替わります。HWMODE_をローにすると、レジスタR12hの各ビットを00に設定することによってポートが

シャットダウンに切り替わります。HWMODE_をハイにすると、レジスタR12hの該当ビットを11に設定することによってポートが自動モードに切り替わります。WD_INT_ENが設定されてSMODEビットのいずれかが設定されると割込みが送信されます。リセットすると、R1Fhが00hに設定されます。

表27. スイッチモードレジスタ

ADDRESS = 1Fh			DESCRIPTION
SYMBOL	BIT	R/W	
EN_WHDOG	7	R/W	A logic-high enables the watchdog function
WD_INT_EN	6	R/W	Enables interrupt on SMODE_ bits
Reserved	5	—	Reserved
Reserved	4	R/W	Reserved
HWMODE4	3	R/W	Port 4 switches to AUTO if logic-high and to SHUTDOWN if logic-low when watchdog timer expires
HWMODE3	2	R/W	Port 3 switches to AUTO if logic-high and to SHUTDOWN if logic-low when watchdog timer expires
HWMODE2	1	R/W	Port 2 switches to AUTO if logic-high and to SHUTDOWN if logic-low when watchdog timer expires
HWMODE1	0	R/W	Port 1 switches to AUTO if logic-high and to SHUTDOWN if logic-low when watchdog timer expires

CLC_ENは、大容量のコンデンサの検出機能をイネーブルします。CLC_ENが設定されると、デバイスは最大100μFのコンデンサを認識することができます。CLC_ENがリセットされると、MAX5952は通常の検出を行います。

AC_THによって、AC切断コンパレータのスレッシュホールドをプログラムすることができます。このコンパレータはDET_入力検出された電流パルスのピークが事前に設定されたスレッシュホールドを超えることを確認するため、そのスレッシュホールドは電流として定義されます。電流スレッシュホールドは次のように定義されます。

$$IAC_TH = 226.68\mu A + 28.33 \times NAC_TH$$

ここで、NAC_THはAC_THの10進値です。

ローに設定されたDET_BYは、自動モードで回復検出がバイパスされた場合、ポートの電源オンを抑制します。ハイに設定されたDET_BYは、検出を行わずに非IEEE 802.3af負荷への電源をデバイスがオンにすることができます。OSCF_RSがハイに設定されると、OSC_FAILビットは無視されます。リセットするか、パワーアップすると、R23hが04hに設定されます。デフォルトのIAC_THは340μAです。

表28. プログラムレジスタ

ADDRESS = 23h			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
Reserved	6	—	Reserved
CLC_EN	5	R/W	Large capacitor detection enable
DET_BY	4	R/W	Enables skipping detection in AUTO mode
OSCF_RS	3	R/W	OSC_FAIL reset bit
AC_TH	2	R/W	AC_TH[2]
	1	R/W	AC_TH[1]
	0	R/W	AC_TH[0]

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

表29. ハイパワーモードレジスタ

ADDRESS = 24h			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
	3	—	Reserved
	2	—	Reserved
	1	—	Reserved
	0	—	Reserved

表30. 予備

ADDRESS = 25h			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
	6	—	Reserved
	5	—	Reserved
	4	—	Reserved
	3	—	Reserved
	2	—	Reserved
	1	—	Reserved
	0	—	Reserved

表31. 予備

ADDRESS = 26h			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
	6	—	Reserved
	5	—	Reserved
	4	—	Reserved
	3	—	Reserved
	2	—	Reserved
	1	—	Reserved
	0	—	Reserved

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

IVEEビットは電流制限値のスケーリングをイネーブルします(表32)。この機能は、高電圧で動作しているシステムの電流制限値を抑制して所望の出力を維持する

ために使用されます。表33は電流制限値スケーリングレジスタの設定を示しています。リセットするか、または電源オンになると、R29hが00hに設定されます。

表32. その他の設定2

ADDRESS = 29h			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
	6	—	Reserved
	5	—	Reserved
	4	—	Reserved
	3	—	Reserved
	2	—	Reserved
IVEE	1	R/W	IVEE[1]
	0	R/W	IVEE[0]

3つのICUT_ビット(表34aと34b)によって、IEEE 802.3af規格の限界を超える電流制限および過電流スレッシュホールドのプログラミングが可能になります。MAX5952は、ICUTレジスタを自動的に設定することもできますが、ソフトウェアによってマニュアルで書き込むこともできます(表3参照)。

表33. 電流制限値スケーリングレジスタ

IVEE[1:0] (ADDRESS = 29h)	CURRENT LIMIT (%)
00	Default
01	-5
10	-10
11	-15

クラス1と2の制限値は、分類ステータスと無関係にソフトウェアによってプログラムすることもできます。表3を参照してください。リセットするか、パワーアップすると、R2Ah/R2Bhが00hに設定されます。

表34a. ICUTレジスタ1および2

ADDRESS = 2Ah			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
ICUT2	6	R/W	ICUT2[2]
	5	R/W	ICUT2[1]
	4	R/W	ICUT2[0]
Reserved	3	—	Reserved
ICUT1	2	R/W	ICUT1[2]
	1	R/W	ICUT1[1]
	0	R/W	ICUT1[0]

表34b. ICUTレジスタ3および4

ADDRESS = 2Bh			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
ICUT4	6	R/W	ICUT4[2]
	5	R/W	ICUT4[1]
	4	R/W	ICUT4[0]
Reserved	3	—	Reserved
ICUT3	2	R/W	ICUT3[2]
	1	R/W	ICUT3[1]
	0	R/W	ICUT3[0]

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

表34c. 電流制限値スレッシュホールド用ICUTレジスタビット値

ICUT_[2:0] (ADDRESS = 2Ah, 2Bh)	SCALE FACTOR	TYPICAL CURRENT-LIMIT THRESHOLD (mA)
000	1x	375
001	1.5x	563
010	1.75x	656
011	2x	750
100	2.25x	844
101	2.5x	938
110	0.3x	Class 1
111	0.53x	Class 2

表35. 分類ステータスレジスタ

ADDRESS = 2Ch, 2Dh, 2Eh, 2Fh			DESCRIPTION
SYMBOL	BIT	R/W	
Reserved	7	—	Reserved
	6	—	Reserved

MAX5952は、分類および通常パワーモードの間に各ポートの電流を読み出します。ポート当りの電流情報は9ビットに分解されます。これらのビットは、各ポート用の連続した2個のレジスタに格納されます。この情報は、アドレスポイントの自動インクリメントオプションを使って即座に検索することができます。MSBを読み取る際にLSBレジスタが変化することを回避するために、アドレスバイトが電流読出しレジスタのいずれかを指示していると情報は凍結されます。

パワーモードにおける電流値は次式から計算されます。

$$I_{PORT} = N_{IPD_} \times 1.953125\text{mA}$$

分類時の電流は次の通りです。

$$I_{CLASS} = N_{IPD_} \times 0.0975\text{mA}$$

ここで、 $N_{IPD_}$ は9ビットワードの10進値です。ADCはフルスケールとゼロの両方で飽和します。リセットすると、(R30h~R37h)が00hに設定されます。

表36. 電流レジスタ

ADDRESS = 30h, 31h, 32h, 33h, 34h, 35h, 36h, 37h			DESCRIPTION
SYMBOL	BIT	R/W	
IPD_	7	W	IPD_[8]
	6	W	IPD_[7]
	5	W	IPD_[6]
	4	W	IPD_[5]
	3	W	IPD_[4]
	2	W	IPD_[3]
	1	W	IPD_[2]
	0	W	IPD_[1]/IPD_[0]

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

表37. レジスタの要約

ADDR	REGISTER NAME	R/W	PORT	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	RESET STATE
INTERRUPTS												
00h	Interrupt	RO	G	SUP_FLT	TSTR_FLT	IMAX_FLT	CL_END	DET_END	LD_DISC	PG_INT	PE_INT	0000,0000
01h	Int Mask	R/W	G	MASK7	MASK6	MASK5	MASK4	MASK3	MASK2	MASK1	MASK0	AAA0,0A00
EVENTS												
02h	Power Event	RO	4321	PG_CHG4	PG_CHG3	PG_CHG2	PG_CHG1	PWEN_CHG4	PWEN_CHG3	PWEN_CHG2	PWEN_CHG1	0000,0000
03h	Power Event CoR	CoR										
04h	Detect Event	RO	4321	CL_END4	CL_END3	CL_END2	CL_END1	DET_END4	DET_END3	DET_END2	DET_END1	0000,0000
05h	Detect Event CoR	CoR										
06h	Fault Event	RO	4321	LD_DISC4	LD_DISC3	LD_DISC2	LD_DISC1	IMAX_FLT4	IMAX_FLT3	IMAX_FLT2	IMAX_FLT1	0000,0000
07h	Fault Event CoR	CoR										
08h	Tstart Event	RO	4321	IVC4	IVC3	IVC2	IVC1	STRT_FLT4	STRT_FLT3	STRT_FLT2	STRT_FLT1	0000,0000
09h	Tstart Event CoR	CoR										
0Ah	Supply Event	RO	4321	TSD	VDD_OV	VDD_UV	VEE_UVLO	VEE_OV	VEE_UV	OSC_FAIL	VDD_UVLO	0001,0000*
0Bh	Supply Event CoR	CoR										
STATUS												
0Ch	Port 1 Status	RO	1	Reserved	CLASS1[2]	CLASS1[1]	CLASS1[0]	Reserved	DET_ST1[2]	DET_ST1[1]	DET_ST1[0]	0000,0000
0Dh	Port 2 Status	RO	2	Reserved	CLASS2[2]	CLASS2[1]	CLASS2[0]	Reserved	DET_ST2[2]	DET_ST2[1]	DET_ST2[0]	0000,0000
0Eh	Port 3 Status	RO	3	Reserved	CLASS3[2]	CLASS3[1]	CLASS3[0]	Reserved	DET_ST3[2]	DET_ST3[1]	DET_ST3[0]	0000,0000
0Fh	Port 4 Status	RO	4	Reserved	CLASS4[2]	CLASS4[1]	CLASS4[0]	Reserved	DET_ST4[2]	DET_ST4[1]	DET_ST4[0]	0000,0000
10h	Power Status	RO	4321	PGOOD4	PGOOD3	PGOOD2	PGOOD1	PWR_EN4	PWR_EN3	PWR_EN2	PWR_EN1	0000,0000
11h	Pin Status	RO	G	Reserved	Reserved	A3	A2	A1	A0	MIDSPAN	AUTO	00A3A2, A1A0MA
CONFIGURATION												
12h	Operating Mode	R/W	4321	P4_M1	P4_M0	P3_M1	P3_M0	P2_M1	P2_M0	P1_M1	P1_M0	AAAA,AAAA
13h	Disconnect Enable	R/W	4321	ACD_EN4	ACD_EN3	ACD_EN2	ACD_EN1	DCD_EN4	DCD_EN3	DCD_EN2	DCD_EN1	0000,AAAA
14h	Det/Class Enable	R/W	4321	CLASS_EN4	CLASS_EN3	CLASS_EN2	CLASS_EN1	DET_EN4	DET_EN3	DET_EN2	DET_EN1	AAAA,AAAA
15h	Backoff Enable	R/W	4321	—	—	—	—	BCKOFF4	BCKOFF3	BCKOFF2	BCKOFF1	0000,XXXX
16h	Timing Config	R/W	G	RSTR[1]	RSTR[0]	TSTART[1]	TSTART[0]	TFAULT[1]	TFAULT[0]	TDISC[1]	TDISC[0]	0000,0000
17h	Misc Config 1	R/W	G	INT_EN	RSTR_EN	Reserved	Reserved	POFF_CL	CL_DISC	OUT_ISO	HP_TIME	1100,0000
PUSHBUTTONS												
18h	Reserved	R/W	G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
19h	Power Enable	WO	4321	PWR_OFF4	PWR_OFF3	PWR_OFF2	PWR_OFF1	PWR_ON4	PWR_ON3	PWR_ON2	PWR_ON1	0000,0000
1Ah	Global	WO	G	CLR_INT	Reserved	Reserved	RESET_IC	RESET_P4	RESET_P3	RESET_P2	RESET_P1	0000,0000
GENERAL												
1Bh	ID	RO	G	ID_CODE[4]	ID_CODE[3]	ID_CODE[2]	ID_CODE[1]	ID_CODE[0]	REV [2]	REV [1]	REV [0]	1100,0000
1Ch	SMODE Register	CoR	4321	—	—	—	—	SMODE4	SMODE3	SMODE2	SMODE1	0000,0000
1Dh	Reserved		G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
1EH	Watchdog Register	R/W	G	WDTIME[7]	WDTIME[6]	WDTIME[5]	WDTIME[4]	WDTIME[3]	WDTIME[2]	WDTIME[1]	WDTIME[0]	0000,0000
1FH	Switch Mode Register	R/W	4321	EN_WHDOG	WD_INT_EN	reserved	CSCM	HWMODE4	HWMODE3	HWMODE2	HWMODE1	0000,0000

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

表37. レジスタの要約(続き)

ADDR	REGISTER NAME	R/W	PORT	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	RESET STATE
MAXIM RESERVED												
20H	Reserved		G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
21H	Reserved		G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
22H	Reserved		G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
23H	Program 1	R/W	4321	Reserved	Reserved	CLC_EN	DET_BY	OSCF_RS	AC_TH[2]	AC_TH[1]	AC_TH[0]	0000,0000
24h	High Power Mode	R/W	G	Reserved	—	—	—	Reserved	Reserved	Reserved	Reserved	0000,0000
25h	Reserved	—	G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	0000,0000
26h	Reserved	—	G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	0000,0000
27H	Reserved		G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
28H	Reserved		G	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
29H	Misc Config 2	R/W	1234	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	IVEE[1]	IVEE[0]	0000,0000
2AH	ICUT Register 1	R/W	21	Reserved	ICUT2[2]	ICUT2[1]	ICUT2[0]	Reserved	ICUT1[2]	ICUT1[1]	ICUT1[0]	0000,0000
2BH	ICUT Register 2	R/W	43	Reserved	ICUT4[2]	ICUT4[1]	ICUT4[0]	Reserved	ICUT3[2]	ICUT3[1]	ICUT3[0]	0000,0000
CLASSIFICATION REGISTERS												
2CH	Port 1 Class	RO	1	Reserved	Reserved	—	—	—	—	—	—	0000,0000
2DH	Port 2 Class	RO	2	Reserved	Reserved	—	—	—	—	—	—	0000,0000
2EH	Port 3 Class	RO	3	Reserved	Reserved	—	—	—	—	—	—	0000,0000
2FH	Port 4 Class	RO	4	Reserved	Reserved	—	—	—	—	—	—	0000,0000
CURRENT REGISTER												
30H	Current Port 1 (MSB)	RO	1	IPD1[8]	IPD1[7]	IPD1[6]	IPD1[5]	IPD1[4]	IPD1[3]	IPD1[2]	IPD1[1]	0000,0000
31H	Current Port 1 (LSB)	RO	1	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	IPD1[0]	0000,0000
32H	Current Port 2 (MSB)	RO	2	IPD2[8]	IPD2[7]	IPD2[6]	IPD2[5]	IPD2[4]	IPD2[3]	IPD2[2]	IPD2[1]	0000,0000
33H	Current Port 2 (LSB)	RO	2	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	IPD2[0]	0000,0000
34H	Current Port 3 (MSB)	RO	3	IPD3[8]	IPD3[7]	IPD3[6]	IPD3[5]	IPD3[4]	IPD3[3]	IPD3[2]	IPD3[1]	0000,0000
35H	Current Port 3 (LSB)	RO	3	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	IPD3[0]	0000,0000
36H	Current Port 4 (MSB)	RO	4	IPD4[8]	IPD4[7]	IPD4[6]	IPD4[5]	IPD4[4]	IPD4[3]	IPD4[2]	IPD4[1]	0000,0000
37H	Current Port 4 (LSB)	RO	4	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	IPD4[0]	0000,0000

*アサートされるV_{EE}およびV_{DD}のUVビットとUVLOビットは、V_{EE}電源とV_{DD}電源が立ち上げられる順序に依存します。

A = リセット前のAUTO端子の状態。

M = リセット前のMIDSPAN状態。

A3...0 = リセット前のADDRESS入力状態。

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

アプリケーション情報

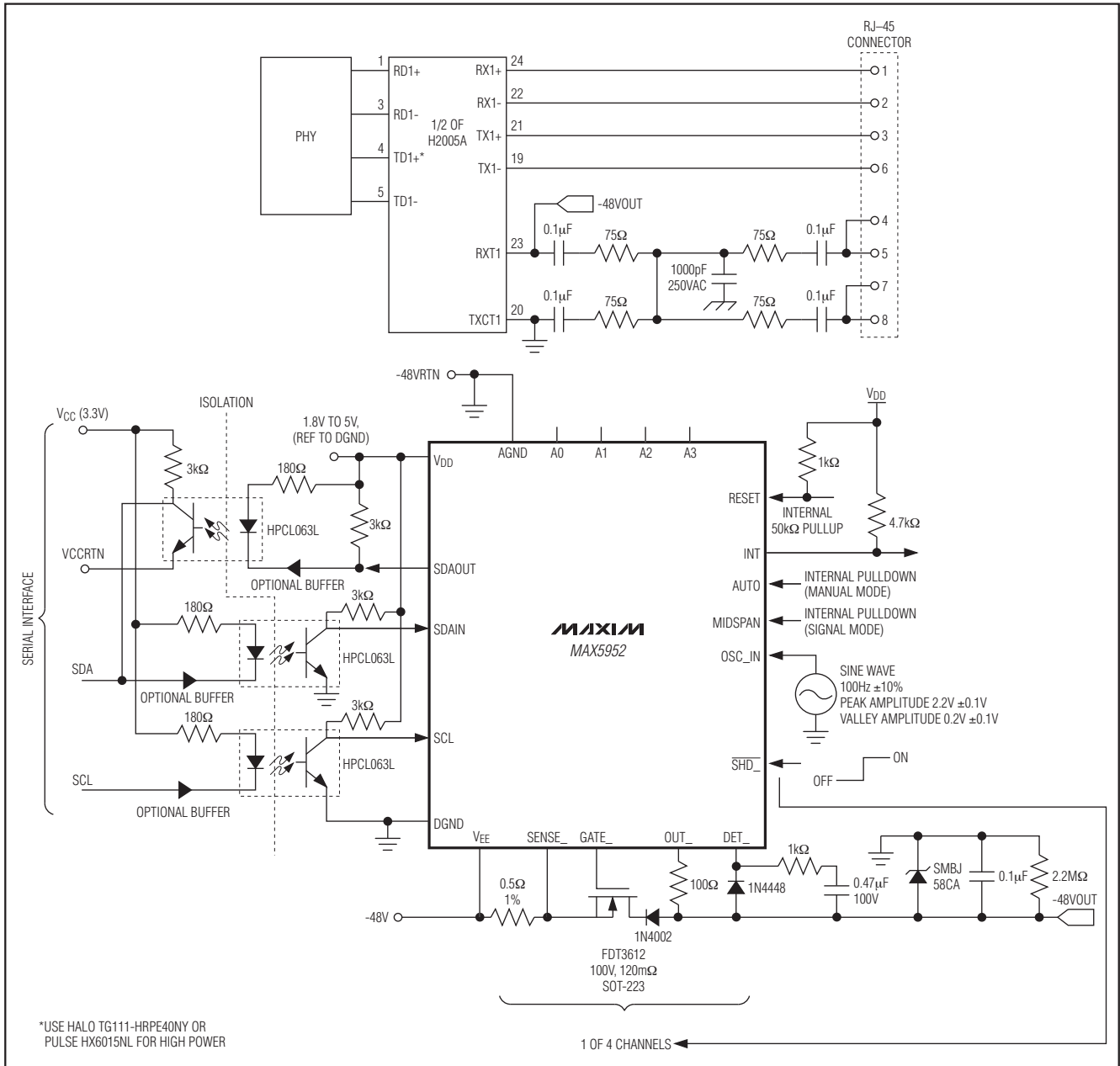


図13. PoEシステムのブロック図

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

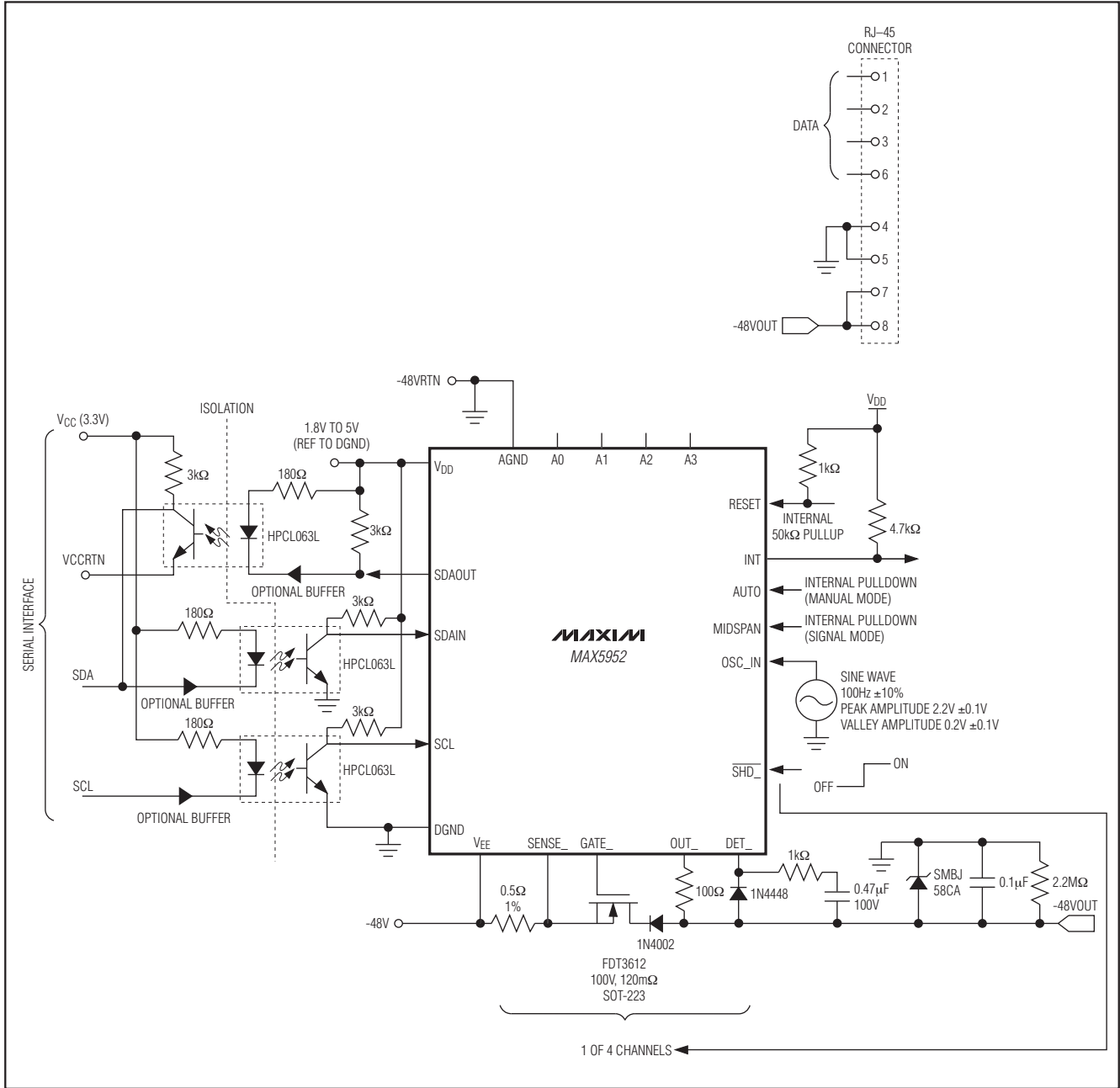


図14. PoEシステムのブロック図

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

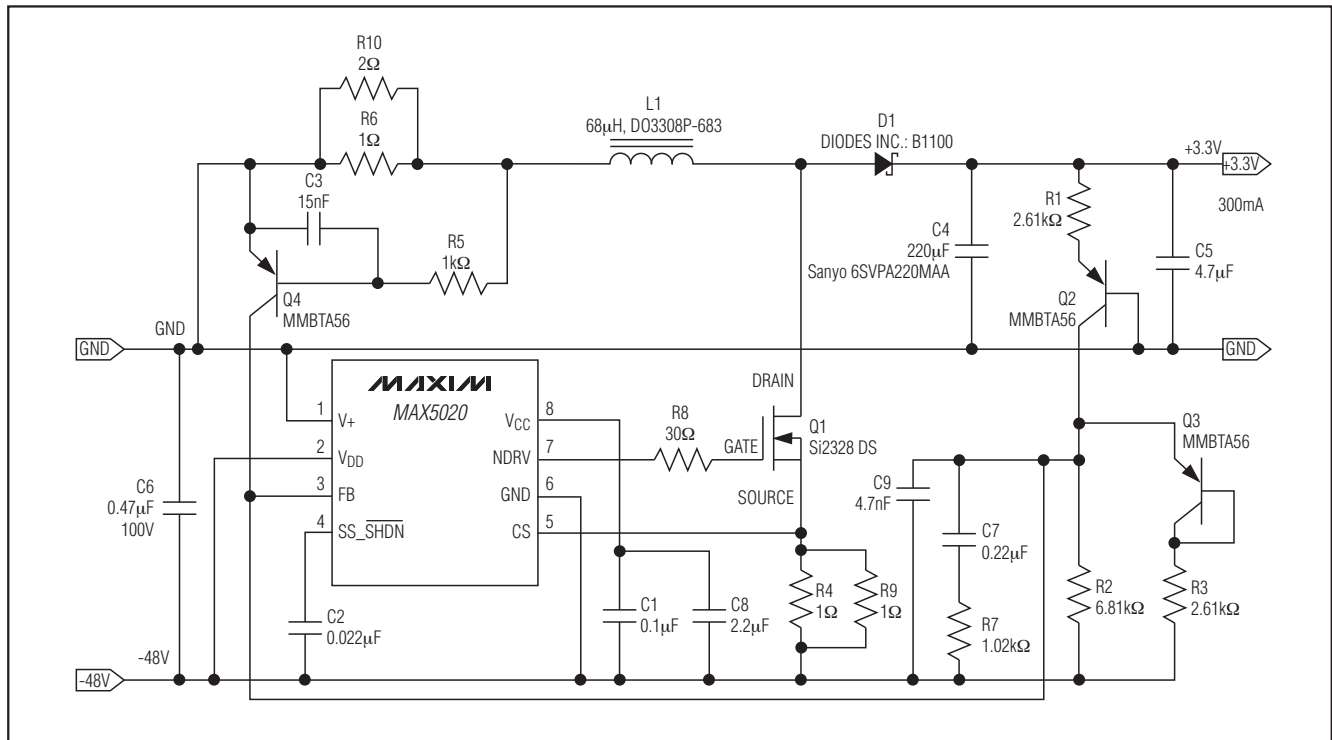


図15. V_{DIG}用の-48V~+3.3V (300mA)ブーストコンバータソリューション

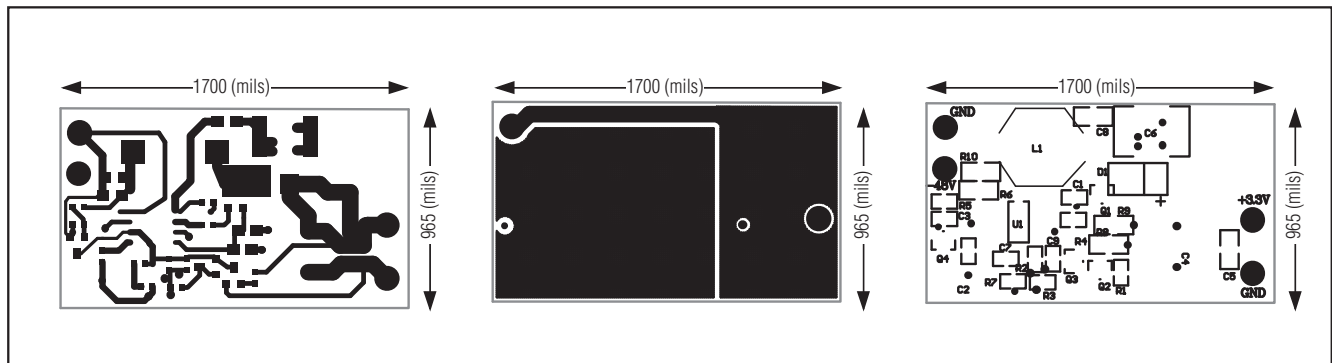


図16. V_{DIG}用のブーストコンバータソリューションのレイアウト例

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

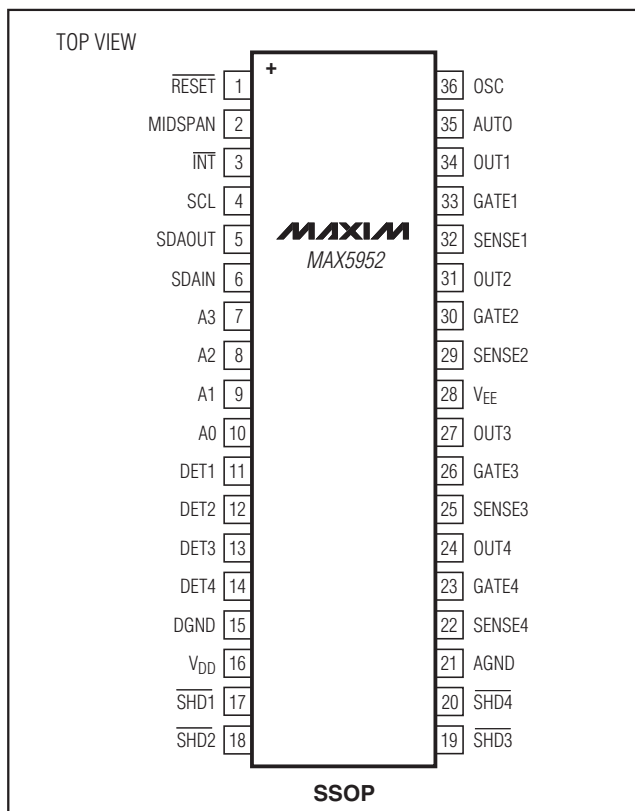
MAX5952

V_{DIG}電源の部品リスト

DESIGNATION	DESCRIPTION
C1	0.1μF, 25V ceramic capacitor
C2	0.022μF, 25V ceramic capacitor
C3	15nF, 25V ceramic capacitor
C4	220μF capacitor Sanyo 6SVPA220MAA
C5	4.7μF, 16V ceramic capacitor
C6	0.47μF, 100V ceramic capacitor
C7	0.22μF, 16V ceramic capacitor
C8	2.2μF, 16V ceramic capacitor
C9	4.7nF, 16V ceramic capacitor
D1	B1100 100V Schottky diode
L1	68μH inductor Coilcraft DO3308P-683 or equivalent

DESIGNATION	DESCRIPTION
Q1	Si2328DS Vishay n-channel MOSFET, SOT23
Q2, Q3, Q4	MMBTA56 small-signal PNP
R1, R3	2.61kΩ ±1% resistors
R2	6.81kΩ ±1% resistor
R4, R6, R9	1Ω ±1% resistors
R5	1kΩ ±1% resistor
R7	1.02kΩ ±1% resistor
R8	30Ω ±1% resistor
R10	2Ω ±1% resistor
U1	High-voltage PWM IC MAX5020ESA (8-pin SO)

ピン配置



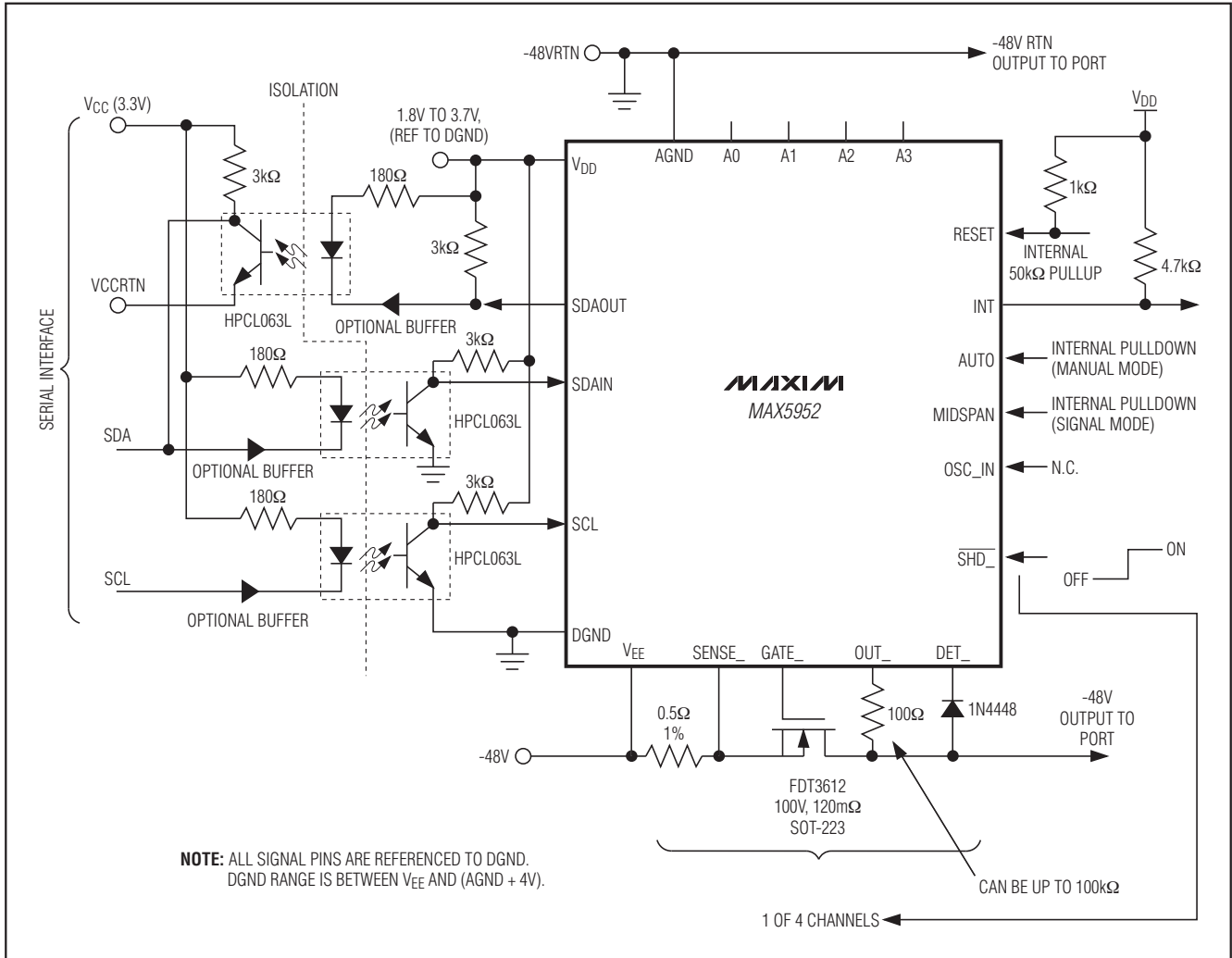
選択ガイド

PART	SENSE RESISTOR (Ω)	V _{DD} (V)
MAX5952A_	0.5	3.3
MAX5952C_	0.5	5

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

標準動作回路

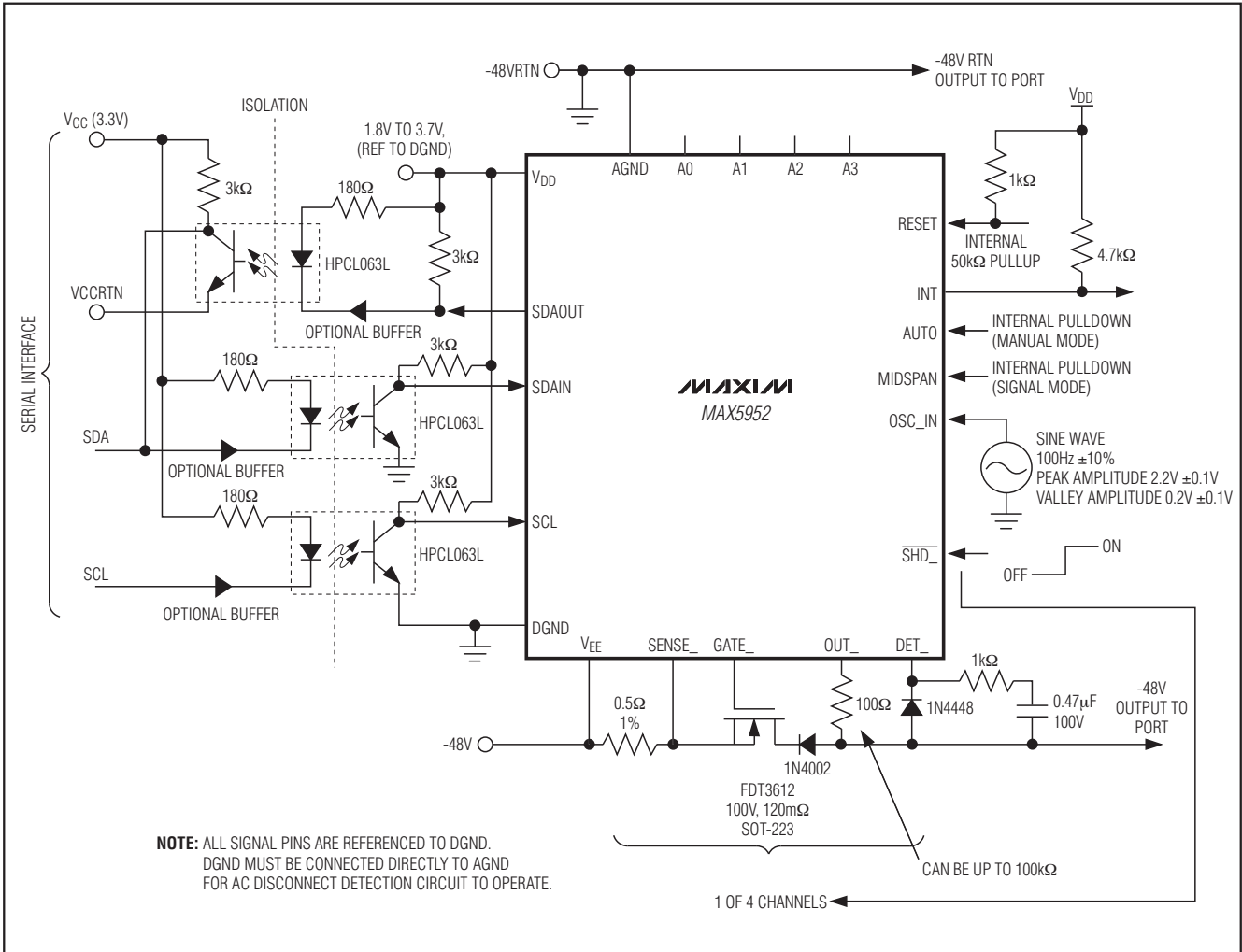


標準動作回路1 (AC負荷除去検出なし)

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

標準動作回路(続き)



標準動作回路2 (AC負荷除去検出付き)

チップ情報

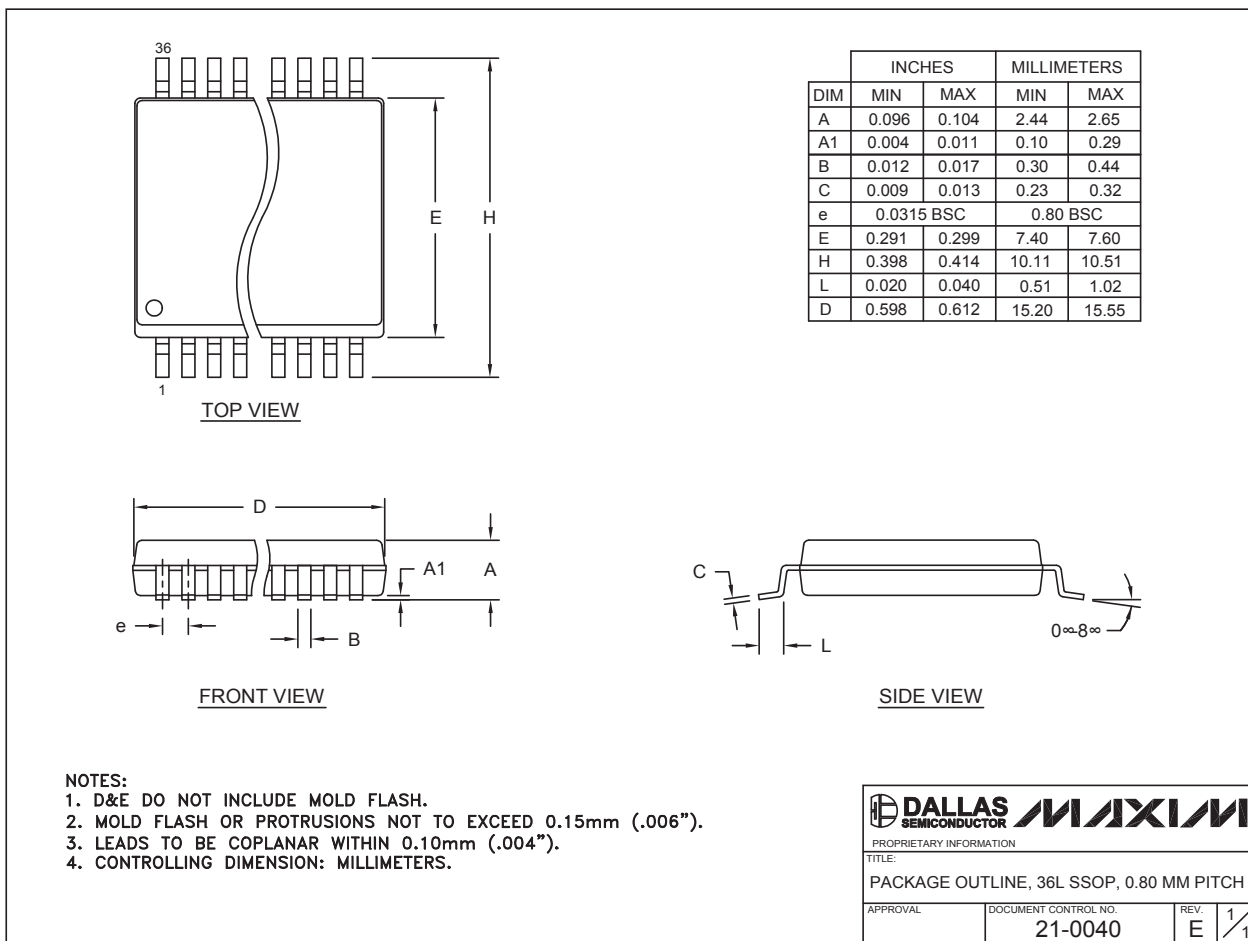
PROCESS: BiCMOS

Power over Ethernet用、 ハイパワー、クワッド、PSEコントローラ

MAX5952

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



SSOP-EP36

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

50 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2007 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products, Inc.