



-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

概要

MAX5936/MAX5937は、-10V~-80Vレイル用のホットスワップコントローラです。MAX5936/MAX5937を使用すると、電源にグリッチを発生させることなく回路ラインカードを通電中のバックプレーンに安全にホットプラグすることができます。この2つの製品は、 R_{SENSE} を必要としない回路ブレーカ機能を内蔵しています。

MAX5936/MAX5937は、回路カードの電源投入を制御し、突入電流を制限し、電源レイルのグリッチ及び基板コネクタ/部品の損傷を防ぎます。この2つの製品は、スタートアップ前にLoad Probe™試験を実施して短絡状態の有無を検出します。短絡状態が存在しなければ、この2つの製品は外付けMOSFETを徐々にターンオンすることによって負荷に流れる突入電流を制限します。外付けMOSFETが完全に導通すると、MAX5936/MAX5937は外付けパワーMOSFETの $R_{DS(ON)}$ 両端の電圧降下を監視することによって過電流と短絡保護を行います。MAX5936/MAX5937は、400mAの高速GATEブルダウンを内蔵し、過電流または短絡状態にあるパワーMOSFETが高速でターンオフすることを保証します。

MAX5936/MAX5937は、 V_{IN} ステップに対する耐性を備えており、これによってシステムを入力電圧(V_{IN})ステップから保護します。MAX5936/MAX5937は、高精度のUVLO電圧を持っています。MAX5936はオープンドレインのアクティブローPGOOD出力を備え、MAX5937はオープンドレイン形式のアクティブハイPGOOD出力を装備しています。

MAX5936/MAX5937には、回路ブレーカなしのオプションのほかに、100mV、200mV、及び400mVの回路ブレーカスレッショルドがあります。これらの製品は、ラッチ付き及び自動再試行のフォルト管理を備え、8ピン、SOPパッケージで提供され、拡張温度範囲(-40°C~+85°C)で動作が保証されています(「選択ガイド」参照)。

アプリケーション

- サーバ
- テレコムラインカード
- ネットワーク交換機
- ソリッドステート回路ブレーカ
- ネットワークルータ

Load ProbeはMaxim Integrated Products, Inc.の商標です。

特長

- ◆ 入力電圧 : -10V~-80V
- ◆ R_{SENSE} 不要
- ◆ ハイパワーMOSFETを駆動
- ◆ プログラム可能なホットプラグ時突入電流
- ◆ 100mV、200mV、400mV、及び回路ブレーカなしのスレッショルドオプション
- ◆ トランジエント除去付き回路ブレーカフォルト
- ◆ パワーMOSFETターンオン前に短絡負荷検出(Load Probe)
- ◆ 高精度低電圧ロックアウト(UVLO) : $\pm 2.4\%$
- ◆ 自動再試行及びラッチ付きフォルト管理あり
- ◆ 低自己消費電流

型番

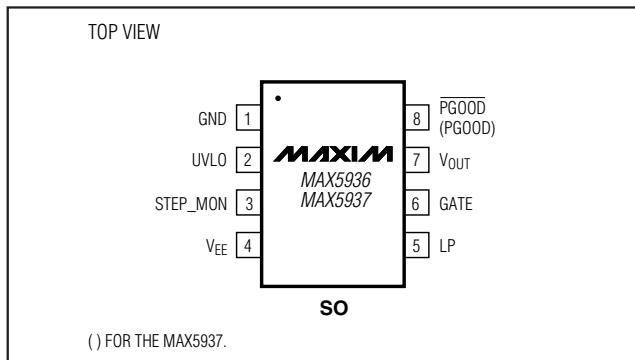
PART	TEMP RANGE	PIN-PACKAGE
MAX5936_ESA	-40°C to +85°C	8 SO
MAX5937_ESA	-40°C to +85°C	8 SO

注: 最初の[]は、自動再試行の場合Aで表わし、ラッチ付きフォルト管理の場合Lで表わします。

2番目の[]は、回路ブレーカスレッショルドを表わします。詳しくは、「選択ガイド」をご覧ください。

「選択ガイド」と「標準動作回路」はデータシートの最後に記載されています。

ピン配置



-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

ABSOLUTE MAXIMUM RATINGS

V_{EE} , V_{OUT} , PGOOD (PGOOD), LP, STEP_MON to GND	+0.3V to -85V
PGOOD (PGOOD) to V_{OUT}	-0.3V to +85V
PGOOD (PGOOD), LP, STEP_MON to V_{EE}	-0.3V to +85V
GATE to V_{EE}	-0.3V to +20V
UVLO to V_{EE}	-0.3V to +6V
Input Current LP (internally, duty-cycle limited)	1A
PGOOD (PGOOD) (continuous)	80mA

GATE (during 15V clamp, continuous)	30mA
GATE (during 2V clamp, continuous)	50mA
GATE (during gate pulldown, continuous)	50mA
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
8-Pin SO (derate 5.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	471mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{EE} = -10\text{V}$ to -80V , $V_{IN} = \text{GND} - V_{EE}$, $V_{STEP_MON} = V_{EE}$, $R_{LP} = 200\Omega$, UVLO open, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{EE} = -48\text{V}$, $T_A = +25^\circ\text{C}$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Voltage Range	V_{EE}	Referenced to GND		-80	-10		V
Operating Supply Current	I_{CC}				0.95	1.4	mA
Default V_{EE} Undervoltage Lockout	$V_{UVLO,R}$	V_{EE} increasing		-33.5	-31.0	-29.5	V
	$V_{UVLO,F}$	V_{EE} decreasing			-28		
UVLO Reference Threshold, V_{EE} Rising	$V_{UVLO_REF,R}$	V_{UVLO} increasing		1.219	1.25	1.281	V
UVLO Reference Threshold, V_{EE} Falling	$V_{UVLO_REF,F}$	V_{UVLO} decreasing		1.069	1.125	1.181	V
UVLO Input Resistance				20	50		k Ω
UVLO Transient Rejection	t_{OVREJ}			0.8	1.5	2.25	ms
Power-Up Delay (Note 3)	t_{ONDLY}			80	220	380	ms
V_{EE} and UVLO Glitch Rejection (Note 4)	t_{REJ}			0.8	1.5	2.25	ms
V_{OUT} to V_{EE} Leakage Current		$V_{EE} = -80\text{V}$, $V_{OUT} = \text{GND}$		0.01	1		μA
LP to V_{EE} Leakage Current		$V_{EE} = -80\text{V}$, $V_{LP} = \text{GND}$		0.01	1		μA
External Gate-Drive Voltage	V_{GS}	$V_{GATE} - V_{EE}$	$V_{IN} = 10\text{V}$	6.5	6.8	7.2	V
			$14 \leq V_{IN} \leq 80\text{V}$	8.1	10	12.8	
GATE to V_{EE} Clamp Voltage		MOSFET fully enhanced	$I_{CLAMP} = 9\text{mA}$	13.5	16		V
			$I_{CLAMP} = 20\text{mA}$		17	19.5	
		Power-off, $V_{EE} = \text{GND}$	$I_{CLAMP} = 1\text{mA}$		2.1	2.55	
			$I_{CLAMP} = 10\text{mA}$		2.5	2.9	
Open-Loop Gate-Charge Current		$V_{GATE} = V_{EE}$, $V_{OUT} = \text{GND}$		-66	-52	-35	μA
GATE Pulldown Switch On-Resistance	R_{GATE}	$V_{GATE} - V_{EE} = 500\text{mV}$	$V_{IN} > 10\text{V}$		9	14.1	Ω
			$V_{IN} > 14\text{V}$		7.5	12.5	
Output-Voltage Slew Rate	SR	$ dV_{OUT}/dt $		2.4	9	14.8	V/ms

**-48Vホットスワップコントローラ、
 V_{IN} ステップ保護付き、及び R_{SENSE} なし**

ELECTRICAL CHARACTERISTICS (continued)

(V_{EE} = -10V to -80V, V_{IN} = GND - V_{EE} , V_{STEP_MON} = V_{EE} , R_{LP} = 200Ω, UVLO open, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{EE} = -48V, T_A = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Circuit-Breaker Tempco		-40°C < T_A < +85°C		6000		ppm/°C
Circuit-Breaker Glitch Rejection	t_{CB_DLY}		1.0	1.2	1.6	ms
Circuit-Breaker Threshold	V_{CB}	MAX5936LA/ MAX5936AA/ MAX5937LA/ MAX5937AA	T_A = +85°C T_A = +25°C T_A = -10°C T_A = -40°C	118 85 64 62	140 100 79 94	162 115 94 62
		MAX5936LB/ MAX5936AB/ MAX5937LB/ MAX5937AB	T_A = +85°C T_A = +25°C T_A = -10°C T_A = -40°C	244 180 135 124	284 200 158 124	324 220 181 124
		MAX5936LC/ MAX5936AC/ MAX5937LC/ MAX5937AC	T_A = +85°C T_A = +25°C T_A = -10°C T_A = -40°C	485 355 270 248	568 400 316 248	651 445 362 248
		MAX5936LA/ MAX5936AA/ MAX5937LA/ MAX5937AA	T_A = +85°C T_A = +25°C T_A = -10°C T_A = -40°C	220 160 111 124	280 200 158 124	340 240 205 124
		MAX5936LB/ MAX5936AB/ MAX5937LB/ MAX5937AB	T_A = +85°C T_A = +25°C T_A = -10°C T_A = -40°C	470 350 255 248	568 400 316 248	667 450 377 248
		MAX5936LC/ MAX5936AC/ MAX5937LC/ MAX5937AC	T_A = +85°C T_A = +25°C T_A = -10°C T_A = -40°C	962 700 510 496	1136 800 632 496	1310 900 754 496
Short-Circuit Response Time (Note 5)		150mV overdrive, C_{LOAD} = 0, to GATE below 1V		330	500	ns
INPUT-VOLTAGE-STEP PROTECTION						
Input-Voltage-Step Detection Threshold	$STEP_{TH}$		1.219	1.250	1.281	V
Input-Voltage-Step Threshold Offset Current	I_{STEP_OS}		-10.8	-10.0	-9.2	µA
LOAD-PROBE CIRCUIT						
Load-Probe Switch On-Resistance		$V_{LP} - V_{EE}$ = 1V	7.5	11	12	Ω
Load-Probe Timeout	t_{LP}		80	220	380	ms
Load-Probe Retry Time	t_{LP_OFF}		16 x t_{LP}			s
Load-Probe Voltage Threshold	$V_{THSC-DET}$	Referenced to GND	-220	-200	-180	mV

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

ELECTRICAL CHARACTERISTICS (continued)

(V_{EE} = -10V to -80V, V_{IN} = GND - V_{EE} , V_{STEP_MON} = V_{EE} , R_{LP} = 200Ω, UVLO open, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{EE} = -48V, T_A = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC AND FAULT MANAGEMENT						
Autoretry Delay	t_{RETRY}		16 x t_{LP}			s
PGOOD (\overline{PGOOD}) Assertion Threshold		$ V_{OUT} - V_{EE} $ falling	0.74 x V_{CB}			mV
		Hysteresis	0.26 x V_{CB}			
PGOOD (\overline{PGOOD}) Assertion Delay Time (Note 6)			0.67	1.26	1.85	ms
PGOOD (\overline{PGOOD}) Low Voltage	V_{OL}	I_{SINK} = 1mA, referenced to V_{OUT} , $V_{OUT} < GND - 5V$ for PGOOD (\overline{PGOOD})		0.05	0.4	V
PGOOD (\overline{PGOOD}) Open-Drain Leakage	I_L	$V_{EE} = -80V$, $V_{PGOOD(\overline{PGOOD})} = GND$		0.01	1	μA

Note 1: All currents into pins are positive and all currents out of pins are negative. All voltages referenced to V_{EE} , unless otherwise specified.

Note 2: All limits are 100% tested at +25°C and +85°C. Limits at -40°C and -10°C are guaranteed by characterization.

Note 3: Delay time from a valid on-condition until the load probe test begins.

Note 4: V_{EE} or UVLO voltages below $V_{UVLO,F}$ or $V_{UVLO_REF,F}$, respectively, are ignored during this time.

Note 5: The time ($V_{OUT} - V_{EE}$) > V_{SC} + overdrive until ($V_{GATE} - V_{EE}$) drops to approximately 90% of its initial high value.

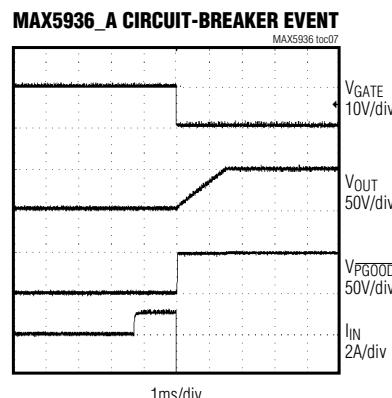
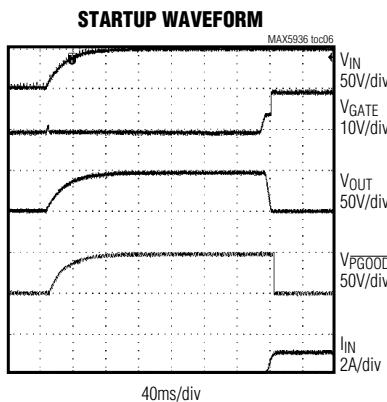
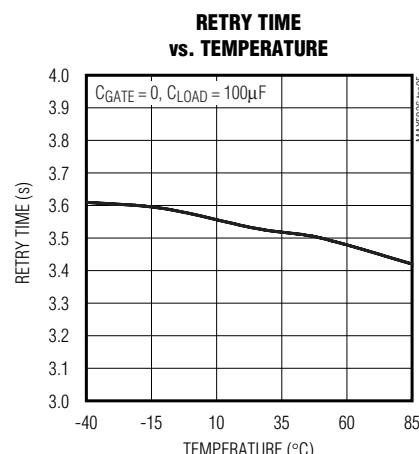
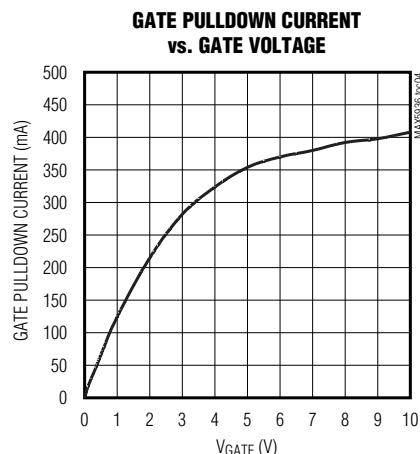
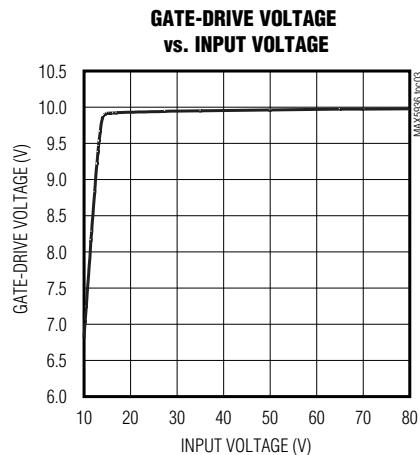
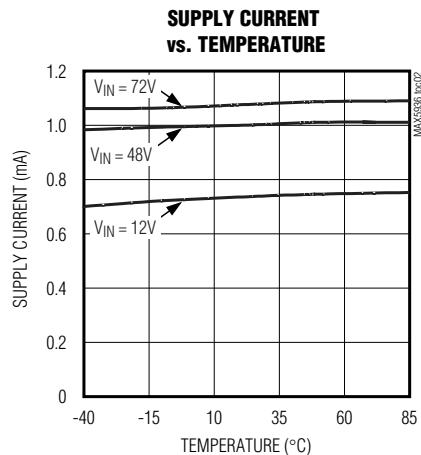
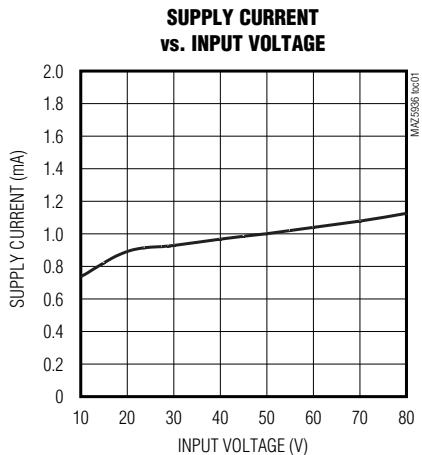
Note 6: The time when the PGOOD (\overline{PGOOD}) condition is met until the PGOOD (\overline{PGOOD}) signal is asserted.

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

標準動作特性

($V_{EE} = -48V$, GND = 0V, $V_{IN} = \text{GND} - V_{EE}$, all voltages are referenced to V_{EE} , $T_A = +25^\circ\text{C}$, unless otherwise noted.)

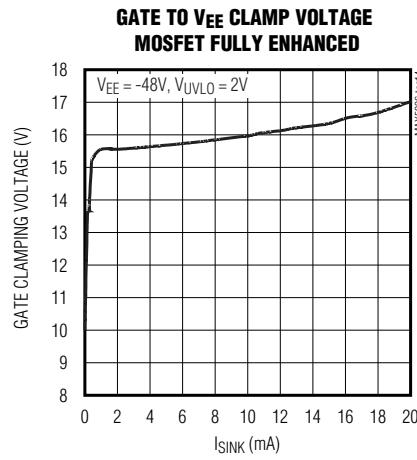
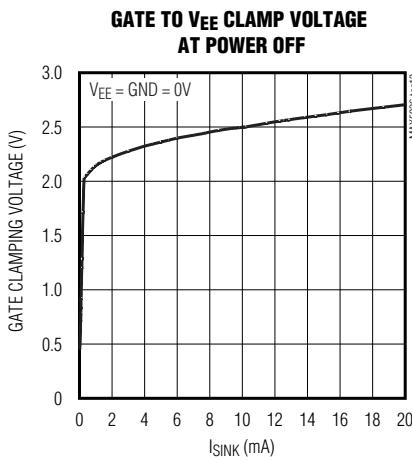
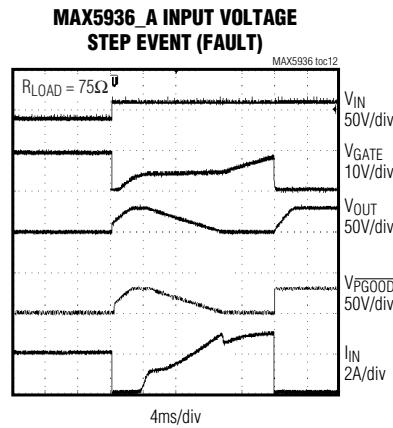
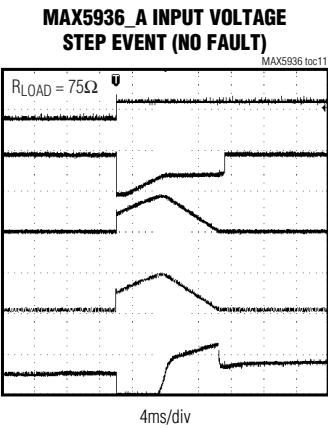
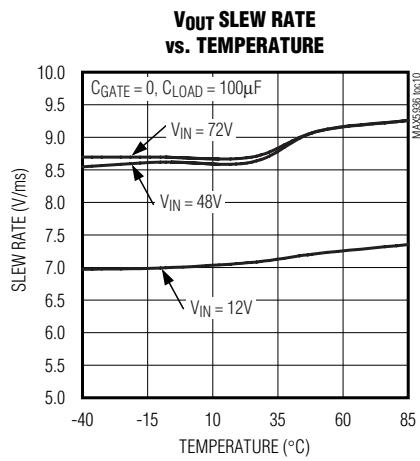
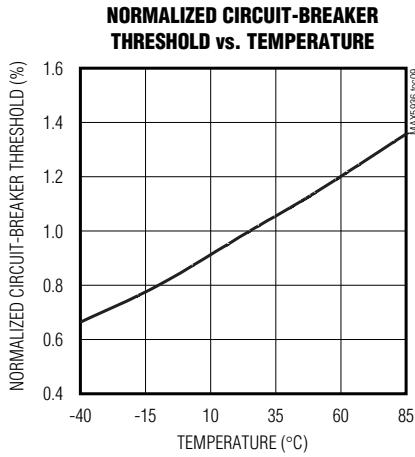
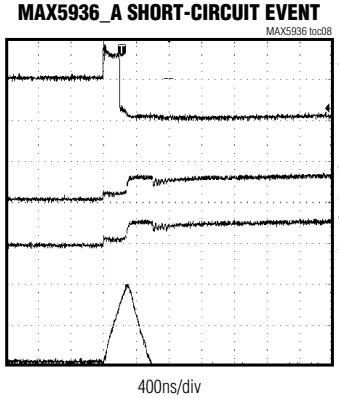
MAX5936/MAX5937



-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

標準動作特性(続き)

($V_{EE} = -48V$, GND = 0V, $V_{IN} = \text{GND} - V_{EE}$, all voltages are referenced to V_{EE} , $T_A = +25^\circ\text{C}$, unless otherwise noted.)



-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

端子説明

端子		名称	機能
MAX5936	MAX5937		
1	1	GND	グランド。負レイルホットスワップコントローラのハイ側電源接続端子。
2	2	UVLO	低電圧ロックアウト入力、オン/オフ制御。 V_{EE} 基準。デバイスをターンオンするためには、UVLOを1.25Vの立上リセットシールドよりも高く駆動してください。デバイスをターンオフするためには、1.5msのグリッチ除去期間に、UVLOを1.125Vの立下リセットシールドよりも低く駆動してください。デフォルトの31V低電圧ロックアウトリセットシールドに対してはUVLOを開放のままにしてください。フォルト後にMAX5936L/MAX5937Lをラッチ解除するためには、UVLOを一度解除してから設定してください。
3	3	STEP_MON	入力電圧ステップモニタ。 V_{EE} を基準とする1.25Vの電圧リセットシールド。ステップ感度を設定するためには、STEP_MONと V_{EE} の間に抵抗器を接続してください。 V_{EE} でのステップ増加に対するステップ応答を調整して間違った回路ブレーカーフォルト及び短絡のフォルトを排除するためには、GNDとSTEP_MONの間にコンデンサを接続してください。ステップ保護機能をディセーブルするためには、 V_{EE} に接続してください(「アプリケーション情報」の「ステップモニタの抵抗器及びコンデンサの値の選択」の項を参照してください)。
4	4	V_{EE}	負入力電圧
5	5	LP	Load Probe検出。負荷プローブ試験電流を設定するためには、LPと V_{OUT} の間に抵抗器を接続してください。負荷プローブ試験電流は1Aに制限してください。負荷プローブ機能をディセーブルするためには、 V_{EE} に接続してください。
6	6	GATE	ゲート駆動出力。外付けnチャネルMOSFETのゲートに接続してください。
7	7	V_{OUT}	出力電圧検出。 V_{OUT} は負荷の負レイルです。外付けnチャネルMOSFETのドレインに接続してください。
8	—	\overline{PGOOD}	パワーグッド、アクティブロー、オープンドレイン出力。 V_{OUT} 基準。 \overline{PGOOD} は、 V_{OUT} が制限値内にあってフォルトが存在しないときローにアサートします。
—	8	PGOOD	パワーグッド、アクティブハイ、オープンドレイン出力。 V_{OUT} 基準。PGOODは、 V_{OUT} が制限値内にあってフォルトが存在しないときハイにアサートします。

詳細

ホットスワップコントローラのMAX5936/MAX5937は、過電流フォルト管理を取り入れて負電源レイルアプリケーションを対象に設計されています。MAX5936/MAX5937は、外付け R_{SENSE} を必要とせず、負荷短絡状態へのパワーアップを防止する V_{IN} 入力ステップ保護と負荷プローブを内蔵しています。これらは、低コスト、フレキシビリティ、複数フォルト管理、及び小型が要求される負の48Vテレコム電源システムに使用されます。MAX5936/MAX5937は、ローパワーMOSFETを使用した低電流システムからハイパワーMOSFETの低オン抵抗を必要とする高電流システムに至るきわめて広範囲のシステムに最適です。

MAX5936/MAX5937は、外部負荷の負電源経路に配置された外付けnチャネルパワーMOSFETを制御します。電源が印加されないとき、MAX5936/MAX5937のGATE出力はMOSFETの V_{GS} を2VにクランプしてMOSFETをオフ状態に保ちます。電源がMAX5936/MAX5937に印加されると、2VにクランプされていたGATEは強力な

プルダウンデバイスによって駆動され、GATEは V_{EE} に、またMOSFETの V_{GS} は0Vになります。図2に示すように、この遷移によって、MAX5936/MAX5937は、プリント基板が初めてバックプレーンに接触する基板挿入段階でパワーMOSFETを連続的にオフ状態に保つことができます。このクランプがなければ、パワーダウンコントローラのGATE出力はフローティング状態になり、MOSFETドレインがバックプレーン接触中に V_{IN} ステップによって急にプルアップされるとMOSFETの帰還容量(ゲート-ドレイン間)はMOSFETゲートをプルアップしてMOSFETがターンオンします。MAX5936/MAX5937のGATEクランプは、スルーレート制御コンデンサ(C_{SLEW})の追加によってハイパワーMOSFETのゲート-ドレイン容量に対応することができ、ゲート-ソース間にコンデンサを追加する必要がなくなります。電源電圧がユーザ設定のUVLOリセットシールド未満である場合やパワーMOSFETのドレインに接続された負荷で短絡が検出された場合、MAX5936/MAX5937はMOSFETを無期限にオフ状態に保ちます。

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

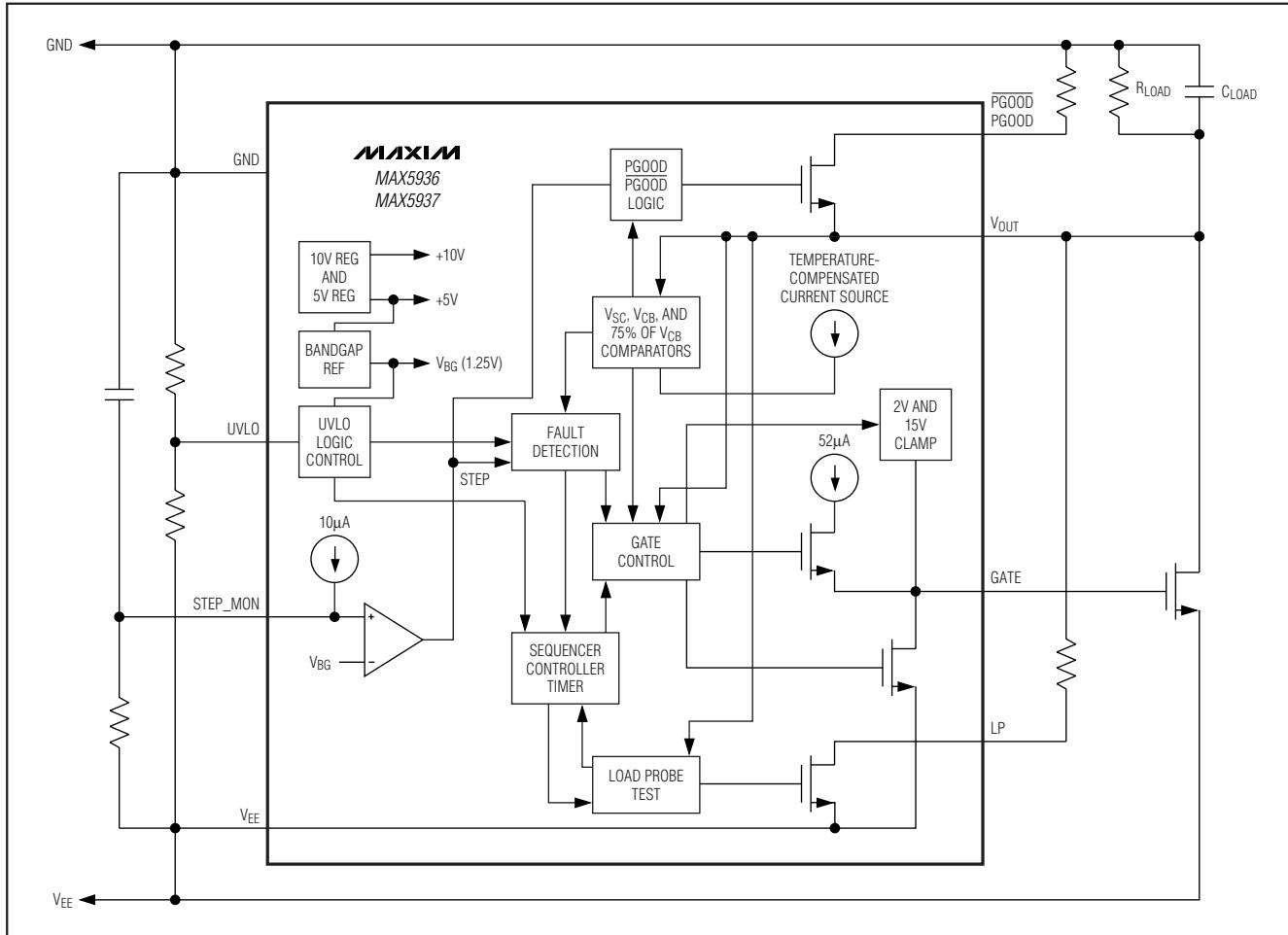


図1. 機能ブロック図

ホットプラグインによる接触トランジエントが落ち着いた後、MAX5936/MAX5937は負荷プローブ試験を実施します。これは、MAX5936/MAX5937がパワーアップした後(UVLO条件が220ms(t_{LP})間満たされたとき)パワーMOSFETがターンオンする前に行われます。この試験では、ユーザがプログラム可能な電流(1A, max)を最大220msの間負荷に流して V_{OUT} の負荷両端で200mVの電圧を調べます。この電流は、 V_{OUT} とLPの間の外付け抵抗器 R_{LP} によって設定されます(図14)。負荷両端の電圧が200mVを超えると、試験が打ち切られてGATEターンオンシーケンスが始まります。220msの試験期間の最後に負荷両端の電圧が200mVに達していないければ、負荷は短絡されているものとみなされてLPピンから負荷への電流は遮断されます。MAX5936A_ / MAX5937A_は、 $16 \times t_{LP}$ の間休止した後、負荷プローブ試験を再試行します。MAX5936L_ / MAX5937L_は、UVLOが1.5msの間1.125V未満になるか、または電源を

切って入れ直すまでフォルト状態を無期限にラッチします。電流レベル設定用の R_{LP} を選択する際の推奨値に関しては、「アプリケーション情報」の項をご覧ください。

負荷プローブ試験が無事終了すると、MAX5936/MAX5937はパワーアップGATEサイクルに入り、52μAの電流ソースによってGATE電圧のランプアップを開始します。 V_{OUT} がデフォルトの9V/msのスルーレートよりも速くランプダウンし始めると、この電流ソースは制止されます。GATEが充電されると、パワーMOSFETは制御された状態で導通し、 V_{OUT} はユーザ設定可能なレートでランプアップして、バックプレーンからの突入電流が制限されます。MAX5936/MAX5937は、通常のパワーアップGATEサイクルが終了するか、またはパワーアップ後にフォルト管理が検出されるまでGATEへの充電を続けます(「付録A」の「GATEサイクル」の項をご覧ください)。

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

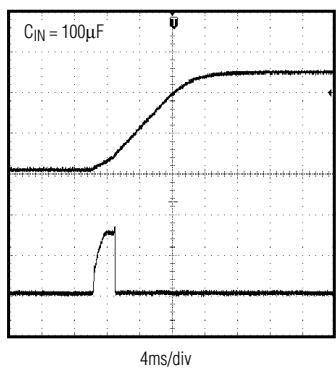


図2. パワーアップ中のGATE電圧クランプ

通常のパワーアップGATEサイクルでは、 V_{OUT} の電圧(V_{EE} 基準)が、回路ブレーカスレッショルド電圧 V_{CB} の74%未満にランプアップします。この時点で、保持されていたGATE電圧が完全導通状態まで急速にプルアップされます。GATEが完全に導通してから1.26ms後に、PGOODがアサートされます(図4参照)。 V_{OUT} の電圧が V_{CB} の74%よりも高い状態を続けると(GATEが完全導通状態の90%に達すると)、フォルト管理へのパワーアップのフォルトが発生しています(図5参照)。GATEは、即座に V_{EE} にプルダウンされてパワーMOSFETをターンオフし、負荷を切断します。PGOODはアサート解除されたままとなり、MAX5936/MAX5937はフォルト管理モードに入ります。

パワーMOSFETが完全に導通すると、MAX5936/MAX5937は、回路ブレーカフォルト及び短絡のフォルトを検出するために、ドレイン電圧(V_{OUT})を監視します。MAX5936/MAX5937は、パワーMOSFETの $R_{DS(ON)}$ を

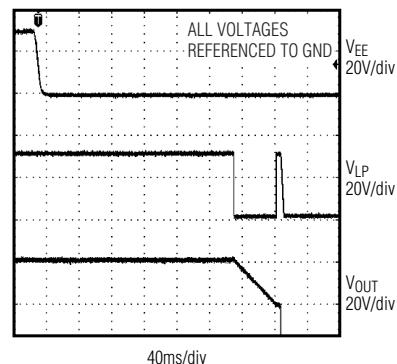


図3. 初期パワーアップ中の負荷プローブ試験

電流検出抵抗として使用して負荷を流れる過大な電流を検出します。短絡スレッショルド電圧 V_{SC} は、 V_{CB} の2倍($V_{SC} = 2 \times V_{CB}$)で、これには100mV、200mV、及び400mVがあります。 V_{CB} と V_{SC} は、標準パワーMOSFETの $R_{DS(ON)}$ の正規化温度係数を追尾して、温度補償されます(温度とともに増加)。

MOSFETの完全導通中に負荷電流が増加すると、 V_{OUT} は V_{CB} を超えますが V_{SC} よりも低い値を維持し、1.2msの回路ブレーカグリッチ除去タイムを始動します。グリッチ除去期間の最後において V_{OUT} がなお V_{CB} を超えていると、GATEが直ちに V_{EE} に駆動されて(330ns)、PGOOD(PGOOD)がアサート解除され、デバイスがフォルト管理に入ります。もしくは、完全導通状態において V_{OUT} が V_{SC} を超えており、グリッチ除去タイムがなければ、GATEが直ちに V_{EE} に駆動され、PGOODがアサート解除され、デバイスがフォルト管理に入ります。

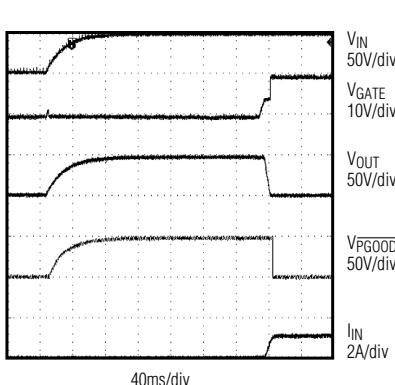


図4. MAX5936の通常状態

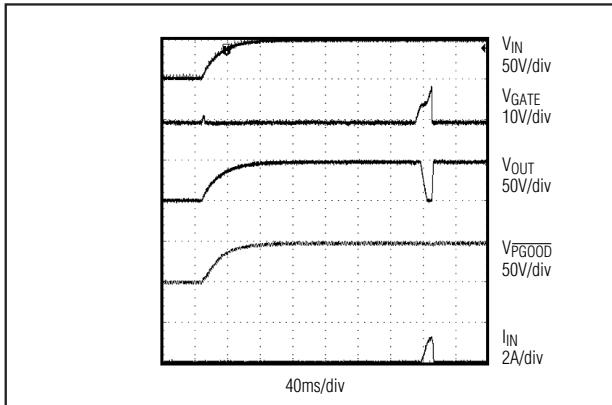


図5. フォルト状態におけるMAX5936のスタートアップ

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

V_{IN} ステップ保護は、バックプレーン突入電流を最小限に抑えて負荷を遮断せずに V_{IN} を増加方向に大きくステップ状に遷移させる手段を提供します。 V_{IN} のステップ保護がなければ(パワーMOSFETが完全に導通しているとき)、 V_{IN} がステップ状に増加すると、大きな突入電流が流れて V_{OUT} が大きくステップ変化し、これによって回路ブレーカーがトリップする可能性があります。 V_{IN} ステップ保護があれば、短絡が V_{OUT} で検出される前にSTEP_MON入力がそのステップを検出し、ステップによる V_{SC} を超える V_{OUT} に対するMAX5936/MAX5937の応答が変更されます。STEP_MONにおける1.25Vの電圧スレッショルド及びSTEP_MONにおける10μAの電流ソースによって、 V_{EE} との間の外付け抵抗器で、ステップ検出の感度を設定することができます。GNDとSTEP_MON入力の間にはコンデンサが配置され、これが前記外付け抵抗器とともにSTEP_MONの時定数を設定します。スレッショルド(STEP_{TH})を超えたステップがSTEP_MON入力によって検出されると、過電流フォルト管理が阻止され、ステップがSTEP_{TH}を超えている限り阻止されたままとなります。ステップがSTEP_{TH}を超えると、 V_{OUT} が V_{SC} を超えて上昇するか、または1.2msの回路ブレーカーグリッチ除去期間 V_{CB} を超えて上昇するまで、MAX5936/MAX5937は動作を開始しません。これらの状況のいずれかが起きると、ステップGATEサイクルが始まり、GATEは直ちに V_{EE} になり、パワーMOSFETがターンオフしバックプレーンからの突入電流サージが最小限に抑制されてPGOODがアサートされたままになります。GATEは350μsの間 V_{EE} に保たれ、約1ms後にランプアップを開始するため、パワーMOSFETはパワーアップGATEサイクルの場合のように制御された状態で導通します。こうして、突入電流が制御されて、負荷容量が新たな電源電圧に充電されます(「付録A」の「GATEサイクル」の項を参照してください)。

パワーアップGATEサイクルの場合と同様に、 V_{OUT} が設定された V_{CB} の74%未満に低下すると、GATE電圧はSTEP_MONの状態に関係なく直ちに完全導通状態に駆動されます。

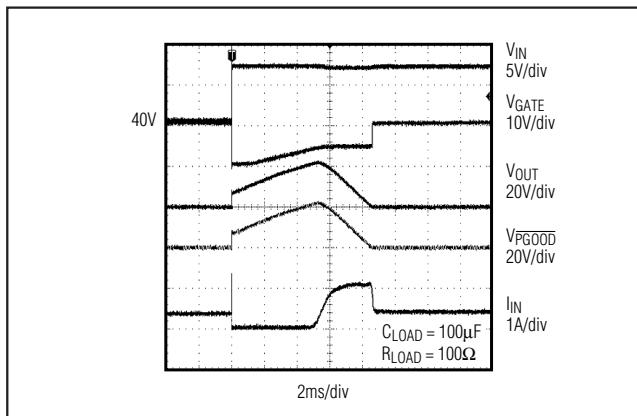


図6. ステップ入力に対するMAX5936の応答($V_{OUT} < 0.74V_{CB}$)

PGOODは、ステップを通じてアサートされたままです。また、STEP_MON入力がそのスレッショルド未満に減衰していても V_{OUT} が設定された V_{CB} の74%を超えたままであれば(GATEが完全導通状態の90%に達したとき)、ステップトウフォルト管理が発生しています。GATEが直ちに V_{EE} に駆動されると、パワーMOSFETがターンオフして負荷が切斷され、PGOOD(PGOOD)がアサート解除されてMAX5936/MAX5937がフォルト管理モードに入ります。

フォルト管理

フォルト管理は、下記の条件によってトリガれます。

- V_{OUT} が完全導通状態の90%においてGATEのランプアップ中に V_{CB} の74%を超えた場合。
- V_{OUT} が完全導通状態中に1.2msよりも長い間 V_{CB} を超えた場合。
- V_{OUT} が完全導通状態中に V_{SC} を超えた場合。
- 負荷プローブ試験が不合格の場合。

フォルト管理モードに一度入ると、GATEは V_{EE} に駆動されたままとなり、外付けMOSFETがターンオフされてPGOOD(PGOOD)がアサート解除されたままとなります。MAX5936A/_MAX5937A_はフォルトに続いて自動再試行を行いますが、MAX5936L/_MAX5937L_はフォルト状態でラッチされたままとなります。

自動再試行フォルト管理 (MAX5936A/_MAX5937A_)

MAX5936A/_MAX5937A_が回路ブレーカー及び短絡のフォルトによってフォルト管理に入ると、自動再試行タイマが直ちに始動します。タイマは3.5s(typ)でタイムアウトし、この時点でシーケンサが負荷プローブ試験を開始します。これが無事終了すると、通常のパワーアップGATEサイクルが始まります。

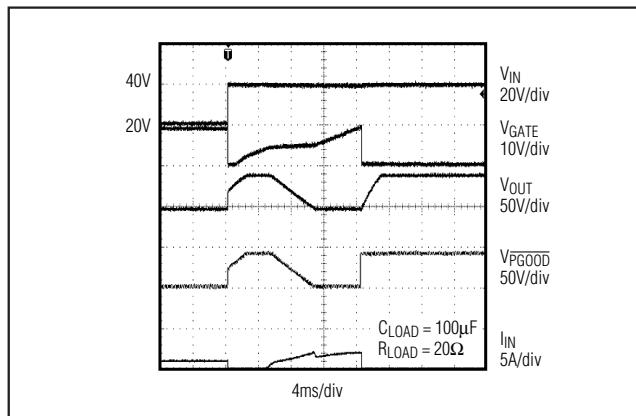


図7. ステップ入力に対するMAX5936の応答($V_{OUT} > 0.74V_{CB}$)

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

ラッチ付きフォルト管理 (MAX5936L/_MAX5937L_)

MAX5936L/_MAX5937L_がフォルト管理に入ると、電源を切って入れ直すかまたはUVLOが1.5ms(typ)の間1.125V未満に低下するまではデバイスが無期限にこの状態に保たれます(短絡または回路ブレーカのフォルトがクリアされると、シーケンサが負荷プローブ試験を開始します)。これが無事終了すると、デバイスは通常のパワーアップGATEサイクルを開始します。手動リセット回路(図8)は、ラッチをクリアするのに使用することができます。

回路ブレーカスレッショルド

MAX5936/MAX5937には、100mV、200mV、及び400mVの回路ブレーカスレッショルドがあります。短絡電圧スレッショルド(V_{SC})は、回路ブレーカスレッショルド電圧(V_{CB})の2倍です。MAX5936/MAX5937では、 V_{CB} と V_{SC} は、温度補償されており(温度とともに増加)、標準パワーMOSFETの正規化温度勾配を追尾します。

アプリケーションにとって適切な回路ブレーカスレッショルドは、外付けパワーMOSFETの $R_{DS(ON)}$ 及び想定される最大負荷電流によって決まります。間違ったフォルト指示とロードドロッピング(load dropping)を防止するために、設計者はバックプレーン電源の電圧リップルとノイズ、ならびに回路の負荷であるダウンストリームDC-DCコンバータのスイッチング電流に対する負荷応答を考慮する必要があります。回路ブレーカスレッショルドは持続時間が1.2ms未満のリップルとノイズを無視するグリッチ除去機能を備えていますが、短絡検出は短絡に対して即座に(330ns未満)応答するように設計されています。 V_{SC} と V_{CB} は、すべてのリップル、ノイズ、及びシステム電流トランジエントを考慮に入れて前記3つの有効範囲から適度の余裕を持たせて選択する必要があります。

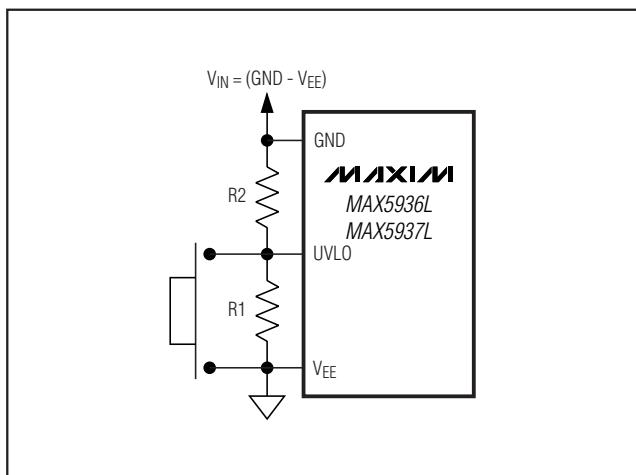


図8. フォルト状態後の押しボタンスイッチを使用した
MAX5936L/MAX5937Lのリセット

短絡及び回路ブレーカの電圧は、パワーMOSFETのドレインである V_{OUT} で検出されます。MOSFETの $R_{DS(ON)}$ は電流検出抵抗であるため、負荷と負荷容量を流れる全電流はパワーMOSFETのドレイン電流です。したがって、 V_{OUT} における電圧は、MOSFETドレイン電流の関数として次のように表わされます。

$$V_{OUT} = I_{D,MOSFET} \times R_{DS(ON)}$$

MAX5936/MAX5937の温度補償は、標準パワーMOSFETの $R_{DS(ON)}$ を追尾するように設計されています。図9は、回路ブレーカスレッショルドの標準的な正規化温度係数を2つの標準的なパワーMOSFETの $R_{DS(ON)}$ の正規化温度係数とともに示します。アプリケーションにおいて回路ブレーカスレッショルドを決定する際は、パワーMOSFETのデータシートを参照して、 V_{GS} が10Vの+25°Cにおけるメークの最大 $R_{DS(ON)}$ を探してください。つぎに、正規化 $R_{DS(ON)}$ の温度係数、すなわちオン抵抗と温度を表す数字を見つけてください。この曲線は通常+25°Cで1の値に正規化された単位で表わされているため、曲線に+25°Cでのドレイン電圧を掛けて曲線をドレイン電圧に変換することができます。ここで、この曲線をMAX5936/MAX5937によって正規化された回路ブレーカスレッショルドの温度係数の曲線と比較して、パワーMOSFET [$I_{D,MOSFET} \times R_{DS(ON)}$] と MAX5936/MAX5937の間のトラッキング誤差をアプリケーションの動作温度範囲に対してmV単位で決定してください。パワーMOSFETの温度係数がMAX5936/MAX5937の温度係数よりも大きい場合は、+25°Cよりも高い温度で回路ブレーカと短絡電圧を選択する際にさらに余裕を考慮する必要があります。パワーMOSFETの損失が周囲条件に対して温度の局所的上昇を招くことが予想される場合は、MAX5936/MAX5937をパワーMOSFETにできる限り近づけて配置する必要があります。温度差が回路ブレーカと短絡電圧に与える有効限界は、図9のような比較プロットから推測することができます。

MAX5936LN及びMAX5937LN

MAX5936LN及びMAX5937LNは、回路ブレーカと短絡スレッショルドを持っておらず、これらのフォルトは無視されます。これらのデバイスでは、GATEが完全導通状態の90%までランプアップしてから1.26ms後にPGOOD(\overline{PGOOD})がアサートされます。MAX5936LN及びMAX5937LNのステップ検出機能は、MAX5936_C及びMAX5937_Cと同じ電圧スレッショルドを持つ V_{IN} 及び V_{OUT} ステップに応答します。

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

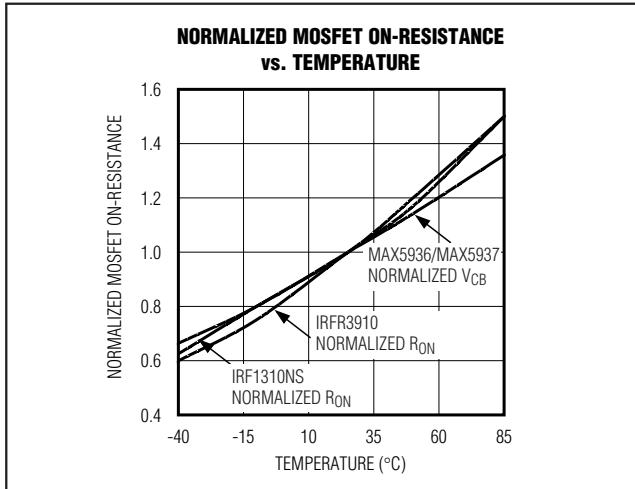


図9. MAX5936/MAX5937/正規化回路ブレーカ
スレッショルド(V_{CB})

PGOOD(PGOOD)オーブンドレイン出力

パワーグッド出力のPGOOD(\overline{PGOOD})は、オーブンドレインで、 V_{OUT} を比較参照します。これらは、 V_{OUT} が V_{CB} の72%未満でランプアップするとアサートされラッチします。ラッチは、内蔵された遅延回路によって、外付けMOSFETが完全に導通してから1.26ms後に起こります。PGOOD(\overline{PGOOD})は、デバイスがフォルト管理に入るとアサート解除されます。PGOOD(\overline{PGOOD})は、UVLOに対して遅れて応答します。UVLOが1.5msの間1.125V未満に下がると、GATEは V_{EE} になります。ここで、パワーMOSFETがターンオフし、 V_{OUT} は負荷のRC時定数に従って上昇します。この状況では、 V_{OUT} が1.4msを過ぎてから V_{CB} よりも上昇するか、または V_{SC} よりも上昇するかのどちらか先に到来した時点でPGOOD(\overline{PGOOD})がアサート解除されます(図12b参照)。

オーブンドレインドライバのため、PGOOD(\overline{PGOOD})にはGNDに対してプルアップ抵抗器を外付けする必要があります。この外付けプルアップがあることで、

PGOODは、能動プルアップによる駆動の場合と同様に正の V_{IN} ステップに追従しません。その結果、PGOOD(\overline{PGOOD})がハイにアサートされたとき、正の V_{IN} ステップの間に見かけ上負のグリッチがPGOOD(\overline{PGOOD})に現れます。この負のグリッチは、外付け抵抗器とPGOODピン容量のRC時定数だけ V_{IN} ステップに遅れて現れます。これは、内部ロジックのスイッチングに起因するものではありません。この負のトランジエントを最小にするためには、プルアップ電流を増加するか、またはPGOOD(\overline{PGOOD})からGNDに小さい容量を追加してピン容量を補償するか、またはこれら両方を行う必要があります。

警告 : MAX5936_N/MAX5937_Nでは、 V_{OUT} とは関係なく、パワーMOSFETが完全に導通してから1.26ms後にPGOOD(\overline{PGOOD})がアサートされます。MOSFETが一度完全に導通してUVLOがその各々のスレッショルド未満に駆動されると、GATEは V_{EE} に駆動されてパワーMOSFETをターンオフし、負荷を切断します。UVLOが再びローに駆動されると、 V_{OUT} がGNDまで上昇して負荷の両端に電圧がない場合でもPGOOD(\overline{PGOOD})はアサートされたままです。要約すると、MOSFETは一度完全に導通すると、MAX5936_N/MAX5937_Nは V_{OUT} を無視し、MAX5936_N/MAX5937_Nへの電源を完全に切つて入れ直したときのみPGOOD(\overline{PGOOD})がアサート解除されます。

低電圧ロックアウト(UVLO)

UVLOは、MAX5936/MAX5937に対するターンオン電圧レベルの正確な設定手段を提供します。抵抗分圧器回路をGNDと V_{EE} の間に接続して所望のターンオン電圧を設定してください(図11)。UVLOには、1.25Vの立上りスレッショルドと1.125Vの立下りスレッショルドのヒステリシスがあります。スタートアップに220msの遅延があるため、スタートアップシーケンスの開始前に接触と電圧安定化が可能です。(図12a)。

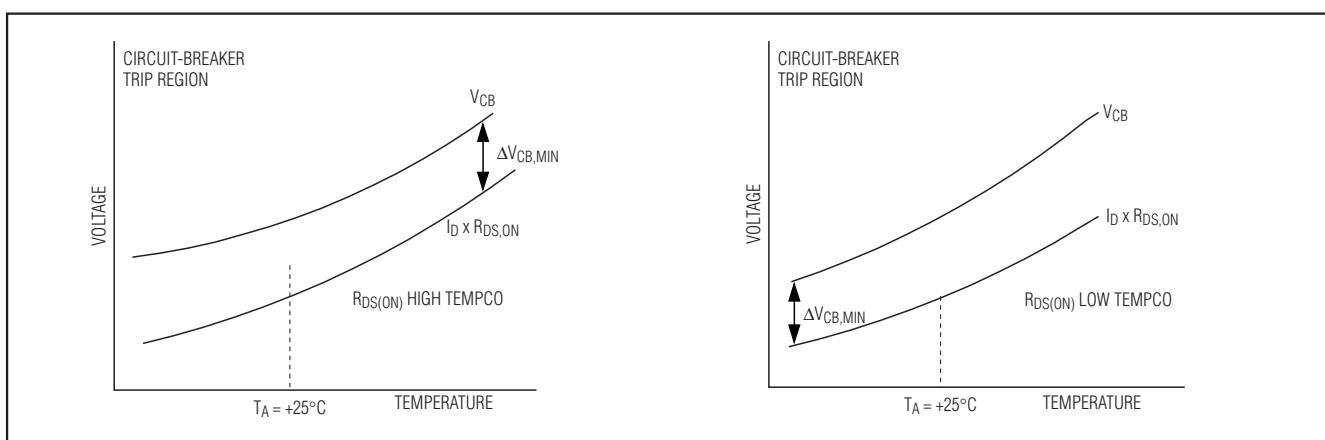


図10. 高低温度係数のパワーMOSFETに関する回路ブレーカ電圧余裕

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

このスタートアップ遅延は、有効なUVLO状態から負荷プローブ試験の開始までです。UVLOがローになる際にグリッヂが除去されます。グリッヂ除去では、デバイスをターンオフするために1.5msの間 V_{UVLO} がその立下りスレッショルド未満に留まっている必要があります(図12b)。次式を使ってMAX5936/MAX5937のターンオン電圧を計算してください。

$$R2 = \left(\frac{V_{ON}}{V_{UVLO_REF,R}} - 1 \right) \times R1$$

ここで、 V_{ON} はMAX5936/MAX5937の所望のターンオン電圧で、 $V_{UVLO_REF,R}$ は1.25VのUVLO立上りスレッショルドです。

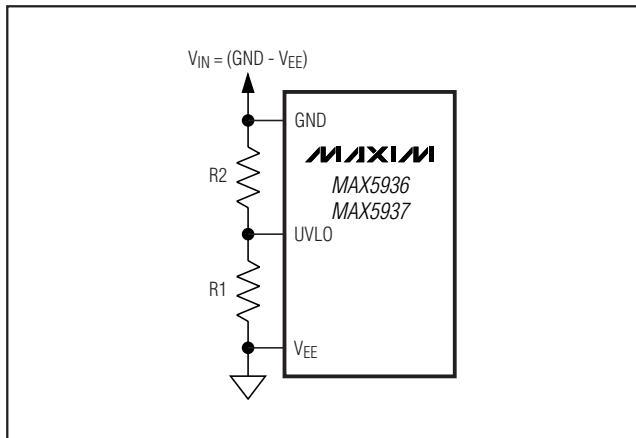


図11. MAX5936/MAX5937のターンオン電圧の設定

出力電圧(V_{OUT})のスルーレート制御

V_{OUT} のスルーレートは、負荷コンデンサの充電に必要な突入電流を制御します。MAX5936/MAX5937は、9V/msに設定されたデフォルトのスルーレートを持っていています。このスルーレートを確定する内部回路は、デフォルトのスルーレートに影響を与えることなく、外付けパワーMOSFETの最大約1000pFの帰還容量(ミラー容量)に適応します。デフォルトのスルーレートを使用すると、負荷容量の充電に必要な突入電流は次式で与えられます。

$$I_{INRUSH} (\text{mA}) = C_{LOAD} (\mu\text{F}) \times SR (\text{V/ms})$$

ここで、 $SR = 9\text{V/ms}$ (デフォルト、typ)です。

アプリケーション情報

ステップモニタの抵抗器及びコンデンサの値の選択

正の V_{IN} ステップまたはランプが発生して V_{IN} が増加するとSTEP_MONと V_{OUT} の両電圧が V_{EE} に対して上昇します。STEP_MONの電圧が $STEP_{TH}$ を超えると、MAX5936/MAX5937は短絡と回路ブレーカーのフォルトを阻止します。STEP_MONがハイのこの状態では、 V_{OUT} が V_{SC} よりも上昇するとMAX5936/MAX5937は直ちにかつ急速にGATEを V_{EE} に駆動します。これで、パワーMOSFETがターンオフし、突入電流によるスパイクが回避されます。GATEは、350μsの間口一に保持されます。GATEのプルダウン開始から約1ms後、MAX5936/MAX5937はGATEのランプアップを開始してMOSFETを制御された状態で導通させます。これで、 V_{OUT} は新たな電源レベルにランプダウンします(「付録A」の「GATEサイクル」の項をご覧ください)。

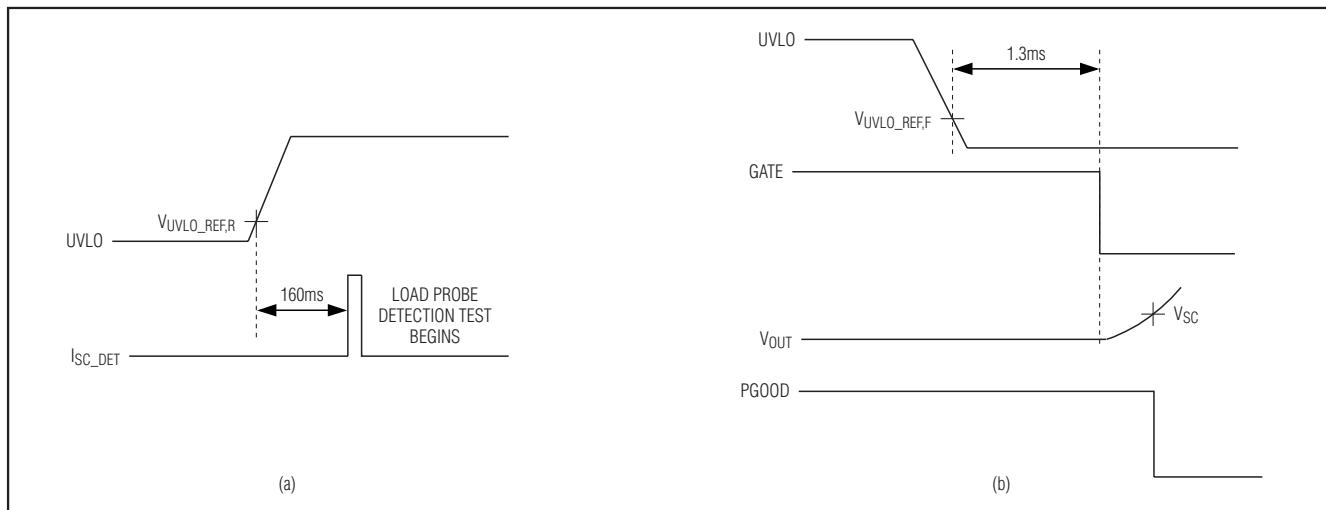


図12. UVLOのタイミング図

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

この動作に伴う V_{OUT} への外乱は最小限度に抑えられていますが、MOSFETがオフの短期間に負荷両端の電圧が負荷電流と負荷の電荷蓄積容量に応じてわずかに垂下します。PGOODは、 V_{IN} ステップ事象を通じてアサートされたままになります。

ステップモニタ機能に関わる抵抗器とコンデンサを選択する際の目標は、予想されるすべての傾斜と振幅の V_{IN} ステップが正しく検出されて阻止されるようになります。さもなければ回路ブレーカまたは短絡のフォルトが発生します。以下に、抵抗器とコンデンサを定めるための簡便な解析を示します。詳しい解析については、「付録B」をご覧ください。

図13は、ステップ保護機能に必要なMAX5936/MAX5937のエレメントを示すファンクションダイアグラムです。このブロック図は、 V_{OUT} と V_{STEP_MON} の並行関係を示します。各々は、ステップが加わる前にDCレベルを設定する* R コンポーネントを備えています。これは、 V_{IN} ステップと呼ばれ、重要な有限の電圧ランプに対するダイナミック応答です。

ランプ速度が dV/dt の正 V_{IN} ランプを仮定すると、 V_{IN} に対する V_{OUT} の近似応答は次のようになります。

$$V_{OUT}(t) = (dV/dt) \times \tau_C \times (1 - e^{(-t/\tau_{L,eqv})}) + R_{DS(ON)} \times I_{LOAD}$$

ここで、 $\tau_C = C_{LOAD} \times R_{DS(ON)}$ です。 $\tau_{L,eqv}$ は、負荷の等価時定数で実験によって求める必要があります（「付録B」参照）。

同様に、 V_{IN} ランプに対するSTEP_MONの応答は次のようにになります。

$$V_{STEP_MON}(t) = (dV/dt) \times \tau_{STEP} \times (1 - e^{(-t/\tau_{STEP})}) + 10\mu A \times R_{STEP}$$

ここで、 $\tau_{STEP} = R_{STEP_MON} \times C_{STEP_MON}$ です。

ステップを正しく検出するためには、 V_{OUT} が V_{SC} に達する前、または V_{OUT} が V_{CB} （アプリケーションで予想されるすべての V_{IN} ランプ速度）に達してから1.4ms以内に V_{STEP_MON} が $STEP_{TH}$ を超える必要があります。 $I_{STEP_OS}(\pm 8\%)$ と R_{STEP_MON} の両方の許容範囲を受容するためには、十分な余裕 ΔV_{STEP_MON} を持たせて V_{STEP_MON} を $STEP_{TH}$ よりも低く設定する必要があります。 R_{STEP_MON} は、通常、0.36V（ワーストケースのハイ）に対する ΔV_{STEP_MON} を発生する100kΩに設定されます。

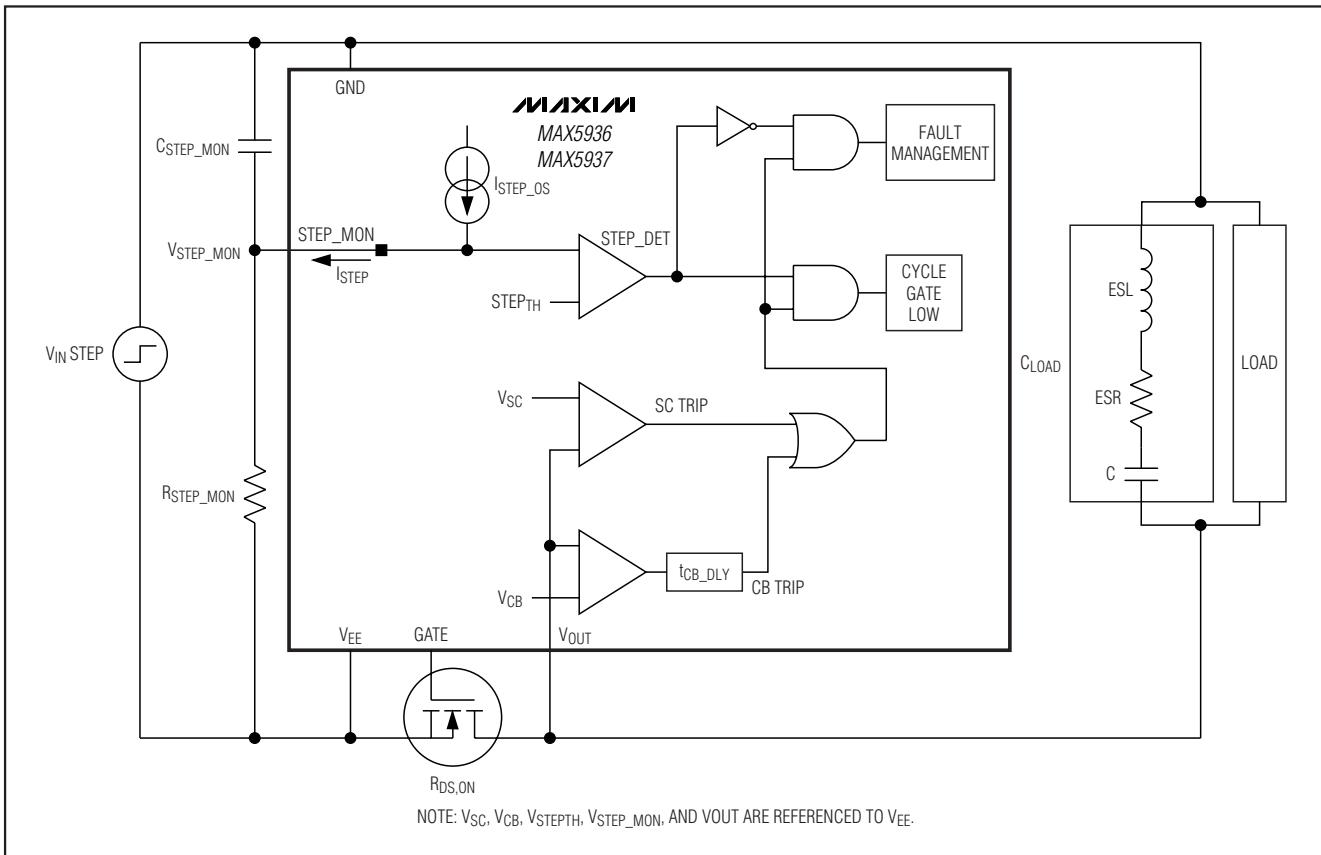


図13. MAX5936/MAX5937のステップ保護ファンクションダイアグラム

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

V_{SC} と V_{CB} に関する V_{OUT} の余裕は、 V_{SC} と V_{CB} を3つの有効範囲から選択したときに設定されます。この余裕は極限温度の1つの低い方の値としてもよく、その場合、この温度は以下のように使用する必要があります。これらの余裕は ΔV_{CB} 及び ΔV_{SC} と呼ばれ、それぞれのフォルトをトリップする必要のある最小の V_{OUT} 振幅を表わします。

τ_{STEP} を設定して、あらゆるランプ速度に対するすべての V_{CB} と V_{SC} フォルトを阻止するために、 ΔV_{STEP_MON} と ΔV_{CB} の比を求めて τ_{STEP} を次のように選定してください。

$$\tau_{STEP} = 1.2 \times \tau_C \times \Delta V_{STEP_MON} / \Delta V_{CB}$$

ここで、 $R_{STEP_MON} = 100\text{k}\Omega$ です。これから、 $C_{STEP_MON} = \tau_{STEP}/100\text{k}\Omega$ が得られます。

初回試行部品の選択後、タイミングに十分な余裕があれば（「付録B」参照）、 R_{STEP_MON} を $100\text{k}\Omega$ 未満に下げて V_{IN} ノイズに対する $STEP_MON$ の感度を下げるることは可能ですがその必要はありません。

付録Bには、ステップモニタ機能のさらに詳しい解析と説明が記載されています。この付録では、 V_{IN} に対する負荷応答の特性記述方法及び1組の設計パラメータに関するステップモニタのタイミング余裕をグラフによって確認する方法が記載されています。

PGOOD(PGOOD)プルアップ抵抗器の選択

オープンドレインドライバのため、PGOOD(PGOOD)にはGNDに対してプルアップ抵抗器を外付けする必要があります。この抵抗器は、PGOOD(PGOOD)がローの間に電流負荷が最小になるように選択する必要があります。 V_{OL} に対するPGOOD出力仕様は 1mA において 0.4V です。「詳細」の項に記載したように、外付けプルアップは、能動プルアップによって駆動される場合と同様に正 V_{IN} ステップに追従しようとするPGOOD(PGOOD)の機能を妨げます。PGOOD(PGOOD)がハイにアサートされると、正 V_{IN} ステップの間に見かけ上負のグリッチがPGOODに現れます。この負のトランジエントを最小にするためには、プルアップ電流を増加するか、またはPGOOD(PGOOD)からGNDに小さい容量を追加してビン容量を補償するか、またはこれら両方を行う必要があります。

負荷プローブ試験の試験電流レベルの設定

負荷プローブ試験は、パワーMOSFETのターンオンを防止する負荷の電流試験です。MAX5936/MAX5937は、負荷、及び外付け電流制限抵抗器 R_{LP} に電流を流すスイッチ（図14のQ1）を内蔵しています。試験中、このスイッチには最長 $220\text{ms}(\text{typ})$ の間パルスが加えられます。負荷を流れる電流は、短絡がなければ負荷容量を充電するはずです。負荷両端の電圧が 200mV を超えると、試験が打ち切られて通常のパワーアップが進行します。電流が流れている 220ms の期間に負荷両端の電圧が 200mV に達しなければ、

負荷は短絡されているものとみなされてLPピンから負荷への電流は遮断されます。その際、MAX5936A/_MAX5937A_が $16 \times t_{LP}$ の間にタイムアウトすると、負荷プローブ試験が再試行されます。MAX5936L/_MAX5937L_は、UVLOが 1.5ms の間に 1.125V 未満に下がるか、または電源を切って入れ直すまで、フォルト状態を無期限にラッチします。

アプリケーションでは、電流制限抵抗器は、予想される最大負荷容量を 220mV まで 80ms で充電されるようにすると同時に負荷を流れる電流が最小になるように選択する必要があります。これらに対応するパラメータは、それぞれ最大負荷プローブ試験電圧と最小負荷プローブ電流パルスの周期です。流すことができる最大電流は 1A で、これは一般的なテレコム動作電圧範囲において $170,000\mu\text{F}$ という大きな負荷容量を試験するのに十分な値です。

$$I_{TEST}(\text{A}) = C_{LOAD,\text{MAX}}(\text{F}) \times 220\text{mV} / 80\text{ms}$$

アプリケーションに対して想定された最小 V_{IN} では I_{TEST} が最低となるため、負荷プローブ試験の際はこの $V_{IN,\text{MIN}}$ を使用して R_{LP} を設定する必要があります。アプリケーションでは、この電圧がおそらく $V_{ON,FALLING}$ または V_{OFF} に近い値になります。

$$R_{TEST}(\Omega) = V_{IN,\text{MIN}} / I_{TEST} = V_{IN,\text{MIN}} \times 80\text{ms} / (C_{LOAD}(\text{MAX}) \times 220\text{mV})$$

例： V_{IN} の動作範囲 = $36\text{V} \sim 72\text{V}$ 、 $C_{LOAD} = 10,000\mu\text{F}$ 。まず、確実な負荷試験が可能な R_{TEST} を見つけます。

$$R_{LP} = 36\text{V} \times 80\text{ms} / (10,000\mu\text{F} \times 220\text{mV}) = 1,309\Omega \Rightarrow 1.30\text{k}\Omega \pm 1\%$$

つぎに、 R_{LP} を最大動作電圧において評価して、これが負荷プローブ試験で 1A の電流制限値を超えないことを確認してください。

$$I_{TEST,\text{MAX}} = V_{IN,\text{MAX}} / R_{LP} = 72\text{V} / 1.30\text{k}\Omega = 55.4\text{mA}$$

$C_{LOAD(\text{MAX})}$ が $170,000\mu\text{F}$ まで増加すると、試験電流がこの限界値に近づきます。この場合、 R_{TEST} ははるかに低い値になり、内蔵のスイッチ抵抗を考慮する必要が生じます。最低電源電圧で試験が確実に行われる外付け直列抵抗器の値を見つけるために、負荷プローブスイッチのオン抵抗の最大値として 11Ω を採用する必要があります。

$$R_{LP,\text{TOT}} = 36\text{V} \times 80\text{ms} / (170,000\mu\text{F} \times 220\text{mV}) \\ = 77\Omega = 11\Omega + R_{LP}$$

$$R_{LP} = 77\Omega - 11\Omega = 66\Omega \Rightarrow 66.5\Omega \pm 1\%$$

もう一度、 R_{LP} を最大動作電圧において評価して、これが負荷プローブ試験で 1A の電流制限値を超えないことを確認する必要があります。この場合、負荷プローブスイッチのオン抵抗の最小値として 6Ω を採用する必要があります。

$$I_{TEST,\text{MAX}} = V_{IN,\text{MAX}} / R_{LP,\text{TOT}} = 72\text{V} / (66.5\Omega + 6\Omega) \\ = 993\text{mA}$$

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

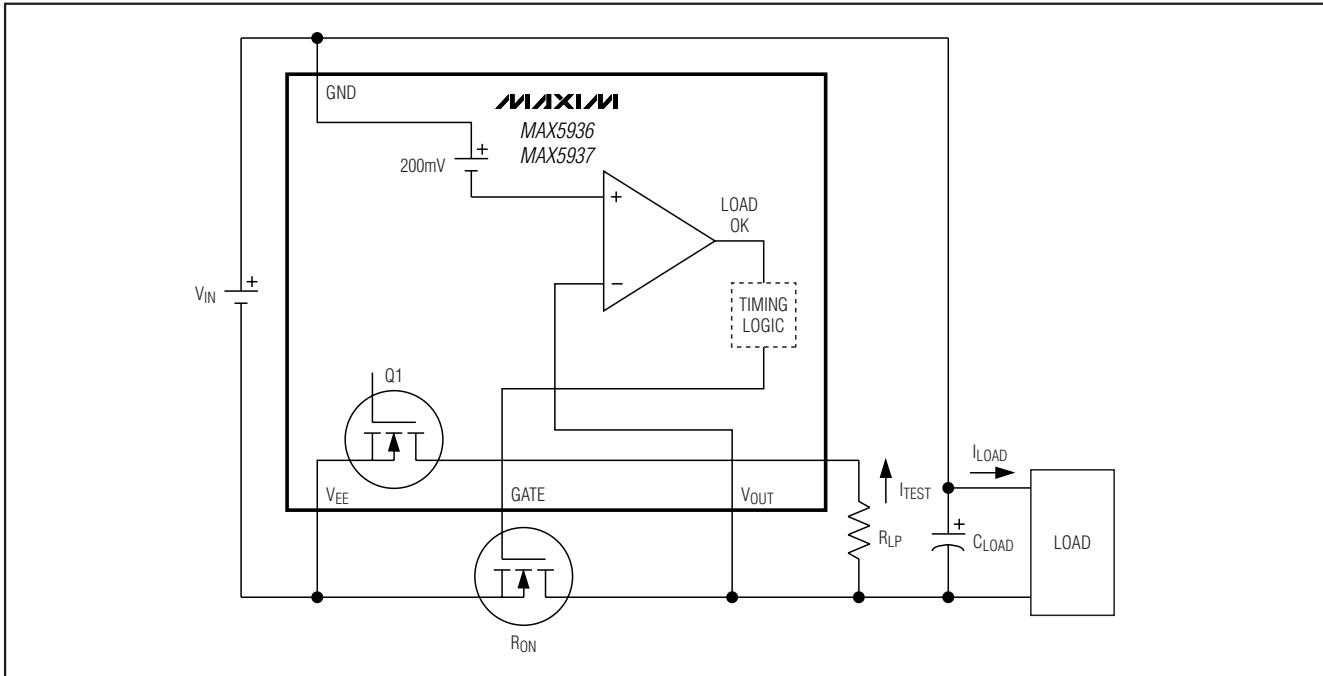


図14. 負荷プローブのファンクションダイアグラム

V_{OUT} スルーレートの調整

デフォルトのスルーレートは、内部で9V/msに設定されています。このスルーレートは、パワーMOSFETのドレインからMAX5936/MAX5937のGATE出力にコンデンサを外付けすることによって減らすことができます。図15は、スルーレートと C_{SLEW} のグラフを示します。このグラフは、 $C_{SLEW} < 4700\text{pF}$ であれば、スルーレート制御コンデンサを外部に追加してもほとんど影響がないことを示しています。これは、GATE出力がゲート容量の大きいハイパワーMOSFETを駆動することができるようになり、かつデフォルトのスルーレートも実現可能にしようというものです。スルーレート制御コンデンサを選択するためには、グラフで所望のスルーレートに対するミラー容量の値を見つけてください。 $C_{SLEW} > 4700\text{pF}$ の範囲で、SRと C_{SLEW} は逆比例の関係にあります。所望のスルーレートを仮定すると、所要の C_{SLEW} は次式から求められます。

$$C_{SLEW}(\text{nF}) = 23 / SR (\text{V/ms})$$

パワーMOSFETのデータシートから、10V以上の帰還容量(ゲート-ドレイン間容量)を見つけてください。外付けパワーMOSFETの帰還容量が C_{SLEW} の5%以上であれば、これを上式の C_{SLEW} から差し引きます。

図16は、スルーレートを制御する外部回路例を示します。選択したパワーMOSFETに関わる寄生成分によっては、 C_{SLEW} を追加することでMOSFETとGATE制御がリニアな範囲において発振が生じる場合があります。これが問題になる場合は、MOSFETのゲートと直列に抵抗器 R_{GATE} を外付けして発振を防止します。これは、できる限り小さい

値として(たとえば、 $5\Omega \sim 10\Omega$)、MAX5936/MAX5937のMOSFETターンオフ性能に影響ないようにします。

レイアウト指針

MAX5936/MAX5937に組み入れられた温度補償を生かすために、デバイスをこれが制御するパワーMOSFETにできる限り近づけて配置する必要があります。MAX5936/MAX5937の V_{EE} ピンは、パワーMOSFETのソースピンに近づけて配置し幅の広い配線で接続してください。共通の最上層プレーンは、熱的にも電気的にも有用であると考えられます。負荷プローブ電流も考慮する必要があります。この電流が大きい場合は、レイアウトの配線と電流制限抵抗器のサイズを相応に定める必要があります。ホットスワップコントローラ、パワーMOSFET、及び負荷コンデンサの全レイアウトで、配線の浮遊インダクタンスを最小にする必要があります。基板の接触部を起点とするすべての大電流配線は、短くかつ幅広くして直接接続するようにします。大きなパルス電流が流れる可能性のあるMAX5936/MAX5937のピンは、GATE(ローに駆動したときのGATE)、負荷プローブ、及び V_{EE} です。ホットスワップ要件の性質上、MAX5936/MAX5937にはデカップリングコンデンサをお求めしません。デカップリングコンデンサがないため、パワーアップ時や立上りの速い V_{IN} ステップを印加した際には浮遊インダクタンスによってGNDピンに過大なリンクギングが生じる可能性があります。GNDピンのリンクギングはデバイスの絶対最大電源定格を超える場合があるため、これについてはアプリケーションの設計ごとに検討する必要があります。

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

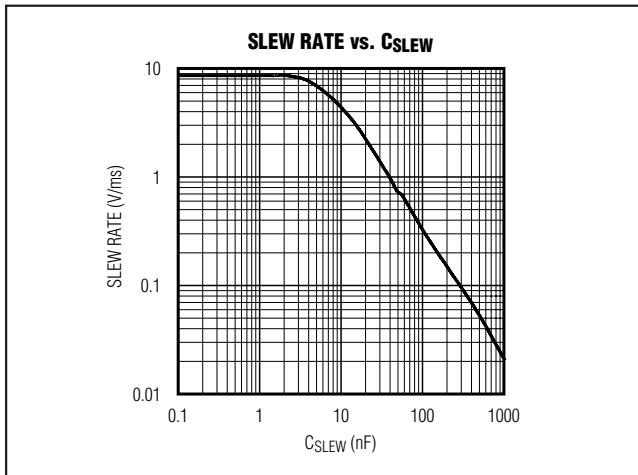


図15. MAX5936/MAX5937のスルーレートと C_{SLEW}

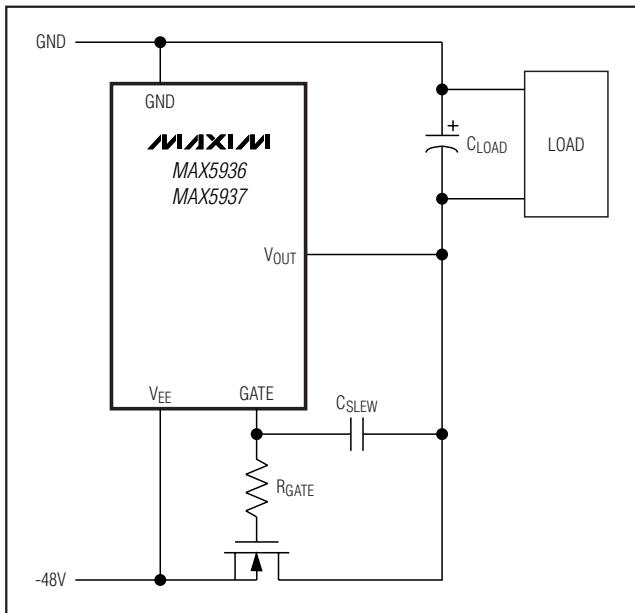


図16. MAX5936/MAX5937のスルーレートの調整

入力トランジエント保護

ホットプラグイン/アンプラグの際及び高速 V_{IN} ステップを印加する際、電源経路の浮遊インダクタンスは通常の入力DC値を超える電圧リングを発生する可能性があり、このリングが絶対最大電源定格を超えるおそれもあります。電光などによる入力トランジエントも入力レールに過酷なピーク過渡電圧を誘起する可能性があります。トランジエントの影響を抑制するために、以下の方法をお奨めします。

- 幅の広い配線を用いて電源経路の浮遊インダクタンスを最小にするとともに、電源配線とリターングランド経路などのループ面積を最小にしてください。
- 高周波(セラミック)バイパスコンデンサをプラグインコネクタのできる限り近くでバックプレーンに接続してください(図17)。
- 1kΩの抵抗器をMAX5936/MAX5937のGNDピンと直列に、また0.1μFのコンデンサをGNDと V_{EE} の間に接続してこのピンに入るトランジエント電流を制限してください。

付録A

GATEサイクル

パワーアップGATEサイクルとステップGATEサイクルは、よく似ていますが、明らかな違いがあります。これらの違いを理解すると、アプリケーションの問題点が明らかになります。

パワーアップ中のGATEサイクル

パワーアップGATEサイクルは、MAX5936/MAX5937及びこれに関連するパワーMOSFETと負荷の初期パワーアップの際に行われます。パワーアップGATEサイクルでは、完全導通やフォルトに至る場合があります(すべての電圧は V_{EE} を基準電位とします)。

完全導通状態までのパワーアップ :

- パワーアップGATEサイクル開始までのパワーアップシーケンスの最初に、GATEは V_{EE} に保たれます。負荷プローブ試験の正常な終了に続いて、GATEはさらに350μsの間 V_{EE} に保たれた後、650μsの間フローティング状態になります。この時点で、GATEはパワーMOSFETのゲートを52μAで充電してランプアップし始めます。[GATEターンオン]
- GATEがパワーMOSFETのゲートレスショルド電圧に達すると、 V_{OUT} は V_{EE} に向かってランプダウンし始めます。[V_{OUT} ランプ]
- V_{OUT} が V_{CB} の72%以下にランプダウンすると、GATEが即座に完全導通状態に駆動されてパワーアップGATEサイクルが終了します。GATEが完全導通状態に駆動されてから1.26ms後に、PGOODがアサートされます。[完全導通状態]

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

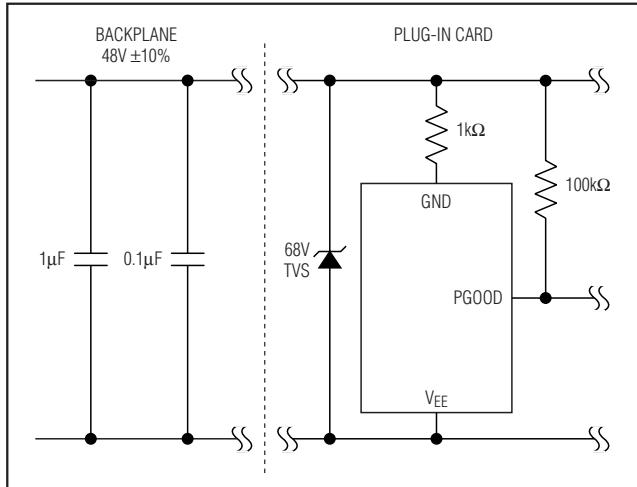


図17. 高電圧トランジエントからのMAX5936/MAX5937の保護

パワーアップからフォルト管理 :

- 1) 前記ステップ1と同じ。[GATEターンオン]
- 2) 前記ステップ2と同じ。[V_{OUT} ランプ]
- 3) V_{OUT} が V_{CB} の72%よりも高い電圧に保たれた状態でGATEは完全導通状態の90%までランプアップし、この時点で、GATEは急速に V_{EE} に駆動されてフォルト管理が始まります。[フォルト管理]

V_{IN} ステップ中のGATEサイクル

ステップGATEサイクルは、完全導通状態までのパワーアップGATEサイクルが正常に完了した後にのみ、正の V_{IN} ステップの結果として続けられます(すべての電圧は V_{EE} が基準です)。

完全導通状態までのステップ :

- 1) V_{IN} ステップが発生し、 V_{OUT} が V_{SC} を超える前にSTEP_MONが $STEP_{TH}$ を超えて上昇します。[ステップ検出]
- 2) ステップが検出されると、 V_{OUT} がこのステップに応答して V_{SC} を超えて上昇します。 V_{OUT} が V_{SC} を超えて上昇すると、GATEは直ちに V_{EE} に駆動されてパワーMOSFETを即座にターンオフします。GATEは350μsの間 V_{EE} に保たれてリングングを減衰させます。GATEが一度 V_{EE} に駆動されると、ゲートサイクルが始まり、STEP_MONが確実に $STEP_{TH}$ 未満に下がり、フォルト管理を開始することなく完全導通状態までのステップGATEサイクルを正常に終了します。[GATEプルダウン]
- 3) 350μsのGATEプルダウンに続いて、GATEは650μsの間フローティング状態になります。この時点で、GATEはパワーMOSFETのゲートを52μAで充電してランプアップを開始します。[GATEターンオン]

- 4) GATEがパワーMOSFETのゲートスレッショルド電圧に達すると、 V_{OUT} が新たな低い V_{EE} に向かってランプダウンし始めます。GATEがMOSFETスレッショルド未満の期間では、MOSFETがオフ状態であり V_{OUT} は負荷のRC時定数に従つて垂下します。[V_{OUT} ランプ]
- 5) V_{OUT} が V_{CB} の72%未満にランプダウンすると、GATEは即座に完全導通状態に駆動されてステップGATEサイクルが終了します。STEP_MONが $STEP_{TH}$ よりも高い状態にある場合、GATEが完全導通状態の90%までランプアップされて V_{OUT} が V_{CB} の72%よりも高い状態にあるとき、GATEは90%に留まっており完全導通状態まで駆動されません。この状態で、STEP_MONが $STEP_{TH}$ 未満に下がる前に V_{OUT} が V_{CB} の72%未満に低下すると、GATEは即座に完全導通状態に駆動されてステップGATEサイクルが終了します。PGOODは、ステップGATEサイクルを通じてアサートされたままです。[完全導通状態]

フォルト管理までのステップ :

- 1) 前記ステップ1と同じ。[ステップ検出]
- 2) 前記ステップ2と同じ。[GATEプルダウン]
- 3) 前記ステップ3と同じ。[GATEターンオン]
- 4) 前記ステップ4と同じ。[V_{OUT} ランプ]
- 5) STEP_MONが $STEP_{TH}$ 未満の場合、GATEが完全導通状態の90%にランプアップして V_{OUT} が V_{CB} の72%を超えた状態を保つと、GATEは即座に V_{EE} に駆動されます。フォルト管理が開始してPGOODがアサート解除されます。STEP_MONが $STEP_{TH}$ よりも高い場合、GATEが完全導通状態の90%にランプアップして V_{OUT} が V_{CB} の72%を超えた状態を保つとき、GATEは90%のままでです。これは完全導通状態にも V_{EE} にも駆動されません。この状態で、STEP_MONが $STEP_{TH}$ 未満に低下する前に V_{OUT} が V_{CB} の72%未満に下がると、GATEが即座に完全導通状態に駆動されてフォルトが回避されます。逆に、STEP_MONが最初に $STEP_{TH}$ 以下に下がると、GATEが即座に V_{EE} に駆動され、フォルト管理が開始し、PGOODがアサート解除されます。[フォルト管理]

STEP_MONが $STEP_{TH}$ よりも高い状態にある間は電流フォルト管理が阻止されることに留意する必要があります。この期間には、 V_{OUT} が V_{SC} よりも高く上昇してから V_{CB} の75%未満に低下するといった事象が複数起きる可能性があります。これらの事象の各々において、 V_{OUT} が V_{SC} よりも上昇すると、フルGATEサイクルが開始して、GATEがまずローに駆動されてからランプアップします。そして最後に、 V_{OUT} の条件が満たされると完全に導通します。

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

GATE出力

GATEは出力構成が複雑で、その瞬時の状態は複数入力に対する応答の様々なタイミングシーケンスに依存します。 V_{EE} に接続されたダイオードは負のスイングを防止します。正のスイングについては、下記の状態が存在します。

- 1) 2Vクランプのパワーオフ
- 2) V_{EE} への10Ωプルダウン
 - a. スタートアップ遅延及びフォルト状態の間で継続
 - b. ステップの検出または0V状態に続くパルス化
- 3) 15Vクランプ時のフローティング。[GATEランプの前]
- 4) 15Vクランプ時の47μA電流ソース。[GATEランプ]
- 5) 15Vクランプの内蔵10V電源にプルアップ。
[完全導通状態]

付録B

ステップモニタ部品選択のための解析

「ステップモニタの抵抗器及びコンデンサの値の選択」の項で既に述べたように、 V_{IN} から V_{OUT} までのAC応答は、負荷の寄生成分に依存します。このことは、特にパワーMOSFETの $R_{DS(ON)}$ と結合する負荷コンデンサに言えることです。負荷コンデンサ(寄生のESRとLSRを含む)とパワーMOSFETの $R_{DS(ON)}$ は、減衰係数の十分大きい二次系モデルで表わすことができます。そのため、このシステムは、 V_{IN} から V_{OUT} までが V_{IN} ランプに対する V_{OUT} の追従機能を制限するバンドパスフィルタとして作用します。STEP_MONには V_{IN} ランプに対する一次RC応答の遅れがあり、 V_{OUT} には過減衰二次応答の遅れがあります。

ランプ速度が dV/dt の正 V_{IN} ランプを仮定すると、 V_{IN} に対する V_{OUT} の近似応答は次のようにになります。

$$V_{OUT}(t) = (dV/dt) \times \tau_C \times (1 - e^{-(t/\tau_{L,eqv})}) + R_{DS(ON)} \times I_{LOAD} \quad (式 1)$$

ここで、 $\tau_C = C_{LOAD} \times R_{DS(ON)}$ です。

式1は、ランプ入力に対する負荷の過減衰二次応答を $\tau_C = C_{LOAD} \times R_{DS(ON)}$ として簡潔に表わしたもので、完全に導通したパワーMOSFETの $R_{DS(ON)}$ に dV/dt 電流を移送する負荷コンデンサの能力に対応します。負荷の等価時定数($\tau_{L,eqv}$)は、コンデンサ及び基板の相互接続部の抵抗と、寄生直列インダクタンスによるものです。 V_{IN} ランプに対する負荷のダイナミック応答特性を明確にするためには、試験を何度も繰り返して $\tau_{L,eqv}$ を実験によって決定してください。

同様に、 V_{IN} ランプに対するSTEP_MONの応答は次のようになります。

$$V_{STEP_MON}(t) = (dV/dt) \times \tau_{STEP} \times (1 - e^{-(t/\tau_{STEP})}) + 10\mu A \times R_{STEP_MON} \quad (式 2)$$

ここで、 $\tau_{STEP} = R_{STEP_MON} \times C_{STEP_MON}$ です。

ステップを正しく検出するためには、 V_{OUT} が V_{SC} に達する前、または V_{OUT} が V_{CB} (または、アプリケーションで予想されるすべての V_{IN} ランプ速度)に達してから1.4ms以内に V_{STEP_MON} が $STEP_{TH}$ を超える必要があります。MAX5936/MAX5937を使用する広範なアプリケーションに対して厳密に適用される一定の設計指針を提供することは不可能です。ただし、順守すべき制約条件と勧告があります。

順守すべき1つの制約条件とは、STEP_MONの時定数 τ_{STEP} は小さくないため最低ランプ速度では期待される $STEP_{TH}$ が得られないことを明確にすることです。積 $(dV/dt) \times \tau_{STEP} = \tau_{STEP_MON,MAX}$ は、 V_{IN} ランプが無期限に続くと仮定した場合のSTEP_MONにおける最大差電圧です。これに関連する条件は、十分な余裕 ΔV_{STEP_MON} を持たせてSTEP_MON電圧を $STEP_{TH}$ 未満に設定し、 $I_{STEP_OS}(\pm 8\%)$ と R_{STEP_MON} の両方の許容範囲を受容することです。 τ_{STEP_MON} を決定する際は、9.2μAの制限値を適用してワーストケースの I_{STEP_OS} によって十分な余裕を確保してください。

V_{OUT} の余裕(V_{SC} と V_{CB} に関する)は、 V_{SC} と V_{CB} を3つの有効範囲から選択したときに設定されます。この余裕は極限温度の1つの低い方の値としてもよく、その場合、この温度は以下のように使用する必要があります。これらの余裕は ΔV_{CB} 及び ΔV_{SC} と呼ばれ、それぞれのフォルトをトリップする必要のある最小 V_{OUT} の振幅を表わします。 R_{STEP_MON} は、通常、100kΩ±1%に設定されます。これによって、0.25Vの ΔV_{STEP_MON} 、0.16V(ワーストケースのロー)、及び0.37V(ワーストケースのハイ)が与えられます。下の式で τ_{STEP} を求める際、 $\Delta V_{STEP_MON} = 0.37V$ として、ワーストケースの I_{STEP_OS} によって十分な余裕を確保してください。

τ_{STEP} を設定して任意のランプ速度に対してすべての V_{CB} と V_{SC} のフォルトを阻止するためには、 ΔV_{STEP_MON} と ΔV_{CB} の比を求めて τ_{STEP} を次のように選定してください。

$$\tau_{STEP} = 1.2 \times \tau_C \times \Delta V_{STEP_MON} / \Delta V_{CB}$$

また、 $R_{STEP_MON} = 100k\Omega$ であるため、

$$C_{STEP_MON} = \tau_{STEP} / R_{STEP_MON} = \tau_{STEP} / 100k\Omega$$

初回試行部品の選択後、タイミングに十分な余裕があれば、 R_{STEP} を100kΩ未満に下げて V_{IN} ノイズに対するSTEP_MONの感度を下げるることは可能ですがその必要はありません。

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

ステップモニタタイミングの確認

回路ブレーカと短絡の全フォルトがすべてのランプ速度に対して阻止されることを最終的に確認することが賢明です。そのためには、何らかの図形解析が望まれますが、前記のような一連のランプ試験によって負荷の $\tau_{L,eqv}$ の値をまず見つけてください。これらの試験には、ランプ速度の増加といった一連の V_{IN} ランプによる負荷の評価、及びランプ発生中の V_{OUT} の上昇レートの監視が含まれます。各 V_{IN} ランプは一定の傾斜を持っているものとします。 V_{OUT} の応答データは、ランプアップ中からのみ採取する必要があります。 V_{IN} が新たな大きい値で安定した後に採取されたデータは使用してはなりません。図18は、負荷コンデンサ C_{LOAD} と並列の負荷、及び $V_{GS} = 10V$ で完全に導通するパワーMOSFETに直列の並列接続を示します。目的は、 V_{OUT} 応答から $\tau_{L,eqv}$ を決定することです。

図19は、 V_{IN} ランプに対する V_{OUT} の一般的な応答を時間tに対して示します。式1は、 dV/dt のランプに対する V_{OUT} の応答を示します。積(dV/dt) × τ_C は、 V_{IN} ランプが無期限に続くと仮定した場合の $\Delta V_{OUT}(max)$ 、すなわち最大 V_{OUT} 電圧差です。重要なパラメータはランプ dV/dt による ΔV_{OUT} であるため、負荷抵抗に起因する V_{OUT} のDCシフトを差し引く必要があります。これは、電源電圧とはさほど関係のない一部の負荷では無意味な場合もあります。

$$V_{OUT}(t) = V_{OUT}(t) - R_{DS(ON)} \times I_{LOAD}$$

ここで、 I_{LOAD} は、 V_{OUT} レベルの関数で、DC試験によって別途決定されるものとします。

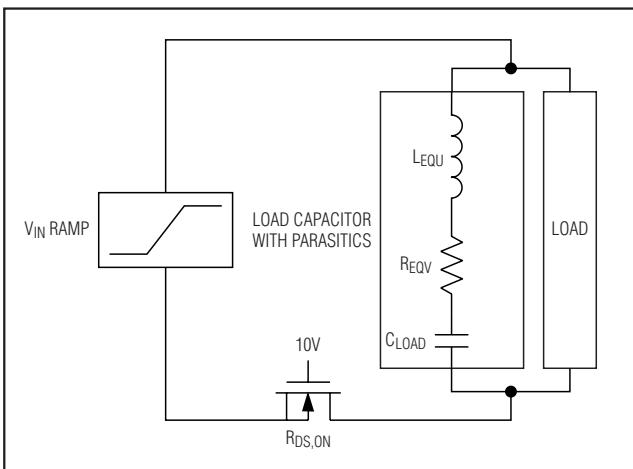


図18. 負荷の V_{IN} ランプ試験

任意の時刻(t)における $\Delta V_{OUT}(max)$ の一部分の ΔV_{OUT} は、次のようにになります。

$$\Delta V_{OUT}(t) / [(dV/dt) \times \tau_C] = (1 - e^{-(t/\tau_{L,eqv})})$$

$V_{OUT}(t)$ を時刻tで測定した場合、負荷の等価時定数は次式から求められます。

$$\tau_{L,eqv} = -t / \ln(1 - \Delta V_{OUT} / [(dV/dt) \times \tau_C])$$

前記のように、時刻t1、t2、t3、及びt4における ΔV_{OUT} の測定は、ランプ発生中に行うものとします。これら各自は $\tau_{L,eqv}$ の値がわずかに異なる場合があり、その場合、すべての値の平均値を求めるものとします。測定を行う際の V_{IN} ランプの持続時間は、 ΔV_{OUT} が選択した ΔV_{SC} の2~3倍に達する時間とします。ランプ試験には、 $\Delta V_{SC}/\tau_C$ 、 $2 \times \Delta V_{SC}/\tau_C$ 、及び $4 \times \Delta V_{SC}/\tau_C$ の3つのランプ速度が含まれるものとします。 $\tau_{L,eqv}$ の値は、測定誤差や負荷の非線形動特性、及び式1が高次の動的システムの近似であるという事実によってスルーレートの変域において変動する場合があります。結果として得られる $\tau_{L,eqv}$ の値の範囲は、最終設計の性能確認に使用する必要があります。

式1と式2を使用して τ_C 、 $\tau_{L,eqv}$ 、 R_{STEP} 、及び C_{STEP} の図形解析を行い、 t_{CB} 、 t_{STEP} 、及び t_{SC} の相対的タイミングを表示することによってステップモニタ機能を確認することができます。ここで、 t_{CB} 、 t_{STEP} 、及び t_{SC} は、 V_{CB} 、 V_{STEP_MON} 、及び V_{SC} が各電圧スレッショルドを超える時刻です。この目的の簡単なスプレッドシートはご要望に応じてマキシムからご提供いたします。図20、21、及び22では、3桁の V_{IN} ランプ速度に対する具体的な解を図上で確認することができます。さらに、図22では、 V_{OUT} が V_{CB} を超える最低の V_{IN} ランプの場合でも、この解はすべての回路ブレーカと短絡のフォルトを阻止することを確認することができます。

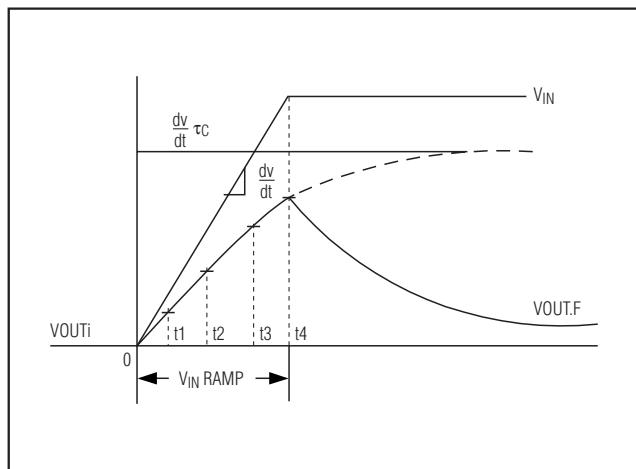


図19. V_{IN} ランプに対する V_{OUT} の一般的な応答

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

MAX5936/MAX5937

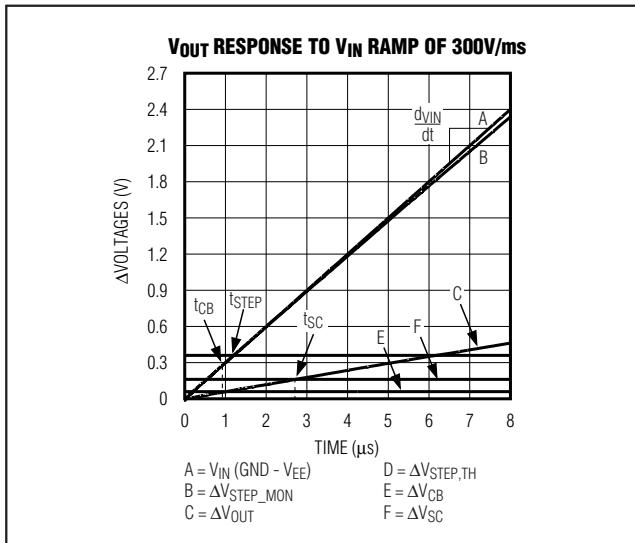


図20. 300V/msのV_{IN}ランプに対するV_{OUT}の応答

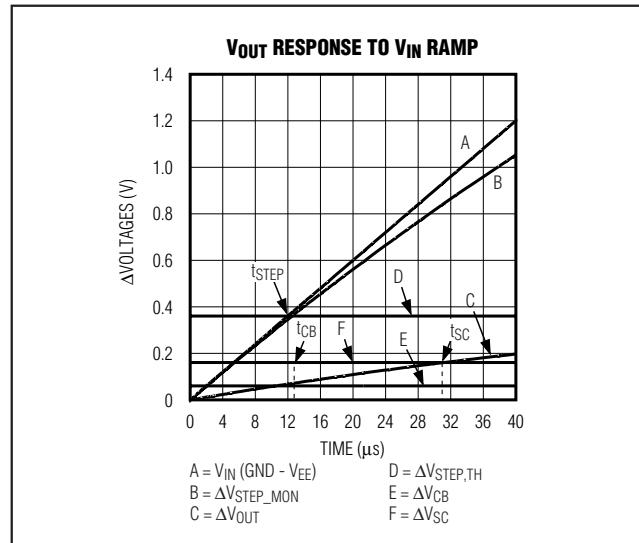


図21. 30V/msのV_{IN}ランプに対するV_{OUT}の応答

チップ情報

TRANSISTOR COUNT: 2320

PROCESS: BiCMOS

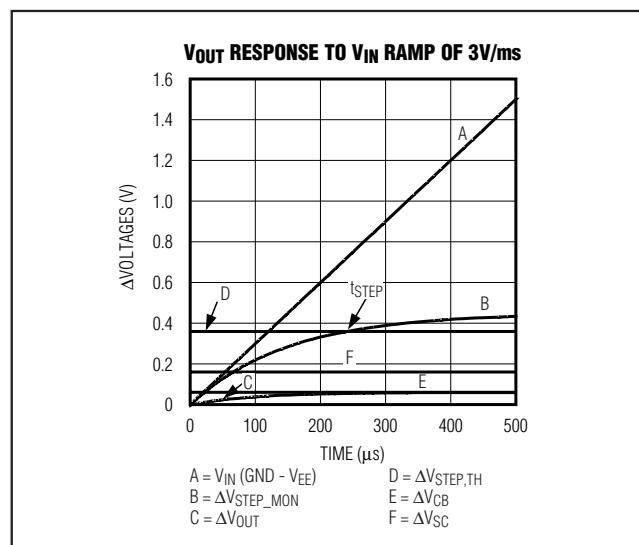


図22. 3V/msのV_{IN}ランプに対するV_{OUT}の応答

-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

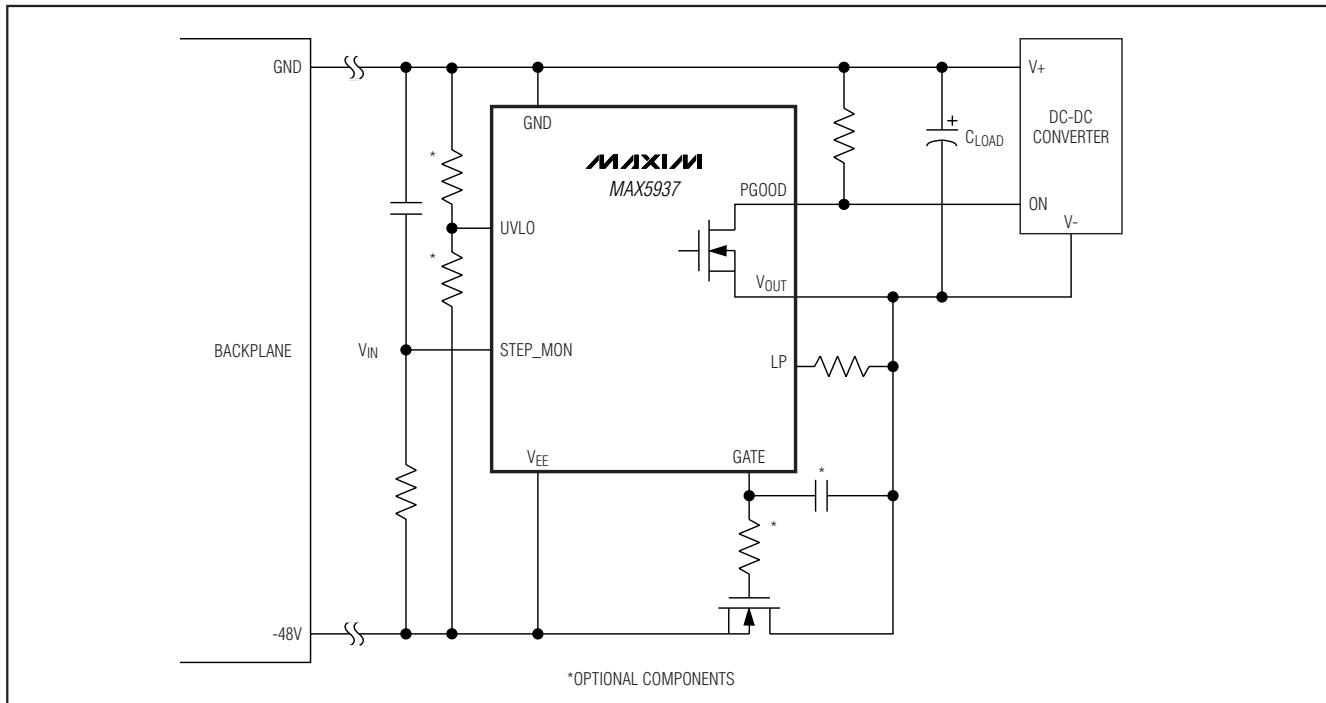
タイミング表

NAME	SYMBOL	TYPICAL TIME (s)
Power-Up Delay	t_{ONDLY}	220m
Load Probe Test Timeout	t_{LP}	220m
Load Probe Retry Time	t_{LP_OFF}	3.5
PGOOD (PGOOD) Assertion Delay Time	t_{PGOOD}	1.26m
Autoretry Delay	t_{RETRY}	3.5
Circuit-Breaker Glitch Rejection	t_{CB_DLY}	1.4m
UVLO Glitch Rejection	t_{REJ}	1.5m
GATE Pulldown Pulse Following a V_{IN} step	—	350μ
GATE Low After a V_{IN} Step, Prior to Ramp	—	1m

選択ガイド

PART	CIRCUIT-BREAKER THRESHOLD (mV)	FAULT MANAGEMENT	PGOOD ASSERTION
MAX5936LA	100	Latch	Low
MAX5936LB	200	Latch	Low
MAX5936LC	400	Latch	Low
MAX5936LN	No circuit breaker	Latch	Low
MAX5936AA	100	Autoretry	Low
MAX5936AB	200	Autoretry	Low
MAX5936AC	400	Autoretry	Low
MAX5937LA	100	Latch	High
MAX5937LB	200	Latch	High
MAX5937LC	400	Latch	High
MAX5937LN	No circuit breaker	Latch	High
MAX5937AA	100	Autoretry	High
MAX5937AB	200	Autoretry	High
MAX5937AC	400	Autoretry	High

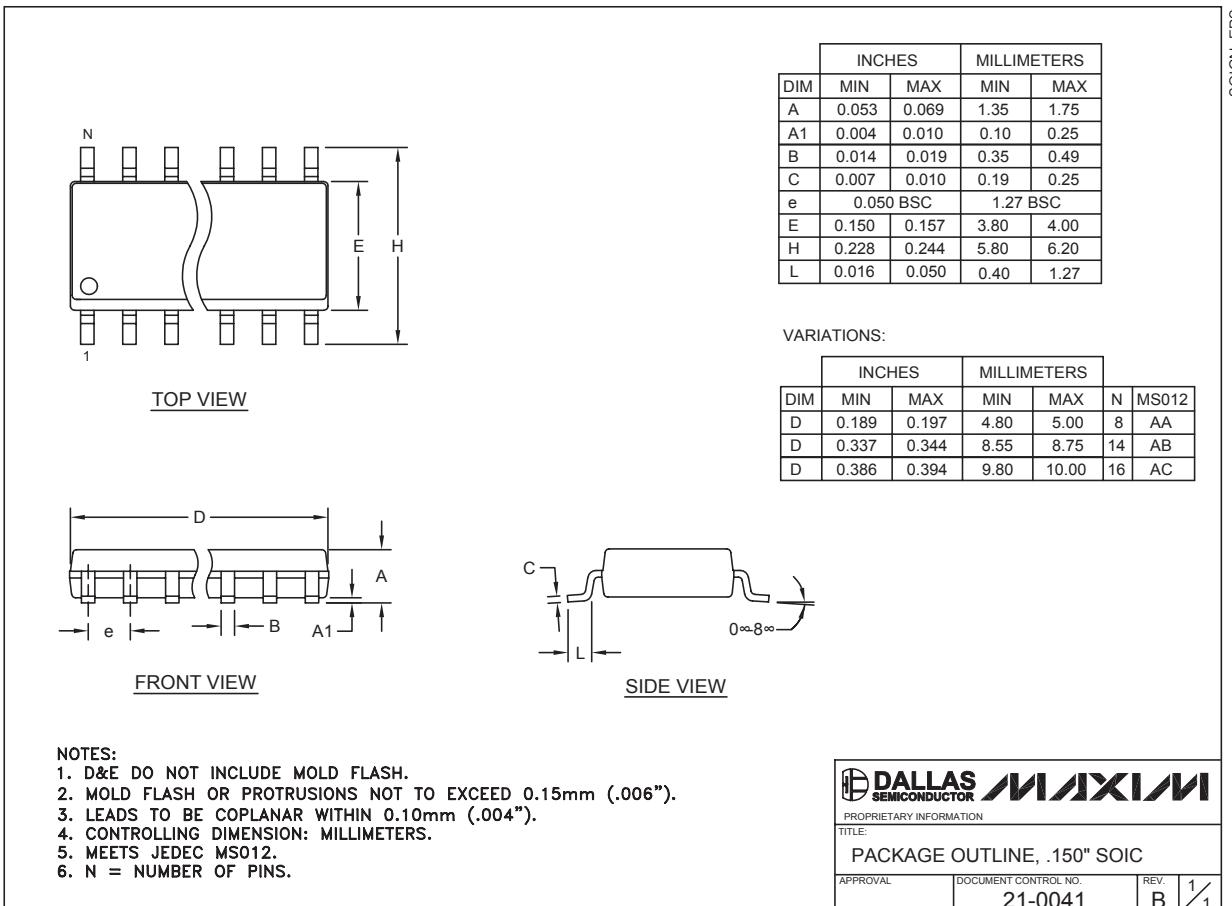
標準動作回路



-48Vホットスワップコントローラ、 V_{IN} ステップ保護付き、及び R_{SENSE} なし

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随时予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

23

© 2004 Maxim Integrated Products, Inc. All rights reserved.

MAXIM is a registered trademark of Maxim Integrated Products.

MAX5936/MAX5937