

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

概要

MAX5858は、デュアル、10ビット、300Mspsのデジタル-アナログコンバータ(DAC)で、広帯域通信システムにおいて卓越したダイナミック性能を發揮します。MAX5858は2つの10ビットのデュアルDACコアと2x/4xのプログラマブルデジタル補間フィルタ、及び1.24Vリファレンスを持ち、シングルエンド動作と差動動作が可能です。MAX5858のダイナミック性能は、2.7V~3.3Vの全電源範囲で維持されます。アナログ出力は、-1.0V~+1.25Vのコンプライアンス電圧をサポートしています。

4x/2xプログラマブル補間フィルタは、通過帯域歪み特性とノイズ性能に優れています。補間フィルタを使うと、設計が難しいアナログ再生フィルタを比較的、簡単に設計できるようになるとともに、デジタルインタフェースのデータバス速度とクロック速度を低減することができます。このDACをインタリーブデータモードで動作させ、I/Oピン数を減らすことも可能です。このため、MAX5858は10ビットバス、1本でデータを更新することができます。

MAX5858は、チャンネル利得マッチングを±0.4dB以内で、0.05dBステップの16段階にデジタル制御する機能を備えています。アナログ直交変調のアプリケーションでは、チャンネルマッチングによって側帯抑制能力が向上します。内蔵1.24Vバンドギャップリファレンスは制御アンプを持っており、1個の抵抗で両チャンネルを外部からフルスケール調整することが可能です。内部リファレンスをディセーブルにして、外部リファレンスを供給し、高精度アプリケーションを実現することもできます。

MAX5858は、電流出力がフルスケール2mA~20mAで、2.7V~3.3Vの単一電源で動作します。このDACは、標準、低電力スタンバイ、完全パワーダウンの3種類の電源制御動作モードを可能とします。パワーダウンモードでは、動作電流が1µAまで低減されます。

MAX5858は放熱性に優れたエクスポートパッド(EP)付48ピンTQFPパッケージで提供され、-40~+85の拡張温度範囲での動作が保証されています。

アプリケーション

通信

SatCom、LMDS、MMDS、HFC、DSL、WLAN
ポイント間マイクロ波リンク

ワイヤレス基地局

ダイレクトデジタル合成

計測/ATE

特長

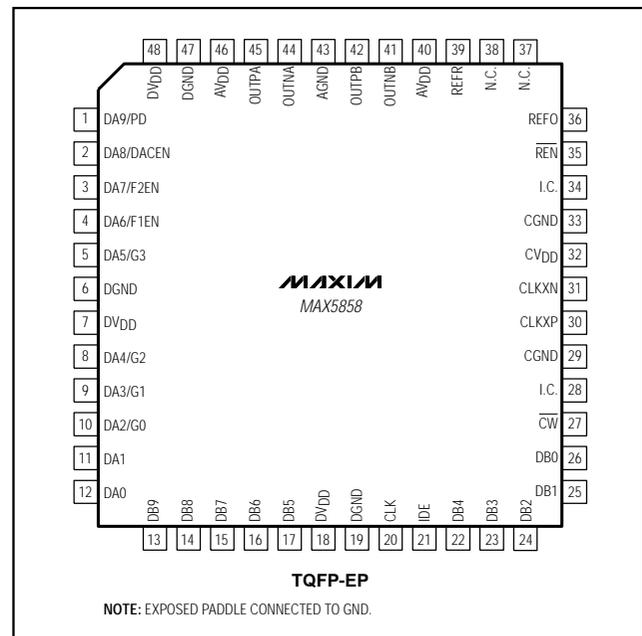
- ◆ 10ビット分解能、デュアルDAC
- ◆ 更新速度：300Msps
- ◆ 4x/2x補間フィルタ内蔵
- ◆ 単一電源：2.7V~3.3V
- ◆ 2.7V電源でフル出力スイングとダイナミック性能を提供
- ◆ 優れたダイナミック性能
75dBc SFDR($f_{OUT} = 20\text{MHz}$ 時)
UMTS ACLR = 63dB($f_{OUT} = 30.7\text{MHz}$ 時)
- ◆ プログラマブルなチャンネル利得マッチング
- ◆ 1.24Vの低ノイズ、バンドギャップリファレンスを内蔵
- ◆ 単一抵抗による利得制御
- ◆ インタリーブデータモード
- ◆ 差動クロック入力モード
- ◆ 評価キットを提供(MAX5858 EV Kit)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX5858ECM	-40°C to +85°C	48 TQFP-EP*

*EP = Exposed paddle.

ピン配置



デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

ABSOLUTE MAXIMUM RATINGS

AV_{DD}, DV_{DD}, CV_{DD} to AGND, DGND, CGND-0.3V to +4V
 DA9-DA0, DB9-DB0, \overline{CW} , \overline{REN} to AGND,
 DGND, CGND-0.3V to +4V
 IDE to AGND, DGND, CGND-0.3V to (DV_{DD} + 0.3V)
 CLKXN, CLKXP to CGND-0.3V to +4V
 OUTP₋, OUTN₋ to AGND-1.25V to (AV_{DD} + 0.3V)
 CLK to DGND-0.3V to (DV_{DD} + 0.3V)
 REFR, REFO to AGND-0.3V to (AV_{DD} + 0.3V)

AGND to DGND, DGND to CGND,
 AGND to CGND-0.3V to +0.3V
 Maximum Current into Any Pin
 (excluding power supplies)±50mA
 Continuous Power Dissipation (T_A = +70°C)
 48-Pin TQFP-EP (derate 36.2mW/°C above +70°C)2.898W
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Junction Temperature+150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = CV_{DD} = 3V, AGND = DGND = CGND = 0, f_{DAC} = 165Msps, no interpolation, external reference, V_{REF} = 1.2V, I_{FS} = 20mA, output amplitude = 0dB FS, differential output, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. T_A > +25°C guaranteed by production test. T_A < +25°C guaranteed by design and characterization. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution			10			Bits
Integral Nonlinearity	INL	R _L = 0	-1.25	±0.5	+1.25	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic, R _L = 0	-0.75	±0.25	+0.75	LSB
Offset Error	V _{OS}		-0.5	±0.1	+0.5	LSB
Gain Error (See <i>Gain Error Parameter Definitions</i> Section)	GE	Internal reference (Note 1)	-9	±1.5	+10	%
		External reference	-5	±1.5	+7	
DYNAMIC PERFORMANCE						
Maximum Output DAC Update Rate	f _{DAC}		300			Msp/s
Glitch Impulse				5		pV-s
Spurious-Free Dynamic Range to Input Update Rate Nyquist	SFDR	f _{DAC} = 165Msps	f _{OUT} = 5MHz, T _A ≥ +25°C	69	76	dBc
			f _{OUT} = 20MHz		75	
			f _{OUT} = 40MHz		65	
			f _{OUT} = 60MHz		63	
		f _{DAC} = 300Msps, 2x interpolation	f _{OUT} = 5MHz		76	
			f _{OUT} = 40MHz		78	
Spurious-Free Dynamic Range Within a Window	SFDR	f _{DAC} = 200Msps, 2x interpolation; f _{OUT} = 40MHz, span = 20MHz		85	dBc	
		f _{DAC} = 165Msps, f _{OUT} = 5MHz, span = 4MHz	78	85		
Multitone Power Ratio, 8 Tones, 300kHz Spacing	MTPR	f _{DAC} = 165Msps, f _{OUT} = 20MHz		76		dBc
Adjacent Channel Leakage Ratio with UMTS	ACLR	f _{DAC} = 122.88Msps, f _{OUT} = 30.72MHz		63		dB

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165\text{Msps}$, no interpolation, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20\text{mA}$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A > +25^\circ\text{C}$ guaranteed by production test. $T_A < +25^\circ\text{C}$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion to Nyquist	THD	$f_{DAC} = 165\text{Msps}$; $f_{OUT} = 5\text{MHz}$		-72		dB
Noise Spectral Density	N_D	$f_{DAC} = 165\text{Msps}$; $f_{OUT} = 5\text{MHz}$		-143		dBm/Hz
Output Channel-to-Channel Isolation		$f_{OUT} = 5\text{MHz}$		80		dB
Gain Mismatch Between Channels		$f_{OUT} = 5\text{MHz}$		± 0.05		dB
Phase Mismatch Between Channels		$f_{OUT} = 5\text{MHz}$		± 0.15		Degrees
Wideband Output Noise				50		$\text{pA}/\sqrt{\text{Hz}}$
ANALOG OUTPUT						
Full-Scale Output Current Range	I_{FS}		2		20	mA
Output Voltage Compliance Range			-1.00		+1.25	V
Output Leakage Current		Power-down or standby mode	-5		+5	μA
REFERENCE						
Reference Output Voltage	V_{REF0}	$\overline{REN} = AGND$	1.14	1.24	1.32	V
Output-Voltage Temperature Drift	TCV_{REF}			± 50		ppm/ $^\circ\text{C}$
Reference Output Drive Capability				50		μA
Reference Input Voltage Range		$\overline{REN} = AV_{DD}$	0.10		1.25	V
Reference Supply Rejection				0.2		mV/V
Current Gain	I_{FS}/I_{REF}			32		mA/mA
INTERPOLATION FILTER (2x interpolation)						
Passband Width	$f_{OUT}/0.5f_{DAC}$	-0.005dB		0.398		MHz/ MHz
		-0.01dB		0.402		
		-0.1dB		0.419		
		-3dB		0.478		
Stopband Rejection		$0.604f_{DAC}/2$ to $1.396f_{DAC}/2$		74		dB
		$0.600f_{DAC}/2$ to $1.400f_{DAC}/2$		62		
		$0.594f_{DAC}/2$ to $1.406f_{DAC}/2$		53		
		$0.532f_{DAC}/2$ to $1.468f_{DAC}/2$		14		
Group Delay				18		Data clock cycles
Impulse Response Duration				22		Data clock cycles

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165\text{Msps}$, no interpolation, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20\text{mA}$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A > +25^\circ\text{C}$ guaranteed by production test. $T_A < +25^\circ\text{C}$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INTERPOLATION FILTER (4x interpolation)						
Passband Width	$f_{OUT}/0.5f_{DAC}$	-0.005dB		0.200		MHz/ MHz
		-0.01dB		0.201		
		-0.1dB		0.210		
		-3dB		0.239		
Stopband Rejection		0.302 $f_{DAC}/2$ to 1.698 $f_{DAC}/2$		74		dB
		0.300 $f_{DAC}/2$ to 1.700 $f_{DAC}/2$		63		
		0.297 $f_{DAC}/2$ to 1.703 $f_{DAC}/2$		53		
		0.266 $f_{DAC}/2$ to 1.734 $f_{DAC}/2$		14		
Group Delay			22		Data clock cycles	
Impulse Response Duration			27		Data clock cycles	
LOGIC INPUTS (IDE, \overline{CW}, \overline{REN}, DA9–DA0, DB9–DB0)						
Digital Input-Voltage High	V_{IH}		2			V
Digital Input-Voltage Low	V_{IL}				0.8	V
Digital Input-Current High	I_{IH}	$V_{IH} = 2V$	-1		+1	μA
Digital Input-Current Low	I_{IL}	$V_{IL} = 0.8V$	-1		+1	μA
Digital Input Capacitance	C_{IN}			3		pF
DIGITAL OUTPUTS (CLK)						
Digital Output-Voltage High	V_{OH}	$I_{SOURCE} = 0.5\text{mA}$, Figure 1		$0.9 \times DV_{DD}$		V
Digital Output-Voltage Low	V_{OL}	$I_{SINK} = 0.5\text{mA}$, Figure 1			$0.1 \times DV_{DD}$	V
DIFFERENTIAL CLOCK INPUT (CLKXP, CLKXN)						
Clock Input Internal Bias				$CV_{DD}/2$		V
Differential Clock Input Swing			0.5			V_{P-P}
Clock Input Impedance		Single-ended clock drive		5		$k\Omega$
TIMING CHARACTERISTICS						
Input Data Rate	f_{DATA}	No interpolation		165		Msps
		2x interpolation		150		
		4x interpolation		75		
Output Settling Time	t_s	To $\pm 0.1\%$ error band (Note 2)		11		ns
Output Rise Time		10% to 90% (Note 2)		2.5		ns
Output Fall Time		90% to 10% (Note 2)		2.5		ns

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = DVDD = CVDD = 3V, AGND = DGND = CGND = 0, fDAC = 165Msps, no interpolation, external reference, VREF = 1.2V, IFS = 20mA, output amplitude = 0dB FS, differential output, TA = TMIN to TMAX, unless otherwise noted. TA > +25°C guaranteed by production test. TA < +25°C guaranteed by design and characterization. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DATA-to-CLK Rise Setup Time	tDCSR	(Note 3)	1.5			ns
DATA-to-CLK Rise Hold Time	tDCHR	(Note 3)	0.4			ns
DATA-to-CLK Fall Setup Time	tDCSF	(Note 3)	1.7			ns
DATA-to-CLK Fall Hold Time	tDCHF	(Note 3)	1.1			ns
Control Word to \overline{CW} Fall Setup Time	tcws		2.5			ns
Control Word to \overline{CW} Fall Hold Time	tcwh		2.5			ns
\overline{CW} High Time			5			ns
\overline{CW} Low Time			5			ns
DACEN Rise-to-VO _{UT} Stable	tSTB			0.7		μs
PD Fall-to-VO _{UT} Stable	tpDSTB	External reference		0.5		ms
Clock Frequency at CLKXP/CLKXN Input	fDAC	Differential clock			300	MHz
CLKXP/CLKXN Differential Clock Input to CLK Output Delay	tcXD			4.6		ns
Minimum CLKXP/CLKXN Clock High Time	tcXH			1.5		ns
Minimum CLKXP/CLKXN Clock Low Time	tcXL			1.5		ns
POWER REQUIREMENTS						
Analog Power-Supply Voltage	AVDD		2.7		3.3	V
Analog Supply Current	I _{AVDD}	(Note 4)		45	49	mA
Digital Power-Supply Voltage	DVDD		2.7		3.3	V

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165\text{Msps}$, no interpolation, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20\text{mA}$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A > +25^\circ\text{C}$ guaranteed by production test. $T_A < +25^\circ\text{C}$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS		
Digital Supply Current (Note 4)	I_{DVDD}	$f_{DAC} = 60\text{Msps}$	No interpolation		34		mA		
			2x interpolation		75				
			4x interpolation		72				
		$f_{DAC} = 165\text{Msps}$	No interpolation		54	61		mA	
			2x interpolation		146				
			4x interpolation		140				
		$f_{DAC} = 200\text{Msps}$	2x interpolation		172	186			mA
			4x interpolation		165	178			
		Clock Power-Supply Voltage	CV_{DD}		2.7				3.3
Clock Supply Current (Note 4)	I_{CVDD}	$f_{DAC} = 60\text{Msps}$		25		mA			
		$f_{DAC} = 165\text{Msps}$		69	80				
		$f_{DAC} = 200\text{Msps}$, 2x interpolation or 4x interpolation		80	94				
Standby Current	$I_{STANDBY}$	(Note 5)		4.4		4.8	mA		
Power-Down Current	I_{PD}	(Note 5)		1			μA		
Total Power Dissipation	P_{TOT}	$f_{DAC} = 60\text{Msps}$	No interpolation		312		mW		
			2x interpolation		435				
			4x interpolation		426				
		$f_{DAC} = 165\text{Msps}$	No interpolation		504	570		mW	
			2x interpolation		780				
			4x interpolation		762				
		$f_{DAC} = 200\text{Msps}$	2x interpolation		891				mW
			4x interpolation		870				

Note 1: Including the internal reference voltage tolerance.

Note 2: Measured single ended with 50Ω load and complementary output connected to ground.

Note 3: Guaranteed by design, not production tested.

Note 4: $f_{OUT} = 5\text{MHz}$.

Note 5: All digital inputs at 0 or DV_{DD} . Clock signal disabled.

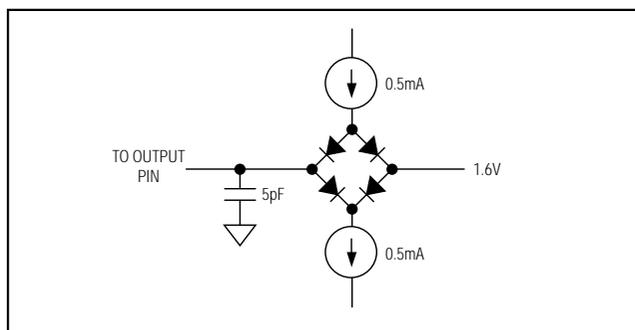


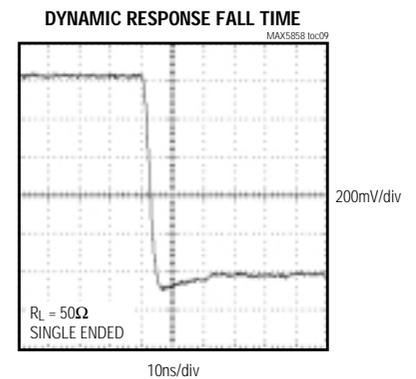
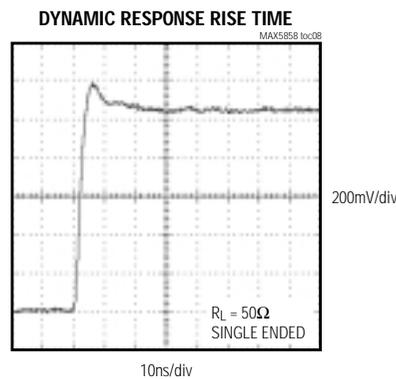
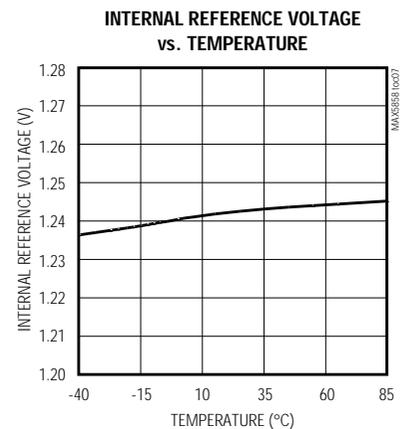
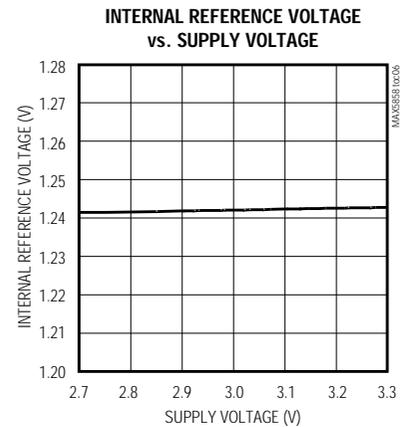
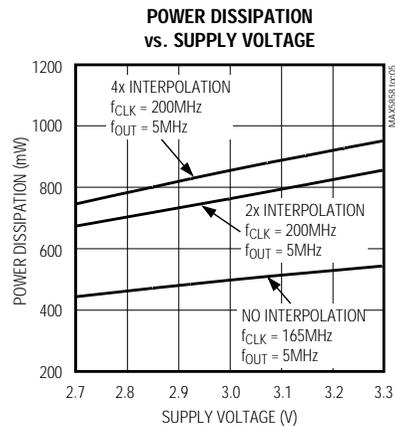
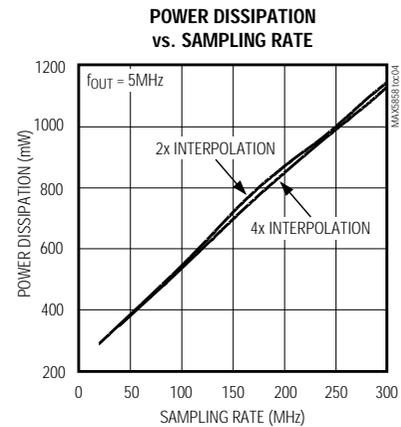
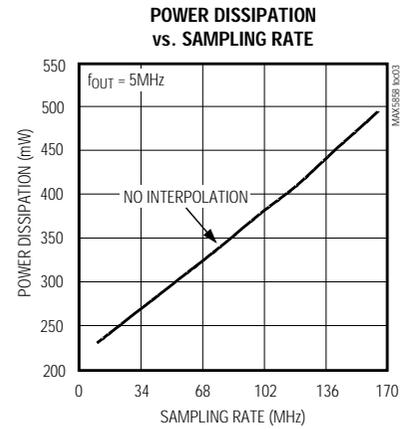
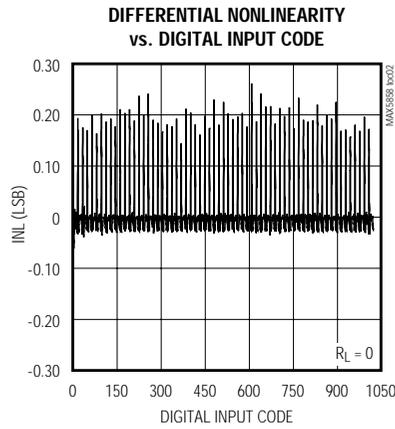
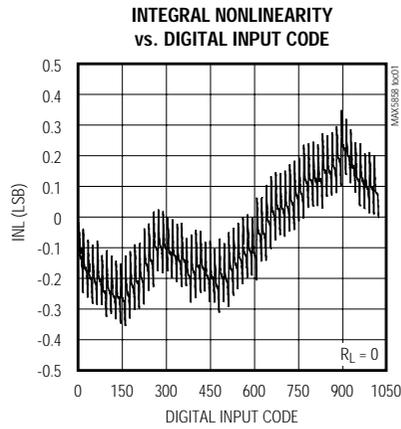
図1. CLK出力の負荷テスト回路

デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

標準動作特性

($V_{DD} = DV_{DD} = CV_{DD} = 3V \pm 10\%$, $AGND = DGND = CGND = 0$, external reference = 1.2V, no interpolation, $I_{FS} = 20mA$, differential output, $T_A = +25^\circ C$, unless otherwise noted.)



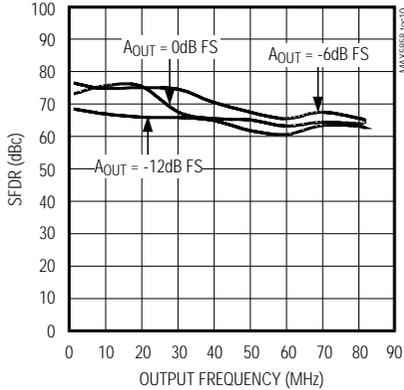
デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

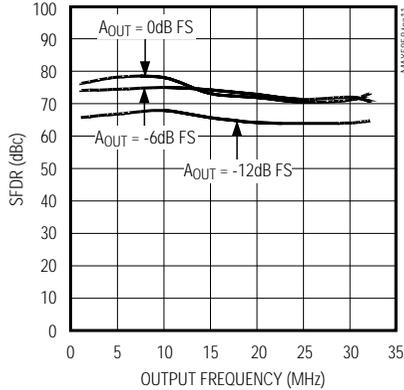
標準動作特性(続き)

($V_{DD} = DV_{DD} = CV_{DD} = 3V \pm 10\%$, $AGND = DGND = CGND = 0$, external reference = 1.2V, no interpolation, $I_{FS} = 20mA$, differential output, $T_A = +25^\circ C$, unless otherwise noted.)

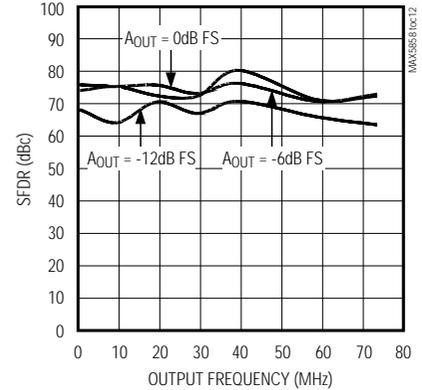
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY
(NO INTERPOLATION, $f_{DAC} = 165MHz$)



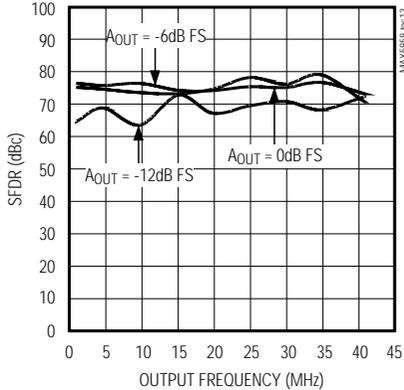
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY
(NO INTERPOLATION, $f_{DAC} = 65MHz$)



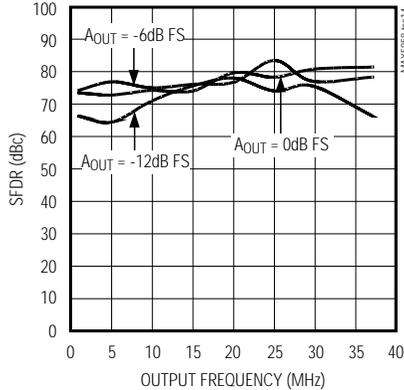
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY
(2x INTERPOLATION, $f_{DAC} = 300MHz$)



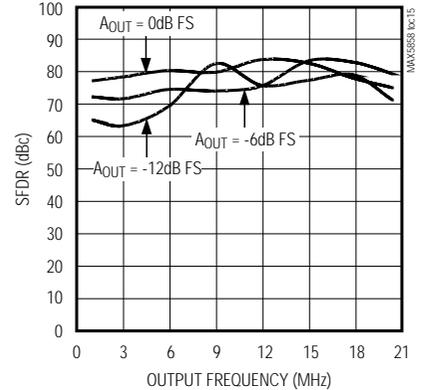
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY
(2x INTERPOLATION, $f_{DAC} = 165MHz$)



SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY
(4x INTERPOLATION, $f_{DAC} = 300MHz$)



SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY
(4x INTERPOLATION, $f_{DAC} = 165MHz$)



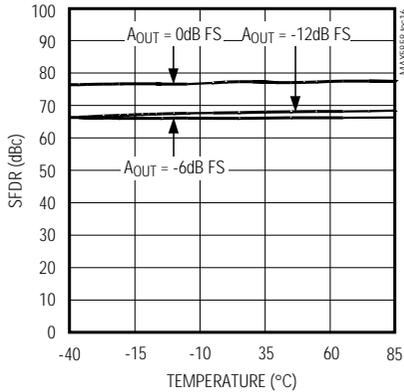
デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

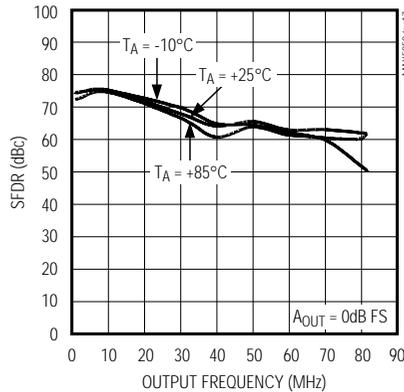
標準動作特性(続き)

($AV_{DD} = DV_{DD} = CV_{DD} = 3V \pm 10\%$, $AGND = DGND = CGND = 0$, external reference = 1.2V, no interpolation, $I_{FS} = 20mA$, differential output, $T_A = +25^\circ C$, unless otherwise noted.)

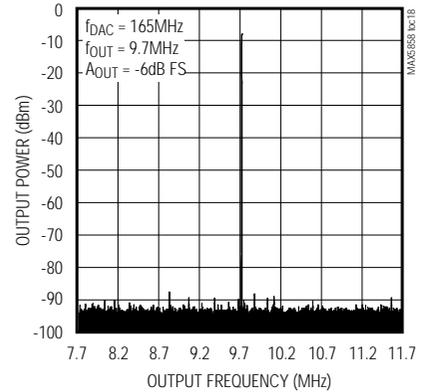
SPURIOUS-FREE DYNAMIC RANGE vs. TEMPERATURE (NO INTERPOLATION, $f_{DAC} = 165MHz$, $f_{OUT} = 5MHz$)



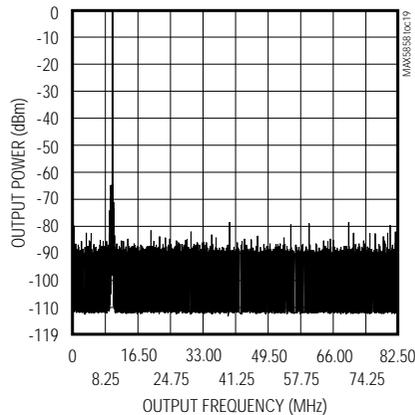
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY (NO INTERPOLATION, $f_{DAC} = 165MHz$)



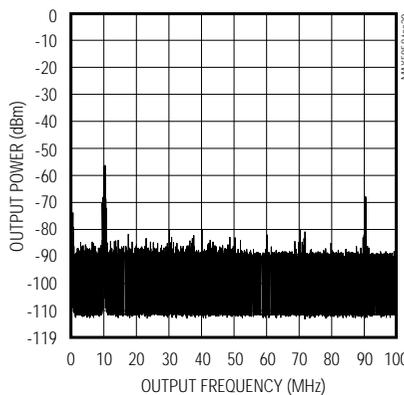
FFT PLOT ($\pm 2MHz$ WINDOW)



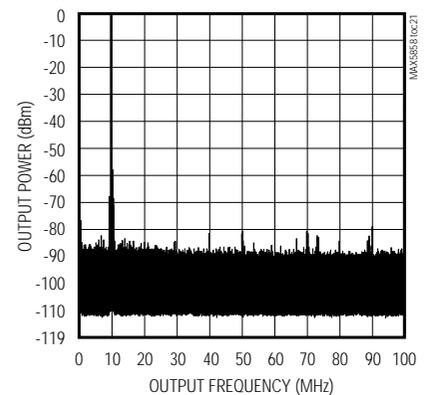
FFT PLOT FOR NYQUIST WINDOW (NO INTERPOLATION, $f_{DAC} = 165MHz$, $f_{OUT} = 10MHz$, $A_{OUT} = 0dB FS$)



FFT PLOT FOR DAC UPDATE NYQUIST WINDOW (100MHz) (2x INTERPOLATION, $f_{DAC} = 200MHz$, $f_{OUT} = 10MHz$, $A_{OUT} = 0dB FS$)



FFT PLOT FOR DAC UPDATE NYQUIST WINDOW (100MHz) (4x INTERPOLATION, $f_{DAC} = 200MHz$, $f_{OUT} = 10MHz$, $A_{OUT} = 0dB FS$)

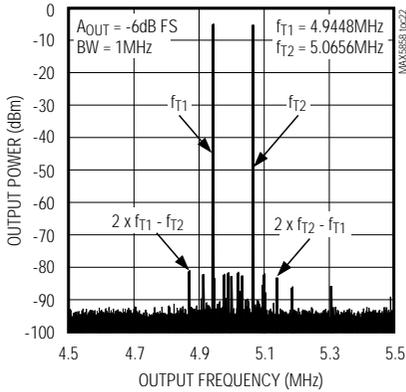


デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

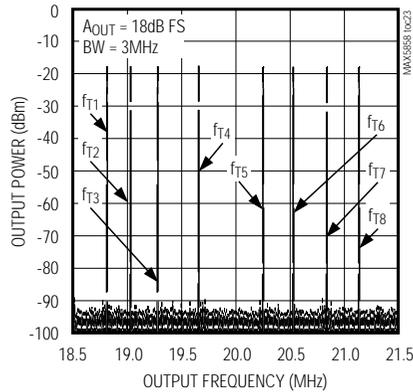
標準動作特性(続き)

($V_{DD} = DV_{DD} = CV_{DD} = 3V \pm 10\%$, $AGND = DGND = CGND = 0$, external reference = 1.2V, no interpolation, $I_{FS} = 20mA$, differential output, $T_A = +25^\circ C$, unless otherwise noted.)

**2-TONE IMD PLOT
(NO INTERPOLATION, $f_{DAC} = 165MHz$)**

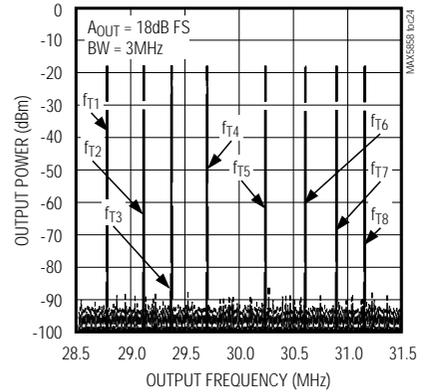


**8-TONE MTPR PLOT (NO INTERPOLATION,
 $f_{DAC} = 165MHz$, $f_{CENTER} = 19.9503MHz$)**



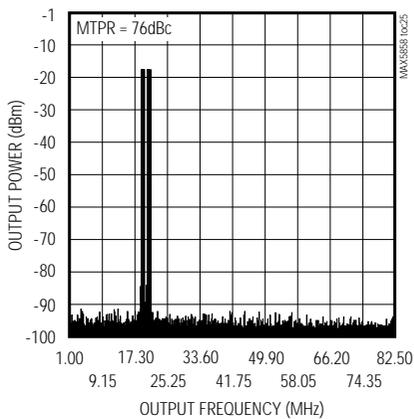
$f_{T1} = 18.8022MHz$ $f_{T5} = 20.2524MHz$
 $f_{T2} = 19.0237MHz$ $f_{T6} = 20.5344MHz$
 $f_{T3} = 19.2654MHz$ $f_{T7} = 20.8365MHz$
 $f_{T4} = 19.6481MHz$ $f_{T8} = 21.1386MHz$

**8-TONE MTPR PLOT (4x INTERPOLATION,
 $f_{DAC} = 286.4MHz$, $f_{CENTER} = 29.9572MHz$)**

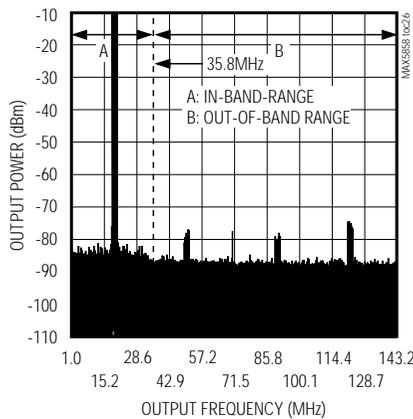


$f_{T1} = 28.7597MHz$ $f_{T5} = 30.2281MHz$
 $f_{T2} = 29.1008MHz$ $f_{T6} = 30.5952MHz$
 $f_{T3} = 29.3628MHz$ $f_{T7} = 30.8924MHz$
 $f_{T4} = 29.6862MHz$ $f_{T8} = 31.1546MHz$

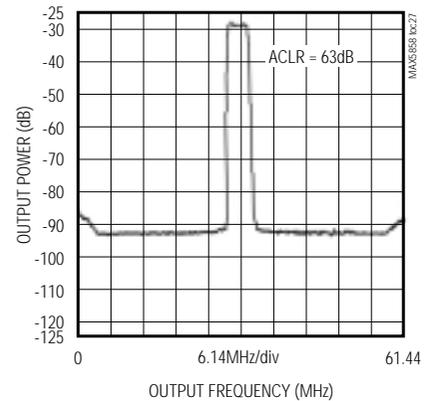
**8-TONE MTPR PLOT FOR NYQUIST WINDOW
(NO INTERPOLATION, $f_{DAC} = 165MHz$,
 $f_{CENTER} = 19.9569MHz$, $A_{OUT} = -18dB FS$)**



**8-TONE MTPR PLOT FOR DAC UPDATE
(WITHIN A NYQUIST WINDOW)
(x4 INTERPOLATION, $f_{DAC} = 286.4MHz$, $f_{CENTER} = 20MHz$,
INPUT TONES SPACED 300kHz APART, $A_{OUT} = -18dB FS$)**



**ACLR UMTS PLOT
(NO INTERPOLATION, $f_{DAC} = 122.88MHz$,
 $f_{DATA} = 122.88MHz$, $f_{CENTER} = 30.72MHz$)**

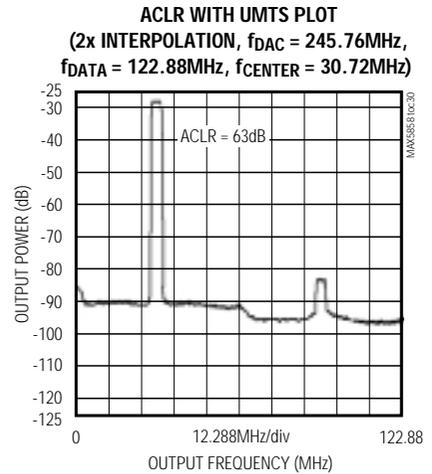
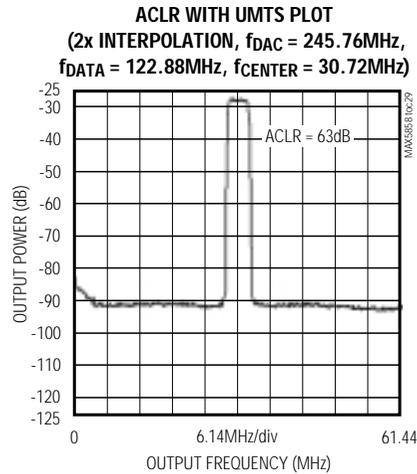
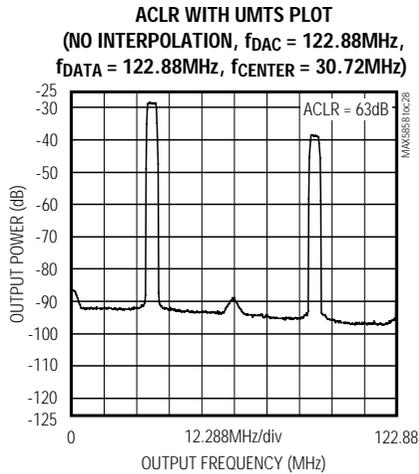


デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

標準動作特性(続き)

($AV_{DD} = DV_{DD} = CV_{DD} = 3V \pm 10\%$, $AGND = DGND = CGND = 0$, external reference = 1.2V, no interpolation, $I_{FS} = 20mA$, differential output, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	DA9/PD	チャンネルA入力データビット9(MSB)/パワーダウン制御ビット： 0：DACがスタンバイモードに入るか(DACEN = 0)、DACをパワーアップします(DACEN = 1)。 1：パワーダウンモードに入ります。
2	DA8/DACEN	チャンネルA入力データビット8/DACイネーブル制御ビット： 0：PD = 0のとき、DACがスタンバイモードに入ります。 1：PD = 0のとき、DACをパワーアップします。 X：PD = 1のとき、パワーダウンモードに入ります(Xは値に意味がないことを示します)。
3	DA7/F2EN	チャンネルA入力データビット7/第2補間フィルタイネーブルビット： 0：補間モードがF1ENによって決定されます。 4x補間モードをイネーブルにします(F1ENは1でなければなりません)。
4	DA6/F1EN	チャンネルA入力データビット6/第1補間フィルタイネーブルビット： 0：補間をディセーブルにします。 1：2x補間をイネーブルにします。
5	DA5/G3	チャンネルA入力データビット5/チャンネルA利得調整ビット3
6, 19, 47	DGND	デジタルグラウンド
7, 18, 48	DV _{DD}	デジタル電源。「電源、バイパス、デカップリング、レイアウト」の項目をご覧ください。
8	DA4/G2	チャンネルA入力データビット4/チャンネルA利得調整ビット2
9	DA3/G1	チャンネルA入力データビット3/チャンネルA利得調整ビット1

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

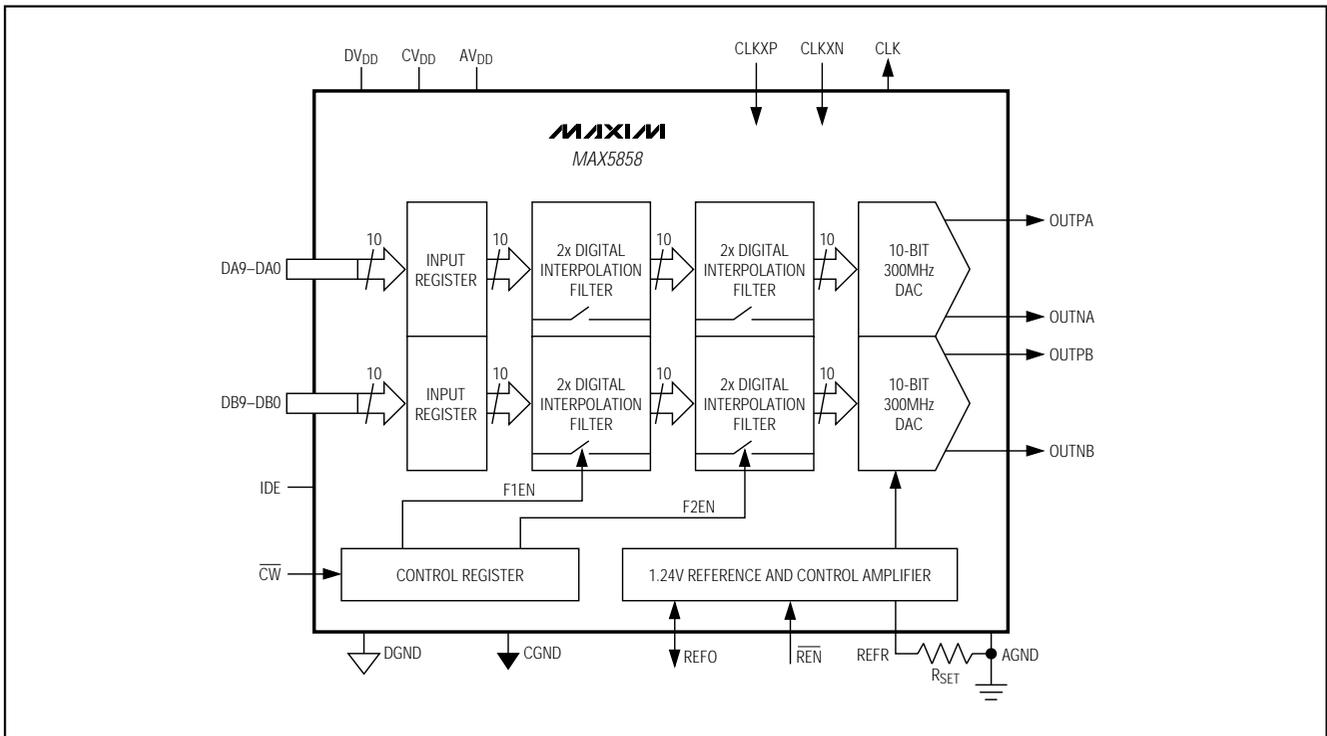
MAX5858

端子説明(続き)

端子	名称	機能
10	DA2/G0	チャンネルA入力データビット2/チャンネルA利得調整ビット0
11	DA1	チャンネルA入力データビット1
12	DA0	チャンネルA入力データビット0(LSB)
13	DB9	チャンネルB入力データビット9(MSB)
14	DB8	チャンネルB入力データビット8
15	DB7	チャンネルB入力データビット7
16	DB6	チャンネルB入力データビット6
17	DB5	チャンネルB入力データビット5
20	CLK	クロック出力
21	IDE	インタリーブデータモードイネーブル。IDEがハイのときは、DACの両チャンネルとも、データがポートA(DA9 ~ DA0ビット)経由で書き込まれます。IDEがローのときは、チャンネルAのデータはCLKの立上りエッジでラッチされ、チャンネルBはCLKの立下りエッジでラッチされます。
22	DB4	チャンネルB入力データビット4
23	DB3	チャンネルB入力データビット3
24	DB2	チャンネルB入力データビット2
25	DB1	チャンネルB入力データビット1
26	DB0	チャンネルB入力データビット0(LSB)
27	\overline{CW}	アクティブロー制御ワード書き込みパルス。制御ワードは \overline{CW} の立下りエッジでラッチされます。
28, 34	I.C.	内部接続。外部配線を行わないでください。
29, 33	CGND	クロックグランド
30	CLKXP	差動クロック入力正端子。CLKXNをシングルエンドモードで使う場合、CLKXPを0.01 μ FコンデンサでCGNDにバイパスします。
31	CLKXN	差動クロック入力負端子。CLKXPをシングルエンドモードで使う場合、CLKXNを0.01 μ FコンデンサでCGNDにバイパスします。
32	CVDD	クロック電源。「電源、バイパス、デカップリング、レイアウト」の項目をご覧ください。
35	\overline{REN}	アクティブローリファレンスイネーブル。 \overline{REN} をAGNDに接続すると、オンチップの1.24Vリファレンスがアクティブになります。
36	REFO	リファレンスI/O。REFOは、内部リファレンスがディセーブルのときのリファレンス入力となります。内蔵の1.24Vリファレンスがイネーブルのときは、REFOは内部リファレンスの出力となります。内部リファレンスをイネーブルとするときは、REFOからAGNDに0.1 μ Fコンデンサでバイパスします。
37, 38	N.C.	接続なし。内部接続なし。
39	REFR	フルスケール電流調整。出力フルスケール電流は、外付け抵抗RSETをREFR-AGND間に挿入します。出力フルスケール電流は、 $32 \times V_{REFO}/R_{SET}$ となります。
40, 46	AVDD	アナログ電源。「電源、バイパス、デカップリング、レイアウト」の項目をご覧ください。
41	OUTNB	チャンネルBアナログ電流出力(マイナス)
42	OUTPB	チャンネルBアナログ電流出力(プラス)
43	AGND	アナロググランド
44	OUTNA	チャンネルAアナログ電流出力(マイナス)
45	OUTPA	チャンネルAアナログ電流出力(プラス)
—	EP	エクスポーズドパッド。グランドプレーンに接続します。

デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

概略ブロックダイアグラム



MAX5858

詳細

MAX5858は高速10ビット、電流出力のデュアルDACで、アナログ信号を低歪みで再生しなければならない通信システムに優れた性能を提供します。MAX5858の構成は、2台のDACと2x/4xプログラマブルデジタル補間フィルタ、N分周クロック出力、及びオンチップ1.24Vリファレンスです。このDACの電流出力は、差動動作とシングルエンド動作が選べます。フルスケール出力電流範囲は2mA ~ 20mAの範囲で選ぶことが可能で、消費電力と利得制御のバランスをとることができます。

MAX5858の入力データレートは最大165MHz、DAC変換レートは300MHzです。クロックの立上りエッジで入力がラッチされ、続く立上りエッジで出力がラッチされます。

プログラマブルデジタル補間フィルタは2段で、4x、2x、補間なしが選べます。4x補間モードでは、DAC変換が4倍になり、再生した波形スペクトルと元イメージの分離度が4倍になります。

MAX5858の動作モードは、標準、スタンバイ、パワーダウンの3種類があります。このため、効率的な電源管理が可能です。パワーダウン時には、MAX5858の

動作電流が1 μ Aとごく少なくなります。スタンバイモードから通常DAC動作へのウェイクアップ時間は、0.7 μ sです。

DACのプログラミング

MAX5858は、チャンネルAのデータポート経由で8ビットの制御ワードを送ることによって、利得マッチング、補間構成、及び動作モードをプログラムすることができます。制御ワードは、 \overline{CW} の立下りエッジでラッチされます。制御ワードのフォーマットと機能は、表1のとおりです。

チャンネルAの利得調整によって、ユーザシステムが持つ2つのチャンネルの利得マッチングを行います。ビットG3からG0を使ってチャンネルAの利得調整を行います。その範囲は0.05dB刻みで-0.4dB ~ 0.35dBです(表3参照)。

デバイスのパワーアップと動作状態

パワーアップ時のデフォルト構成では、MAX5858は補間なしモードで、利得が0dBの完全動作コンバータとなります。MAX5858の消費電流はシャットダウンではわずか1 μ Aで、スタンバイでは4.4mAです。スタンバイモードから通常動作へのウェイクアップ時間は、0.7 μ sです。

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

補間フィルタ

MAX5858には、43タップと23タップのFIRトポロジを持つ2つの2xデジタル補間フィルタがあります。補間フィルタのイネーブルは、F1ENとF2ENで行います。F1ENをハイにすると第1フィルタがイネーブルとなって2x補間となり、F2ENをハイにすると第2フィルタもイネーブルとなって4x補間になります。補間フィルタを両方ともバイパス(ディセーブル)するには、F1EN = F2EN = 0とします(補間なしモードまたは1xモードになります)。1xモードでは、パワーダウンフィルタにほとんど電流が流れません。F1EN = 0、F2EN = 1は不正な設定です(表2に構成モードの一覧を示します)。

プログラブル補間フィルタは、MAX5858の入力データレートを2xあるいは4xし、再生した波形スペクトルと元イメージの分離度を高めます。この内蔵ディ

ジタルフィルタによって、DAC入力データレートの周りに発生する元のスペクトルイメージが60dB以上、減衰されます。この機能には、利点が3つあります。

- 1) イメージが分離されるので、アナログ再生フィルタを簡素化することができます。
- 2) 入力データレートを下げられるので、高速なデータ伝送を基板レベルで行う必要がなくなります。
- 3) 有効帯域全域にわたり、 $\text{Sin}(x)/x$ ロールオフが低下します。

図2にアプリケーション回路、図3にMAX5858を4x補間モードで使った場合の利点の例を示します。ここでは、 $\pm 10\text{MHz}$ の帯域を持つ20MHz IF信号の合成を例にしています。このような回路を設計する場合、3つの選択肢が考えられます。各ソリューションには、表4に示すようなトレードオフがあります。

表1. 制御ワードのフォーマットと機能

MSB							LSB		
PD	DACEN	F2EN	F1EN	G3	G2	G1	G0	X	X
CONTROL WORD		FUNCTION							
PD		Power-Down. The part enters power-down mode if PD = 1.							
DACEN		DAC Enable. When DACEN = 0 and PD = 0, the part enters standby mode.							
F2EN		Filter Enable. When F2EN = 1 and F1EN = 1, 4x interpolation is enabled. When F2EN = 0, the interpolation mode is determined by F1EN.							
F1EN		Filter Enable. When F1EN = 1 and F2EN = 0, 2x interpolation is active. With F1EN = 0 and F2EN = 0, the interpolation is disabled.							
G3		Bit 3 (MSB) of Gain Adjust Word.							
G2		Bit 2 of Gain Adjust Word.							
G1		Bit 1 of Gain Adjust Word.							
G0		Bit 0 (LSB) of Gain Adjust Word.							

表2. 構成モード

MODE	PD	DACEN	F2EN	F1EN
No interpolation	0	1	0	0
2x interpolation	0	1	0	1
4x interpolation	0	1	1	1
Standby	0	0	X	X
Power-down	1	X	X	X
Power-up	0	1	X	X

X = Don't care.

F1EN = 0, F2EN = 1 illegal.

表3. 利得差の設定

GAIN ADJUSTMENT ON CHANNEL A (dB)	G3	G2	G1	G0
+0.4	0	0	0	0
0	1	0	0	0
-0.35	1	1	1	1

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

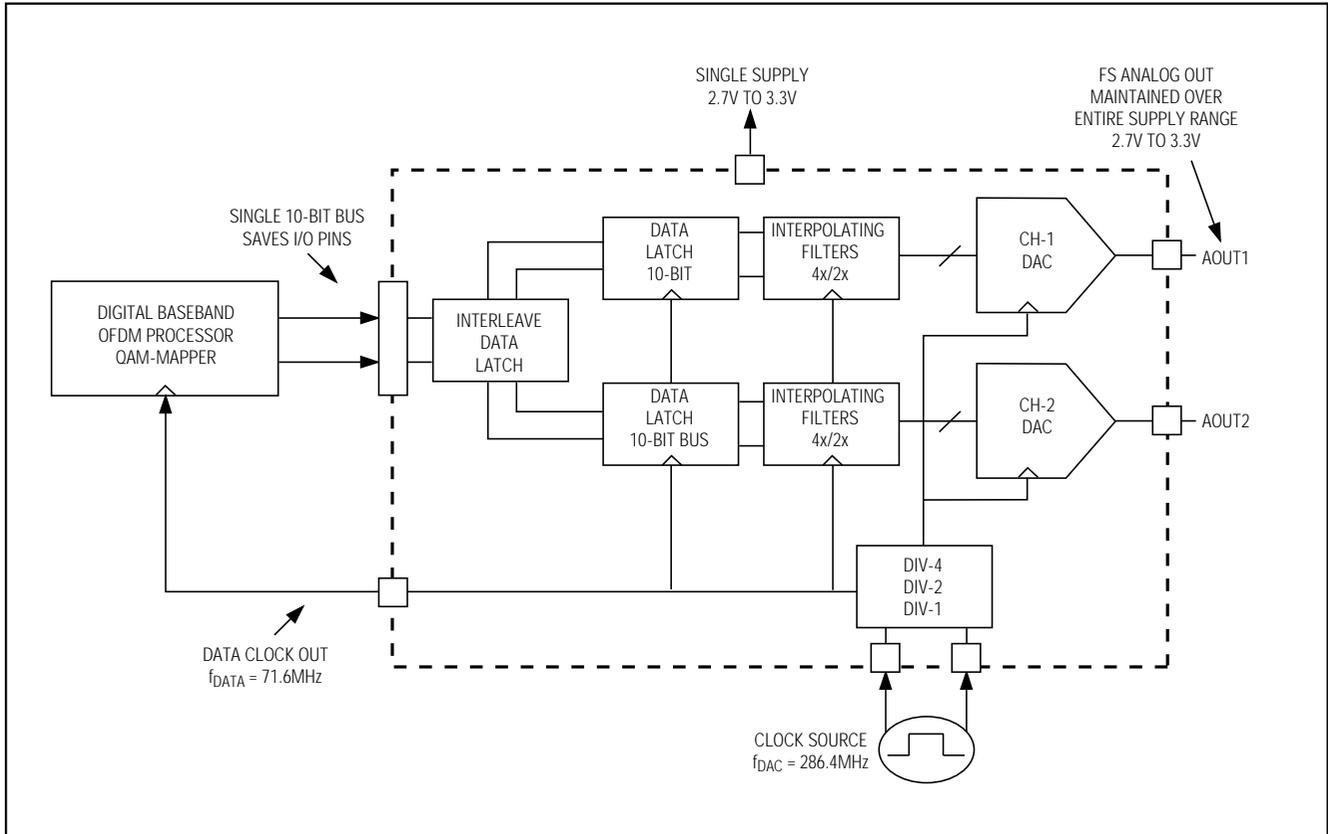


図2. 標準動作回路

表4. 補間の効果

OPTION	SOLUTION	ADVANTAGE	DISADVANTAGE
1	<ul style="list-style-type: none"> No interpolation 2.6x oversample $f_{DAC} = f_{DATA} = 78\text{MHz}$ 	<ul style="list-style-type: none"> Low data rate Low clock rate 	<ul style="list-style-type: none"> High order filter Filter gain/phase match
2	<ul style="list-style-type: none"> No interpolation 8x oversample $f_{DAC} = f_{DATA} = 240\text{MHz}$ Push image to $f_{IMAGE} = 210\text{MHz}$ 	<ul style="list-style-type: none"> Lower order filter Filter gain/phase match 	<ul style="list-style-type: none"> High clock rate High data rate
3	<ul style="list-style-type: none"> 4x interpolation $f_{DAC} = 286.4\text{MHz}$, $f_{DATA} = 71.6\text{MHz}$ Passband attenuation = 0.1dB Push image to 256MHz 	<ul style="list-style-type: none"> Low data rate Low order filter 60dB image attenuate Filter gain/phase match 	<ul style="list-style-type: none"> None

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

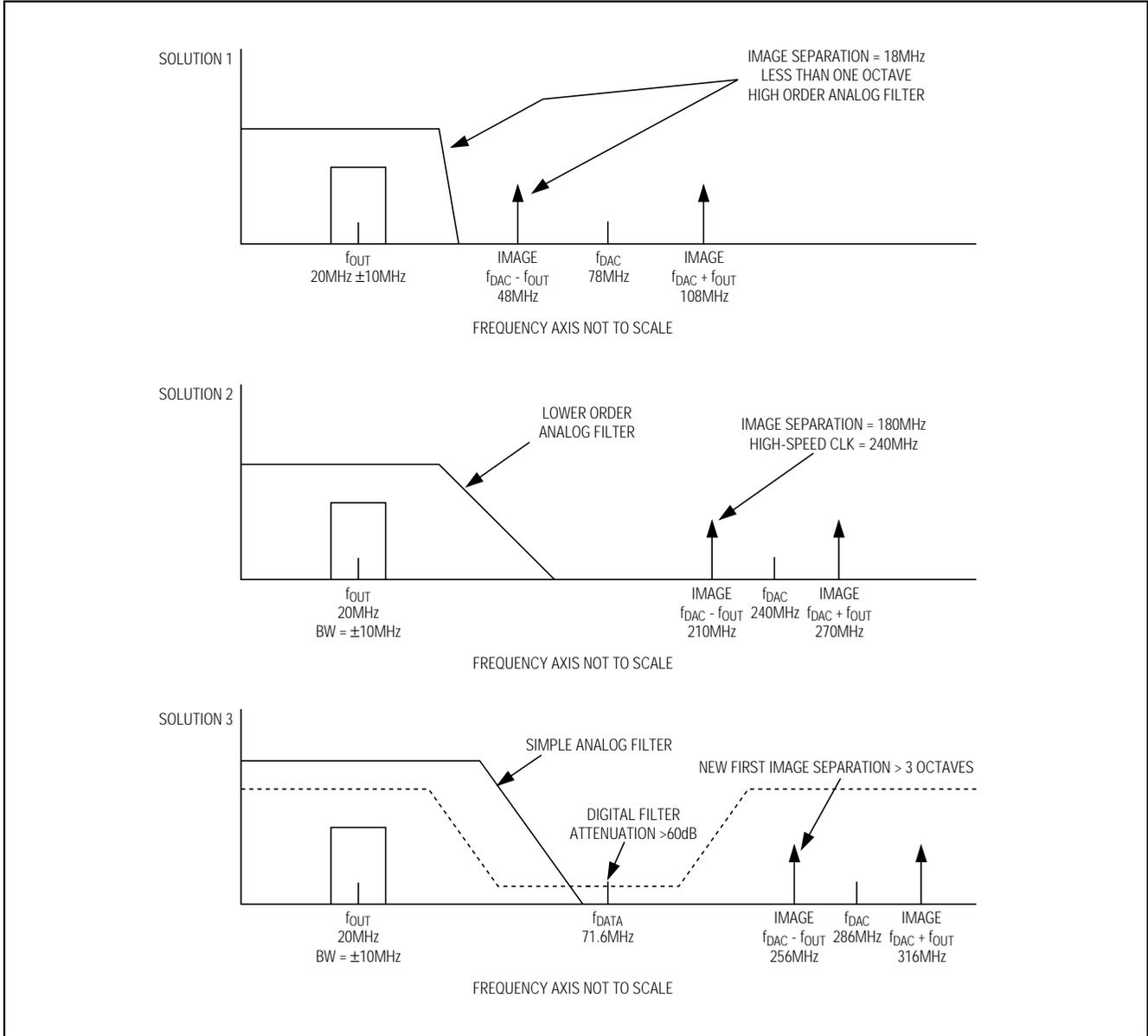


図3. MAX5858に4x補間モードを使う例

この例では、4x補間のデジタルフィルタによって、システムが大幅に簡素化されるとともにダイナミック性能が向上し、コストが低下します。MAX5858へのデータの書き込み速度が大幅に低くできるだけでなく、イメージを60dB以上減衰し、3オクターブ以上のイメージ分離が得られます。特に重要なのは、アナログ再生フィルタの設計に関する点です。フィルタ次数が下がるため、利得/位相マッチングが簡単になるとともに、フィルタコストが下がり、基板スペースも小さくて済みます。データレートを71.6MHzまで引き下げられるということは、セットアップ時間とホールド時間の処理が行いやすくなり、クロック信号ソースがシンプルになる

ということであり、その結果、システムの信頼性は上がりコストは下がります。

クロックモード

所望のDAC更新速度と適切な入力振幅を持つ外部クロックを、CLKXPとCLKXNに入力することができます。入力データを同期するために必要な信号は、出力のCLKから得られます。CLKXPとCLKXNに入力できるクロック周波数範囲は0~300MHz(表5参照)です。CLK出力の容量性負荷は小さくしてください(f_{CLK} が165MHzで10pF以下)。

デュアル、10ビット、300MSPs、 4x/2x/1x補間フィルタ付き電流出力DAC

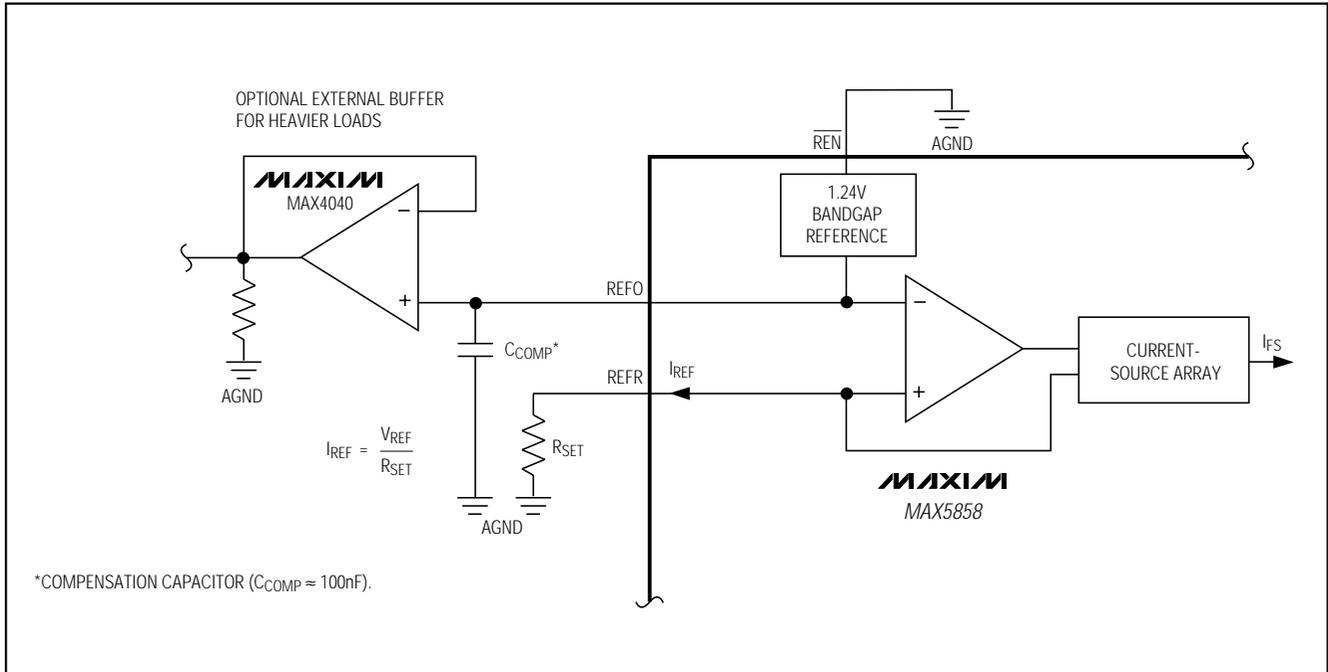


図4. 1.24Vの内部リファレンスと制御アンプによるIFSの設定

内部リファレンスと制御アンプ

MAX5858には、50ppm/、1.24V、低ノイズのバンドギャップリファレンスがあり、また、この内部リファレンスをディセーブルにして外部リファレンスを有効にすることもできます。REFOが、外部リファレンスの入力、または、内部リファレンスの出力になります。 \overline{REN} をAGNDに落とすと、内部リファレンスが選択され、REFOから1.24V(50 μ A)が出力されます。REFOで大きな負荷を駆動したい場合には、バッファアンプを追加します。

MAX5858はまた、2つの出力のフルスケール出力電流(I_{FS})を同時に安定化する制御アンプを持っています。出力電流は次式で求められます。

$$I_{FS} = 32 \times I_{REF}$$

ただし、 I_{REF} はリファレンス出力電流($I_{REF} = V_{REFO}/R_{SET}$)、 I_{FS} はフルスケール出力電流です。

R_{SET} は、MAX5858のアンプ出力電流を決定するリファレンス抵抗です(図4)。この電流は電流ソースアレイに反映されます。電流ソースアレイでは、マッチした電流セグメントに I_{FS} が均等に分配され、最終的に合計されて、DACの出力電流値になります。

外部リファレンス

MAX5858の内部リファレンスをディセーブルとするには、 \overline{REN} を AV_{DD} に接続します。REFOに温度安定度の高い外部リファレンスを入力し、フルスケール出力をセットします(図5)。高い精度とドリフト性能を得るため、1.24V、25ppm/のバンドギャップリファレンスであるMAX6520など、出力リファレンス電圧が一定のものを選んでください。

詳細なタイミング

MAX5858は、入力データレートが最大165MHz、またはDAC変換レートで300MHzまでです。入力はクロックの立上りエッジでラッチされ、続く立上りエッジで出力がラッチされます。

図6に、このDACを4x補間モードで動作させたときの書込みサイクルを示します。このタイミングダイアグラムからわかるように、CLKXPとCLKXNに加えられた信号が4分割され、DACのCLK信号となります。MAX5858のDAC出力は、CLKXP/CLKXNに加えられたクロックのレートで更新されます。

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

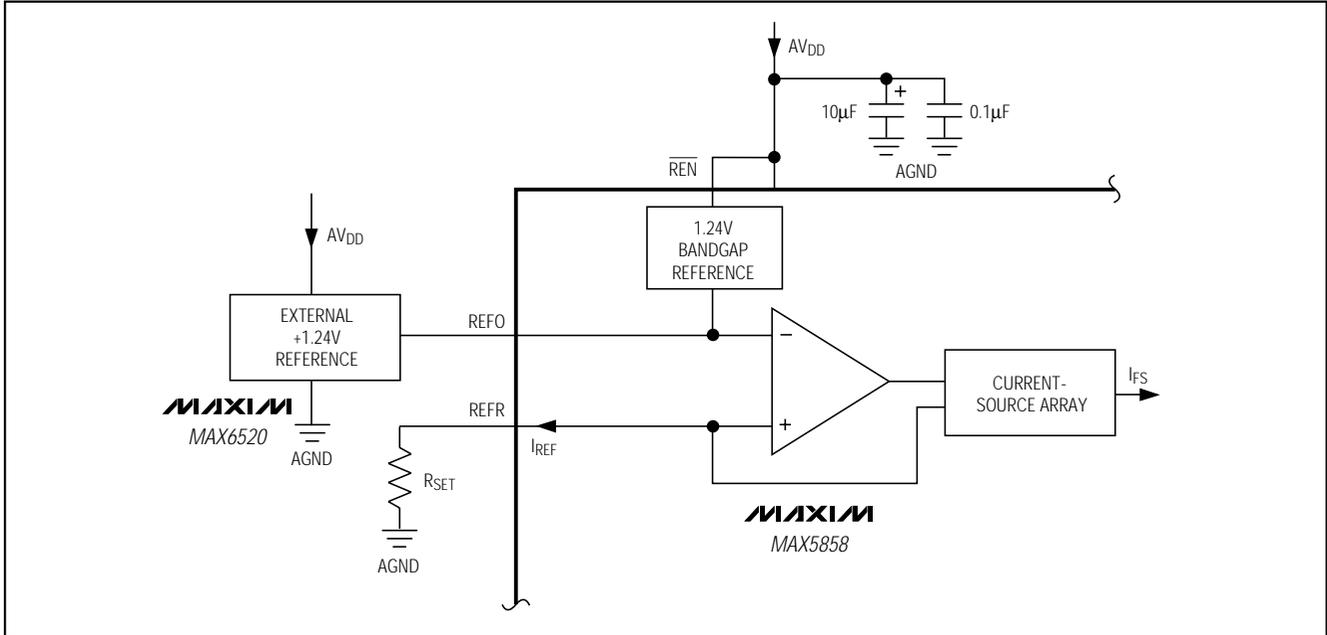


図5. MAX5858と外部リファレンスの組合わせ

表5. クロックモード

F2EN	F1EN	DIFFERENTIAL CLOCK FREQUENCY ($f_{CLKDIFF}$) (MHz)	CLK OUTPUT (MHz)	DAC RATE (f_{DAC})	INTERPOLATION	MAX SIGNAL BANDWIDTH (MHz)	
0	0	0 to 165	FCLKDIFF	$f_{CLKDIFF}$	1x	82	
0	1	0 to 300	FCLKDIFF/2	$f_{CLKDIFF}$	2x	63	
1	1	0 to 300	$f_{CLKDIFF}/4$	$f_{CLKDIFF}$	4x	31	
1	0	Illegal					

MAX5858はインタリーブデータモードでも動作します。IDEをハイにプルアップするとインタリーブデータモードになり、両方のDACチャンネルのデータが入力ポートのAを通じて書き込まれるようになります。チャンネルBのデータは、CLK信号の立下りエッジで書き込まれ、チャンネルAのデータはその次のCLK信号の立上りエッジで書き込まれます。

そのまた次のCLKの立上りエッジで、両方のDAC出力(チャンネルAとチャンネルB)が同時に更新されます。このようにインタリーブデータモードでは、チャンネルあたりの最大入力データレートは、ノンインタリーブモードの半分になります。このモードは、データレートは低くてもよく、インタフェースを10ビットバス、1本にしたいときに便利です(図7)。

アプリケーション情報

差動信号からシングルエンド信号への変換

MAX5858は優れたダイナミック性能を持ち、高次QAM/OFDM変調など、さまざまな変調方式との同期が可能です。

図8に、出力トランスによって差動信号からシングルエンドへの変換を行う標準動作回路を示します。この構成では、MAX5858を差動モードで動作させることによって偶数次の高調波を低減し、より大きな出力を取り出すことができます。

デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

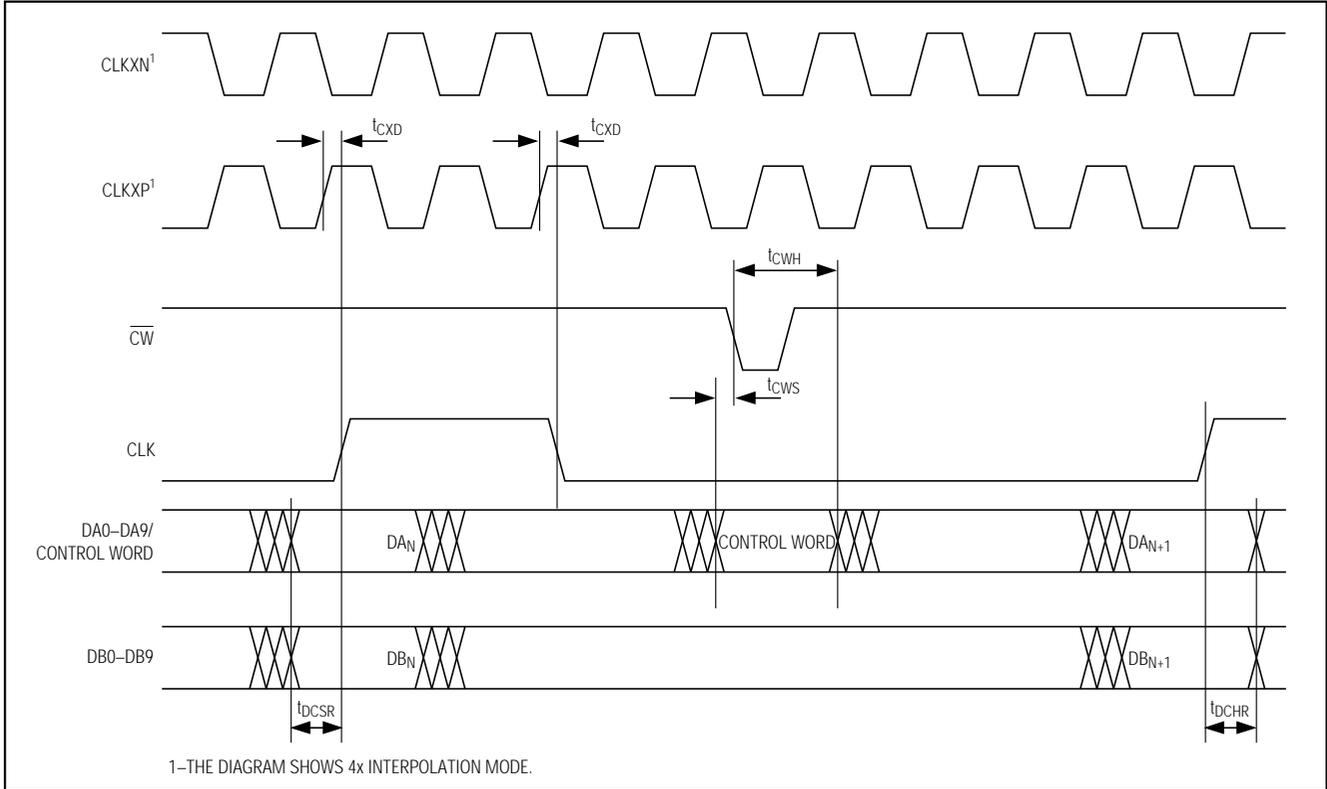


図6. ノンインタリーブデータモード時(IDEがロー)のタイミングダイアグラム

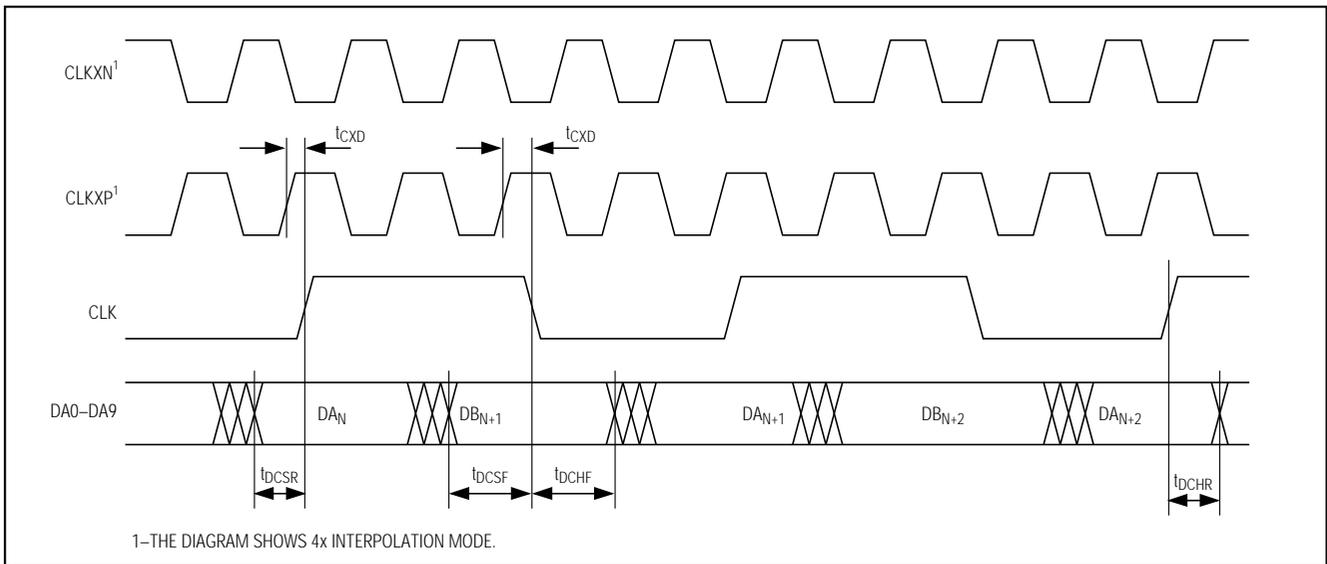


図7. インタリーブデータモード時(IDEがハイ)のタイミングダイアグラム

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

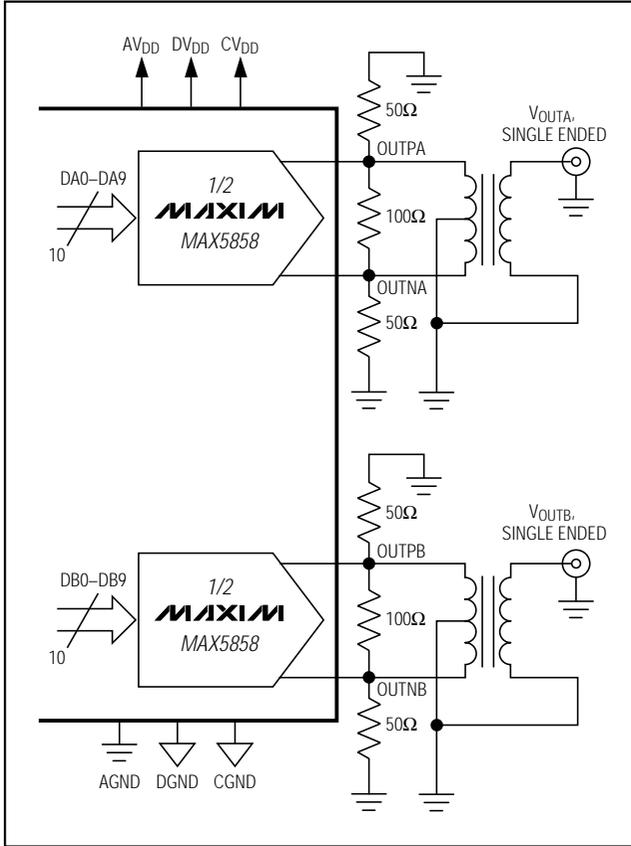


図8. 出力トランスによって差動信号をシングルエンド信号に変換するアプリケーション

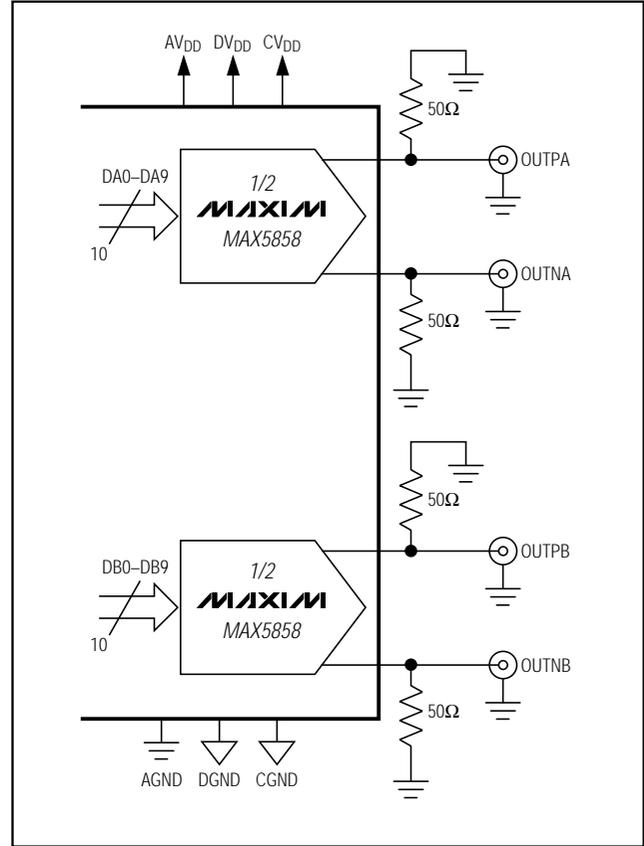


図9. DC結合の差動出力を持つアプリケーション

差動DC結合構成

図9では、MAX5858の出力を差動DC結合モードとしています。この構成は、アナログの直交アップコンバータを採用し、ベースバンドサンプリング型のデュアルチャンネル高速DACによってI/Q合成を行う通信システムに適しています。このようなアプリケーションでは、情報帯域が10MHzから数百キロヘルツとさまざまになります。大容量のカップリングコンデンサはコストがかさむだけでなく、放電時定数が大きいという問題があり、そのような問題のないDC結合が望まれます。アナログ直交アップコンバータのDCコモンモード入力条件は、通常、0.7V ~ 1.0Vです。MAX5858の差動I/Q出力は、2.85V(±5%)の単一電源動作で0.7V ~ 1.0VというDCコモンモードレベルのフルスケール周波数スペクトルを出力することができます。MAX5858は、このようにローパワーとしてもダイナミックレンジの低下は最小限であり、かつ、レベルシフト用抵抗回路も不要です。

電源、バイパス、デカップリング、レイアウト

MAX5858の性能は、グランドと電源デカップリングによって大きく左右されます。入力やリファレンス、電源、グランド接続などを通じて好ましくないデジタルクロストークが混入し、信号対雑音比やスプリアスフリーダイナミックレンジなどのダイナミック特性を劣化させます。また、電磁干渉(EMI)が混入したり、MAX5858内部で発生したりすることがあります。高速、高周波数アプリケーション用のグランドと電源デカップリングに関するガイドラインを遵守してください。電源とフィルタの構成も、最適なダイナミック性能が得られるものとしてください。

独立したグランドプレーンと電源プレーンを持つ多層PCB(プリント回路基板)の使用を推奨します。高速信号は、グランドプレーン直上のラインに通します。MAX5858はアナロググランドバスとデジタルグランドバスが独立しています(AGND、CGND、及びDGND)。プリント基板上に、アナログ、デジタル、

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

クロックの各グランドとして独立したセクションを用意し、3つのグランドプレーンを1点で接続します。このグランド接続ポイントは、デバイス直下とし、エクスポートパッドに接続します。デジタル信号はデジタルグランドプレーン上に、アナログ/クロック信号はアナログ/クロックグランドプレーン上に通します。デジタル信号は、影響を受けやすいアナログ入力やクロック入力、リファレンス入力から離します。デジタル信号パスは短くするとともに、金属配線長を揃えて、伝搬遅延やデータスキュー不整合の発生を防止します。

MAX5858には、アナログ(AV_{DD})、デジタル(DV_{DD})、クロック(CV_{DD})という、独立した電源入力があります。1つのリニアレギュレータ電源ソースから分岐して、これら3本の電源ライン(AV_{DD}、DV_{DD}、CV_{DD})とリターン(AGND、DGND、CGND)に電源を供給します。各電源ラインと対応するリターンラインの間は、フェライトビーズと10μFのコンデンサによるLCフィルタを挿入します。各電源入力も、対応するリターンラインとの間に、フィルタとして0.1μFのセラミックコンデンサを挿入します。

注：「Electrical Characteristics」に示すダイナミック性能を發揮させるため、DV_{DD}、AV_{DD}、及びCV_{DD}間の電圧が150mVを超えないように注意してください。

熱特性とパッケージング

熱抵抗

48ピンTQFP-EPパッケージでは

$$\theta_{JA} = 37^{\circ}\text{C/W}$$

適切な電気特性を得るため、デバイスのジャンクション温度が125以下となるようにしてください。300Msps近くまでDACの更新速度を高め、環境温度が+85という条件で使う場合には、所定の性能を得るために電源電圧を低くしてください。

MAX5858は、48ピンTQFP-EPパッケージとなっており、設計柔軟性と熱効率が高く、DACのAC特性が優れているという特長があります。エクスポートパッド(EP)を持つことから、高性能動作に必要なさまざまなグランド手法を使うことが可能です。

このパッケージでは、データコンバータチップがEPのリードフレームに取り付けられており、リードフレームの背面がパッケージ底面に露出し、パッケージと接するプリント基板に面しています。つまり、標準的な赤外(IR)フロー半田付けによって、パッケージとプリント基板をしっかりと固定することが可能です。EPの大きさ(5mm x 5mm)に合わせたランドパターンとしておけば、DACの固定とグランドを確実にできるわけです。DACに高い性能を發揮させるため、ランド領域と接続するビア*を作り、大きなグランドプレーンをプリント基板に実装することができます。MAX5858の48ピンTQFP-EPパッケージでは、3 x 3(以上)のビア(ビアホール)の直径が0.3mm以下、ビアホール間のピッチが1.2mmとしてください。

ダイナミック性能パラメータの定義

隣接チャネルリーク比(ACLR)

ACLRは、リーク電力比が、あるチャネルで測定された電力が隣接チャネルにおける電力に対して何dBであるかで示す数値で、多くの場合、WCDMA(広帯域符号分割多元接続)と合わせて用いられます。ACLRを使うと、帯域外スペクトルエネルギーと、帯域制限されたRF信号が非線形デバイスを通るときに、そのエネルギーが隣接チャネルに与える影響とを定量的に求めることが可能です。

全高調波歪み(THD)

THDとは、入力信号の基本高調波(ナイキストウィンドウ内の高調波)のRMSを合計したものと基本周波数のRMSの比で、次式で表すことができます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1} \right)$$

ただし、V₁は基本振幅、V₂からV_Nまでは2次からN次までの高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRとは、キャリア周波数(信号の最大成分)のRMS振幅と、次に大きなスペクトル成分のRMS値の比です。SFDRは通常、キャリア周波数の振幅に対するdBcで表すか、DACのフルスケールレンジに対するdB FSで表します。テスト条件によって、SFDRは、予め設定した周波数ウィンドウ内か、もしくはナイキスト帯域内に観測されます。

* ビアとは、多層基板内外に設けられた銅プレーンにランドパターンを接続する部分のことです。

デュアル、10ビット、300Msps、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

マルチトーン電力比(MTPR)

等間隔の複数トーンから帯域中央のトーンのみを除き、DACに入力します。このとき、もっとも大きい歪み(基本周波数の3次高調波積であることが多い)をMTPRと呼びます。この歪みは、除かれたトーンの周波数に発生する最大のスプリアスとして表れます。入力トーンの数はいくつでもテスト可能ですが、CDMAアプリケーションやGSM/EDGEアプリケーションではテスト条件を4トーンか8トーンとするのが一般的です。

相互変調歪み(IMD)

ツートーンIMDとは、3次(以上)のIMD積のうち、最大のものに対するいずれかの出力トーンの比をdBcで表したものです。

スタティック性能パラメータの定義

積分非線形性(INL)

積分非線形性(INL)とは、オフセット誤差と利得誤差を除去した後の伝達関数の始点と終点を結んだ直線からの伝達関数のずれを指します。DACでは、ステップごとにずれを測定します。

微分非線形性(DNL)

微分非線形性(DNL)とは、実際のステップ幅と理想値である1 LSBとの差を指します。DNL誤差が1LSBより小さい場合に、ノーミッシングコード及び単調性伝達関数が保証されます。

オフセット誤差

オフセット誤差とは、デジタル入力コードをゼロにセットしたとき、DAC出力の正側から流れ出る電流を指します。オフセット誤差はLSBで表します。

利得誤差

利得誤差とは、オフセット誤差を除去した後の伝達関数における現実のフルスケール出力電流と理想的なフルスケール出力電流の差を指します。利得誤差があると伝達関数のスロープが変化し、すべてのステップで等しい誤差が発生します。電流の理想値は、REFOの基準電圧で決まり $I_{REF} \times 32$ となります。

セトリング時間

セトリング時間とは、遷移がスタートしてから、DAC出力が、コンバータ精度内まで新しい出力値に整定するのに必要な時間を指します。

グリッチインパルス

DAC出力コードが変化するとき、グリッチが発生します。グリッチがもっとも大きくなるのは、通常、ミッドスケール遷移のあたりで、このとき、入力パターンが011...111から100...000に遷移します。グリッチが発生する原因は、ビット間でタイミングが変動するからです。グリッチインパルスは、ミッドスケール遷移時のグリッチ電圧を時間で積分することで求められ、通常、pV-sで表されます。

チップ情報

TRANSISTOR COUNT: 178,376

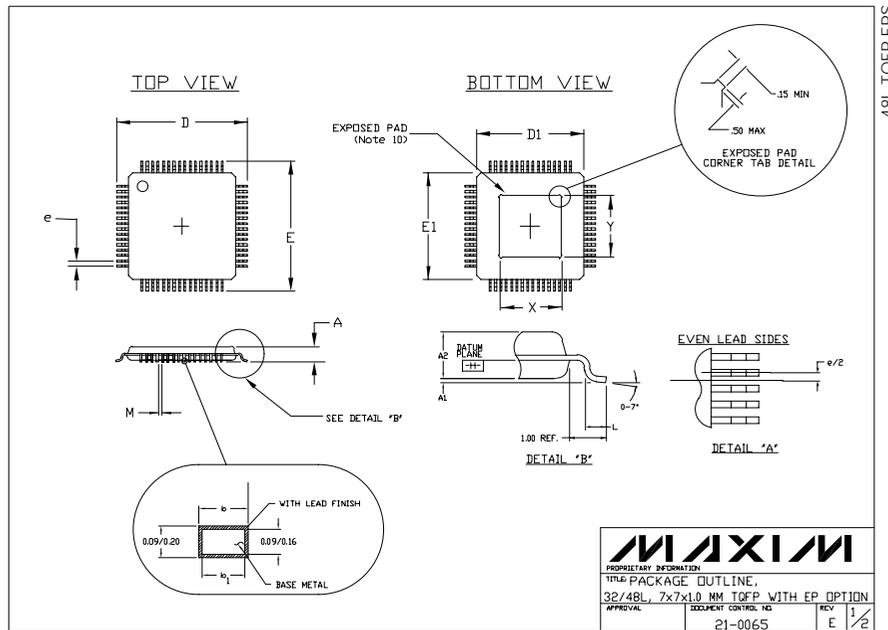
PROCESS: CMOS

デュアル、10ビット、300MSPS、 4x/2x/1x補間フィルタ付き電流出力DAC

MAX5858

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



NOTES:

- ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
- DATUM PLANE [H] IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
- THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
- CONTROLLING DIMENSION: MILLIMETER.
- THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS AC AND AE.
- LEADS SHALL BE COPLANAR WITHIN .004 INCH.
- EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
- DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

SYMBOL	JEDEC VARIATION					
	ALL DIMENSIONS IN MILLIMETERS					
	AC			AE		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	~	~	1.20	~	~	1.20
A1	0.05	0.10	0.15	0.05	0.10	0.15
A2	0.95	1.00	1.05	0.95	1.00	1.05
D	9.00 BSC.			9.00 BSC.		
D1	7.00 BSC.			7.00 BSC.		
E	9.00 BSC.			9.00 BSC.		
E1	7.00 BSC.			7.00 BSC.		
L	0.45	0.60	0.75	0.45	0.60	0.75
M	0.15	~	~	0.14	~	~
N	32			48		
e	0.80 BSC.			0.50 BSC.		
b	0.30	0.37	0.45	0.17	0.22	0.27
b1	0.30	0.35	0.40	0.17	0.20	0.23
*X	3.20	3.50	3.80	3.70	4.00	4.30
*Y	3.20	3.50	3.80	3.70	4.00	4.30

* EXPOSED PAD (Note 10)

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 23