

+5V、シリアル入力、電圧出力14ビットDAC

概要

MAX544/MAX545は+5V単一電源で動作する14ビットシリアル入力、電圧出力のデジタルアナログコンバータ(DAC)です。調整を必要とせずに全温度範囲で14ビット性能(INLが ± 0.5 LSB、DNLが ± 0.9 LSB)を提供します。DAC出力はバッファされていないため、消費電流が0.3mA(リファレンス電流を除く)と低くなっており、0.6mVの低いオフセットエラー電圧となっています。

DACの出力範囲は V_{REF} に対し0Vです。MAX545はユニポーラ又はバイポーラ動作が可能です。バイポーラ動作の場合、外部高精度オペアンプ(MAX400等)用に使用できるスケール抵抗をMAX545の内部に備えており、オペアンプは $\pm V_{REF}$ を出力とします。MAX545はリファレンス及びアナロググランドピンにケルビン検出接続を採用しているため、配線基板のレイアウトに敏感とならないのです。

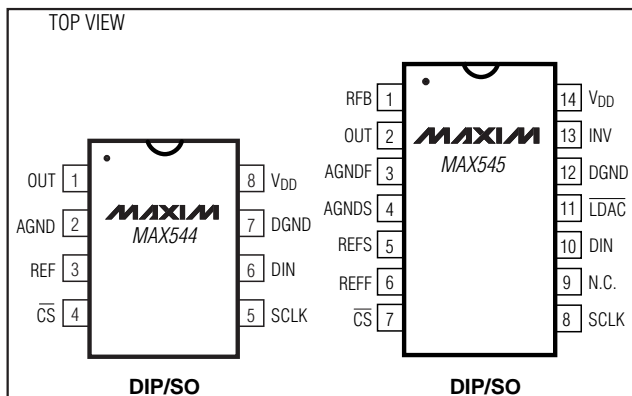
16ビットのシリアルワードを使ってデータをDACラッチにロードします。6.25MHzの3線シリアルインタフェースはSPI™/QSPI™及びMICROWIRE™とコンパチブルで、絶縁を必要とするアプリケーションではフォトカプラと直接インタフェースすることができます。電源投入時にはパワーオンリセット回路がDACの出力を0V(ユニポーラモード)にクリアします。

MAX544は8ピンプラスチックDIP及びSOPパッケージで供給されています。MAX545は14ピンプラスチックDIP及びSOPパッケージで供給されています。

アプリケーション

デジタルオフセット及び利得調整
計測器
工業用プロセス制御
自動試験機器
データアキュイジションシステム

ピン配置



特長

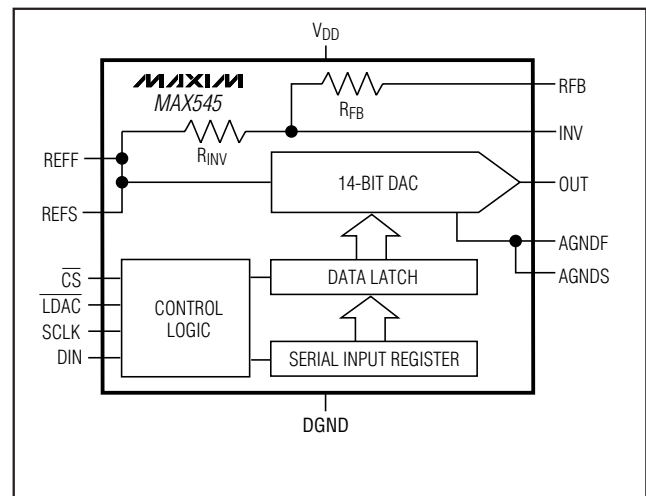
- ◆ 調整なしでフル14ビット性能を發揮
- ◆ 電源：単一+5V
- ◆ 低電力：1.5mW
- ◆ セトリング時間：1 μ s
- ◆ バッファなしの電圧出力が60k Ω の負荷を直接駆動
- ◆ シリアルインタフェース：
SPI/QSPI/MICROWIREコンパチブル
- ◆ パワーオンリセット回路がDAC出力を0Vにクリア(ユニポーラモード)
- ◆ フォトカプラへの直接インタフェース用にシュミットトリガ入力を装備
- ◆ ピンコンパチブルの16ビットアップグレード：
MAX541/MAX542

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX544ACPA	0°C to +70°C	8 Plastic DIP	$\pm 1/2$
MAX544BCPA	0°C to +70°C	8 Plastic DIP	± 1
MAX544ACSA	0°C to +70°C	8 SO	$\pm 1/2$
MAX544BCSA	0°C to +70°C	8 SO	± 1

Ordering Information continued at end of data sheet.

ファンクションダイアグラム



Functional Diagrams continued at end of data sheet.

SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

+5V、シリアル入力、電圧出力14ビットDAC

MAX544/MAX545

ABSOLUTE MAXIMUM RATINGS

V_{DD} to DGND	-0.3V to +6V	14-Pin Plastic DIP (derate 10.00mW/°C above +70°C) ...	800mW
\overline{CS} , SCLK, DIN, \overline{LDAC} to DGND	-0.3V to +6V	14-Pin SO (derate 8.33mW/°C above +70°C)	667mW
REF, REFF, REFS to AGND	-0.3V to (V_{DD} + 0.3V)	14-Pin Ceramic SB (derate 10.00mW/°C above +70°C) ..	800mW
AGND, AGNDF, AGNDS to DGND	-0.3V to +0.3V	Operating Temperature Ranges	
OUT, INV to AGND DGND	-0.3V to V_{DD}	MAX544 _C_ A/MAX545_C_D	0°C to +70°C
RFB to AGND DGND	-6V to +6V	MAX544 _E_ A/MAX545_E_D	-40°C to +85°C
Maximum Current into Any Pin	50mA	MAX545BMJD	-55°C to +125°C
Continuous Power Dissipation (T_A = +70°C)		Storage Temperature Range	-65°C to +150°C
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW	Lead Temperature (soldering, 10s)	+300°C
8-Pin SO (derate 5.88mW/°C above +70°C)	471mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ± 5%, V_{REF} = +2.5V, AGND = DGND = 0, T_A = T_{MIN} to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION ($R_L = \infty$)						
Resolution	N		14			Bits
Integral Nonlinearity	INL	$V_{DD} = 5V$	MAX54_A	±0.15	±0.5	LSB
			MAX54_B	±0.15	±1	
Differential Nonlinearity	DNL	Guaranteed monotonic		±0.15	±0.9	LSB
Zero-Code Offset Error	ZSE				±0.6	mV
Zero-Code Tempco	ZSTC			±0.05		ppm/°C
Gain Error (Note 1)					±5	LSB
Gain-Error Tempco				±0.1		ppm/°C
DAC Output Resistance	R_{OUT}	(Note 2)		6.25		k Ω
Bipolar Resistor Matching		MAX545	R_{FB}/R_{INV}	1.0		
			Ratio error			±0.03
Bipolar Zero Offset Error		MAX545			±10	LSB
Bipolar Zero Tempco	BZSTC	MAX545		±0.5		ppm/°C
Power-Supply Rejection	PSR	$4.75V \leq V_{DD} \leq 5.25V$			±1.0	LSB
REFERENCE INPUT						
Reference Input Range	V_{REF}	(Note 3)	2.0		3.0	V
Reference Input Resistance (Note 4)	R_{REF}	Unipolar mode	11.5			k Ω
		MAX545, bipolar mode	9.0			
DYNAMIC PERFORMANCE—ANALOG SECTION ($R_L = \infty$, unipolar mode)						
Voltage-Output Slew Rate	SR	$C_L = 10pF$ (Note 5)		25		V/ μs
Output Settling Time		To $\pm 1/2$ LSB of FS, $C_L = 10pF$		1		μs
DAC Glitch Impulse		Major-carry transition		10		nVs
Digital Feedthrough		Code = 0000 hex; $\overline{CS} = V_{DD}$; $\overline{LDAC} = 0V$; SCLK, DIN = 0V to V_{DD} levels		10		nVs

+5V、シリアル入力、電圧出力14ビットDAC

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_{REF} = +2.5V$, $AGND = DGND = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE—REFERENCE SECTION						
Reference -3dB Bandwidth	BW	Code = FFFC hex		1		MHz
Reference Feedthrough		Code = 0000 hex, $V_{REF} = 1V_{p-p}$ at 100kHz		1		mVp-p
Signal-to-Noise Ratio	SNR			83		dB
Reference Input Capacitance	C_{IN}	Code = 0000 hex		75		pF
		Code = FFFC hex		120		
STATIC PERFORMANCE—DIGITAL INPUTS						
Input High Voltage	V_{IH}		2.4			V
Input Low Voltage	V_{IL}				0.8	V
Input Current	I_{IN}	$V_{IN} = 0$			± 1	μA
Input Capacitance	C_{IN}	(Note 6)			10	pF
Hysteresis Voltage	V_H			0.40		V
POWER SUPPLY						
Positive Supply Range	V_{DD}		4.75		5.25	V
Positive Supply Current	I_{DD}			0.3	1.1	mA
Power Dissipation	PD			1.5		mW

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_{REF} = +2.5V$, $AGND = DGND = 0$, CMOS inputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f_{SCLK}				10	MHz
SCLK Pulse Width High	t_{CH}		45			ns
SCLK Pulse Width Low	t_{CL}		45			ns
\overline{CS} Low to SCLK High Setup	t_{CSS0}		45			ns
\overline{CS} High to SCLK High Setup	t_{CSS1}		45			ns
SCLK High to \overline{CS} Low Hold	t_{CSH0}	(Note 6)	30			ns
SCLK High to \overline{CS} High Hold	t_{CSH1}		45			ns
DIN to SCLK High Setup	t_{DS}		40			ns
DIN to SCLK High Hold	t_{DH}		0			ns
\overline{LDAC} Pulse Width	t_{LDAC}	MAX545	50			ns
\overline{CS} High to \overline{LDAC} Low Setup	t_{LDACS}	MAX545 (Note 6)	50			ns
V_{DD} High to \overline{CS} Low (power-up delay)				20		μs

Note 1: Gain Error tested at $V_{REF} = 2.0V, 2.5V, \text{ and } 3.0V$.

Note 2: R_{OUT} tolerance is typically $\pm 20\%$.

Note 3: Min/max range guaranteed by gain-error test. Operation outside min/max limits will result in degraded performance.

Note 4: Reference input resistance is code dependent, minimum at 8554 hex.

Note 5: Slew-rate value is measured from 0% to 63%.

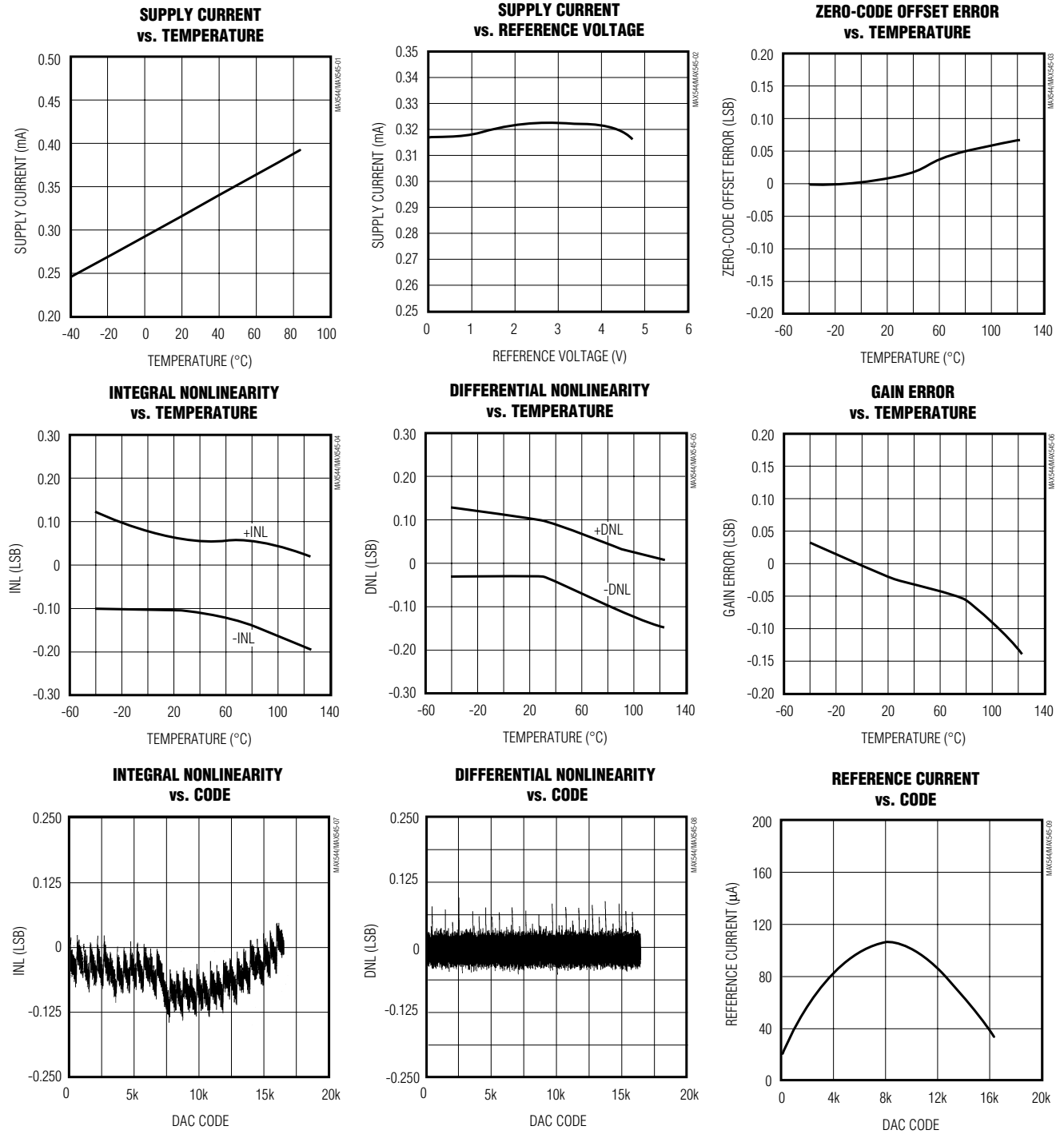
Note 6: Guaranteed by design. Not production tested.

+5V、シリアル入力、電圧出力14ビットDAC

MAX544/MAX545

標準動作特性

($V_{DD} = 5V$, $V_{REF} = 2.5V$, $T_A = +25^\circ C$, unless otherwise noted.)

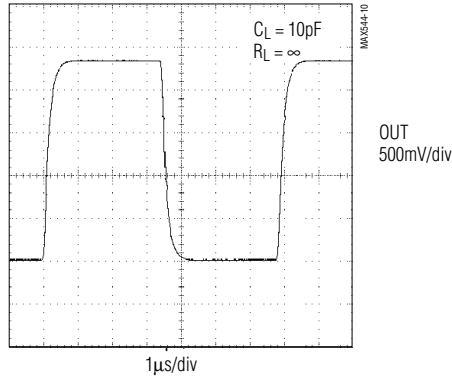


+5V、シリアル入力、電圧出力14ビットDAC

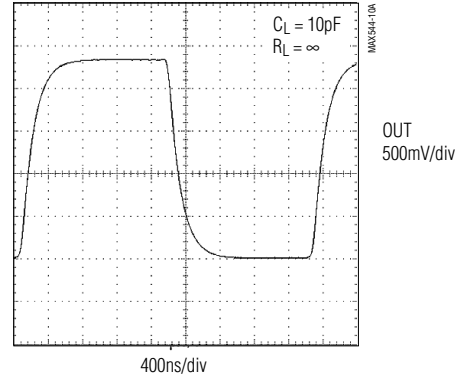
標準動作特性(続き)

(V_{DD} = 5V, V_{REF} = 2.5V, T_A = +25°C, unless otherwise noted.)

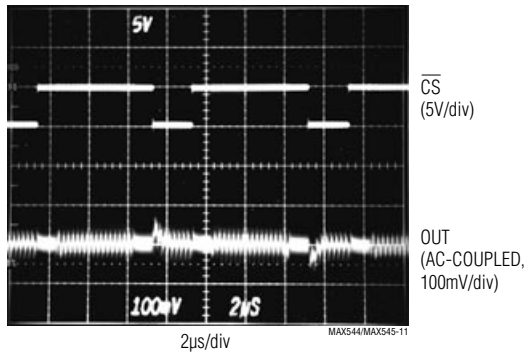
FULL-SCALE STEP RESPONSE
(f_{SCLK} = 10MHz)



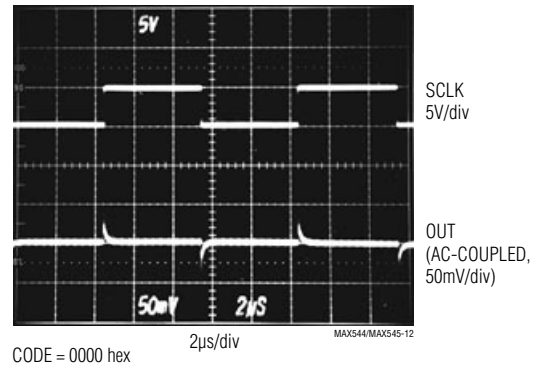
FULL-SCALE STEP RESPONSE
(f_{SCLK} = 20MHz)



MAJOR-CARRY OUTPUT GLITCH



DIGITAL FEEDTHROUGH



端子説明

MAX544

端子	名称	機能
1	OUT	DAC出力電圧
2	AGND	アナロググランド
3	REF	電圧リファレンス入力。外部+2.5Vリファレンスに接続。
4	$\overline{\text{CS}}$	チップセレクト入力
5	SCLK	シリアルクロック入力。デューティサイクルは40%～60%でなければなりません。
6	DIN	シリアルデータ入力
7	DGND	デジタルグランド
8	V _{DD}	+5V電源電圧

+5V、シリアル入力、電圧出力14ビットDAC

端子説明(続き)

MAX545

端子	名称	機能
1	RFB	フィードバック抵抗。バイポーラモードで外部オペアンプの出力に接続してください。
2	OUT	DAC出力電圧
3	AGNDF	アナロググランド(フォース)
4	AGNDS	アナロググランド(検出)
5	REFS	電圧リファレンス入力(検出)。REFSを外部+2.5Vリファレンスに接続してください。
6	REFF	電圧リファレンス入力(フォース)。REFFを外部+2.5Vリファレンスに接続してください。
7	\overline{CS}	チップセレクト入力
8	SCLK	シリアルクロック入力。デューティサイクルは40%~60%でなければなりません。
9	N.C.	無接続。内部で接続されていません。
10	DIN	シリアルデータ入力
11	\overline{LDAC}	\overline{LDAC} 入力。立下がりエッジで内部DACラッチを更新します。
12	DGND	デジタルグランド
13	INV	内部スケーリング抵抗のジャンクション。バイポーラモードで外部オペアンプの反転入力に接続してください。
14	VDD	+5V電源電圧

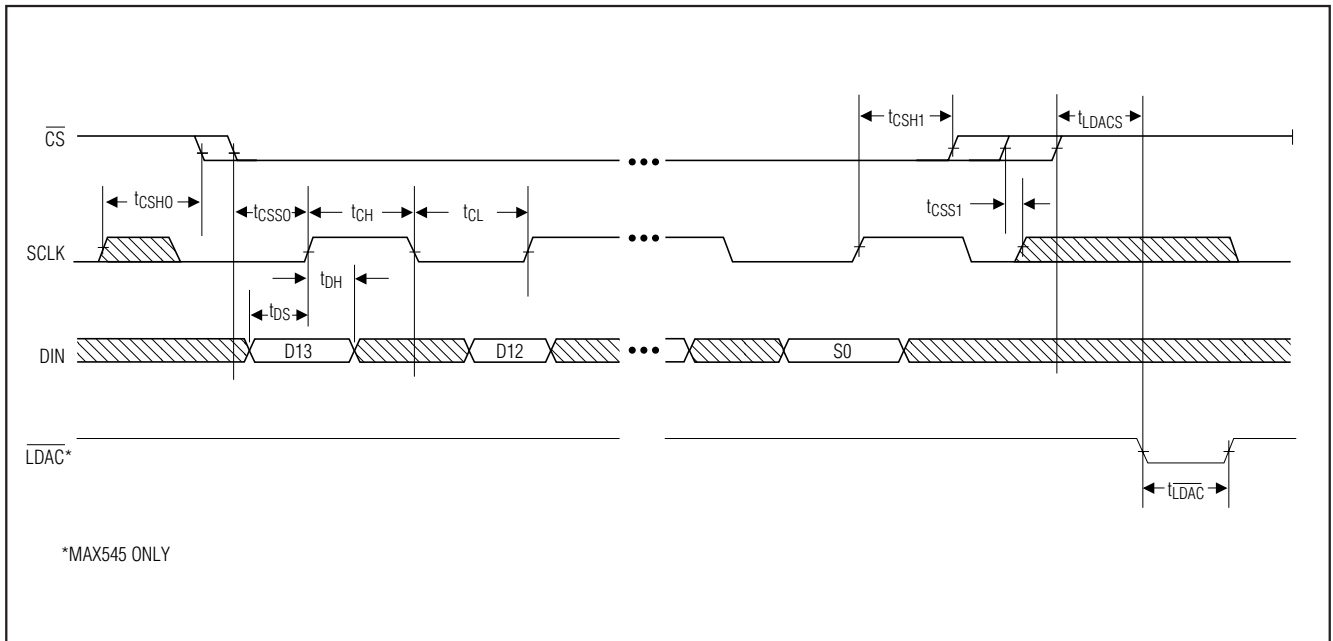


図1. タイミング図

+5V、シリアル入力、電圧出力14ビットDAC

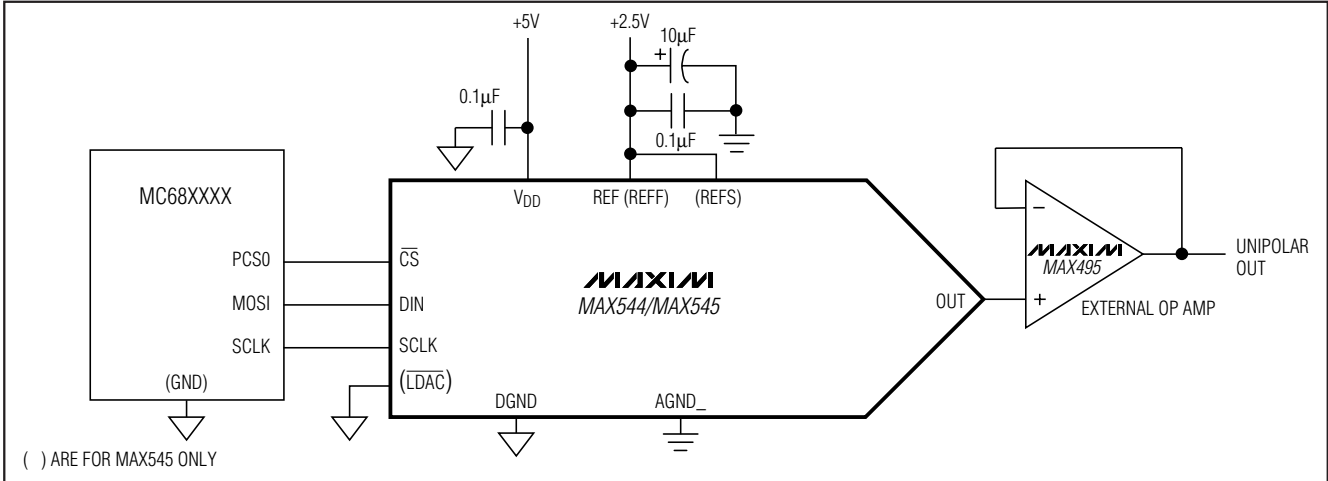


図2a. 標準動作回路—ユニポーラ出力

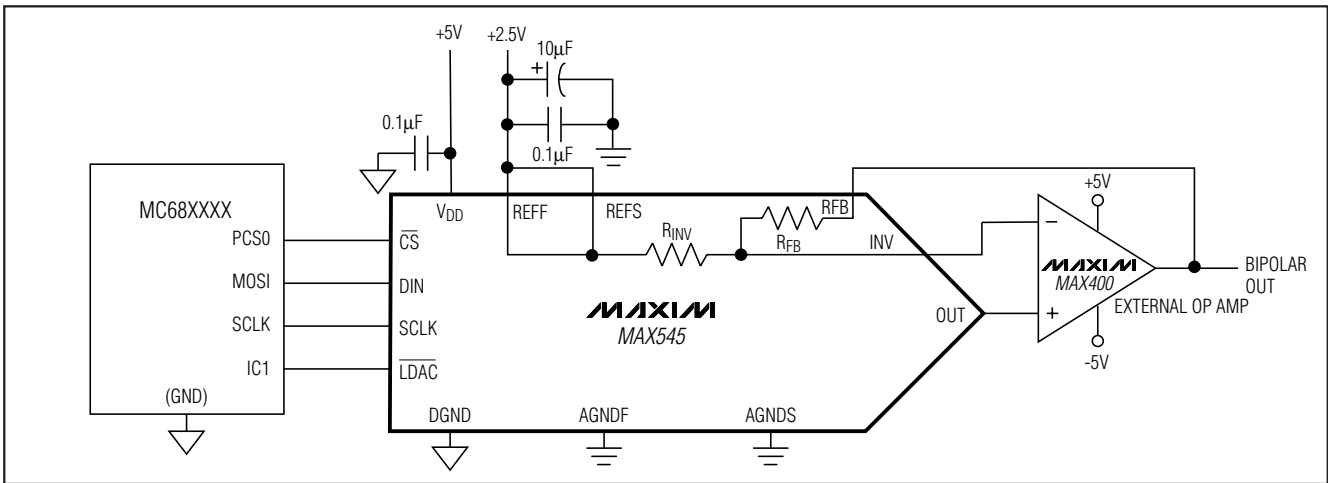


図2b. 標準動作回路—バイポーラ出力

詳細

14ビット電圧出力デジタルアナログコンバータ(DAC)のMAX544/MAX545は積分直線性誤差0.5LSB以下、微分直線性誤差0.9LSB以下で単調性を保証するフル14ビット性能を提供しています。シリアルデータ転送により、パッケージピンの数を最小限に抑えています。

MAX544/MAX545は2つのマッチングされたDAC部からなっています。反転R-2R DACがLSBを形成し、15個の同等にマッチングされた抵抗から4個のMSBを得ています。この構造はメジャーキャリア遷移でDAC出力に出てくるグリッチエネルギーを最低に抑えること

ができます。また、標準R-2Rラダーと比較してDAC出力インピーダンスを8分の1に低減することができるため、負荷が中程度のアプリケーションではバッファなしの動作が可能です。

MAX545はマッチングされたバイポーラオフセット抵抗を備えています。これらの抵抗を外部オペアンプに接続すれば正確なバイポーラ出力スイングを保證することができます(図2b)。また、MAX545は電圧リファレンスとアナロググランド入力にケルビン接続のセットを採用して性能を向上させています。

+5V、シリアル入力、電圧出力14ビットDAC

デジタルインタフェース

MAX544/MAX545のデジタルインタフェースは標準3線接続で、SPI/QSPI/MICROWIREインタフェースとコンパチブルです。チップセレクト入力(\overline{CS})がデータ入力ピン(DIN)でのデータローディングのフレーミングをします。 \overline{CS} のハイからローへの遷移の直後にデータは同期的にシフトされ、シリアルクロック入力(SCLK)の立上りエッジで入力レジスタにラッチされます。シリアル入力レジスタに16ビット(14データビットとゼロにセットする2サブビット)がロードされると、 \overline{LDAC} がローであれば \overline{CS} のローからハイへの遷移でその内容がDACラッチに転送されます(図3a)。16 SCLKサイクルの全期間を通じて \overline{CS} がローに維持されていないとデータが破壊されることに注意してください。その場合は新しい16ビットワードをDACに再ロードしてください。

MAX545の別の方法として、 \overline{CS} がハイのときに \overline{LDAC} をローにすると非同期的にDACラッチを更新することができます(図3b)。データローディングシーケンス中は \overline{LDAC} をハイに維持してください。

外部リファレンス

MAX544/MAX545は2V~3Vの外部電圧リファレンスを使って動作します。リファレンス電圧によってDACのフルスケール出力電圧が決まります。性能向上のため、MAX545にはケルビン接続を採用しています。初期精度 $\pm 15\text{mV}$ 及び温度計数 $7\text{ppm}/^\circ\text{C}$ (max)の2.5V MAX873Aを推奨します。

パワーオンリセット

MAX544/MAX545は、ユニポーラモードで V_{DD} が最初に印加されたときにDACの出力を0Vに設定するためのパワーオンリセット回路を備えています。これにより、システムパワーアップの直後(例えば電源喪失の後)に望ましくないIDAC出力電圧が出ないことが保証されます。バイポーラモードではDAC出力は $-V_{REF}$ に設定されます。

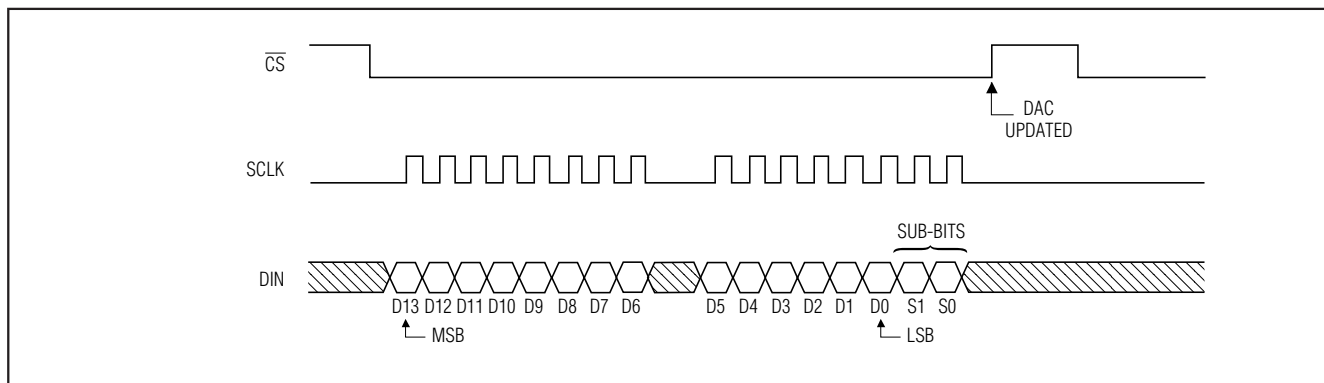


図3a. MAX544/MAX545 3線インタフェースのタイミング図($\overline{LDAC} = \text{DGND}$ (MAX545))

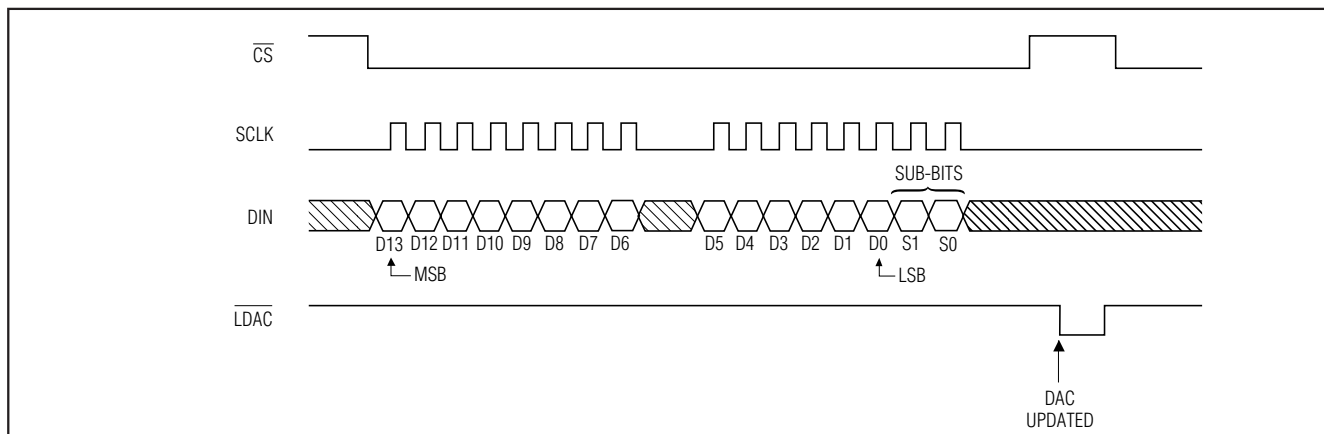


図3b. MAX545 4線インタフェースのタイミング図

アプリケーション情報

リファレンス及びアナロググランド入力

MAX544/MAX545は2V~3Vの外部電圧リファレンスを使って動作し、リファレンスの選択と使用に関する指針が守られれば14ビット性能を発揮します。理想的には、0 ~+70 の民生用温度範囲で1LSB以内の14ビット精度を維持するためにはリファレンスの温度計数が1.5ppm/以下であるべきです。このコンバータは反転R-2R電圧DACとして設計されているため、電圧リファレンス側から見た入力抵抗はコードに依存します。ワーストケースの入力抵抗変動は11.5k (コードが8554 hex)から200k (コードが0000 hex)です。2.5Vリファレンスでの最大負荷電流変化は2.5V/11.5k = 217μAとなります。したがって、最大誤差を0.1LSBとすると必要な負荷レギュレーションは28ppm/mAとなります。これはリファレンス出力インピーダンスが71m以下であることを意味します。さらに、電圧リファレンスからリファレンス入力までの信号経路のインピーダンスは負荷レギュレーション誤差に直接寄与するため、これも低く抑える必要があります。

電圧リファレンスに要求される低インピーダンス性はリファレンス入力でコンデンサを使ってグランドにバイパスすることで実現されます。REFとAGND (MAX545)、あるいはREFとAGND (MAX544)の間にリード線の短い0.1μFセラミックコンデンサを接続して高周波バイパスとします。表面実装のセラミックチップコンデンサはインダクタンスが最も小さいので好適です。REFとAGNDの間さらに10μFを追加すると低周波バイパスになります。低ESRタンタル、フィルム又は有機半導体コンデンサが適しています。低周波数ではインピーダンスはそれほど重要ではないため、リード線付のコンデンサでも構いません。外部リファレンスの容量性負荷に対する安定性にもよりますが、バイパスコンデンサをさらに大きくすれば回路にとって好適です。適当なフォスラインと検出ラインを別々に用いない場合は、パッケージの近くでフォスピンと検出ピンを一緒にまとめて接続してください。

AGNDの抵抗が過剰だと負荷レギュレーション誤差が生じるため、AGNDも低インピーダンスにする必要があります。全ての高分解能、高精度アプリケーションに該当することですが、アナログとデジタルのグランドプレーンを別々にした方がよい結果が得られます。DGNDをAGNDピンのところでAGNDと一緒にまとめて接続し、DACシステムの“スター”グランドとしてください。常にこのシステムグランドをリモートDAC負荷の基準にすれば良い結果が得られます。

バッファなしの動作

バッファなしの動作だと消費電力及び外部出力バッファによるオフセット誤差が減少します。R-2R DAC出力はOUTで直接得られ、+V_{REF} ~ AGNDの範囲で14ビット性能を提供します(ゼロスケールでの劣化なし)。DACの出力インピーダンスが低いので、INL又はDNLを劣化させることなく中程度の負荷(R_L > 60k)を駆動することができます。DAC出力に外部負荷をかけた場合に増加するのは利得誤差だけです。

外部出力バッファアンプ

外部出力バッファアンプの必要条件はDACの動作がユニポーラモードかバイポーラモードかで違ってきます。ユニポーラモードでは出力アンプは電圧フォロワ接続で使用されます。MAX545のバイポーラモードではアンプは内部のスケール抵抗を使って動作します(図2b)。どちらのモードでもDACの出力抵抗は一定で、入力コードには依存しません。しかし、利得誤差を最小限にするために出力アンプの入力インピーダンスはできるだけ高くしてください。DACの出力容量も入力コードには依存しないため、外部アンプの安定性を維持するための条件が簡単になります。

バイポーラモードでは、高精度アンプとデュアル電源(MAX400等)により±V_{REF}の出力範囲が得られます。単一電源アプリケーションでは、入力コモンモード範囲がAGNDを含む高精度アンプが入手可能です。しかし、これらのアンプの出力スイングに負の電源電圧(AGND)を含めると通常はかなり性能が劣化します。アプリケーションがゼロに近いコードを使用しない場合は、MAX495等の単一電源オペアンプが適切です。

14ビットDACのLSBは極めて小さいので(V_{REF} = 2.5Vで152.6μV)、外部アンプの入力仕様に注意してください。入力オフセット電圧がゼロスケール誤差を悪化させる場合があり、オフセット電圧が1/2LSBよりも大きい場合はフル精度を保持するために出力オフセットトリミングが必要になるかもしれません。同様に、入力バイアス電流とDACの出力抵抗(6.25k typ)の積もゼロスケール誤差に寄与します。温度の影響も考慮に入れなければなりません。0 ~+70 の民生用温度範囲で、ゼロスケール誤差の増加を1/2LSB以下に抑えるためにはオフセット電圧の(+25を基準とした)温度係数が1.7μV/以下でなければなりません。外部アンプの入力抵抗とDACの出力抵抗が抵抗性分圧器を形成して利得誤差を生じます。利得誤差への寄与を1/2LSB以下にするためには、入力抵抗が次式よりも大きくなければなりません。

$$6.25k\Omega + \frac{1}{2} \left[\frac{1}{2^{14}} \right] = 205M\Omega$$

+5V、シリアル入力、電圧出力14ビットDAC

セトリング時間はバッファの入力容量、DACの出力容量及びPCボードの容量に影響されます。標準的なDAC出力電圧のセトリング時間はフルスケールステップに対して1 μ sです。小さなステップの変化に対してはセトリング時間はかなり減少します。単一の時間定数を持つ指数関数のセトリング応答を仮定した場合、フルスケールのステップが最終出力電圧から1/2LSB以内までにセトリングするには時間定数の10.4倍だけかかります。この時間定数はDAC出力抵抗と全出力容量の積に等しくなります。DACの出力容量は通常10pFです。これ以上出力容量が増えるとセトリング時間も増加します。

外部バッファアンプの利得帯域幅積は出力応答にもう1つの時定数を付加してセトリング時間を増加させるので重要なパラメータです。各々が単一の時定数応答を持つ2つのカスケード接続されたシステムの実効時定数は、近似的に2つの時間定数の和の平方根になります。DAC出力の時定数はその他の容量の影響を無視すれば1 μ s/10.4 = 96nsとなります。帯域幅が1MHzの外部アンプの時定数は1/2 (1MHz) = 159nsですから、これらを合わせたシステムの時定数は次式になります。

$$\sqrt{(96\text{ns})^2 + (159\text{ns})^2} = 186\text{ns}$$

この式は、外部バッファアンプも含めた場合の最終出力電圧から1/2LSB以内へのセトリング時間は約10.4 x 186ns = 1.93 μ sとなることを示しています。

デジタル入力及びインタフェースロジック

14ビットDACのデジタルインタフェースはSPI、QSPI及びMICROWIREインタフェースとコンパチブルな3線規格に基づいています。3つのデジタル入力(CS、DIN及びSCLK)がデジタル入力データをDACにシリアルでロードします。LDAC(MAX545)は非同期的にDAC出力を更新します。

全てのデジタル入力は遷移の遅いインタフェースを許容するためのシュミットトリガバッファを備えています。これは、外部ロジックを追加することなくフォトカプラをMAX544/MAX545に直接インタフェースできることを意味します。デジタル入力はTTL/CMOSロジックレベルとコンパチブルです。

ユニポーラ構成

図2aに外部オペアンプ1個を用いたMAX544/MAX545のユニポーラ動作の構成を示します。オペアンプはユニティゲインに設定されています。表1にこの回路のためのコードを示します。

バイポーラ構成

図2bに外部オペアンプ1個を用いたMAX545のバイポーラ動作の構成を示します。オペアンプはユニティゲインでオフセットが-1/2V_{REF}に設定されています。表2にこの回路のためのオフセットバイナリコードを示します。

電源バイパス及びグランド管理

最適な性能を実現するためには、アナログとデジタルのグランドプレーンが別々になったプリント基板を使用します。ワイヤラップボードは推奨されていません。2枚のグランドプレーンは低インピーダンス電源のところで互いに接続して下さい。DGND及びAGNDをICのところで一緒に接続して下さい。DACのDGNDとAGNDピンと一緒に接続し、それをシステムのアナロググランドプレーンに接続することで最適なグランド接続を実現できます。DACのDGNDがシステムのデジタルグランドに接続されていると、デジタルノイズがDACのアナログ部分に入り込む可能性があります。

V_{DD}はV_{DD}とAGNDの間に0.1 μ Fのセラミックコンデンサを接続してバイパスして下さい。コンデンサはデバイスの近くに、リード線を短くして取り付けてください。アナログとデジタルの電源を更に分離するためにフェライトビーズを使うこともできます。

表1. ユニポーラコード表

DAC LATCH CONTENTS		ANALOG OUTPUT, V _{out}
MSB	LSB	
1111	1111 11(00)	V _{REF} • (16,383 / 16,384)
1000	0000 00(00)	V _{REF} • (8192 / 16,384) = 1/2V _{REF}
0000	0000 01(00)	V _{REF} • (1 / 16,384)
0000	0000 00(00)	0V

表2. バイポーラコード表

DAC LATCH CONTENTS		ANALOG OUTPUT, V _{out}
MSB	LSB	
1111	1111 11(00)	+V _{REF} • (8191 / 8192)
1000	0000 01(00)	+V _{REF} • (1 / 8192)
1000	0000 00(00)	0V
0111	1111 11(00)	-V _{REF} • (1 / 8192)
0000	0000 00(00)	-V _{REF} • (8192 / 8192) = -V _{REF}

() = Sub-bits

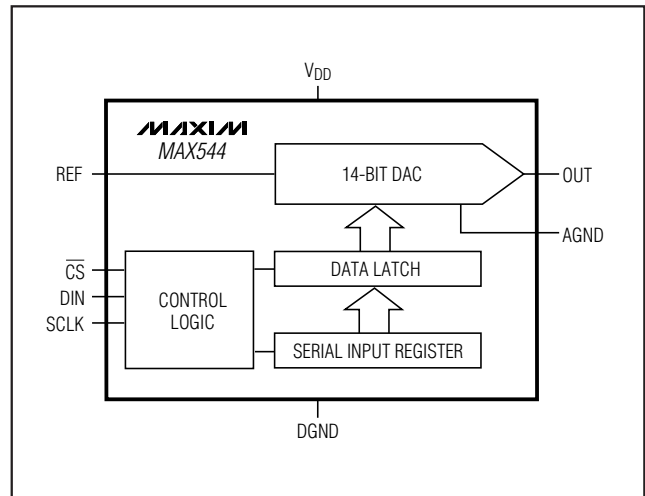
+5V、シリアル入力、電圧出力14ビットDAC

型番(続き) _____

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX544AEPA	-40°C to +85°C	8 Plastic DIP	±1/2
MAX544BEPA	-40°C to +85°C	8 Plastic DIP	±1
MAX544AESA	-40°C to +85°C	8 SO	±1/2
MAX544BESA	-40°C to +85°C	8 SO	±1
MAX545 ACPD	0°C to +70°C	14 Plastic DIP	±1/2
MAX545BCPD	0°C to +70°C	14 Plastic DIP	±1
MAX545ACSD	0°C to +70°C	14 SO	±1/2
MAX545BCSD	0°C to +70°C	14 SO	±1
MAX545AEPD	-40°C to +85°C	14 Plastic DIP	±1/2
MAX545BEPD	-40°C to +85°C	14 Plastic DIP	±1
MAX545AESD	-40°C to +85°C	14 SO	±1/2
MAX545BESD	-40°C to +85°C	14 SO	±1
MAX545BMJD	-55°C to +125°C	14 Ceramic SB*	±1

*Contact factory for availability.

ファンクションダイアグラム(続き) _____



MAX544/MAX545

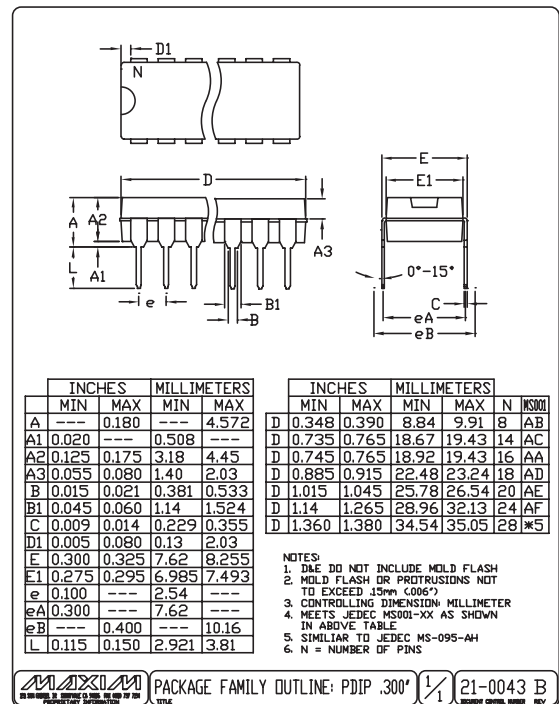
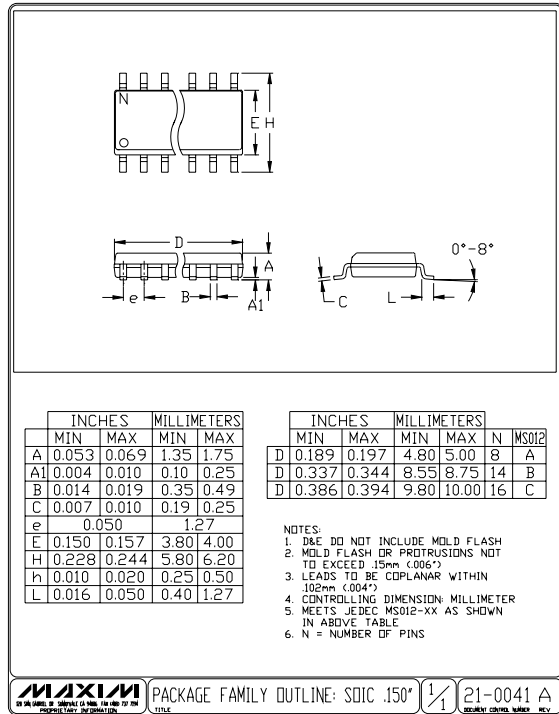
チップ情報 _____

TRANSISTOR COUNT: 2209

+5V、シリアル入力、電圧出力14ビットDAC

MAX544/MAX545

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600