

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

概要

MAX533は+2.7V ~ +3.6Vの単一電源で動作するシリアル入力、電圧出力、8ビットのクワッドデジタルアナログコンバータ(DAC)です。高精度の内部バッファは電源電圧範囲でスイングし、リファレンス入力範囲はグラウンド及び正電源電圧を含んでいます。MAX533は、1 μ Aのシャットダウンモードを備えています。

シリアルインタフェースはダブルバッファ付です。即ち、12ビットの入力シフトレジスタの後に4つの8ビットバッファレジスタ及び4つの8ビットDACレジスタが続きます。12ビットのシリアルワードは、8つのデータビット及び4つの制御ビット(DAC選択及び特殊プログラミングコマンド用)から構成されます。入力レジスタ及びDACレジスタは、別々あるいは単一のソフトウェアコマンドで同時に更新できます。LDAC及びCLRの2つの非同期制御ピンが追加されているため、入力レジスタ及びDACレジスタの同時更新又はクリアが可能です。

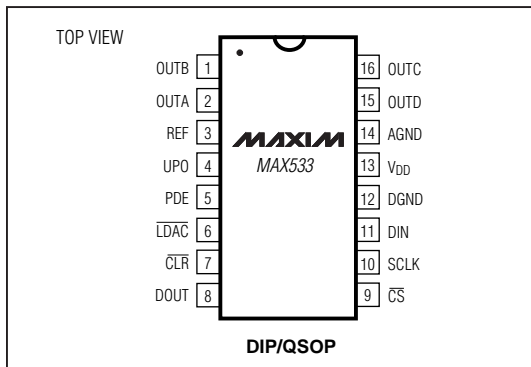
インタフェースは、SPI™、QSPI™(CPOL = CPHA = 0又はCPOL = CPHA = 1)、及びMicrowire™とコンパチブルです。バッファ付データ出力によりシリアルデバイスのデジチェーン接続が可能です。

MAX533は16ピンDIP及びCERDIPパッケージの他にも、16ピンQSOPパッケージ(8ピンSOPと同面積)で供給されています。

アプリケーション

- デジタル利得及びオフセット調節
- プログラマブルアッテネータ
- プログラマブル電流ソース
- ポータブル機器

ピン配置



SPI及びQSPIは、Motorola Inc.の商標です。Microwireは、National Semiconductor Corp.の商標です。

特長

- ◆ 電源：+2.7V ~ +3.6V単一
- ◆ 超低消費電流：0.7mA(動作中)
1 μ A(シャットダウンモード)
- ◆ パッケージ：超小型16ピンQSOP
- ◆ リファレンス入力範囲：グラウンド ~ V_{DD}
- ◆ 出力バッファアンプは電源電圧範囲でスイング
- ◆ 10MHzシリアルインタフェース：
SPI、QSPI(CPOL = CPHA = 0又はCPOL = CPHA = 1)、及びMicrowireとコンパチブル
- ◆ 同期更新を可能にするダブルバッファ付レジスタ
- ◆ シリアルデータ出力でデジチェーン接続が可能
- ◆ パワーオンリセットがシリアルインタフェースをクリアして全てのレジスタをゼロに設定
- ◆ ソフトウェアシャットダウン
- ◆ ソフトウェアプログラマブルロジック出力
- ◆ 非同期ハードウェアクリアが全ての内部レジスタをゼロクリア

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX533ACPE	0°C to +70°C	16 Plastic DIP	±1
MAX533BCPE	0°C to +70°C	16 Plastic DIP	±2
MAX533ACEE	0°C to +70°C	16 QSOP	±1
MAX533BCEE	0°C to +70°C	16 QSOP	±2
MAX533BC/D	0°C to +70°C	Dice*	±2
MAX533AEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX533BEPE	-40°C to +85°C	16 Plastic DIP	±2
MAX533AEDE	-40°C to +85°C	16 QSOP	±1
MAX533BEDE	-40°C to +85°C	16 QSOP	±2
MAX533AMJE	-55°C to +125°C	16 CERDIP**	±1
MAX533BMJE	-55°C to +125°C	16 CERDIP**	±2

*Dice are tested at T_A = +25°C.

**Contact factory for availability and processing to MIL-STD-883.

ファンクションダイアグラムは、データシートの最後に記載されています。

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

MAX533

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND	-0.3V, +6V
V _{DD} to AGND	-0.3V, +6V
Digital Input Voltage to DGND	-0.3V, +6V
Digital Output Voltage to DGND	-0.3V, (V _{DD} + 0.3V)
AGND to DGND	±0.3V
REF	-0.3V, (V _{DD} + 0.3V)
OUT ₋	-0.3V, V _{DD}
Maximum Current into Any Pin	50mA

Continuous Power Dissipation (T _A = +70°C)	
Plastic DIP (derate 10.53mW/°C above +70°C)	842mW
QSOP (derate 8.3mW/°C above +70°C)	667mW
CERDIP (derate 10.00mW/°C above +70°C)	800mW
Operating Temperature Ranges	
MAX533 _ C_ E	0°C to +70°C
MAX533 _ E_ E	-40°C to +85°C
MAX533 _ MJE	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V, V_{REF} = 2.5V, AGND = DGND = 0V, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{DD} = +3V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution					8	Bits
Integral Nonlinearity (Note 1)	INL	MAX533A			±1	LSB
		MAX533B			±2	
Differential Nonlinearity (Note 1)	DNL	Guaranteed monotonic (all codes)			±1.0	LSB
Zero-Code Error	ZCE	Code = 00 hex			±20	mV
Zero-Code-Error Supply Rejection		Code = 00 hex, V _{DD} = 2.7V to 3.6V			1	LSB
Zero-Code Temperature Coefficient		Code = 00 hex		±10		μV/°C
Full-Scale Error		Code = FF hex			±30	mV
Full-Scale Error Supply Rejection		Code = FF hex, V _{DD} = 2.7V to 3.6V			1	LSB
Full-Scale Temperature Coefficient		Code = FF hex		±10		μV/°C
REFERENCE INPUTS						
Input Voltage Range			0		V _{DD}	V
Input Resistance			322	460	598	kΩ
Input Capacitance				10		pF
Channel-to-Channel Isolation		(Note 2)		-60		dB
AC Feedthrough		(Note 3)		-70		dB
DAC OUTPUTS						
Output Voltage Range		R _L = open	0		V _{REF}	V
Load Regulation		Code = FF hex, R _L from 10kΩ to ∞			0.25	LSB

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

MAX533

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REF} = 2.5V$, $AGND = DGND = 0V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +3V$ and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS						
Input High Voltage	V_{IH}		0.7 V_{DD}			V
Input Low Voltage	V_{IL}			0.3 V_{DD}		V
Input Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}		± 1.0		μA
Input Capacitance	C_{IN}	(Note 4)		10		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = TBDmA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 1.6mA$		0.4		V
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate		CODE = FF hex		0.6		V/ μs
Output Settling Time		To 1/2LSB, from code 00 to code FF hex (Note 5)		6		μs
Digital Feedthrough and Crosstalk		$V_{REF} = 0V$, code 00 to code FF hex (Note 6)		5		nV-s
Digital-to-Analog Glitch Impulse		Code 80 hex to code 7F hex		50		nV-s
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 2.5Vp-p$ at 1kHz, $V_{DD} = 3V$, code = FF hex		-70		dB
		$V_{REF} = 2.5Vp-p$ at 10kHz		-62		
Multiplying Bandwidth		$V_{REF} = 0.5Vp-p$, 3dB bandwidth		380		kHz
Wideband Amplifier Noise				60		μV_{RMS}
POWER SUPPLIES						
Power-Supply Voltage	V_{DD}		2.7		3.6	V
Supply Current	I_{DD}	MAX533C/E		0.68	1.3	mA
		MAX533M		0.68	1.5	
Shutdown Current				1	10	μA

TIMING CHARACTERISTICS

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REF} = 2.5V$, $AGND = DGND = 0V$, $C_{DOUT} = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +3V$ and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD} Rise to \overline{CS} Fall Setup Time (Note 4)	t_{VDCS}	MAX533C/E			50	μs
		MAX533M			60	
\overline{LDAC} Pulse Width Low	t_{LDAC}	MAX533C/E	40	20		ns
		MAX533M	50	25		
\overline{CS} Rise to \overline{LDAC} Fall Setup Time (Note 7)	t_{CLL}	MAX533C/E	40			ns
		MAX533M	50			
\overline{CLR} Pulse Width Low	t_{CLW}	MAX533C/E	40	20		ns
		MAX533M	50	25		
\overline{CS} Pulse Width High	t_{CSW}	MAX533C/E	90			ns
		MAX533M	100			

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

MAX533

TIMING CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REF} = 2.5V$, $AGND = DGND = 0V$, $C_{DOUT} = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +3V$ and $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL-INTERFACE TIMING						
SCLK Clock Frequency (Note 8)	f _{CLK}	MAX533C/E			10	MHz
		MAX533M			8.3	
SCLK Pulse Width High	t _{CH}	MAX533C/E	40			ns
		MAX533M	50			
SCLK Pulse Width Low	t _{CL}	MAX533C/E	40			ns
		MAX533M	50			
\overline{CS} Fall to SCLK Rise Setup Time	t _{CSS}	MAX533C/E	40			ns
		MAX533M	50			
SCLK Rise to \overline{CS} Rise Hold Time	t _{CSH}		0			ns
DIN to SCLK Rise to Setup Time	t _{DS}	MAX533C/E	40			
		MAX533M	50			
DIN to SCLK Rise to Hold Time	t _{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay (Note 9)	t _{DO1}	MAX533C/E			200	ns
		MAX533M			230	
SCLK Fall to DOUT Valid Propagation Delay (Note 10)	t _{DO2}	MAX533C/E			210	ns
		MAX533M			250	
SCLK Rise to \overline{CS} Fall Delay	t _{CS0}	MAX533C/E	40			ns
		MAX533M	50			
\overline{CS} Rise to SCLK Rise Setup Time	t _{CS1}	MAX533C/E	40			ns
		MAX533M	50			

Note 1: INL and DNL are measured with R_L referenced to ground. Nonlinearity is measured from the first code that is greater than or equal to the maximum offset specification to code FF hex (full scale). See *DAC Linearity and Voltage Offset* section.

Note 2: $V_{REF} = 2.5Vp-p$, 10kHz. Channel-to-channel isolation is measured by setting one DAC's code to FF hex and setting all other DAC's codes to 00 hex.

Note 3: $V_{REF} = 2.5Vp-p$, 10kHz. DAC code = 00 hex.

Note 4: Guaranteed by design, not production tested.

Note 5: Output settling time is measured from the 50% point of the rising edge of \overline{CS} to 1/2LSB of V_{OUT} 's final value.

Note 6: Digital crosstalk is defined as the glitch energy at any DAC output in response to a full-scale step change on any other DAC.

Note 7: If \overline{LDAC} is activated prior to \overline{CS} 's rising edge, it must stay low for t_{LDAC} or longer after \overline{CS} goes high.

Note 8: When DOUT is not used. If DOUT is used, f_{CLK} max is 4MHz, due to the SCLK to DOUT propagation delay.

Note 9: Serial data clocked out at SCLK's rising edge (measured from 50% of the clock edge to 20% or 80% of V_{DD}).

Note 10: Serial data clocked out at SCLK's falling edge (measured from 50% of the clock edge to 20% or 80% of V_{DD}).

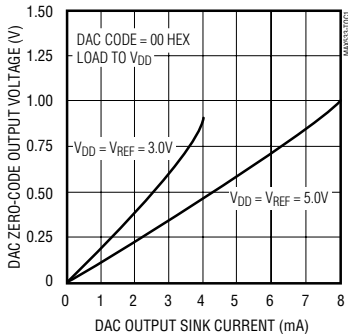
2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

MAX533

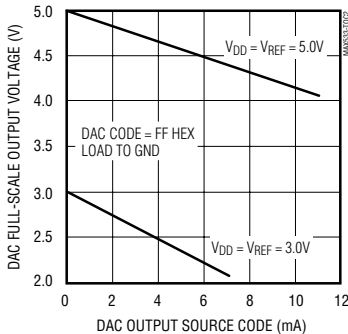
標準動作特性

($V_{DD} = +3V$, $T_A = +25^\circ C$, unless otherwise noted.)

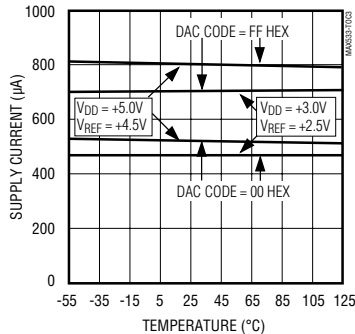
DAC ZERO-CODE OUTPUT VOLTAGE vs. OUTPUT SINK CURRENT



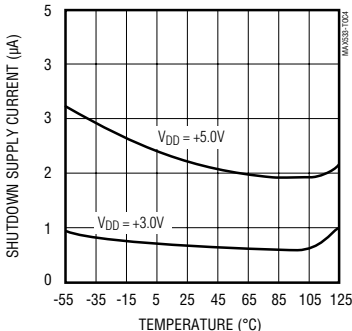
DAC FULL-SCALE OUTPUT VOLTAGE vs. OUTPUT SOURCE CURRENT



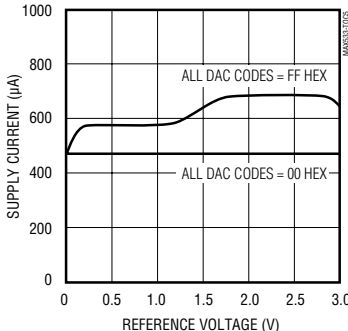
SUPPLY CURRENT vs. TEMPERATURE



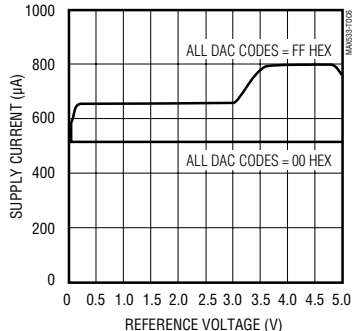
SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE



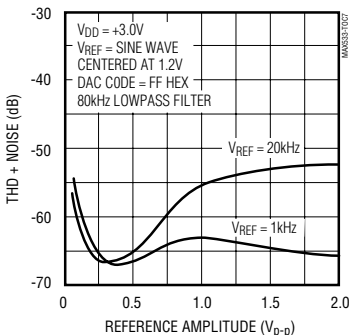
SUPPLY CURRENT vs. REFERENCE VOLTAGE ($V_{DD} = +3.0V$)



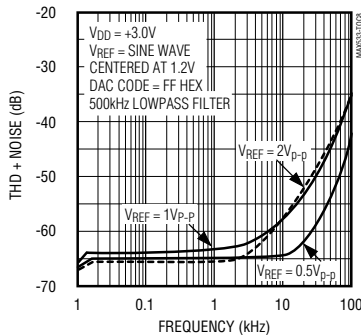
SUPPLY CURRENT vs. REFERENCE VOLTAGE ($V_{DD} = +5.0V$)



THD + NOISE AT DAC OUTPUT vs. REFERENCE AMPLITUDE



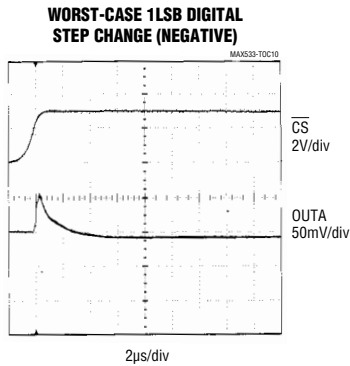
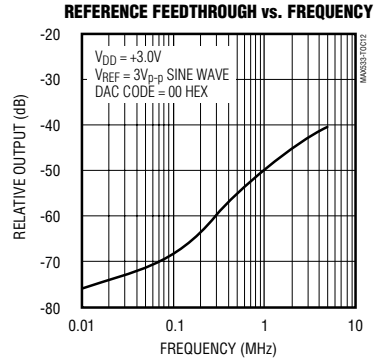
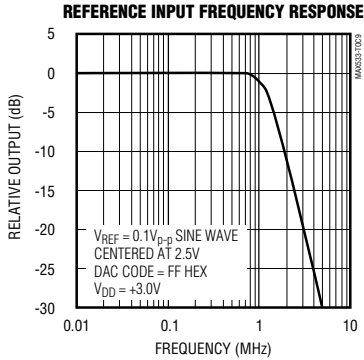
THD + NOISE AT DAC OUTPUT vs. REFERENCE FREQUENCY



2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

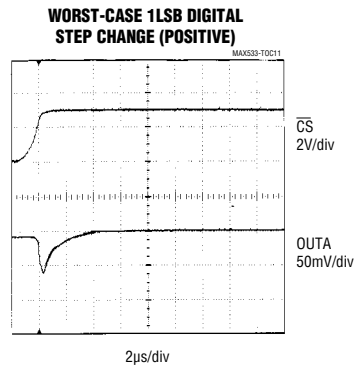
標準動作特性(続き)

($V_{DD} = +3V$, $T_A = +25^\circ C$, unless otherwise noted.)



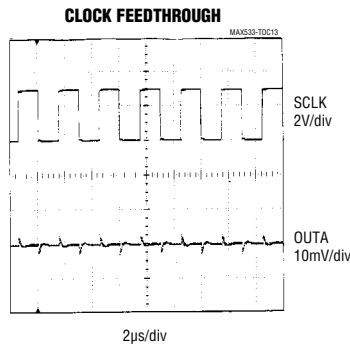
$V_{DD} = 3.0V$
 $V_{REF} = 2.5V$

DAC CODE = 80 TO 7F hex
NO LOAD



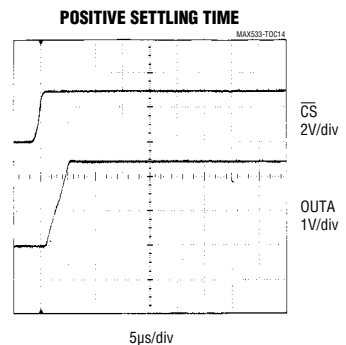
$V_{DD} = 3.0V$
 $V_{REF} = 2.5V$

DAC CODE = 7F TO 80 hex
NO LOAD



SCLK = 333kHz
SCLK $t_r = t_f = 25ns$
 $V_{DD} = 3.0V$

$V_{REF} = 2.5V$
DAC CODE = 80 hex
NO LOAD



$V_{DD} = 3.0V$
 $V_{REF} = 2.5V$

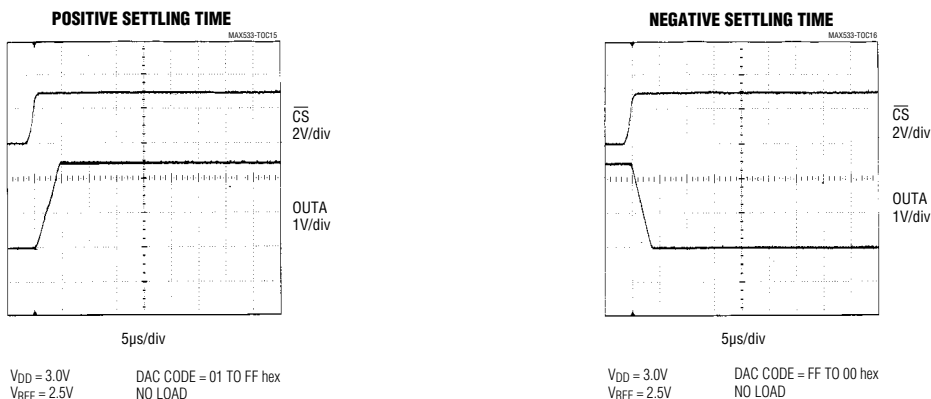
DAC CODE = 00 TO FF hex
NO LOAD

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

MAX533

標準動作特性(続き)

(V_{DD} = +3V, T_A = +25°C, unless otherwise noted.)



端子説明

端子	名称	機能
1	OUTB	DAC B電圧出力
2	OUTA	DAC A電圧出力
3	REF	リファレンス電圧入力
4	UPO	ソフトウェアプログラマブルロジック出力
5	PDE	パワーダウンイネーブル。ソフトウェアシャットダウンモードに入るには、ハイにしておく必要があります。
6	$\overline{\text{LDAC}}$	DAC入力ロード(アクティブロー)。この非同期入力をローにすると(レベルセンシティブ)、各入力ラッチの内容が対応するDACラッチに転送されます。
7	$\overline{\text{CLR}}$	DAC入力クリア(アクティブロー)。 $\overline{\text{CLR}}$ を非同期でローにすると入力レジスタ及びDACレジスタがクリアされ、全てのDAC出力がゼロに設定されます。
8	DOOUT	シリアルデータ出力。電流のシンク及びソースとなります。DOOUTのデータは、SCLKの立上り又は立下がりエッジでクロックアウトすることができます(表1)。
9	$\overline{\text{CS}}$	チップセレクト入力(アクティブロー)。データは、 $\overline{\text{CS}}$ がローのときにシフトイン又はシフトアウトされます。プログラミングコマンドは、 $\overline{\text{CS}}$ がハイに戻ったときに実行されます。
10	SCLK	シリアルクロック入力。データは立上りエッジでクロックインされ、立下がり(デフォルト)又は立上りエッジでクロックアウトされます(A0 = A1 = 1、表1を参照)。
11	DIN	シリアルデータ入力。データはSCLKの立上りエッジでクロックインされます。
12	DGND	デジタルグランド
13	V _{DD}	電源(+2.7V ~ +3.6V)
14	AGND	アナロググランド
15	OUTD	DAC D出力
16	OUTC	DAC C出力

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

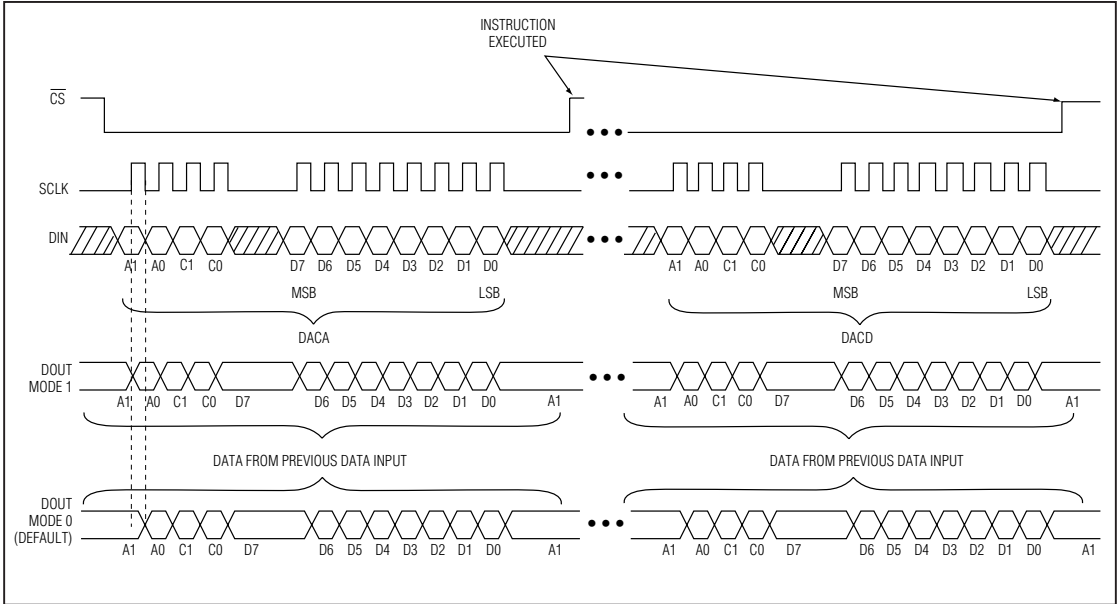


図1. 3線インタフェースタイミング

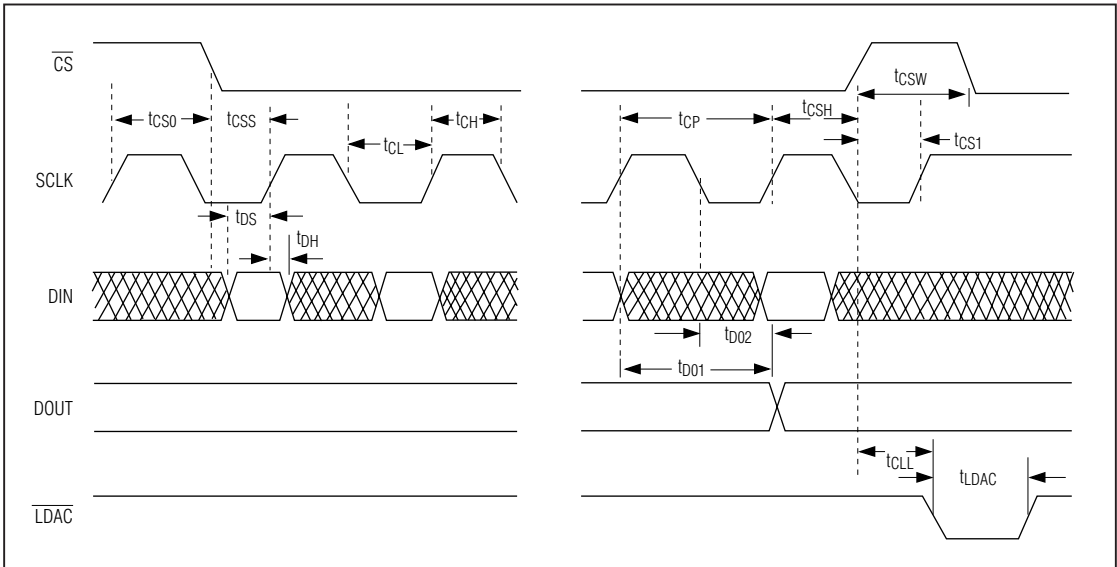


図2. シリアルインタフェースタイミング詳細図

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

詳細

シリアルインタフェース

電源投入時に、シリアルインタフェース及び全てのデジタルアナログコンバータ(DAC)はクリアされ、コードゼロに設定されます。シリアルデータ出力(DOUT)は、SCLKの立下がりエッジで遷移するように設定されます。

MAX533は、同期全二重の3線インタフェースを通じてマイクロプロセッサと通信します(図1)。データはMSBを先頭にして送られ、1個の4ビット及び1個の8ビット(バイト)パケット、又は1個の12ビットワードで送信できます。16ビットワードが使用されている場合、最初の4ビットは無視されます。4線インタフェースではLDACのラインが追加され、非同期更新が可能になります。シリアルクロック(SCLK)によってデータ転送が同期されます。データの送信及び受信は同時に行われます。

図2に、シリアルインタフェースのタイミング詳細図を示します。クロックは、更新と更新の間で停止する場合ローにしてください。クロックがアイドル状態であったりCSがハイであったりすると、DOUTはハイインピーダンス状態になりません。

シリアルデータは、MSBを先頭にしたフォーマットでデータレジスタにクロックインされます。このときアドレス及び設定情報が実際のDACデータに先行します。データはCSがローのときにSCLKの立上りエッジでクロックインされます。DOUTのデータは12クロックサイクル後に、SCLKの立下がりエッジ(デフォルト、モード0)又は立上りエッジ(モード1)でクロックアウトされます。

DACをイネーブルするためには、チップセレクト(CS)がローであることが必要です。CSがハイの場合、インタフェースはディセーブルされ、DOUTは変わりません。最初のビットを正しくクロックインするためには、CSがクロックパルスの最初の立上りエッジよりも少なくとも40ns前にローになる必要があります。CSがローの状態、データは外部シリアルクロックの立上りエッジでMAX533の内部シフトレジスタにクロックインされます。常に12ビット全部をクロックインしてください。これは、CSがハイになる度に、入力シフトレジスタにその時入っているビットがコマンドとして解釈されるためです。SCLKは最大10MHzのレートで駆動することができます。

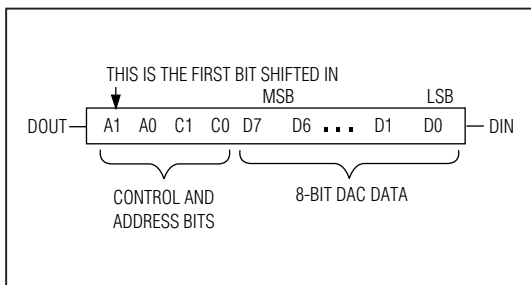


図3. シリアル入力フォーマット

シリアル入力データフォーマット及び制御コード

図3に示す12ビットシリアル入力フォーマットは、2つのDACアドレスビット(A1、A0)、2つの制御ビット(C1、C0)、及び8ビットのデータ(D7...D0)から構成されます。

表1に示すようにDACは、4ビットのアドレス/制御コードにより設定されます。

入力レジスタロード、DACレジスタ不変 (単一更新動作)

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Address	0	1	8-Bit Data								

(LDAC = H)

単一の更新動作を実行するときは、A1及びA0が対応する入力レジスタを選択します。CSの立上りエッジで、選択された入力レジスタにその時のシフトレジスタデータがロードされます。DAC出力はどれも不変です。ここではDAC出力を変えることなく、個別のデータが入力レジスタにプリロードされます。

入力レジスタ及びDACレジスタロード

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Address	1	1	8-Bit Data								

(LDAC = H)

これはCSの立上りエッジで、選択されたDACレジスタに直接ロードするためのコマンドです。A1及びA0がDACアドレスを設定します。その時のシフトレジスタデータが、選択された入力レジスタ及びDACレジスタに入ります。

例えば、4つのDACレジスタの全てに同時に個別の設定(DAC A = 0.5V、DAC B = 1V、DAC C = 1.5V及びDAC D = 2V)をロードするには、4つのコマンドが必要です。まず、DAC A、B、及びCのための3つの単一の入力レジスタ更新動作を実行します(C1 = 0)。最後のコマンドは入力レジスタDへのロードを実行し、4つのDACレジスタ全てを、対応する入力レジスタから更新します。

ソフトウェアLDACコマンド

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	0	x	x	x	x	x	x	x	x

(LDAC = 1)

全てのDACレジスタは、CSの立上りエッジにおいて対応する入力レジスタの内容によって更新されます。これは、実行に際してCSを使用することを除き、非同期LDACと同じ機能です。

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

12ビットシリアルワード					LDAC	機能
A1	A0	C1	C0	D7.....D0		
0	0	0	1	8ビットDACデータ	1	入力レジスタAにロード；DAC出力は全て不変。
0	1	0	1	8ビットDACデータ	1	入力レジスタBにロード；DAC出力は全て不変。
1	0	0	1	8ビットDACデータ	1	入力レジスタCにロード；DAC出力は全て不変。
1	1	0	1	8ビットDACデータ	1	入力レジスタDにロード；DAC出力は全て不変。
0	0	1	1	8ビットDACデータ	1	入力レジスタAにロード；DAC出力を全て更新。
0	1	1	1	8ビットDACデータ	1	入力レジスタBにロード；DAC出力を全て更新。
1	0	1	1	8ビットDACデータ	1	入力レジスタCにロード；DAC出力を全て更新。
1	1	1	1	8ビットDACデータ	1	入力レジスタDにロード；DAC出力を全て更新。
0	1	0	0	XXXXXXXXXX	1	ソフトウェアLDACコマンド。全てのDACを対応する入力レジスタによって更新します。また、シャットダウンモードを終了します。
1	0	0	0	8ビットDACデータ	X	全てのDACにシフトレジスタデータをロードします。また、シャットダウンモードを終了します。
1	1	0	0	XXXXXXXXXX	X	ソフトウェアシャットダウン(PDEがハイであることが条件)
0	0	1	0	XXXXXXXXXX	X	UPOがローになります。
0	1	1	0	XXXXXXXXXX	X	UPOがハイになります。
0	0	0	0	XXXXXXXXXX	X	空動作(NOP)；シフトレジスタ内のデータをシフトします。
1	1	1	0	XXXXXXXXXX	X	DOUT位相を設定します—SCLK立上り(モード1)。DOUTはSCLKの立上りエッジでクロックアウトされます。全てのDACは対応する入力レジスタによって更新されます。
1	0	1	0	XXXXXXXXXX	X	DOUT位相を設定します—SCLK立下り(モード0)。DOUTはSCLKの立下りエッジでクロックアウトされます。全てのDACは対応する入力レジスタによって更新されます(デフォルト)。

全てのDACにシフトレジスタデータをロード

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	8-Bit Data							

(LDAC = X)

4つのDACレジスタ全てがシフトレジスタデータによって更新されます。このコマンドでは全てのDACをリファレンス範囲内の任意のアナログ値に設定できます。コード00 HEXがプログラムされている場合は、このコマンドをCLR(全てのDACをクリア)の代わりに使うことができます。

ソフトウェアシャットダウン

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	x	x	x	x	x	x	x	x

(LDAC = X, PDE = H)

全ての出力バッファアンプをシャットダウンして消費電流を10 μ A(max)まで低減します。

ユーザープログラマブル出力(UPO)

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0	UPO Output
0	0	1	0	x	x	x	x	x	x	x	x	Low
0	1	1	0	x	x	x	x	x	x	x	x	High

(LDAC = X)

絶縁インターフェースを介して別のデバイスを制御するためのユーザープログラマブルロジック出力。こうしたデバイスの例としては、アンプの利得制御や4 mAから20 mAへのアンプ及びモータースピード制御用の極性出力等が挙げられます。

ノーオペレーション(NOP)

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	x	x	x	x	x	x	x	x

(LDAC = X)

NOPコマンド(動作なし)を使用すると、入力レジスタやDACレジスタに影響を与えずに、MAX533のシフトレジスタを通してデータをシフトすることができます。これはデイジーチェーン接続のときに便利です(「デバイスのデイジーチェーン接続」の項を参照)。

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

このコマンドでは、データビットは無視されます(「ドントケア」)。例えば、3つのMAX533(A、B、及びC)がデューチチェーン接続されており、デバイスAとCを更新する必要があります。この36ビット幅のコマンドはデバイスCのための12ビットワードが1つ、それに続くデバイスBのためのNOP命令、そしてデバイスAのためのデータを含む3番目の12ビットワードから構成されています。CSの立上りエッジではデバイスBの状態は変わりません。

DOUT位相の設定—SCLK立上り(モード1)

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	x	x	x	x	x	x	x	x

(LDAC = x)

モード1は、シリアル出力DOUTがSCLKの立上りエッジで遷移するようにリセットします。このコマンドが発生すると、DOUTの位相はラッチされ、パワーアップあるいは位相を立下がりエッジに設定する特定のコマンドが発生するまで変わりません。

また、このコマンドは全てのDACレジスタに対応する入力レジスタの内容をロードし、LDACコマンドと同じになっています。

DOUT位相の設定—SCLK立下がり (モード0、デフォルト)

A1	A0	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	0	x	x	x	x	x	x	x	x

(LDAC = x)

このコマンドは、DOUTがSCLKの立下がりエッジで遷移するようにリセットします。また、このコマンドは全てのDACレジスタに対応する入力レジスタの内容をロードし、LDACコマンドと同じになっています。

LDAC動作(ハードウェア)

LDACは通常4線インタフェースで使用されます(図7)。このコマンドはレベルセンシティブで、DAC出力の非同期ハードウェア制御を可能にします。LDACがローの場合、DACレジスタはトランスペアレントになり、入力レジスタが更新されるとDAC出力も直ちにそれに従います。

CLRでDACをクリア

CLRをストローブ的にローにすると、入力レジスタ及びDACレジスタが非同期でクリアされ、全てのDACレジスタ出力がゼロに設定されます。LDACピンと同様に、CLRは何時でも使えますが、通常はデバイスが選択されていないとき(CS = H)に使います。DACデータが全てゼロの場合、この機能は「全てのDACをシフトレジスタで更新」コマンドと同等です。

シリアルデータ出力

DOUTは内部シフトレジスタの出力です。DOUTは、SCLKの立下がりエッジ(モード0)又は立上りエッジ(モード1)でデータをクロックアウトするように設定することができます。モード0の出力データは、入力データから12.5クロックサイクル遅れ、Microwire及びSPIとのコンパチビリティが維持されます。モード1の出力データは、入力データから12クロックサイクル遅れます。パワーアップ時のDOUTは、デフォルトでモード0のタイミングになります。DOUTはスリーステートにはならず、常に能動的にハイ又はローになり、CSがハイになっても不変です。

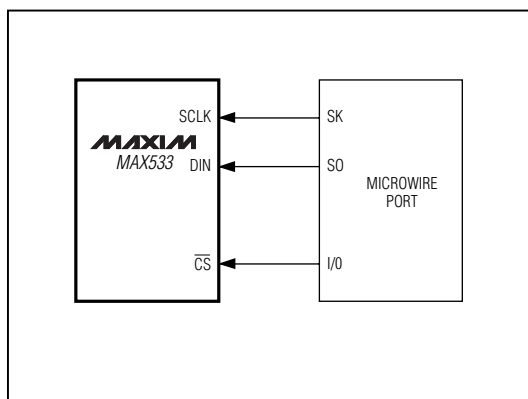


図4. Microwire用の接続

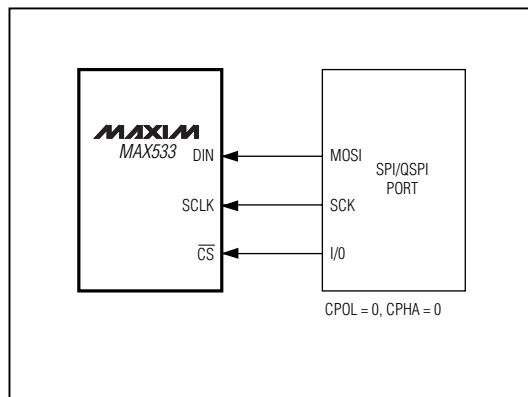


図5. SPI/QSPI用の接続

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

マイクロプロセッサへのインタフェース

MAX533は、Microwire™及びSPI™/QSPI™とコンパチブルです。SPI及びQSPIでは、CPOL及びCPHA設定ビットをクリアしてください(CPOL = CPHA = 0)。DOUT出力が無視される場合には、SPI/QSPI CPOL = CPHA = 1の設定も使用できます。

MAX533はSCLKクロックの極性が反転されている場合、モード0でIntel社の80C5X/80C3Xファミリとインタフェースできます。基本的に、シリアルポートが使用できない場合は、パラレルポートの1つからの3本のラインを使用してビット操作を行うことができます。

シリアルクロックをレジスタの更新用にだけ動作させているため、電圧出力でのデジタルフィードスルーが最小限に抑えられています。「標準動作特性」の「クロックフィードスルー」の写真も参照してください。クロックはアイドル状態でローです。

デバイスのデジチェーン接続

1つのデバイスのDOUTをチェーン上の次のデバイスのDINに接続することにより、任意の数のMAX533をデジチェーン接続することができます。NOP命令(表1)を使用して、入力レジスタ又はDACレジスタの内容を変更することなくデータをDINからDOUTに引き渡すことができます。CSをハイにすることで、3線インタフェースによりデジチェーン接続されたMAX533あるいは個別のMAX533を同時に更新することができます(図6)。

SPI及びQSPIは、Motorola Inc.の商標です。Microwireは、National Semiconductor Corp.の商標です。

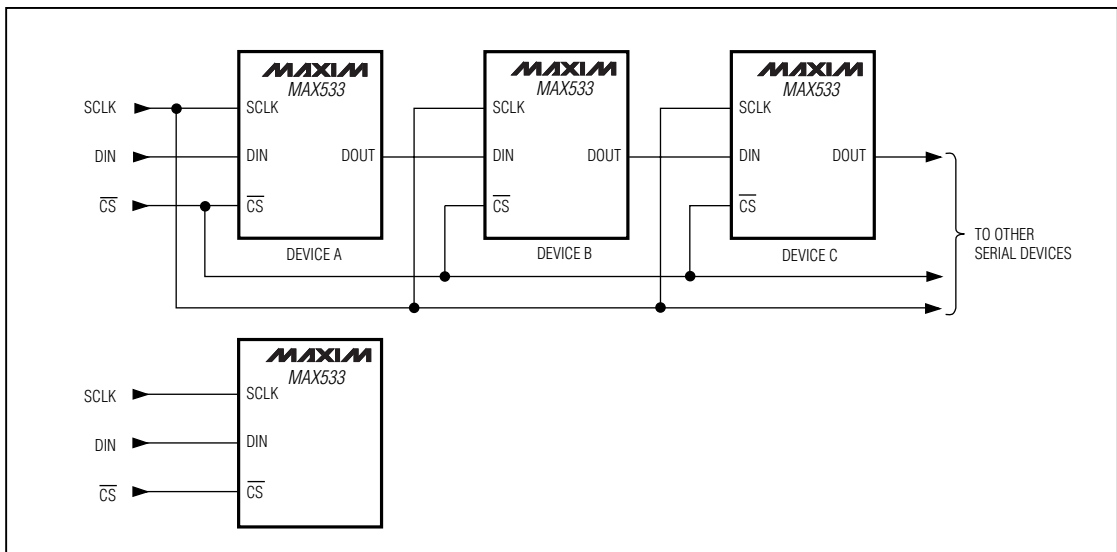


図6. CSをハイにすることにより、デジチェーン接続されたMAX533あるいは個別のMAX533を同時に更新することができます。その際必要なのは3線だけです。

アナログ部 DACの動作

MAX533のDACは、マトリクスデコーディング構造を採用しています。この構造はシステム全体の電力の節約を実現します。外部リファレンス電圧は、マトリクスの的に配置された抵抗ストリングによって分割されます。行及び列デコーダが抵抗ストリングから適当なタブを選択して、必要なアナログ電圧を提供します。抵抗ストリングはリファレンスに対してコードに依存しない入力インピーダンスを示し、出力の単調性を保証します。図8に、4つのDACの簡略図を示します。

リファレンス入力

REFでの電圧が4つのDAC全てのためのフルスケール出力を設定します。REFにおける460kの標準入力インピーダンスはコードに依存しません。DACの出力電圧は、デジタル的にプログラム可能な電圧ソースとして、次式で表すことができます。

$$V_{OUT} = (NB \times V_{REF}) / 256$$

ここで、NBはDACのバイナリ入力コードの数値です。

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

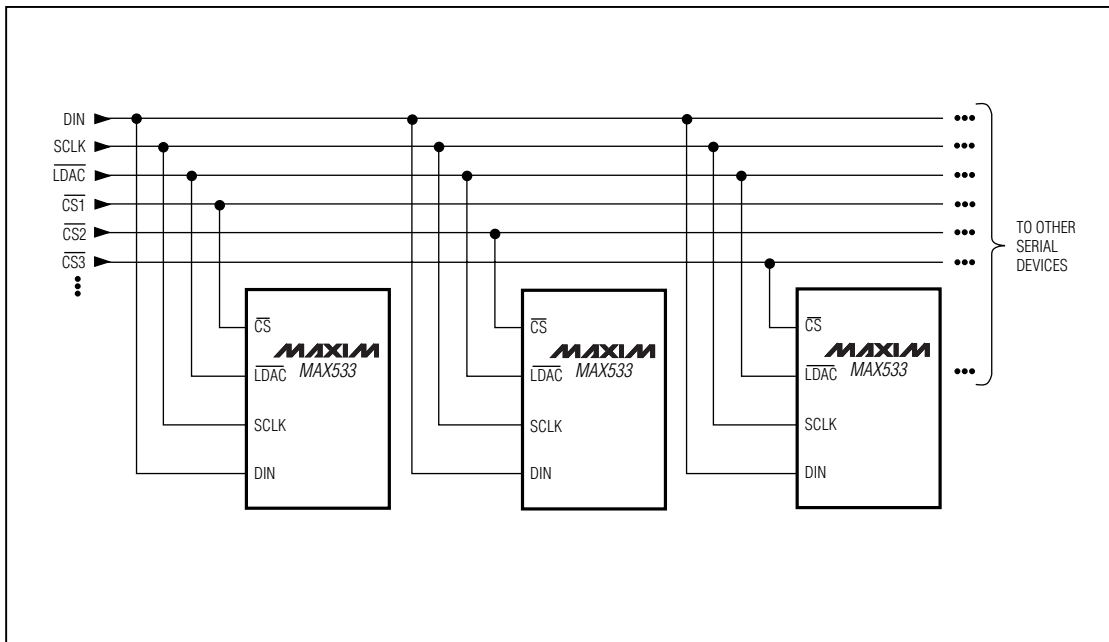


図7. 複数のMAX533が1本のDINラインを共有しています。LDACをストローブして全て同時に更新するか、あるいは個別のCSをイネーブルすることにより特定のものを更新することができます。

出力バッファアンプ

MAX533の電圧出力は全て、内部の高精度ユニティゲインフォロワ(スルーレート約0.6V/ μ s)でバッファされています。出力はGNDから V_{DD} までスイングすることができます。0Vから+2.5V(又は+2.5Vから0V)への出力遷移におけるアンプ出力の1/2LSBまでのセトリング時間は、負荷が10k Ω と100pF並列の時に6 μ s(typ)です。バッファアンプは、抵抗(10k Ω 以上)あるいは容量性負荷の任意の組み合わせに対して安定しています。

アプリケーション情報

DACの直線性及び電圧オフセット

出力バッファの入力オフセット電圧が負の場合は、通常出力が負になりますが、負電源がないため出力は0Vに留まります(図9)。エンドポイント法を使用して直線性を求める場合、オフセット及び利得エラーをキャリブレーションで補正してからゼロコード(全ての入力が0)とフルスケールコード(全ての入力が1)の間で測定します。但し、単一電源動作では、ゼロの次のコードで出力が変化しない場合があります(図9)。従って、正の出力を生成する最下位のコードが低い方のエンドポイントとなります。

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

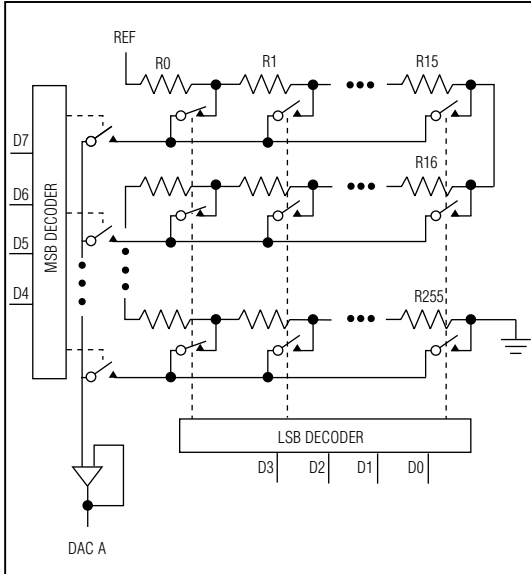


図8. DACの簡略回路図

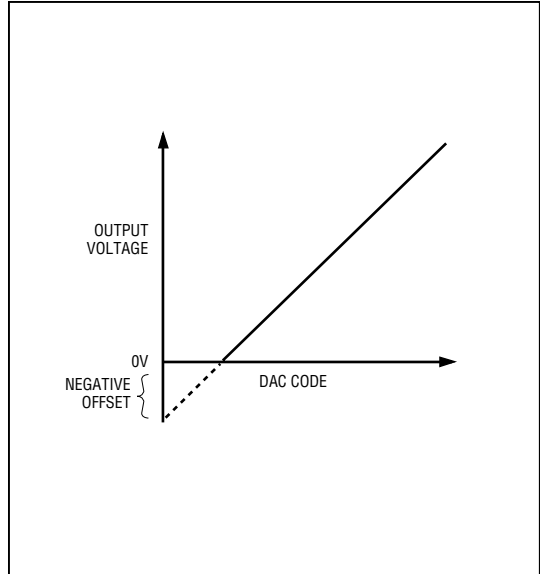


図9. 負のオフセットの影響(単一電源の場合)

パワーシーケンス

REFに印加される電圧が常に V_{DD} を超えないようにします。適正なパワーシーケンスが不可能な場合は、REFと V_{DD} の間に外付ショットキーダイオードを接続して必ず最大定格を守ってください。デバイスが完全にパワーアップする前に、デジタル入力に信号を印加しないでください。

電源バイパス及びグランド管理

AGND及びDGNDをICのところまでまとめて接続してから、このグランドを最も良質なグランドにリターンしてください。 V_{DD} は V_{DD} 及びDGNDにできるだけ近いところで、 $0.1\mu\text{F}$ のコンデンサを使用してバイパスしてください。

PCボードレイアウトに注意することによって、DAC出力とデジタル入力間のクロストークを最小限に抑えることができます。図10に、クロストークを最小限に抑えるための回路ボードレイアウトを示します。

ユニポーラ出力、2象限乗算

ユニポーラ動作では出力電圧及びリファレンス入力と同じ極性になります。図11にMAX533のユニポーラ構成を示し、表2にユニポーラコードを示します。

表2. ユニポーラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111	$+V_{REF} \left(\frac{255}{256} \right)$
1000	0001	$+V_{REF} \left(\frac{129}{256} \right)$
1000	0000	$+V_{REF} \left(\frac{128}{256} \right) = +\frac{V_{REF}}{2}$
0111	1111	$+V_{REF} \left(\frac{127}{256} \right)$
0000	0001	$+V_{REF} \left(\frac{1}{256} \right)$
0000	0000	0V

Note: $1\text{LSB} = (V_{REF}) (2^{-8}) = +V_{REF} \left(\frac{1}{256} \right)$

2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

MAX533

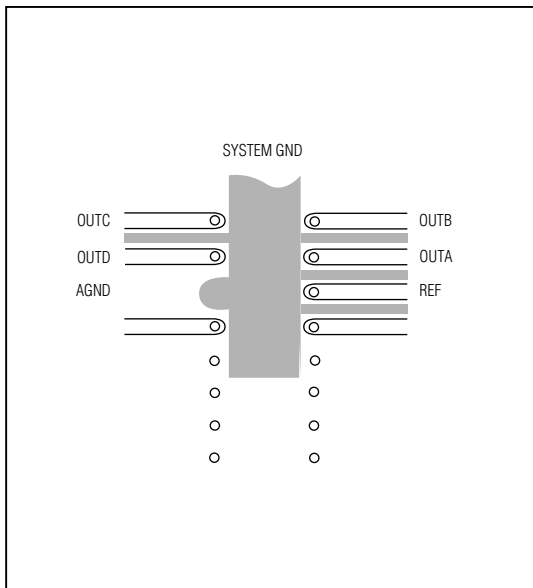


図10. クロストークを最小限に抑えるための推奨PC
ボードレイアウト(底面図)

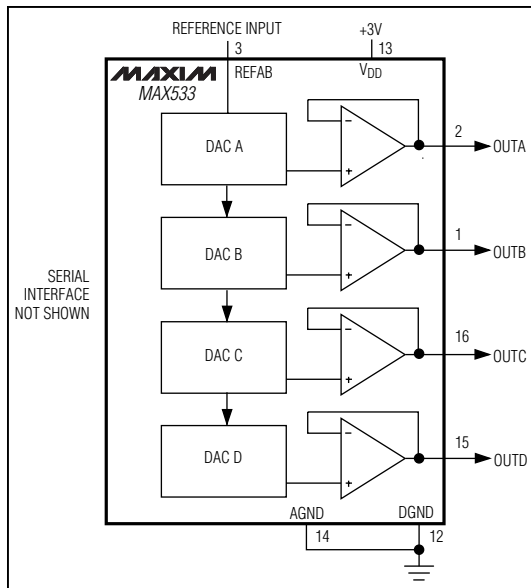
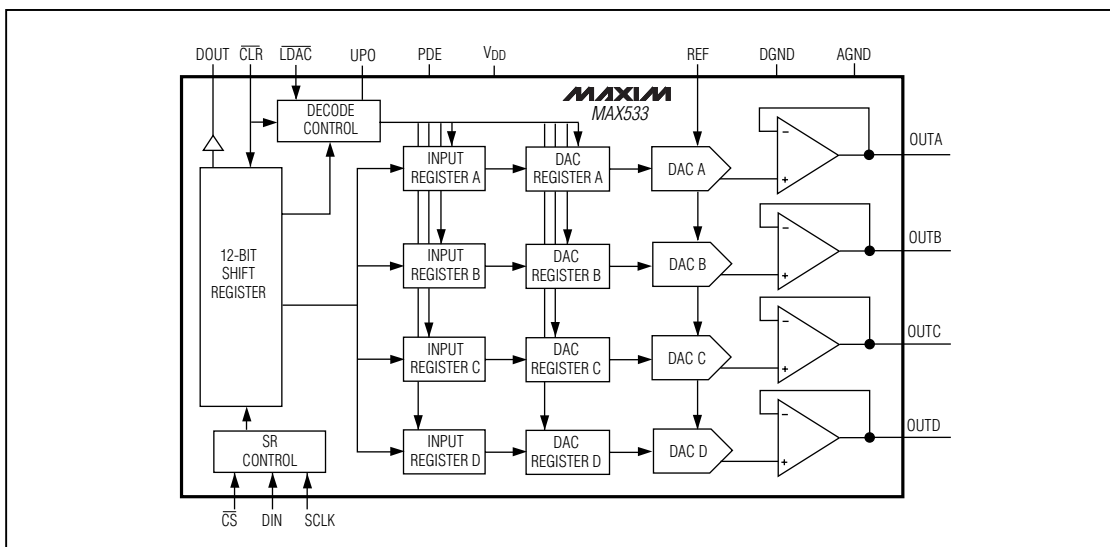


図11. ユニブーラ出力回路

ファンクションダイアグラム



2.7V、低電力、8ビットのクワッドDAC 電源電圧範囲出力バッファ付

チップ情報 _____

TRANSISTOR COUNT: 6821

パッケージ _____

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.061	0.068	1.55	1.73
A1	0.004	0.0098	0.127	0.25
A2	0.055	0.061	1.40	1.55
B	0.008	0.012	0.20	0.31
C	0.0075	0.0098	0.19	0.25
D	SEE VARIATIONS			
E	0.150	0.157	3.81	3.99
e	0.25 BSC		0.635 BSC	
H	0.230	0.244	5.84	6.20
h	0.010	0.016	0.25	0.41
L	0.016	0.035	0.41	0.89
N	SEE VARIATIONS			
S	SEE VARIATIONS			
α	0°	8°	0°	8°

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	16	0.189	0.196	4.80	4.98
S	16	0.0020	0.0070	0.05	0.18
D	20	0.337	0.344	8.56	8.74
S	20	0.0500	0.0550	1.27	1.40
D	24	0.337	0.344	8.56	8.74
S	24	0.0250	0.0300	0.64	0.76
D	28	0.386	0.393	9.80	9.98
S	28	0.0250	0.0300	0.64	0.76

21-0055A

**QSOP
QUARTER
SMALL-OUTLINE
PACKAGE**

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**