

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

## 概要

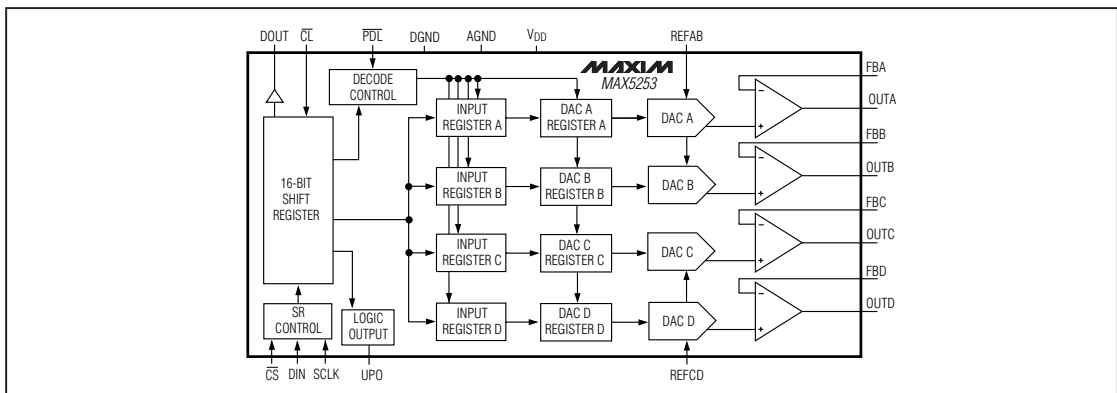
MAX5253は、4つの低電力、電圧出力12ビットのデジタルアナログコンバータ(DAC)及び4つの高精度出力アンプを省スペースの20ピンパッケージに内蔵しています。4つの電圧出力に加えて、各アンプの負入力も使用できます。これにより、特定の利得設定、リモートセンシング及び大出力駆動能力の実現が容易になるため、MAX5253は工業用プロセス制御アプリケーションに最適です。その他の特長としては、ソフトウェアシャットダウン、ハードウェアシャットダウンロックアウト、全てのレジスタ及びDACをゼロにクリアするアクティブローリセット、ユーザプログラマブルロジック出力及びシリアルデータ出力等が挙げられます。

各DACは、入力レジスタにDACレジスタが続く構成のダブルバッファ付入力を備えています。16ビットのシリアルワードによりデータが各入力/DACレジスタにロードされます。シリアルインタフェースは、SPI™/QSPI™及びMicrowire™とコンパチブルです。入力及びDACレジスタは単一のソフトウェアコマンドでそれぞれ独立に、あるいは同時に更新することができます。DACレジスタは3線シリアルインタフェースで同時に更新することができます。全てのロジック入力は、TTL/CMOSロジックコンパチブルです。

## アプリケーション

工業用プロセス制御      自動試験機器  
モーションコントロール    遠隔工業用制御  
デジタルオフセット及び利得調節  
マイクロプロセッサ制御のシステム

## ファンクションダイアグラム



SPI及びQSPIはMotorola Inc.の商標です。MicrowireはNational Semiconductor Corp.の商標です。

## 特長

- ◆ 設定可能な出力アンプ付の4つの12ビットDAC
- ◆ 電源：3.0V～3.3V単一
- ◆ 低消費電流：0.82mA(通常動作)  
3µA(シャットダウンモード)
- ◆ リファレンス入力はシャットダウン時にハイインピーダンス
- ◆ パッケージ：20ピンSSOP
- ◆ パワーオンリセットで全てのレジスタ及びDACをゼロにクリア
- ◆ SPI/QSPI及びMicrowireコンパチブル
- ◆ 3線シリアルインタフェースを通じてDACを同時又は独立に制御
- ◆ ユーザプログラマブルデジタル出力

## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5253ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX5253BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX5253ACAP	0°C to +70°C	20 SSOP	±1/2
MAX5253BCAP	0°C to +70°C	20 SSOP	±1

Ordering Information continued on last page.

Pin Configuration appears at end of data sheet.

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND	-0.3V, +6V
V <sub>DD</sub> to DGND	-0.3V, +6V
AGND to DGND	±0.3V
REFAB, REFCD to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
OUT <sub>-</sub> , FB <sub>-</sub> to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to DGND	-0.3V to +6V
DO <sub>UT</sub> , UPO to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Continuous Current into Any Pin	±20mA
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Plastic DIP (derate 8.00mW/°C above +70°C)	.640mW
SSOP (derate 8.00mW/°C above +70°C)	.640mW
CERDIP (derate 11.11mW/°C above +70°C)	.889mW

## Operating Temperature Ranges

MAX5253_C_P	0°C to +70°C
MAX5253_E_P	-40°C to +85°C
MAX5253BMJP	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +3.0V to +3.6V, AGND = DGND = 0V, REFAB = REFCD = 1.25V, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 100pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE—ANALOG SECTION</b>						
Resolution	N		12			Bits
Integral Nonlinearity (Note 1)	INL	MAX5253AC/E		±0.25	±0.5	LSB
		MAX5253BC/E			±1.0	
		MAX5253BMJP			±2.0	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1.0	LSB
Offset Error	V <sub>OS</sub>				±6.0	mV
Offset-Error Tempco				6		ppm/°C
Gain Error (Note 1)	GE				±4.0	LSB
Gain-Error Tempco				1		ppm/°C
Power-Supply Rejection Ratio	PSRR	V <sub>DD</sub> = +3.0V to +3.6V			300	μV/V
<b>MATCHING PERFORMANCE (T<sub>A</sub> = +25°C)</b>						
Gain Error	GE				±4.0	LSB
Offset Error				±1.0	±6.0	mV
Integral Nonlinearity	INL			±0.35	±1.0	LSB
<b>REFERENCE INPUT</b>						
Reference Input Range	V <sub>REF</sub>		0		V <sub>DD</sub> - 1.4	V
Reference Input Resistance	R <sub>REF</sub>	Code-dependent, minimum at code 555 hex	10			kΩ

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +3.0V to +3.6V, AGND = DGND = 0V, REFAB = REFCD = 1.25V, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 100pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference -3dB Bandwidth		V <sub>REF</sub> = 0.67Vp-p		650		kHz
Reference Feedthrough		Input code = all 0s, V <sub>REF</sub> = 1.6Vp-p at 1kHz		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	V <sub>REF</sub> = 1Vp-p at 25kHz		72		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	V <sub>IH</sub>		2.0			V
Input Low Voltage	V <sub>IL</sub>				0.8	V
Input Leakage Current	I <sub>IN</sub>	V <sub>IN</sub> = 0V or V <sub>DD</sub>		0.01	±0.1	μA
Input Capacitance	C <sub>IN</sub>			8		pF
<b>DIGITAL OUTPUTS</b>						
Output High Voltage	V <sub>OH</sub>	I <sub>SOURCE</sub> = 2mA	V <sub>DD</sub> - 0.5			V
Output Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 2mA		0.13	0.4	V
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.6		V/μs
Output Settling Time		T <sub>0</sub> ±1/2LSB, V <sub>STEP</sub> = 1.25V		16		μs
Output Voltage Swing		Rail to rail (Note 2)		0 to V <sub>DD</sub>		V
Current into FB <sub>-</sub>				0	0.1	μA
OUT <sub>-</sub> Leakage Current in Shutdown		R <sub>L</sub> = ∞		0.01	±1	μA
Start-Up Time Exiting Shutdown Mode				20		μs
Digital Feedthrough		$\overline{CS}$ = V <sub>DD</sub> , DIN = 100kHz		5		nV-s
Digital Crosstalk				5		nV-s
<b>POWER SUPPLIES</b>						
Supply Voltage	V <sub>DD</sub>	(Note 3)	3.0		3.6	V
Supply Current	I <sub>DD</sub>	(Note 4)		0.82	0.98	mA
Supply Current in Shutdown		(Note 4)		3	20	μA
Reference Current in Shutdown				0.01	±1	μA

**Note 1:** Guaranteed from code 11 to code 4095 in unity-gain configuration.

**Note 2:** Accuracy is better than 0.5LSB for V<sub>OUT</sub> = 6mV to V<sub>DD</sub> - 80mV, guaranteed by PSR test on endpoints.

**Note 3:** Remains operational with supply voltage as low as +2.7V.

**Note 4:** R<sub>L</sub> = ∞, digital inputs at DGND or V<sub>DD</sub>.

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

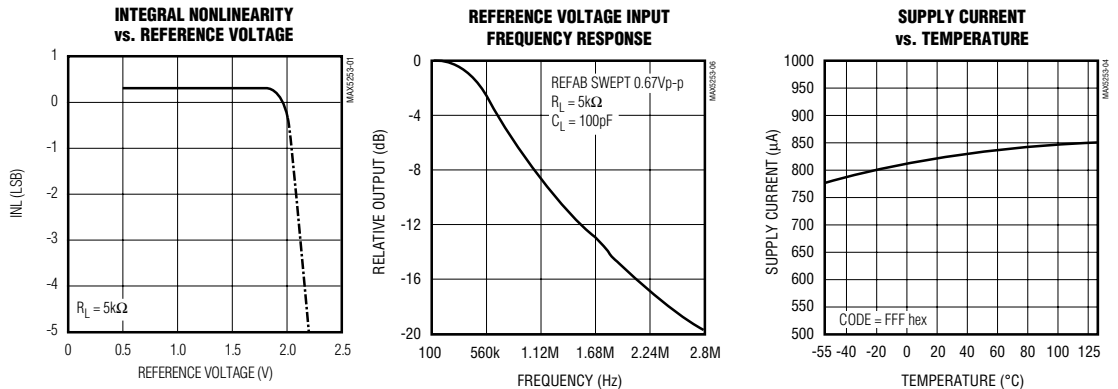
## TIMING CHARACTERISTICS

( $V_{DD} = +3.0V$  to  $+3.6V$ ,  $AGND = DGND = 0V$ ,  $REFAB = REFCD = 1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ . Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	$t_{CP}$		100			ns
SCLK Pulse Width High	$t_{CH}$		40			ns
SCLK Pulse Width Low	$t_{CL}$		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		40			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSH}$		0			ns
DIN Setup Time	$t_{DS}$		40			ns
DIN Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{D01}$	$C_L = 200pF$			120	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{D02}$	$C_L = 200pF$			120	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		40			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	$t_{CS1}$		40			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		100			ns

## 標準動作特性

( $V_{DD} = +3.3V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

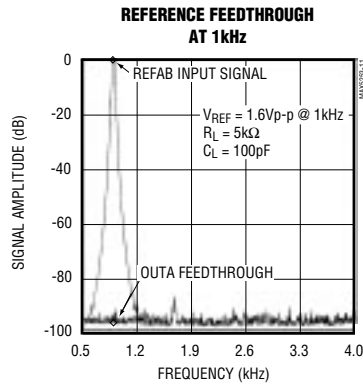
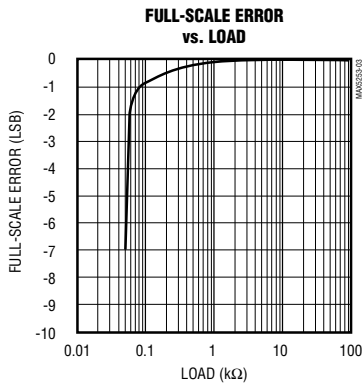
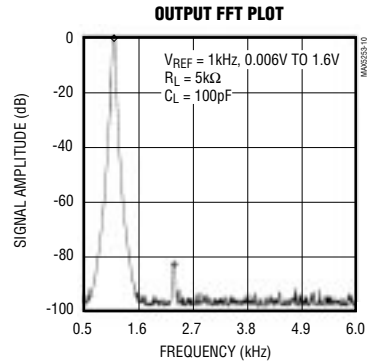
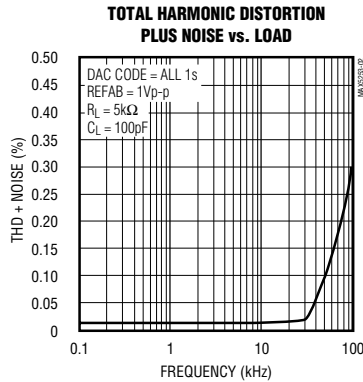
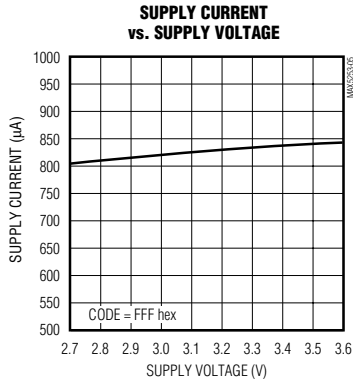


# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

## 標準動作特性(続き)

( $V_{DD} = +3.3V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

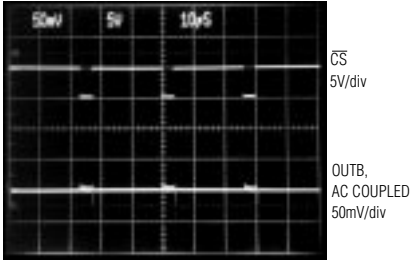


# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

## 標準動作特性(続き)

( $V_{DD} = +3.3V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

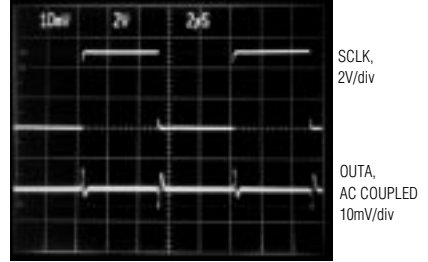
### MAJOR-CARRY TRANSITION



10µs/div

$V_{REF} = 1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$

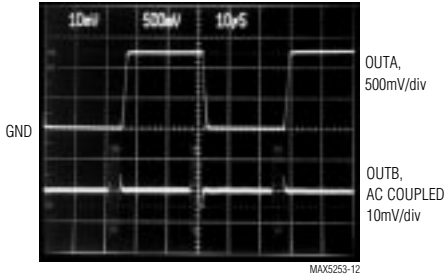
### DIGITAL FEEDTHROUGH (SCLK = 100kHz)



2µs/div

$V_{REF} = 1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$   
 $CS = PDL = \bar{C}L = 3.3V$ ,  $DIN = 0V$   
 DAC A CODE SET TO 800 hex

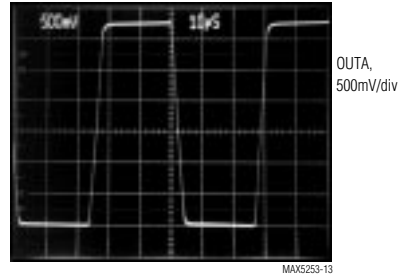
### ANALOG CROSSTALK



10µs/div

$V_{REF} = 1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$   
 DAC A CODE SWITCHING FROM 00B hex TO FFF hex  
 DAC B CODE SET TO 800 hex

### DYNAMIC RESPONSE



10µs/div

$V_{REF} = 1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$   
 SWITCHING FROM CODE 000 hex TO FB4 hex  
 OUTPUT AMPLIFIER GAIN = +2.6

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

**MAX5253**

## 端子説明

端子	名称	機能
1	AGND	アナロググランド
2	FBA	DAC A出力アンプフィードバック
3	OUTA	DAC A出力電圧
4	OUTB	DAC B出力電圧
5	FBB	DAC B出力アンプフィードバック
6	REFAB	DAC A及びDAC Bのリファレンス電圧入力
7	$\overline{CL}$	全てのDAC及びレジスタをクリア。全ての出力(OUT_、UPO、DOUT)を0にリセット(アクティブロー)。
8	$\overline{CS}$	チップセレクト入力。アクティブロー。
9	DIN	シリアルデータ入力
10	SCLK	シリアルクロック入力
11	DGND	デジタルグランド
12	DOUT	シリアルデータ出力
13	UPO	ユーザプログラマブルロジック出力
14	$\overline{PDL}$	パワーダウロックアウト。アクティブロー。ローの時ソフトウェアシャットダウンがロックアウトされます。
15	REFCD	DAC C及びDAC Dのリファレンス電圧入力
16	FBC	DAC C出力アンプフィードバック
17	OUTC	DAC C出力電圧
18	OUTD	DAC D出力電圧
19	FBD	DAC D出力アンプフィードバック
20	VDD	正電源

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

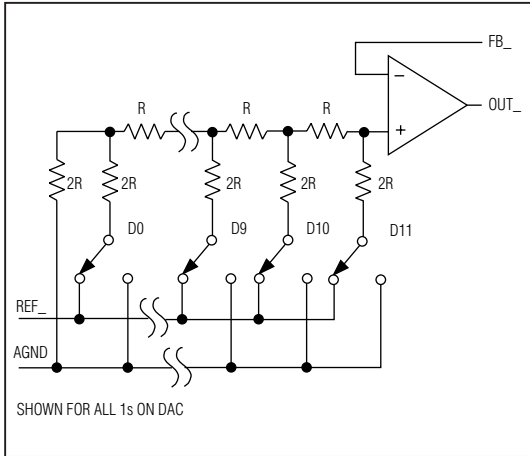


図1. DACの概略回路図

## 詳細

MAX5253は、シンプルな3線シリアルインタフェースで簡単にアドレス指定できる12ビット電圧出力デジタルアナログコンバータ(DAC)を4つ内蔵しています。16ビットデータイン/データアウトシフトレジスタを備え、各DACは入力レジスタとDACレジスタからなるダブルバッファ付入力を備えています(機能図を参照)。4つの電圧出力に加えて、各アンプの負入力を使用できます。

DACは、12ビットデジタル入力を、印加されたリファレンス電圧入力に比例する等価アナログ出力電圧に変換する反転R-2Rラダーネットワークです。DAC A及びBは、REFABリファレンス入力を共有し、DAC C及びDは、REFCDリファレンス入力を共有します。2つのリファレンス入力があるため、各DACペアが異なるフルスケール出力電圧で動作できます。図1に、4つのDACの内の1つの概略回路図を示します。

### リファレンス入力

2つのリファレンス入力により、正DC及びAC信号を受け入れます。各リファレンスでの電圧により対応する2つのDACのフルスケール出力電圧が設定されます。リファレンス入力電圧範囲は、0V ~ ( $V_{DD} - 1.4V$ )です。出力電圧( $V_{OUT\_}$ )は、次式に示すデジタル的に設定可能な電圧ソースとなります。

$$V_{OUT\_} = (V_{REF} \times NB / 4096) \times \text{利得}$$

ここでNBは、DACのバイナリ入力コードの数値(0 ~ 4095)です。 $V_{REF}$ はリファレンス電圧で、利得は外部で設定された電圧利得です。

各リファレンス入力でのインピーダンスはコードに依存し、そのリファレンスに接続されている両方のDACの入力コードが16進の555の時に最小値の10k となり、入力コードが16進の000の時に最大値(リーク電流に起因し、数G 以上)となります。リファレンスビンの入力インピーダンスがコードに依存するため、リファレンスソースの負荷レギュレーションが重要となります。

REFAB及びREFCDリファレンス入力は、最小入力インピーダンス10k を保証しています。2つのリファレンス入力が同じソースで駆動されている場合の実効最小インピーダンスは、5k です。REFABピン及びREFCDピンを別々に駆動すると、リファレンス精度が向上します。

シャットダウンモードでは、MAX5253のREFAB及びREFCD入力はハイインピーダンス状態になり、入力リーク電流は0.01 $\mu$ A(typ)となります。

リファレンス入力容量もコードに依存し、入力コードが全て0の時に20pF、入力コードが全て1の時に100pF(typ)になります。

### 出力アンプ

MAX5253 DACの全ての出力は、高精度アンプ(標準スルーレート0.6V/ $\mu$ s)により、内部でバッファされています。各出力アンプの反転入力へのアクセスが可能であるため、ユーザによる出力利得設定/信号処理の自由度が高くなっています(「アプリケーション情報」の項を参照)。

MAX5253の出力でフルスケール遷移があった場合の $\pm 1/2$ LSBへの標準セトリング時間は、負荷が5k と100pFの並列の時に16 $\mu$ sです(負荷が2k 以下であると性能が劣化します)。

MAX5253の出力アンプの出力ダイナミック応答及びセトリング性能は、「標準動作特性」に示されています。

### シャットダウンモード

MAX5253は、ソフトウェアでプログラムできるシャットダウンモードを備えており、この時の消費電流は3 $\mu$ A(typ)まで低減します。シャットダウンモードをイネーブルするためには、パワーダウンロックアウト( $\overline{PDL}$ )ピンがハイであることが必要です。入力制御ワードに1100XXXXXXXXXXXXXを書き込むと、MAX5253はシャットダウンモードになります(表1)。

シャットダウンモードでは、MAX5253の出力アンプ及びリファレンス入力はハイインピーダンス状態になります。シリアルインタフェースはアクティブのままです。入力レジスタ内のデータはシャットダウン中も



# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

保持されるため、MAX5253はシャットダウンに入る前の出力状態を呼び起こすことができます。パワーダウン状態から起動するには、以前の設定を呼び起こすか、あるいは新しいデータでDACを更新して下さい。本製品をパワーアップする時及びシャットダウン状態から回復させる時は、出力の安定時間として20 $\mu$ s待つて下さい。

## シリアルインタフェースの構成

MAX5253の3線シリアルインタフェースは、Microwire™(図2)及びSPI™/QSPI™(図3)のいずれともコンパチブルです。シリアル入力ワードは、図4に示すようにアドレスビット2つと制御ビット2つの後に12個のデータビット(MSBが先頭)が続く構成になっています。この4ビットのアドレス/制御コードが表1に示すMAX5253の応答を決定します。DOUTとシリアルインタフェースポートの間の接続は必ずしも必要ではありませんが、データエコーに使用することができます。MAX5253のシフトレジスタに保存されているデータは、DOUTからシフトアウトしてマイクロプロセッサ( $\mu$ P)に戻し、データの検証を行なうことができます。

MAX5253のデジタル入力は、ダブルバッファ付です。シリアルインタフェースからのコマンドに従って、DACレジスタに影響を与えずに入力レジスタにロードするか、DACレジスタに直接ロードするか、あるいは入力レジスタによって4つのDACレジスタを同時に更新することができます(表1)。

## シリアルインタフェースの内容

MAX5253は、16ビットのシリアルデータを必要とします。表1は、シリアルインタフェースプログラミングコマンドのリストです。コマンドによっては、12個のデータビットが「ドントケア(任意)」となっています。データはMSBを先頭にして送られ、2つの8ビットパケット、あるいは1つの16ビットワードとして送ることができます(16ビットが転送されるまでCSがローに保持される必要があります)。シリアルデータは、2つのDACアドレスビット(A1、A0)及び2つの制御ビット(C1、C0)に12個のデータビットD11...D0が続く構成になっています(図4)。4ビットのアドレス/制御コードによって下記が決まります。

- 更新すべきレジスタ
- どのクロックエッジでデータがシリアルデータ出力(DOUT)からクロックアウトされるか
- ユーザプログラマブルロジック出力(UPO)の状態
- デバイスがシャットダウンモードに入るかどうか(PDLがハイであると仮定)
- シャットダウンモードから復帰した時のデバイスの構成設定

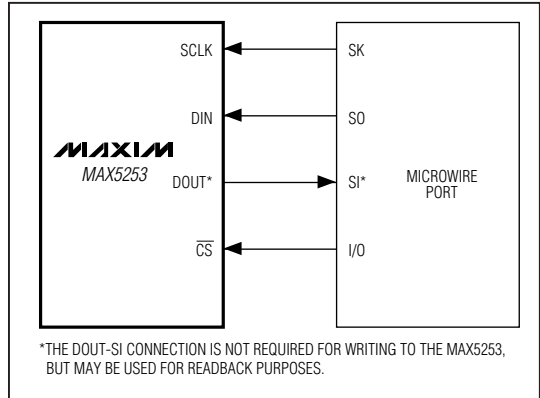


図2. Microwire用の接続

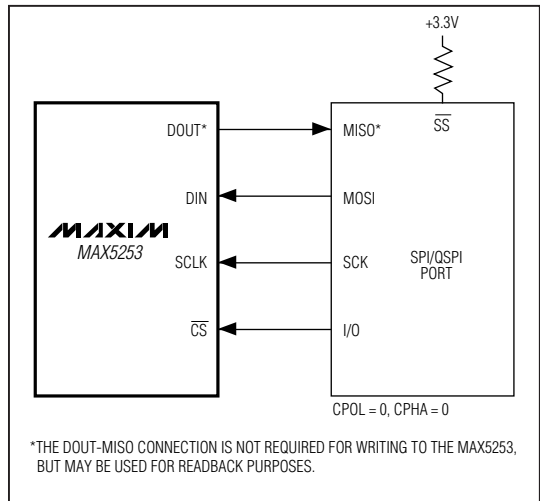


図3. SPI/QSPI用の接続

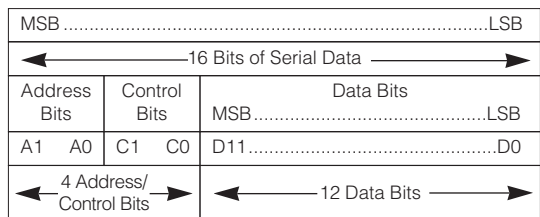


図4. シリアルデータフォーマット

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD					FUNCTION
A1	A0	C1	C0	D11.....D0 MSB            LSB	
0	0	0	1	12-bit DAC data	Load input register A; DAC registers unchanged.
0	1	0	1	12-bit DAC data	Load input register B; DAC registers unchanged.
1	0	0	1	12-bit DAC data	Load input register C; DAC registers unchanged.
1	1	0	1	12-bit DAC data	Load input register D; DAC registers unchanged.
0	0	1	1	12-bit DAC data	Load input register A; all DAC registers updated.
0	1	1	1	12-bit DAC data	Load input register B; all DAC registers updated.
1	0	1	1	12-bit DAC data	Load input register C; all DAC registers updated.
1	1	1	1	12-bit DAC data	Load input register D; all DAC registers updated.
0	1	0	0	XXXXXXXXXXXX	Update all DAC registers from their respective input registers (exit shutdown mode).
1	0	0	0	12-bit DAC data	Load all DAC registers from shift register (exit shutdown mode).
1	1	0	0	XXXXXXXXXXXX	Enter shutdown mode (provided $\overline{\text{PDL}} = 1$ )
0	0	1	0	XXXXXXXXXXXX	UPO goes low (default)
0	1	1	0	XXXXXXXXXXXX	UPO goes high
0	0	0	0	XXXXXXXXXXXX	No operation (NOP) to DAC registers
1	1	1	0	XXXXXXXXXXXX	Mode 1, DOUT clocked out on SCLK's rising edge. All DAC registers updated.
1	0	1	0	XXXXXXXXXXXX	Mode 0, DOUT clocked out on SCLK's falling edge. All DAC registers updated (default).

"X" = 任意

図5に、シリアルインタフェースのタイミングの必要条件を示します。DACのシリアルインタフェースをイネーブルするためには、チップセレクトピン(CS)がローであることが必要です。CSがハイの時、インタフェース制御回路はディセーブルされます。最初のビットを正しくクロックインするためには、CSはシリアルクロック(SCLK)の立上りエッジよりも少なくとも  $t_{\text{CSS}}$  以前にローになっている必要があります。CSがローの時、データはSCLKの立上りエッジでシリアルデータ入力ピン(DIN)を通じて内部シフトレジスタにクロックインされます。最大保証クロック周波数は、10MHzです。データは、CSの立上りエッジで該当するMAX5253入力/DACレジスタにラッチインされます。

Load-All-DACs-From-Shift-Register(全てのDACをシフトレジスタからロード)というプログラミングコマンドを使うと、入力シフトレジスタの同じデジタルコードで同時に全ての入力及びDACレジスタにロードすることができます。空動作(NOP)コマンドはレジスタの内容に影響を与えないため、MAX5253をデジチエーン接続する場合に便利です。「デバイスのデジチエーン接続」の項を参照。どのクロックエッジでシ

リアルデータをDOUTからシフトアウトするかを変更するコマンドは、全ての入力レジスタのデータを対応するDACレジスタにロードする動作も行います。

## シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。MAX5253は、データをDOUTからクロックアウトするタイミングをSCLKの立上りエッジ(モード1)にするか立下りエッジ(モード0)にするかをプログラムできます。モード0のDOUTの出力データは、DINの入力データから16.5クロックサイクルだけ遅れるため、Microwire、SPI/QSPI及びその他のシリアルインタフェースとのコンパチビリティが保持されます。モード1の出力データは、入力データから16クロックサイクル遅れます。パワーアップ時のDOUTは、デフォルトでモード0のタイミングになります。

## ユーザプログラマブルロジック出力(UPO)

ユーザプログラマブルロジック出力(UPO)を使用すると、MAX5253のシリアルインタフェースを通じて外部デバイスを制御することができます(表1)。

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

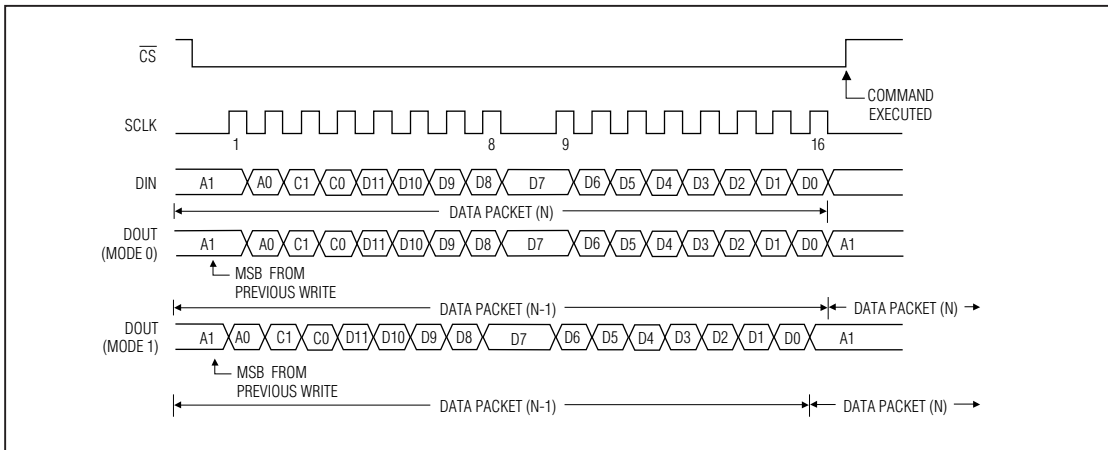


図5. シリアルインタフェースタイミング図

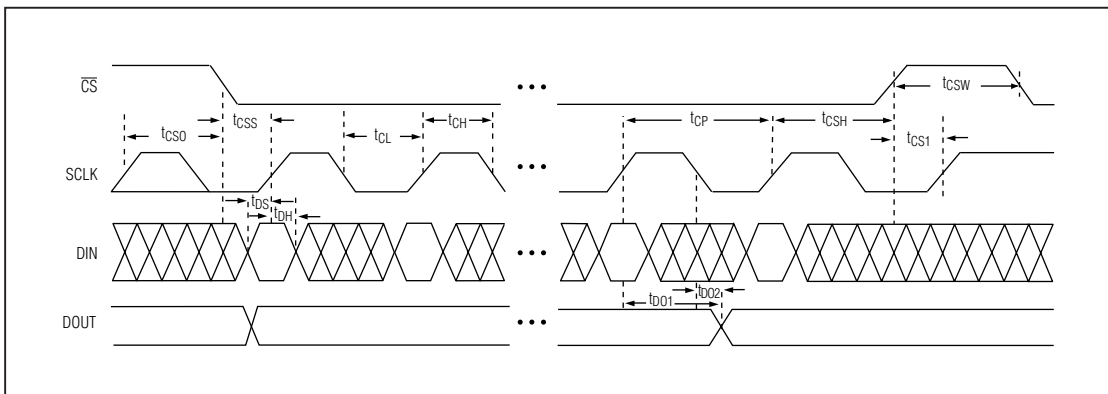


図6. シリアルインタフェースタイミング詳細図

## パワーダウンロックアウト (PDL)

パワーダウンロックアウトピンPDLがローの時、ソフトウェアシャットダウンがディセーブルされます。シャットダウン時にPDLがハイからローに遷移すると、デバイスはウェイクアップしてシャットダウン前の出力状態になります。PDLは、デバイスを非同期でウェイクアップするために使用することもできます。

## デジチェーン接続

任意の数のMAX5253をデジチェーン接続することができます。そのためには、チェーンの中の1つのデバイスのDOUTピンを次のデバイスのDINピンに接続します(図7)。

MAX5253のDOUTピンは内部にアクティブなプルアップを備えているため、DOUTのシンク/ソース能力により容量性負荷の放電/充電に必要な時間が決定されます。「電気的特性」のシリアルデータ出力 $V_{OH}$ 及び $V_{OL}$ の仕様を参照して下さい。

図8に、幾つかのMAX5253を接続するための別方法を示します。この構成では、データバスは全てのデバイスに共通になっており、データはデジチェーンを通じてシフトされません。この構成では、各ICに対し専用のチップセレクト入力( $\overline{CS}$ )を要するため、必要なI/Oラインの数が増えます。

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

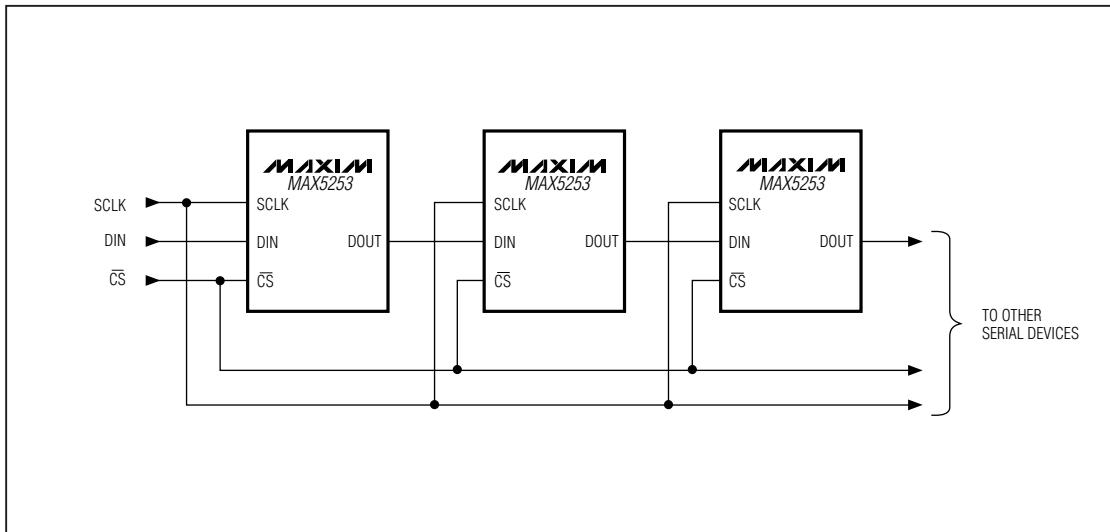


図7. MAX5253のデジーチェーン接続

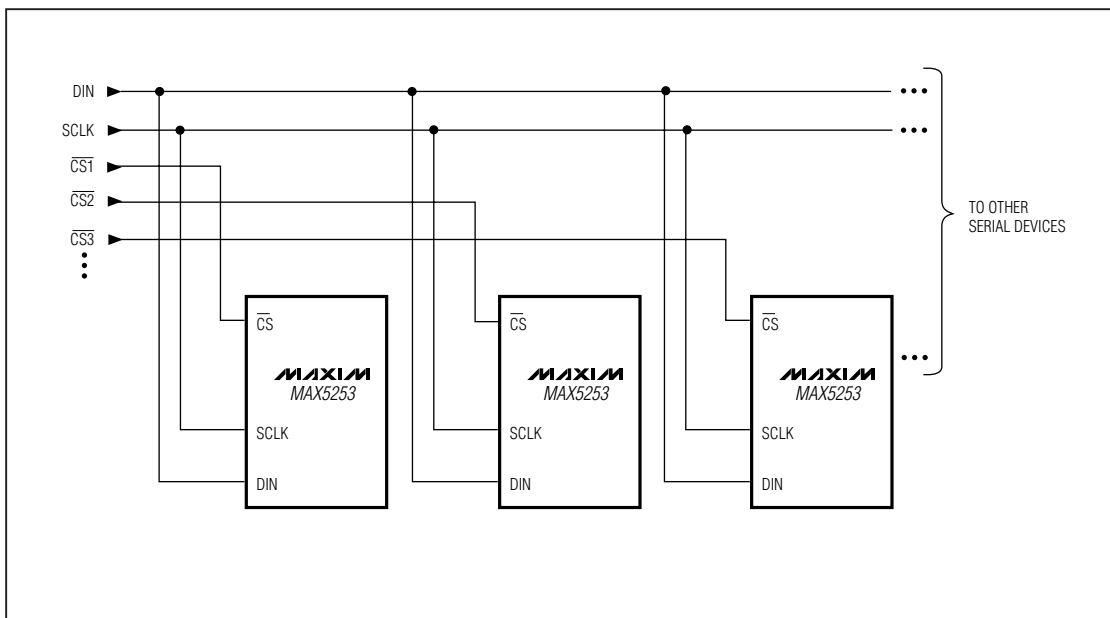


図8. 複数のMAX5253がコモンDINラインを共有

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

## アプリケーション情報

### ユニポラ出力

ユニポラ出力の場合、出力電圧及びリファレンス入力は同じ極性を持っています。図9に、MAX5253のユニポラ出力回路を示します(これが標準動作回路になっています)。表2に、ユニポラ出力コードを示します。

レイルトゥレイルの出力については、図10を参照して下さい。この回路は、MAX5253の出力アンプが閉ループ利得+2.6に設定されており、1.25Vのリファ

レンスを使用した場合に0V~3.25Vのフルスケール電圧範囲を提供するようになっています。

### バイポラ出力

MAX5253の出力は、図11の回路を使用してバイポラ動作に構成することができます。

$$V_{OUT} = V_{REF} [(2NB / 4096) - 1]$$

ここで、NBはDACのバイナリ入力コードの数値です。表3に、図11の回路のデジタルコード(オフセットバイナリ)及び対応する出力電圧を示します。

表2. ユニポラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111 1111	$+V_{REF} \left( \frac{4095}{4096} \right)$
1000	0000 0001	$+V_{REF} \left( \frac{2049}{4096} \right)$
1000	0000 0000	$+V_{REF} \left( \frac{2048}{4096} \right) = \frac{+V_{REF}}{2}$
0111	1111 1111	$+V_{REF} \left( \frac{2047}{4096} \right)$
0000	0000 0001	$+V_{REF} \left( \frac{1}{4096} \right)$
0000	0000 0000	0V

表3. バイポラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111 1111	$+V_{REF} \left( \frac{2047}{2048} \right)$
1000	0000 0001	$+V_{REF} \left( \frac{1}{2048} \right)$
1000	0000 0000	0V
0111	1111 1111	$-V_{REF} \left( \frac{1}{2048} \right)$
0000	0000 0001	$-V_{REF} \left( \frac{2047}{2048} \right)$
0000	0000 0000	$-V_{REF} \left( \frac{2048}{2048} \right) = -V_{REF}$

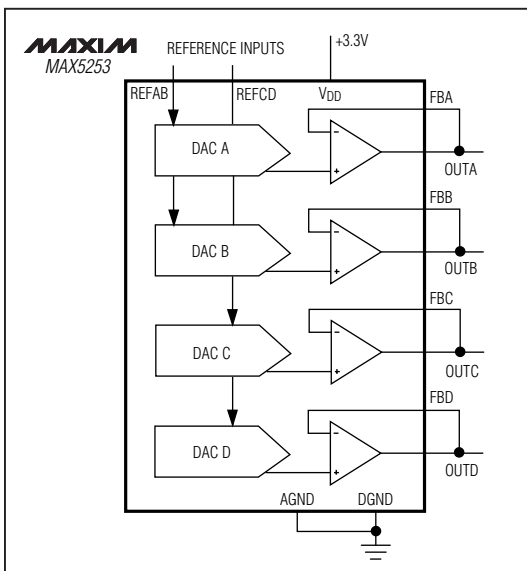


図9. ユニポラ出力回路

レイルトゥレイルは日本モトローラの登録商標です。

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

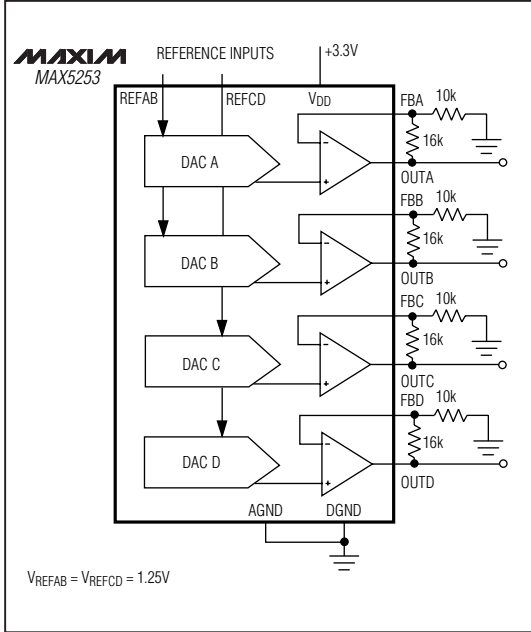


図10. ユニポーラのレイルトゥレイル出力の回路

## ACリファレンスの使用

MAX5253は、リファレンスがAC信号成分を持つアプリケーションでは、リファレンス入力範囲仕様内で乗算能力があります。図12に、リファレンス入力にサイン波信号を印加する技法を示します(AC信号はREFAB/REFCOに印加される前にオフセットされます)。リファレンス電圧をDGNDよりマイナスにしないで下さい。

MAX5253の全高調波歪み及びノイズ(THD + N)は、信号スイングが1V<sub>p-p</sub>で入力周波数が最大25kHzの時に-72dB以下(typ)です。「標準動作特性」のグラフに示すように、標準的な-3dB周波数は650kHzです。

## デジタルプログラマブル電流ソース

図13の回路を使うと、オペアンプのフィードバックループ内のNPNトランジスタ(2N3904等)がデジタルでプログラムできる一方向性電流ソースになります。この回路は、工業用制御アプリケーションでよく使用される4mA ~ 20mAの電流ループの駆動に使用できます。出力電流は、次式で計算されます。

$$I_{OUT} = (V_{REF} / R) \times (NB / 4096)$$

ここで、NBはDACのバイナリ入力コードの数値、Rは図13に示されている検出抵抗です。

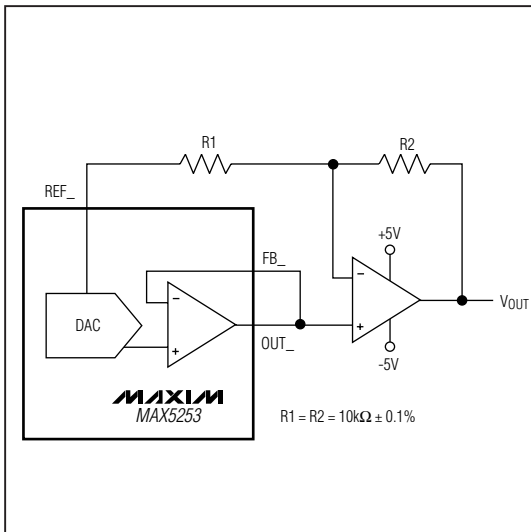


図11. バイポーラ出力の回路

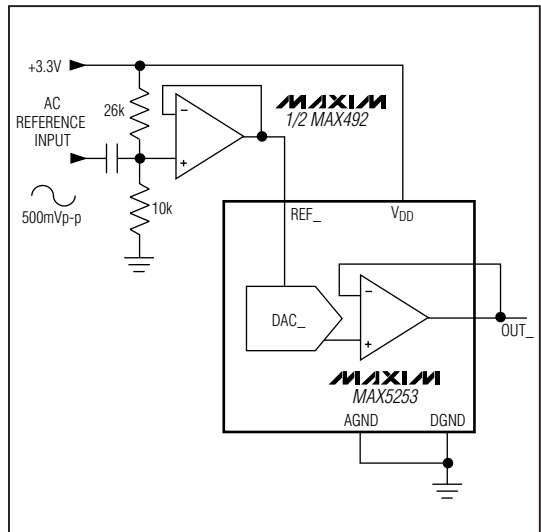


図12. ACリファレンス入力回路

# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

MAX5253

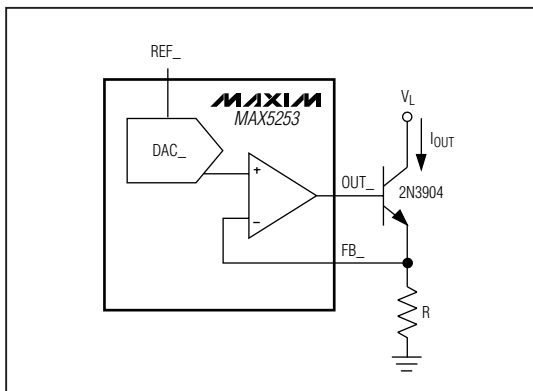


図13. デジタルプログラマブル電流ソース

## 電源に関する考慮

パワーアップ時に、全ての入力とDACレジスタはクリア (ゼロコードに設定)され、DOOUTはモード0になります (シリアルデータはクロックの立下がりエッジでDOOUTからシフトアウト)。

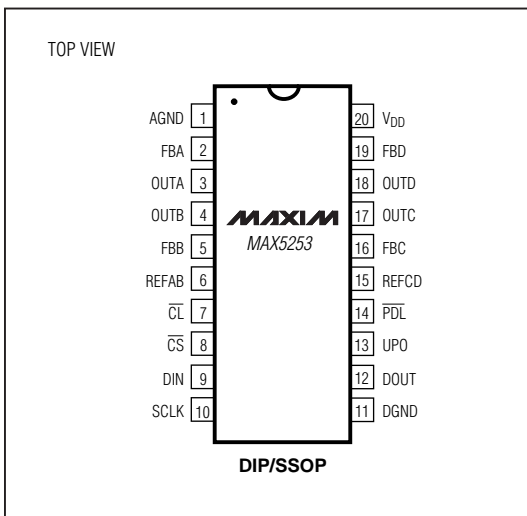
MAX5253に定格通りの性能を発揮させるには、REFAB/REFCDを $V_{DD}$ より1.4V低くして下さい。 $V_{DD}$ は4.7 $\mu$ Fコンデンサと0.1 $\mu$ Fコンデンサを並列に使用してAGNDにバイパスして下さい。リード線は短くし、バイパスコンデンサは電源ピンのできるだけ近くに取り付けて下さい。

## 接地及びレイアウト

AGNDとDGNDの間のデジタル又はACトランジェント信号が原因で、アナログ出力にノイズが発生することがあります。AGND及びDGNDをDACでまとめて接続し、それをできるだけ良質のグラウンドに接続して下さい。

プリント基板のグラウンドレイアウトを良くすると、DAC出力、リファレンス入力及びデジタル入力の間のクロストークを最小限に抑えることができます。アナログラインをデジタルラインから遠ざけてクロストークを低減して下さい。ワイヤラッピングボードは推奨できません。

## ピン配置



# +3V、クワッド、12ビット電圧出力DAC シリアルインタフェース付

型番(続き) \_\_\_\_\_

型番(続き) \_\_\_\_\_

TRANSISTOR COUNT: 4337

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSBs)
MAX5253BC/D	0°C to +70°C	Dice*	±1
MAX5253AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX5253BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX5253AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX5253BEAP	-40°C to +85°C	20 SSOP	±1
MAX5253BMJP	-55°C to +125°C	20 CERDIP**	±2

\* Dice are specified at  $T_A = +25^\circ\text{C}$ , DC parameters only.

\*\*Contact factory for availability and processing to MIL-STD-883.

## パッケージ

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	14	0.239	0.249	6.07	6.33
D	16	0.239	0.249	6.07	6.33
D	20	0.278	0.289	7.07	7.33
D	24	0.317	0.328	8.07	8.33
D	28	0.397	0.407	10.07	10.33

**SSOP  
SHRINK  
SMALL-OUTLINE  
PACKAGE**

21-0056A

## マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**