

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

概要

MAX5236/MAX5237高精度、デュアル、電圧出力、10ビットD/Aコンバータ(DAC)は、5Vの単一電源電圧(MAX5237)で僅か360 μ A、3Vの単一電源電圧(MAX5236)で僅か325 μ Aの消費電流です。これらのデバイスはレイルトゥレイルをスイングする出力バッファの特長を備えています。内部利得アンプ(1.6384V/V)はDAC出力のダイナミックレンジを最大にします。

MAX5236/MAX5237はSPI™/QSPI™/MICROWIRE™とコンパチブルな13.5MHz、3線シリアルインタフェースを特長としています。各DAC入力が入力レジスタがDACレジスタに続く構成となっています。16ビットソフトレジスタはデータを入力レジスタにロードします。入力レジスタはDACレジスタを個別に、又は同時に更新します。更に設定可能な制御ビットは1k Ω 又は200k Ω の内部負荷でパワーダウンを可能にしています。

MAX5236/MAX5237は拡張産業用温度範囲(-40 $^{\circ}$ C ~ +85 $^{\circ}$ C)に完全に規格適合しており、省スペースタイプの10ピン μ MAXパッケージで提供されています。

アプリケーション

- 産業プロセス制御
- 自動試験機器
- デジタルオフセット及び利得調整
- モーション制御
- マイクロプロセッサ制御システム

レイルトゥレイルは日本モトローラの商標です。
SPI/QSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

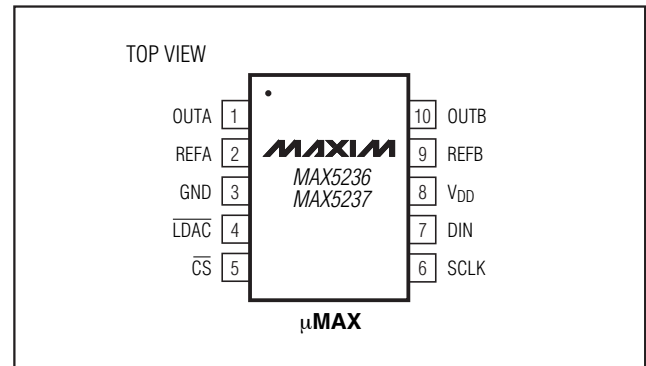
特長

- ◆ 保証1/2LSB INL(max)
- ◆ 低消費電流
325 μ A(通常動作)
0.4 μ A(フルパワーダウンモード)
- ◆ 単一電源動作
3V(MAX5236)
5V(MAX5237)
- ◆ 省スペースパッケージ：10ピン μ MAX
- ◆ 出力バッファ：レイルトゥレイルスイング
- ◆ パワーオンリセットでレジスタ及びDACを0にクリア
- ◆ 設定可能なシャットダウンモード、
1k Ω 又は200k Ω 内部負荷
- ◆ 0にリセット
- ◆ 13.5MHz SPI/QSPI/MICROWIREコンパチブル
3線シリアルインタフェース
- ◆ バッファ出力は5k Ω || 100pFを駆動

型番

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX5236EUB	-40 $^{\circ}$ C to +85 $^{\circ}$ C	10 μ MAX	\pm 0.5
MAX5237EUB	-40 $^{\circ}$ C to +85 $^{\circ}$ C	10 μ MAX	\pm 0.5

ピン配置



単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 Digital Inputs to GND-0.3V to +6V
 REF₋, OUT₋ to GND-0.3V to (V_{DD} + 0.3V)
 Maximum Current into Any Pin.....50mA
 Continuous Power Dissipation (T_A = +70°C)
 10-Pin μMAX (derate 5.60mW/°C above +70°C).....444mW

Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature Range (soldering, 10s).....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5237

(V_{DD} = +4.5V to +5.5V, GND = 0, V_{REFA} = V_{REFB} = +2.5V, R_L = 5kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Integral Nonlinearity	INL	(Note 1)			±0.5	LSB
Differential Nonlinearity	DNL				±1	LSB
Offset Error	V _{OS}	(Note 2)			±5	mV
Gain Error					±3	LSB
Full-Scale Voltage	V _{FS}	Code = 3FF hex, T _A = +25°C (Note 3)	4.084	4.092	±4.100	V
Full-Scale Temperature Coefficient	TCV _{FS}	Normalized to 4.095V		2		ppm/°C
Offset Temperature Coefficient	TCV _{OS}			±8		μV/°C
Power-Supply Rejection	PSR	4.5V ≤ V _{DD} ≤ 5.5V		15	200	μV
DC Crosstalk		(Note 4)			100	μV
REFERENCE INPUT						
Reference Input Range	V _{REF}	(Note 5)	0.25		2.60	V
Reference Input Resistance	R _{REF}	Minimum with code 155 hex and 2AA hex	28	37		kΩ
Reference Current in Shutdown	I _{REF}				±1	μA
MULTIPLYING MODE PERFORMANCE						
Reference -3dB Bandwidth, Slew-Rate Limited		Input code = 3FF hex, V _{REF-} = 0.5V _{P-P} + 1.5V _{DC}		350		kHz
Reference Feedthrough		Input code = 000 hex, V _{REF-} = 3.6V _{P-P} + 1.8V _{DC} , f = 1kHz		-80		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 3FF hex, V _{REF-} = 2V _{P-P} + 1.5V _{DC} , f = 10kHz		79		dB

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

ELECTRICAL CHARACTERISTICS—MAX5237 (continued)

($V_{DD} = +4.5V$ to $+5.5V$, $GND = 0$, $V_{REFA} = V_{REFB} = +2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUT						
Input High Voltage	V_{IH}		$0.7 \times V_{DD}$			V
Input Low Voltage	V_{IL}				$0.3 \times V_{DD}$	V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current		Digital inputs = 0 or V_{DD}			± 1	μA
Input Capacitance				8		pF
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR			0.6		V/ μs
Voltage-Output Settling Time		To $\pm 0.5LSB$, $V_{STEP} = \pm 4V$, $0.25V \leq V_{OUT} \leq (V_{DD} - 0.25V)$		10		μs
Output-Voltage Swing		(Note 6)		0 to V_{DD}		V
Time Required for Output to Settle After Turning on V_{DD}		(Note 7)			70	μs
Time Required for Output to Settle After Exiting Full Power-Down		(Note 7)			70	μs
Time Required for Output to Settle After Exiting DAC Power-Down		(Note 7)			60	μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 5VP-P$		5		nV-s
Major Carry Glitch Energy				40		nV-s
POWER SUPPLIES						
Power-Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current	I_{DD}	(Note 8)		360	450	μA
Power-Supply Current in Power-Down and Shutdown Modes	I_{SHDN}	Full power-down mode		1	5	μA
		One DAC shutdown mode		190	215	
		Both DACs shutdown mode		26	42	

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

ELECTRICAL CHARACTERISTICS—MAX5236

($V_{DD} = +2.7V$ to $+3.6V$, $GND = 0$, $V_{REFA} = V_{REFB} = +1.25V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Integral Nonlinearity	INL	(Note 1)			± 0.5	LSB
Differential Nonlinearity	DNL				± 1	LSB
Offset Error	V_{OS}	(Note 2)			± 5	mV
Gain Error	GE				± 6	LSB
Full-Scale Voltage	V_{FS}	Code = FFF hex, $T_A = +25^\circ C$ (Note 3)	2.039	2.046	2.053	V
Full-Scale Temperature Coefficient	TCV_{FS}	Normalized to 2.0475V		4		ppm/ $^\circ C$
Offset Temperature Coefficient	TCV_{OS}			± 8		$\mu V/^\circ C$
Power-Supply Rejection	PSR	$2.7V \leq V_{DD} \leq 3.6V$		18	280	μV
DC Crosstalk		(Note 4)			100	μV
REFERENCE INPUT						
Reference Input Range	V_{REF}	(Note 5)	0.25		1.50	V
Reference Input Resistance	R_{REF}	Minimum with code 155 hex and 2AA hex	28	37		$k\Omega$
Reference Current in Shutdown	I_{REF}				± 1	μA
MULTIPLYING MODE PERFORMANCE						
Reference -3dB Bandwidth, Slew-Rate Limited		Input code = 3FF hex, $V_{REF-} = 0.5V_{P-P} + 0.75V_{DC}$		350		kHz
Reference Feedthrough		Input code = 000 hex, $V_{REF-} = 1.6V_{P-P} + 0.8V_{DC}$, $f = 1kHz$		-80		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 3FF hex, $V_{REF-} = 0.6V_{P-P} + 0.9V_{DC}$, $f = 10kHz$		79		dB
DIGITAL INPUTS						
Input High Voltage	V_{IH}		$0.7 \times V_{DD}$			V
Input Low Voltage	V_{IL}			$0.3 \times V_{DD}$		V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current		Digital inputs = 0 or V_{DD}		± 1		μA
Input Capacitance				8		pF
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR			0.6		V/ μs
Voltage-Output Settling Time		To $\pm 0.5LSB$, $V_{STEP} = \pm 2V$, $0.25V \leq V_{OUT} \leq (V_{DD} - 0.25V)$		10		μs
Output-Voltage Swing		(Note 6)		0 to V_{DD}		V

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

ELECTRICAL CHARACTERISTICS—MAX5236 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $GND = 0$, $V_{REFA} = V_{REFB} = +1.25V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Time Required for Output to Settle After Turning on V_{DD}		(Note 7)			60	μs
Time Required for Output to Settle After Exiting Full Power-Down		(Note 7)			60	μs
Time Required for Output to Settle After Exiting DAC Power-Down		(Note 7)			50	μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 3VP-P$		5		nV-s
Major Carry Glitch Energy				115		nV-s
POWER SUPPLIES						
Power-Supply Voltage	V_{DD}		2.7		3.6	V
Power-Supply Current	I_{DD}	(Note 8)		325	430	μA
Power-Supply Current in Power-Down and Shutdown Modes	I_{SHDN}	Full power-down mode		0.4	5	μA
		One DAC shutdown mode		175	200	
		Both DACs shutdown mode		25	40	

TIMING CHARACTERISTICS—MAX5237 (FIGURES 1 AND 2)

($V_{DD} = +4.5V$ to $+5.5V$, $GND = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t_{CP}		74			ns
SCLK Pulse Width High	t_{CH}		30			ns
SCLK Pulse Width Low	t_{CL}		30			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		30			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
DIN Setup Time	t_{DS}		30			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		30			ns
\overline{CS} Pulse Width High	t_{CSW}		75			ns
\overline{LDAC} Pulse Width Low	t_{LDL}		30			ns
\overline{CS} Rise to \overline{LDAC} Rise Hold Time	t_{CSLD}	(Note 9)	40			ns

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

TIMING CHARACTERISTICS—MAX5236 (FIGURES 1 AND 2)

($V_{DD} = +2.7V$ to $+3.6V$, $GND = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t _{CP}		74			ns
SCLK Pulse Width High	t _{CH}		30			ns
SCLK Pulse Width Low	t _{CL}		30			ns
\overline{CS} Fall to SCLK Rise Setup Time	t _{CSS}		30			ns
SCLK Rise to \overline{CS} Rise Hold Time	t _{CSH}		0			ns
DIN Setup Time	t _{DS}		30			ns
DIN Hold Time	t _{DH}		0			ns
SCLK Rise to \overline{CS} Fall Delay	t _{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	t _{CS1}		30			ns
\overline{CS} Pulse Width High	t _{CSW}		75			ns
LDAC Pulse Width Low	t _{LDL}		30			ns
\overline{CS} Rise to LDAC Rise Hold Time	t _{CSLD}	(Note 9)	75			ns

Note 1: Accuracy is guaranteed in the following way:

V _{DD}	V _{REF_}	ACCURACY GUARANTEED FROM CODE	TO CODE
3	1.250	6	1023
5	2.500	3	1023

Note 2: Offset is measured at the code closest to 12mV.

Note 3: Gain from V_{REF_} to V_{OUT_} is typically $1.638 \times \text{CODE}/1024$.

Note 4: DC crosstalk is measured as follows: set DAC A to midscale, and DAC B to zero, and measure DAC A output; then change DAC B to full scale and measure ΔV_{OUT} for DAC A. Repeat the same measurement with DAC A and DAC B interchanged. DC crosstalk is the maximum ΔV_{OUT} measured.

Note 5: The DAC output voltage is derived by gaining up V_{REF} by $1.638 \times \text{CODE}/1024$. This gain factor may cause V_{OUT} to try to exceed the supplies. The maximum value of V_{REF} in the reference input range spec prevents this from happening at full scale. The minimum V_{REF} value of 0.25V is determined by linearity constraints, not DAC functionality.

Note 6: Accuracy is better than 1LSB for V_{OUT} = 12mV to V_{DD} - 180mV.

Note 7: Guaranteed by design. Not production tested.

Note 8: R_{LOAD} = ∞ and digital inputs are at either V_{DD} or GND. V_{OUT} = full-scale output voltage.

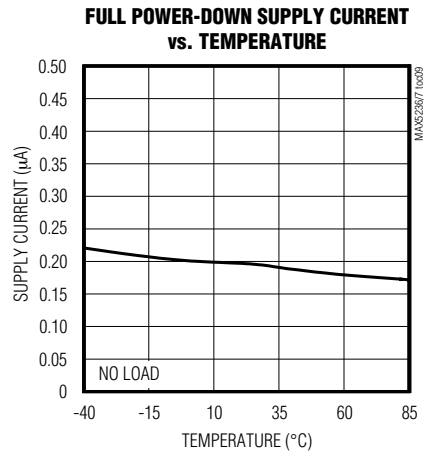
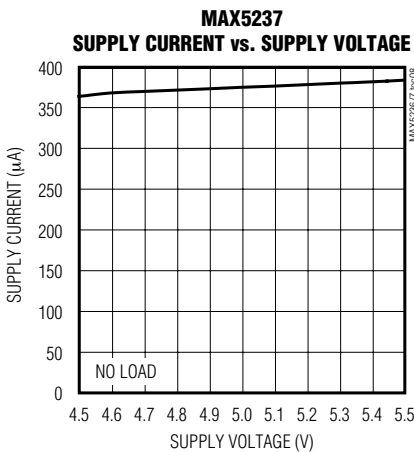
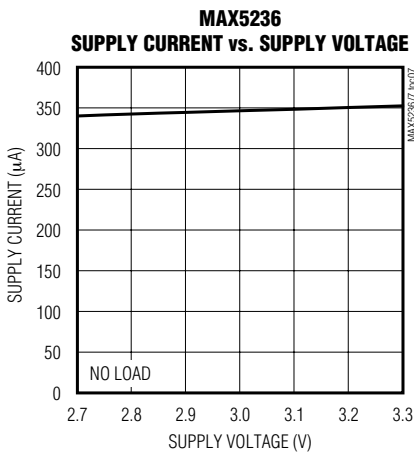
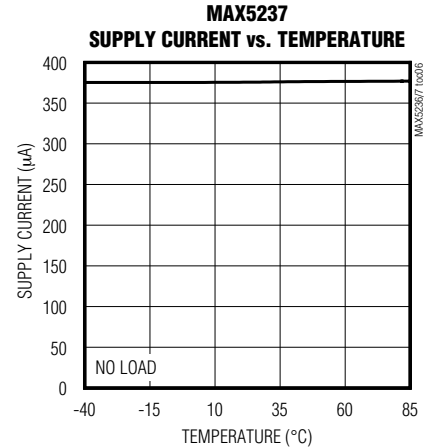
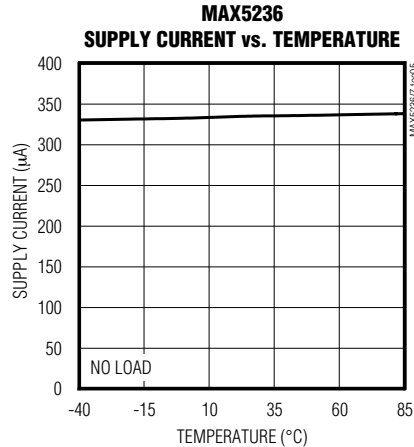
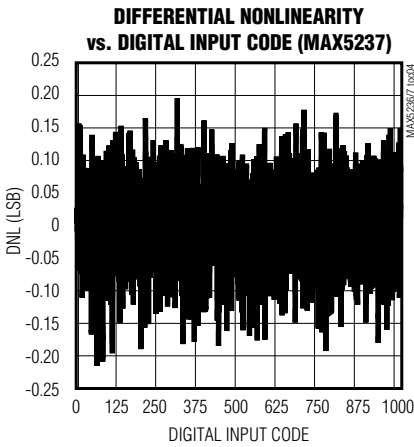
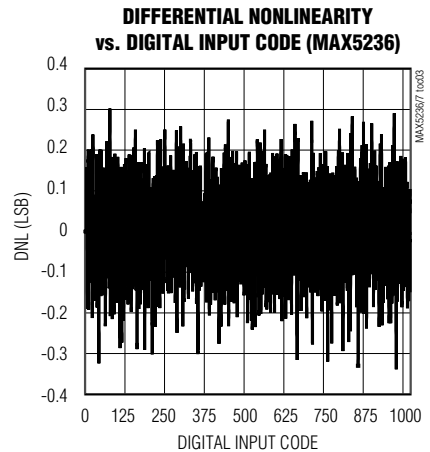
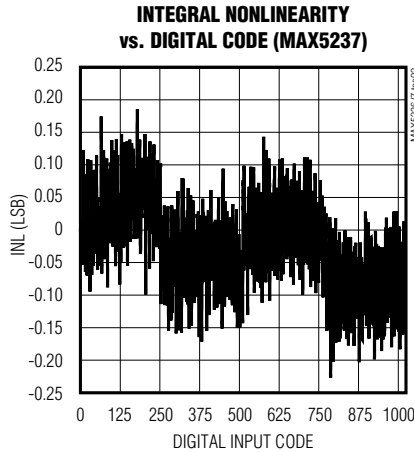
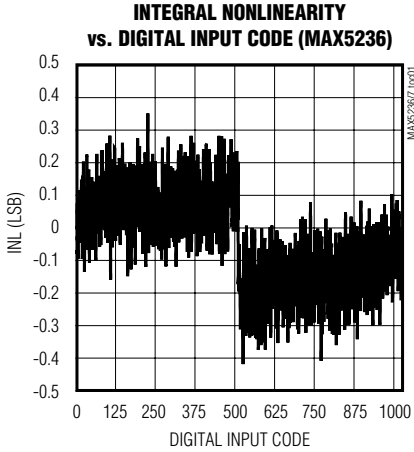
Note 9: This timing requirement applies only to \overline{CS} rising edges, which execute commands modifying the DAC input register contents.

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

標準動作特性

($V_{DD} = +5V$ (MAX5237) $V_{DD} = +3V$ (MAX5236), $R_L = 5k\Omega$, $C_L = 100pF$, $V_{REF} = +1.25V$ (MAX5236), $V_{REF} = +2.5V$ (MAX5237), $C_{REF} = 0.1\mu F$ ceramic || $2.2\mu F$ electrolytic, both DACs on, $V_{OUT} =$ full scale, $T_A = +25^\circ C$, unless otherwise noted.)

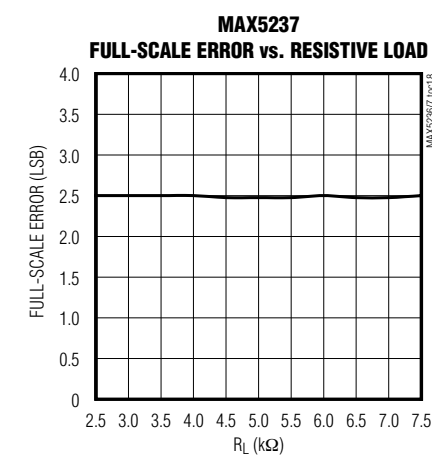
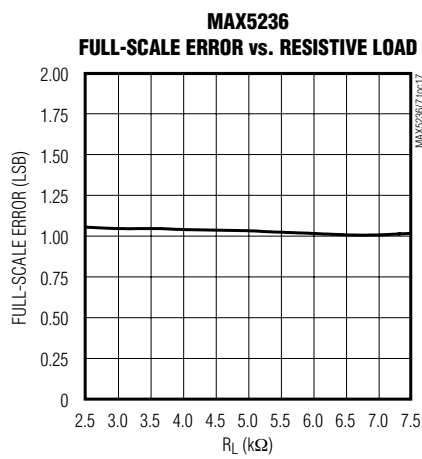
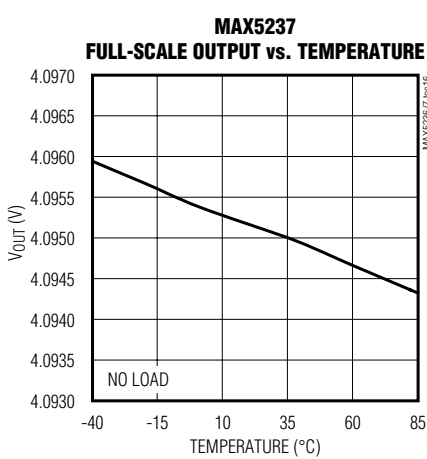
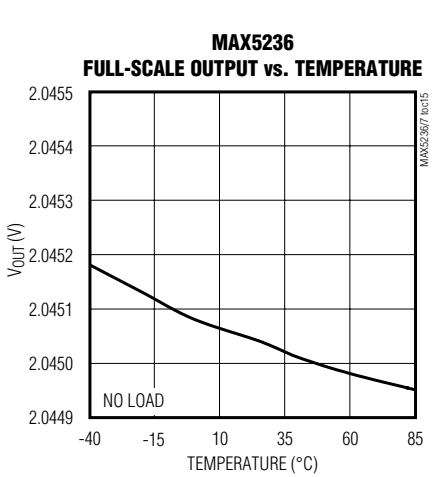
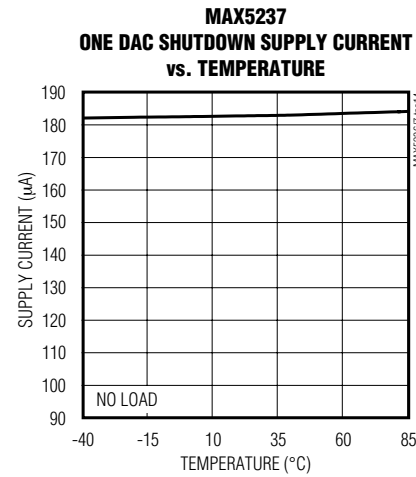
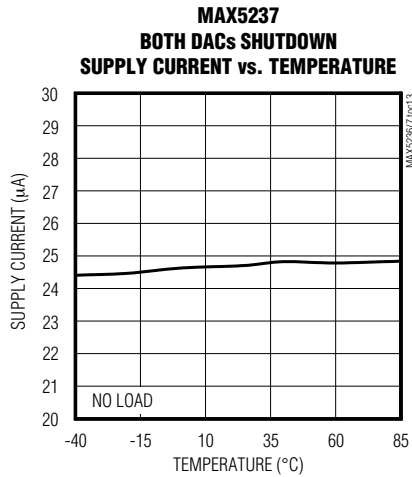
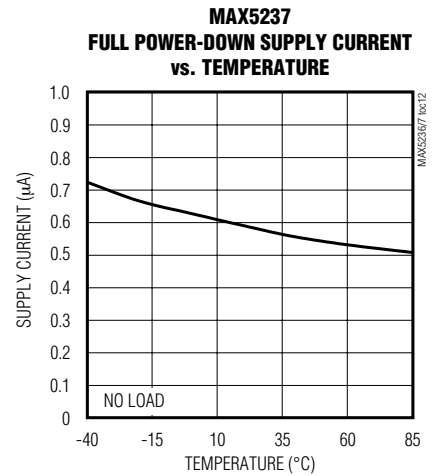
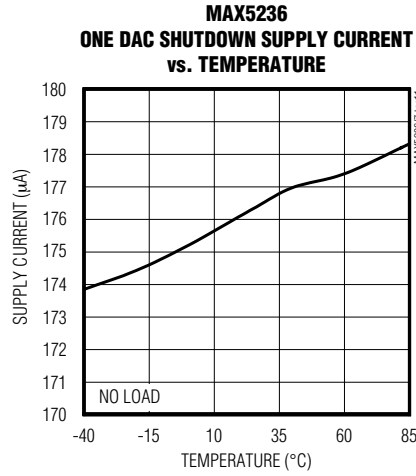
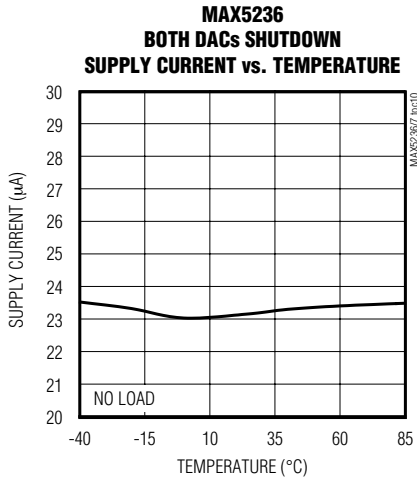


単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

標準動作特性(続き)

($V_{DD} = +5V$ (MAX5237) $V_{DD} = +3V$ (MAX5236), $R_L = 5k\Omega$, $C_L = 100pF$, $V_{REF} = +1.25V$ (MAX5236), $V_{REF} = +2.5V$ (MAX5237), $C_{REF} = 0.1\mu F$ ceramic || $2.2\mu F$ electrolytic, both DACs on, $V_{OUT} = \text{full scale}$, $T_A = +25^\circ C$, unless otherwise noted.)

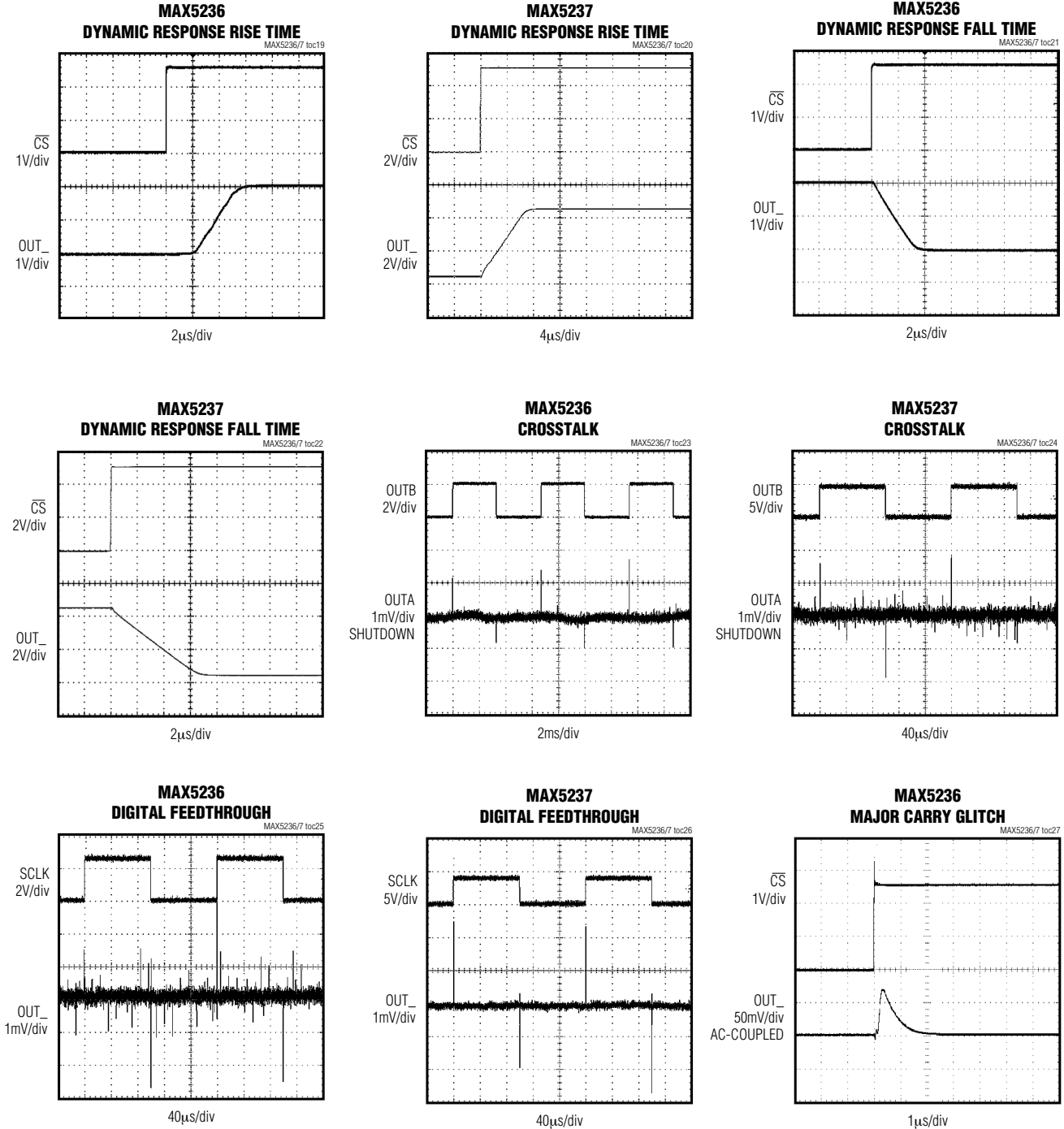


単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

標準動作特性(続き)

($V_{DD} = +5V$ (MAX5237) $V_{DD} = +3V$ (MAX5236), $R_L = 5k\Omega$, $C_L = 100pF$, $V_{REF} = +1.25V$ (MAX5236), $V_{REF} = +2.5V$ (MAX5237), $C_{REF} = 0.1\mu F$ ceramic || $2.2\mu F$ electrolytic, both DACs on, $V_{OUT} =$ full scale, $T_A = +25^\circ C$, unless otherwise noted.)

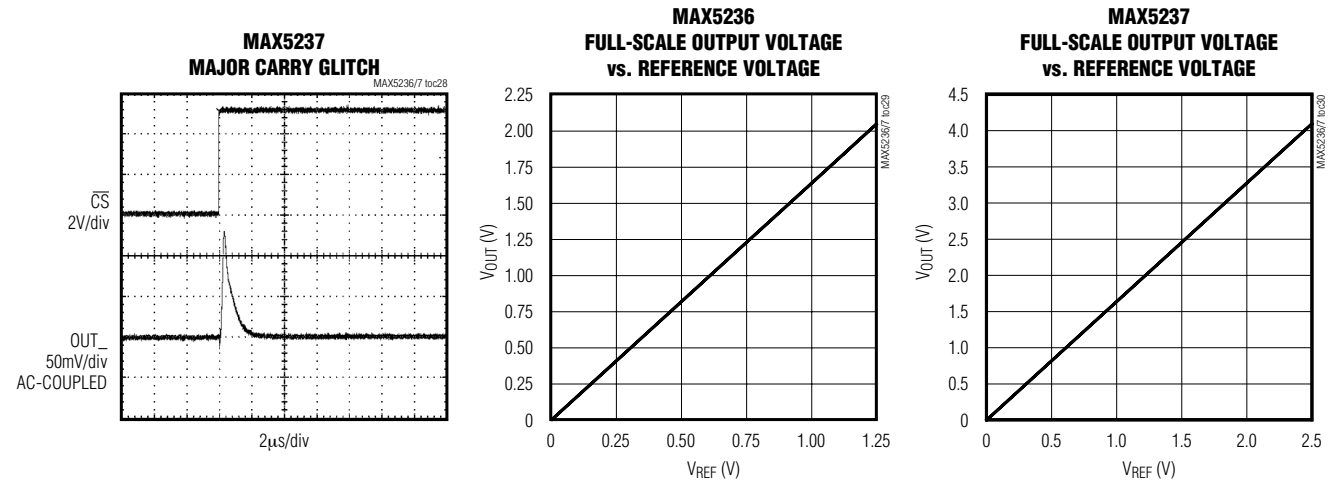


単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

標準動作特性(続き)

(V_{DD} = +5V (MAX5237) V_{DD} = +3V (MAX5236), R_L = 5kΩ, C_L = 100pF, V_{REF} = +1.25V (MAX5236), V_{REF} = +2.5V (MAX5237), C_{REF} = 0.1μF ceramic || 2.2μF electrolytic, both DACs on, V_{OUT} = full scale, T_A = +25°C, unless otherwise noted.)



端子説明

端子	名称	機能
1	OUTA	DAC A出力
2	REFA	DAC Aのリファレンス
3	GND	グランド
4	$\overline{\text{LDAC}}$	ロードDAC AおよびB
5	$\overline{\text{CS}}$	チップセレクト入力
6	SCLK	シフトレジスタシリアルクロック入力
7	DIN	シリアルデータ入力
8	V _{DD}	正電源
9	REFB	DAC Bのリファレンス
10	OUTB	DAC B出力

詳細

MAX5236/MAX5237、10ビット電圧出力DACは3線SPI/QSPI/MICROWIREシリアルインタフェースで容易に設定することができます。デバイスは16ビットデータイン/データアウトシフトレジスタ及び入力レジスタ及びDACレジスタから構成される入力を備えています。更に、これらのデバイスは出力電圧スイングを最大にするための1.6384V/Vの利得を生成する高精度にトリミングされた内部抵抗、及び1kΩ又は200kΩの設定可能なシャットダウン出力インピーダンスを用いています。フルスケール出力電圧はMAX5237では4.092V、及びMAX5236では2.046Vとなっています。これらのデバ

イスは反転レイルトゥレイルラダーネットワークでデジタル入力コードに等しい重み付き出力電圧を生成します。

外部リファレンス

リファレンス入力はMAX5237では電圧範囲が0.25V~2.6V、MAX5236では0.25V~1.5VでAC値とDC値の両方を受け入れます。適正な動作には入力電圧範囲限界を超えないで下さい。以下の計算式を使用して出力電圧は決められます。

$$V_{\text{OUT}_-} = (V_{\text{REF}_-} \times \text{NB} / 1024) \times 1.6384\text{V/V}$$

NBがDACのバイナリ入力コード(0~1023)の数値の時、V_{REF} はリファレンス電圧で、1.6384V/Vは内部出力アンプの利得です。

コード従属のリファレンス入力インピーダンス範囲は最小28kΩからコード0において数GΩまでの範囲です。コード従属のリファレンス入力容量は通常23pFです。

出力アンプ

出力アンプは1.6384V/Vの利得を提供する内部抵抗を備えています。これらのトリミングされた抵抗は利得誤差を最小限に抑えます。出力アンプは標準スルーレート0.6V/μsで、100pFに並列に5kΩの負荷で10μs(標準)以内で1/2LSBに安定します。アンプのシャットダウン出力インピーダンスを1kΩ又は200kΩに設定するためにはシリアルインタフェースを使用して下さい。

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

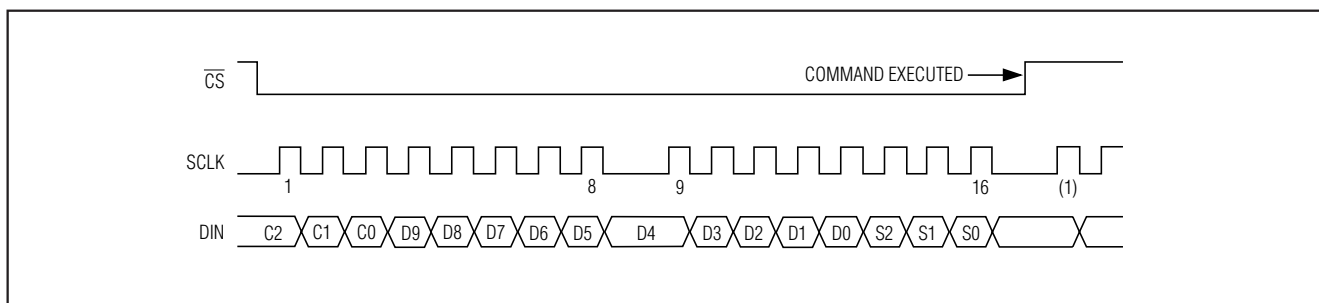


図1. シリアルインタフェースタイミング図

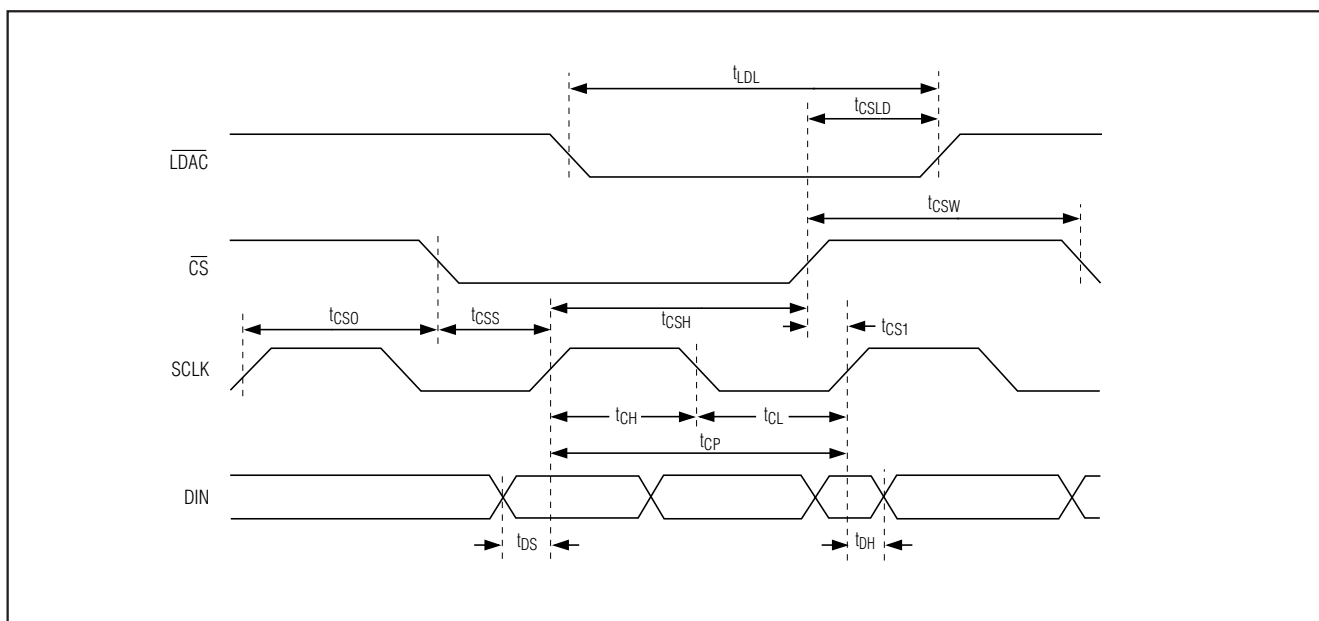


図2. シリアルインタフェースタイミング詳細図

シリアルインタフェース

MAX5236/MAX5237で使用されている3線シリアルインタフェース(SPI/QSPI及びMICROWIREコンパチブル)は完全なDAC動作制御が可能になっています(図4及び図5)。図1及び図2はシリアルインタフェースのタイミングを示しています。シリアルワードは表1、2、及び3に示されているように3つの制御ビットからなり、10個のデータビット(MSBが最初)及び3個のサブビットが続きます。3つの制御ビットがすべて0又は1の時、D9～D6は追加制御ビットとして使用され、より大きなDAC機能を可能にしています。

デジタル入力は次のいずれをも可能にします：DACレジスタを更新せずに入力レジスタをロードしたり、

入力レジスタからDACレジスタを更新したり、又は入力及びDACレジスタを同時に更新することができます。制御ビット及びD9～D6はDACを独立して動作させることができます。

16ビットデータを(QSPIでは)16ビットワードを1つとして、又は(SPI及びMICROWIREでは)2つの8ビットパケットとしてCSローの間で送って下さい。制御ビット及びD9～D6はどのレジスタが更新するか、及びシャットダウンから出る時のレジスタの状況を決定します。3ビット制御及びD9～D6は以下を決定します。

- 更新されるレジスタ
- パワーダウンモードの選択

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

表1. シリアルデータフォーマット

MSB <----- 16 bits of serial data -----> LSB		
3 Control Bits	MSB.....10 Data Bits.....LSB	Sub-Bits
C2...C0	D9.....D0	S2.....S0

図1の一般タイミング図はデータ収集を表します。 \overline{CS} をローで駆動するとデバイスはデータの受信ができます。さもなければインタフェース制御回路はディセーブルされています。 \overline{CS} ローでDINにおけるデータがSCLKの立上りエッジでレジスタにクロックされます。 \overline{CS} がハイになると、データは制御ビット及びD9~D6によって、入力及び/又はDACレジスタにラッチされます。適正な動作に保証されている最大クロック周波数は13.5MHzです。図2はシリアルインタフェースのより詳細なタイミング図を示したものです。

パワーダウン及びシャットダウンモード

表2及び3に示されているように、いくつかのシリアルインタフェースコマンドが1つ又は両方のDACをシャットダウンモードにします。シャットダウンモードは完全に各DACで独立しています。シャットダウンにおいてアンプ出力がハイインピーダンスになり、OUT₁は200k Ω (標準)利得抵抗を介してグラウンドに終端します。オプションとして(表2及び3を参照)、OUT₁はGNDへ追加の1k Ω の終端が可能です。

フルパワーダウンモードはメインバイアスジェネレータと両方のDACをシャットダウンします。DAC出力のシャットダウンインピーダンスは表2及び3に示されているように独立制御が可能です。

シリアルインタフェースコマンドはシャットダウンモードから出て、DACレジスタを更新します。各DACは同時、又は別々にシャットダウンから出ることができます(表2及び3を参照)。例えば、両方のDACがシャットダウンした場合、DAC Aレジスタの更新はDAC Aをパワーアップすることとなり、DAC Bはシャットダウンのままです。フルパワーダウンモードにおいてはどちらのDACをパワーアップしてもメインバイアスジェネレータもパワーアップされます。フルパワーダウンから両方のDACをシャットダウンモードに変更するにはステート間少なくとも1つのDACをウェイクする必要があります。

MAX5236/MAX5237をパワーアップ(V_{DD} をパワーアップ)する際、出力を安定させるのに60 μ s(MAX5236)又は70 μ s(MAX5237)が必要となります。フルパワーダウンモードから出る際は、出力を安定させるのに60 μ s max(MAX5236)又は70 μ s max(MAX5237)必要となります。DACシャットダウンモードから出る際は、出力を安定させるのに50 μ s max(MAX5236)又は60 μ s max(MAX5237)必要となります。

ロードDAC入力(\overline{LDAC})

\overline{LDAC} にすると、対応する入力レジスタからDACレジスタに非同期でロードされます(シャットダウンされているDACはシャットダウンの状態を維持)。 \overline{LDAC} 入力は完全に非同期性で、有効となるために、 \overline{CS} 、SCLK、又はDIN上のいかなる活動も必要としません。いずれかのDAC入力レジスタの値を変更するシリアルコマンドを実行する \overline{CS} の立ち上がりエッジで同時に \overline{LDAC} がアサートされた場合、 \overline{LDAC} は \overline{CS} の立ち上がりエッジに続いて少なくとも30nsの間アサートされた状態である必要があります。この条件はDAC入力レジスタの値を変更するシリアルコマンドのみに適用します。

アプリケーション情報

定義

積分非直線性(INL)

積分非直線性(図6a)とは直線からの実際の伝達関数上の偏差値です。直線は最もフィットするベスト・ストレート・ライン(実際のトランスファ曲線に一番近い)、あるいはいったんオフセットと利得誤差が調整された後の伝達関数の終了点間にひかれた線になります。DACでは、偏差はステップごとに測定されています。

微分非直線性(DNL)

微分非直線性(図6b)はステップ高さ実数値と1LSB理想値の差になります。DNLの大きさが1LSB以下であれば、DACはミッシングコードがないこと及び単調性を保証します。

オフセット誤差

オフセット誤差(図6c)はオフセットポイント実数値と理想値の差です。DACにとってオフセットポイントはデジタル入力がゼロの時のステップ値です。この誤差は同じ量で全てのコードに影響し、通常トリミングによって補償することが可能です。

利得誤差

利得誤差(図6d)とはオフセット誤差を無効にした後の、トランスファ曲線上の理想と実際のフルスケール電圧出力間の差です。この誤差は伝達関数のスロープを変え、各ステップで同じ割合の誤差になっています。

セトリングタイム

セトリングタイムとはコンバータの規定精度の範囲内で遷移の開始点からDAC出力が新しい出力値にセトリングするまで必要とされる時間です。

単一電源3V/5V、電圧出力、デュアル高精度10ビットDAC

表2. シリアルインタフェースプログラミングコマンド

16-BIT SERIAL WORD					FUNCTION
C2	C1	C0	D9.....D0	S2, S1, S0*	
0	0	1	10-bit DAC data	000	Load input register A; DAC registers are unchanged.
0	1	0	10-bit DAC data	000	Load input register A; all DAC registers are updated.
0	1	1	10-bit DAC data	000	Load all DAC registers from the shift register (start up both DACs with new data, and load the input registers).
1	0	0	X X X X X X X X X X	000	Update both DAC registers from their respective input registers (start up both DACs with data previously stored in the input registers).
1	0	1	10-bit DAC data	000	Load input register B; DAC registers are unchanged.
1	1	0	10-bit DAC data	000	Load input register B; all DAC registers are updated.
1	1	1	P1A P1B X X X X X X X X	000	Power down both DACs respectively according to bits P1A and P1B (see Table 3). Internal bias remains active.
0	0	0	0 0 1 X X X X X X X	000	Update DAC register A from input register A (start up DAC A with data previously stored in input register A).
0	0	0	0 1 1 P1A P1B X X X X X	000	Full power-down. Power down the main bias generator and power down both DACs respectively according to bits P1A and P1B (see Table 3).
0	0	0	1 0 1 X X X X X X X	000	Update DAC register B from input register B (start up DAC B with data previously stored in input register B).
0	0	0	1 1 0 P1A X X X X X X	000	Power down DAC A according to bit P1A (see Table 3).
0	0	0	1 1 1 P1B X X X X X X	000	Power down DAC B according to bit P1B (see Table 3).

X = Don't care.

* = S2, S1, and S0 must be zero for proper operation.

デジタルフィードスルー

デジタルフィードスルーはいかなるデジタル入力が増える際のDACの出力で発生したノイズです。適正なボードレイアウト及びグラウンドを行えばこのノイズは大きく低減できますが、DAC自身によって発生するフィードスルーは常にいくらかあります。

ユニポーラ出力

図7はMAX5236/MAX5237がユニポーラ、利得1.6384V/Vでレイルトゥレイル動作に構成されたものを示しています。MAX5237は2.5Vリファレンスで0~4.092Vの出力を生成し、一方MAX5236は1.25Vリファレンスで0~2.046Vの出力を生成します。表4はユニポーラ出力コードを示したものです。

バイポーラ出力

MAX5236/MAX5237は図8に示されているようにバイポーラ出力構成が可能です。出力電圧は次式で求められます。

表3. P1シャットダウンモード

P1(A/B)	SHUTDOWN MODE
0	Shut down with internal 1kΩ load to GND
1	Shut down with internal 200kΩ load to GND

$$V_{OUT} = V_{REF} [((1.6348 \times NB) / 1024) - 1]$$

ここではNBがDACのバイナリ入力コードの数値を示しています。表5は図8の回路のデジタルコード、及びその出力電圧を示しています。

ACリファレンスの使用

リファレンスがAC信号成分を装備しているアプリケーションではMAX5236/MAX5237はリファレンス入力電圧範囲規格内で乗算の機能を持っています。

図9は正弦波入力をREF_に適用する技法を示しており、ここでAC信号はリファレンス入力に適用される前にオフセットされています。

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

表4. ユニポーラコード表(利得=1.6384)

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111 1111 1	1 (000)	$+V_{REF} \left(\frac{1023}{1024} \right) \times 1.6384$
1000 0000 0	1 (000)	$+V_{REF} \left(\frac{513}{1024} \right) \times 1.6384$
1000 0000 0	0 (000)	$+V_{REF} \left(\frac{512}{1024} \right) \times 1.6384 = V_{REF}$
0111 1111 1	1 (000)	$+V_{REF} \left(\frac{511}{1024} \right) \times 1.6384$
0000 0000 01	(000)	$+V_{REF} \left(\frac{1}{1024} \right) \times 1.6384$
0000 0000 0	0 (000)	0V

Note: () are for the sub-bit.

表5. バイポーラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111 1111 1	1 (000)	$+V_{REF} \left(\frac{511}{512} \right)$
1000 0000 0	1 (000)	$+V_{REF} \left(\frac{1}{512} \right)$
1000 0000 0	0 (000)	0V
0111 1111 1	11 (000)	$-V_{REF} \left(\frac{1}{512} \right)$
0000 0000 01	(000)	$-V_{REF} \left(\frac{511}{512} \right)$
0000 0000 00	(000)	$-V_{REF} \left(\frac{512}{512} \right) = -V_{REF}$

Note: () are for the sub-bit.

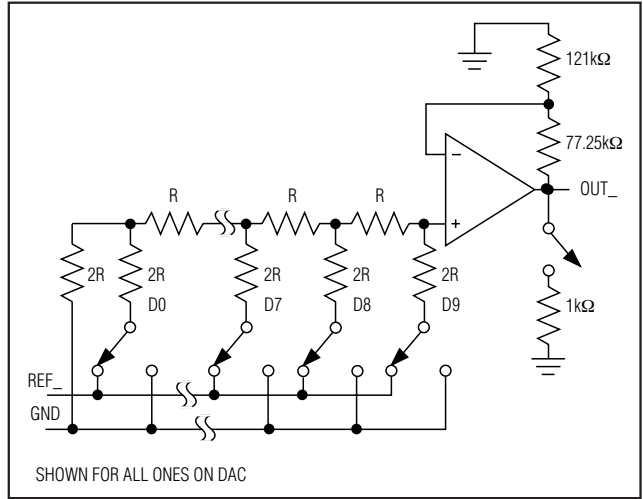


図3. 簡略化したDAC回路図

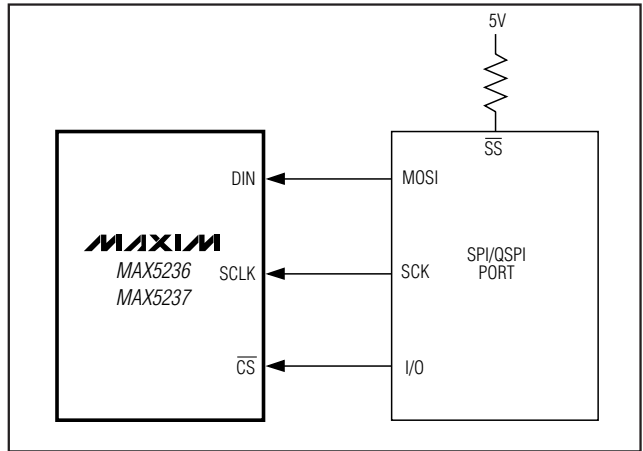


図4. SPI/QSPIインタフェース接続

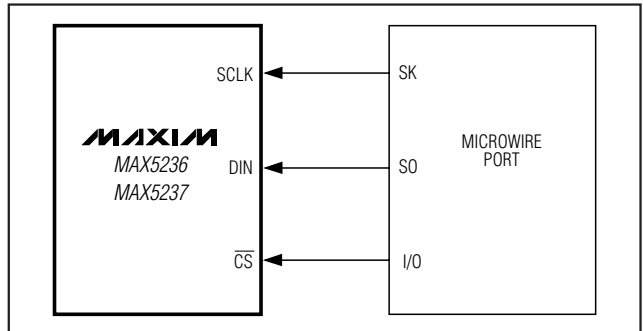


図5. MICROWIRE接続

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

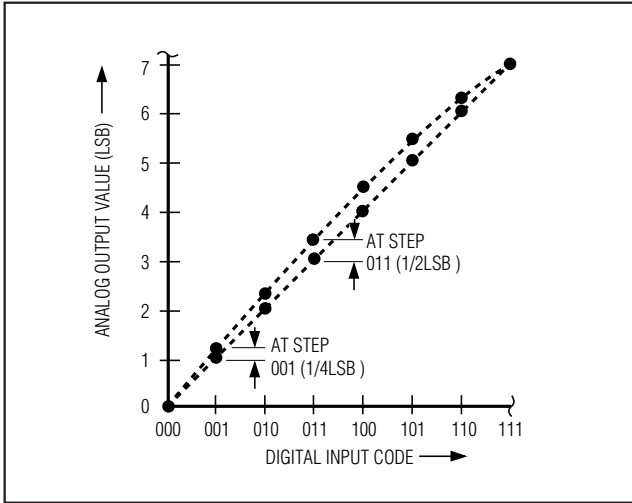


図6a. 積分非直線性

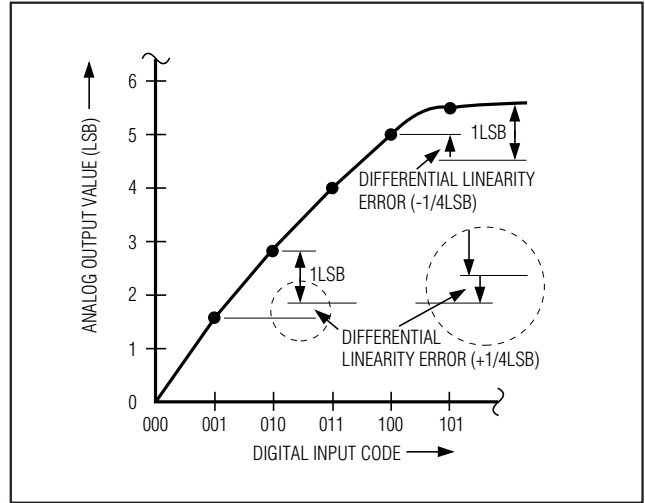


図6b. 微分非直線性

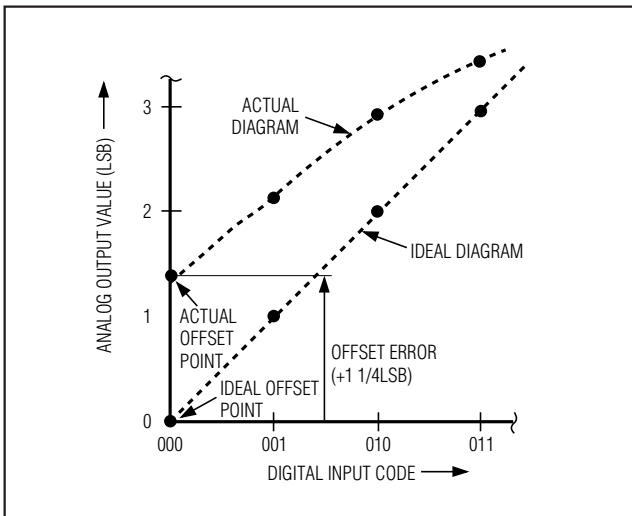


図6c. オフセット誤差

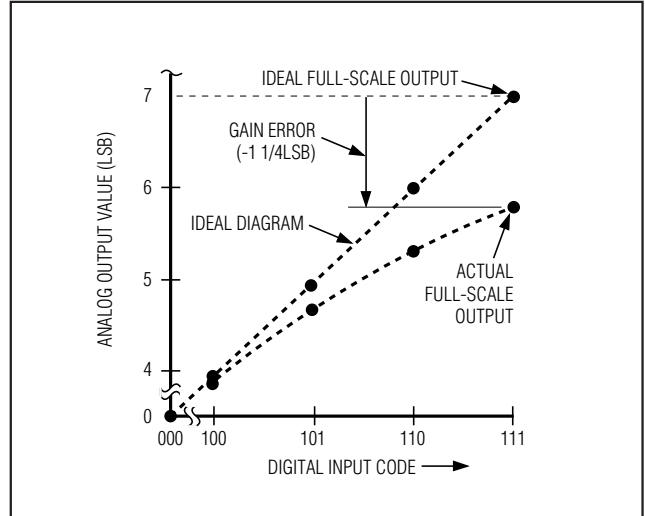


図6d. 利得誤差

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

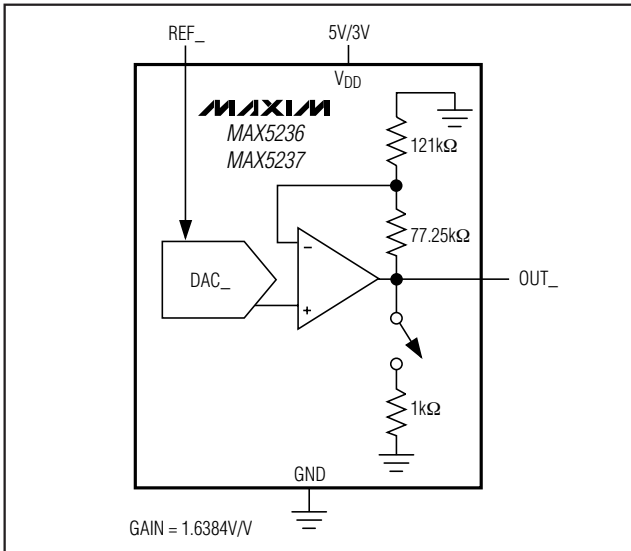


図7. ユニポーラ出力回路(レイルトゥレイル)

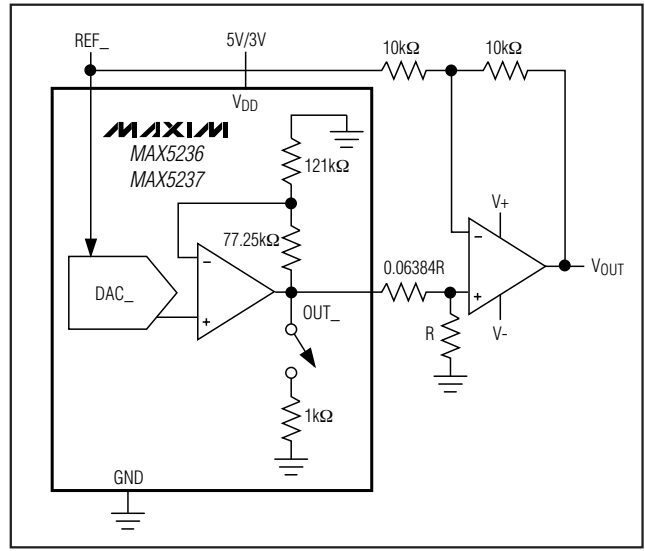


図8. バイポーラ出力回路

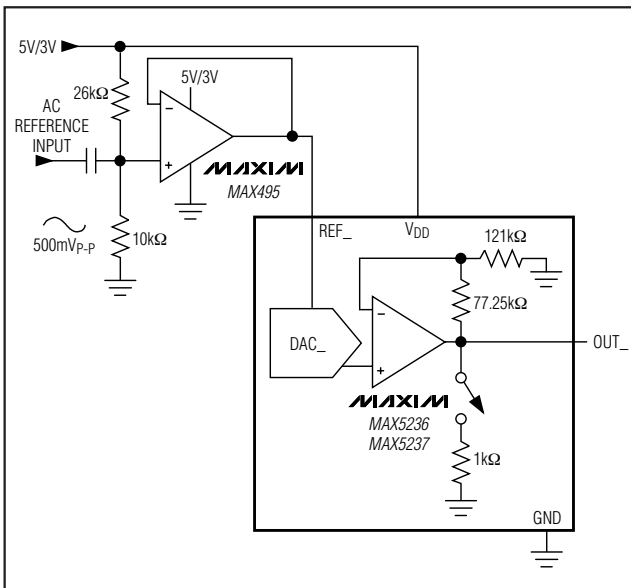


図9. 外部リファレンス、AC成分付

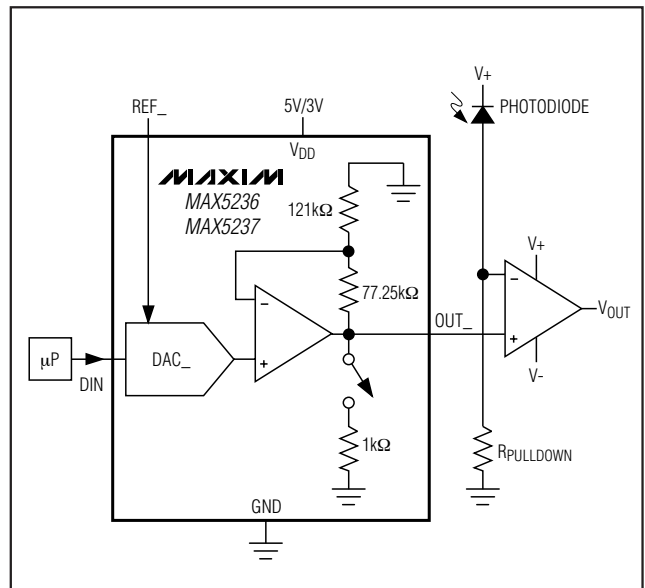


図10. デジタルキャリブレーション

デジタルキャリブレーション及び スレッシュホールドの選択

図10はデジタルキャリブレーションアプリケーションにおけるMAX5236/MAX5237を示しています。フォトダイオードに明るい光値を適用(オン)すると、DACはデジタル的にコンパレータがトリップするまでランプされます。マイクロプロセッサ(μP)はこの「ハイ」キャリブレーション値を保存します。暗電流キャリブレーションは暗い光(オフ)にしてプロセスを繰返して下さい。μPはここで2つのキャリブレーション値の中間点で出力電圧を設定するようにDACをプログラムします。アプリケー

ションにはタコメータ、モーションセンサ、自動読み取り装置、及び液体透明度分析が含まれます。

利得及びオフセットのデジタル制御

2つのDACはトランスデューサの直線化、又はアナログ圧縮/拡張アプリケーションのような曲線近似非直線性関数のオフセット及び利得を制御するために使用することができます。入力信号は利得調整DACのリファレンスとして使用されます。この出力はオフセット調整DACからの出力と加算されます。各DAC出力の相関重みはR1、R2、R3、及びR4によって調整されます(図11)。

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

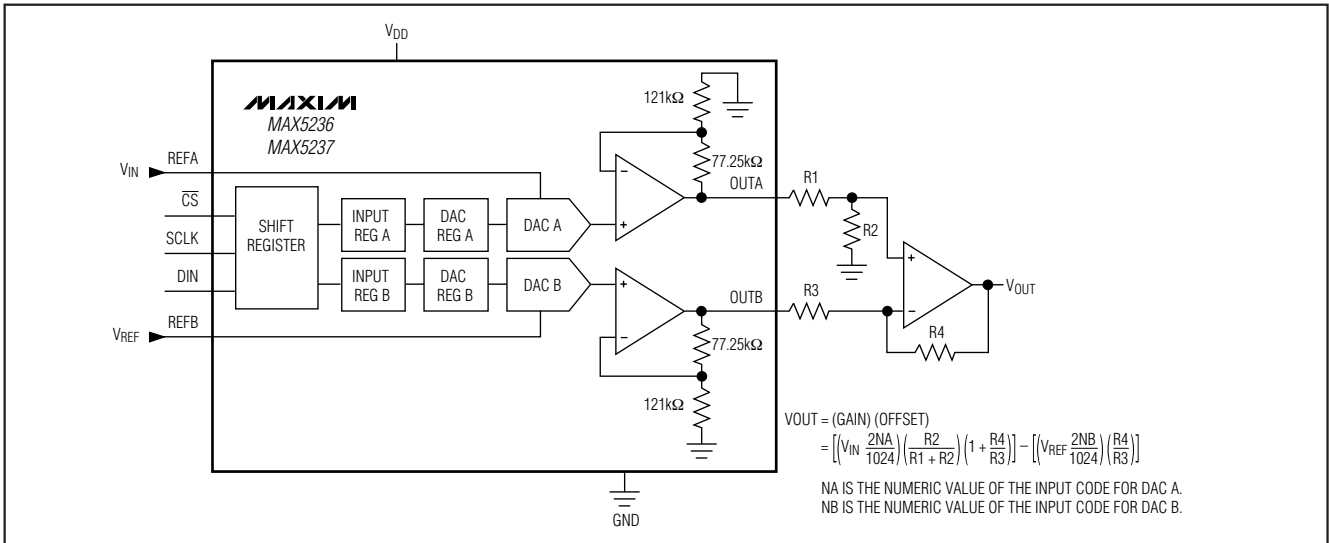


図11. 利得及びオフセットのデジタル制御

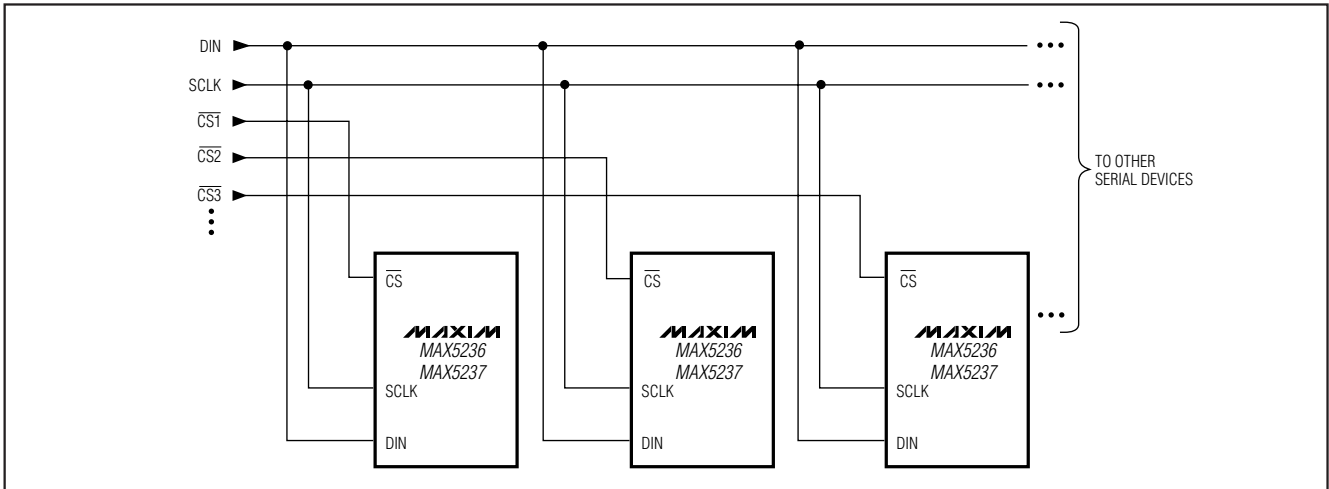


図12. 複数のMAX5236/MAX5237が共通DINラインを共有

共通DINラインの共有

いくつかのMAX5236/MAX5237は1つの共通DIN信号ラインを共有することができます(図12)。この構成において、データバスは全てのデバイスに共通です。データはデジチェーンを介してシフトされません。SCLK及びDINラインは全てのデバイスによって共有されていますが、各ICは独自の専用CSラインが必要です。

電源の考慮

電源投入時、入力及びDACレジスタはクリアになります(ゼロコードに設定)。0.1µFのコンデンサと並列に4.7µFのコンデンサを使用して電源をGNDにバイパスして下さい。リード線のインダクタンスを低減するためにリード線の長さを最短にします。

グラウンド及びレイアウトの考慮

GNDのデジタル及びAC遷移信号は出力でノイズを発生する可能性があります。GNDをできる限り品質の高いグラウンドに接続します。低インダクタンスグラウンドプレーンの多層基板、又は全てのグラウンドリターン経路をMAX5236/MAX5237のGNDにスター接続するなどの適正なグラウンド技法を使用します。ACクロス結合及びクロストークを低減するためにチャンネル間のトレースを慎重にレイアウトします。ワイヤ巻きのボード及びソケットは奨めません。ノイズが問題になる場合は、シールドが必要となる場合もあります。

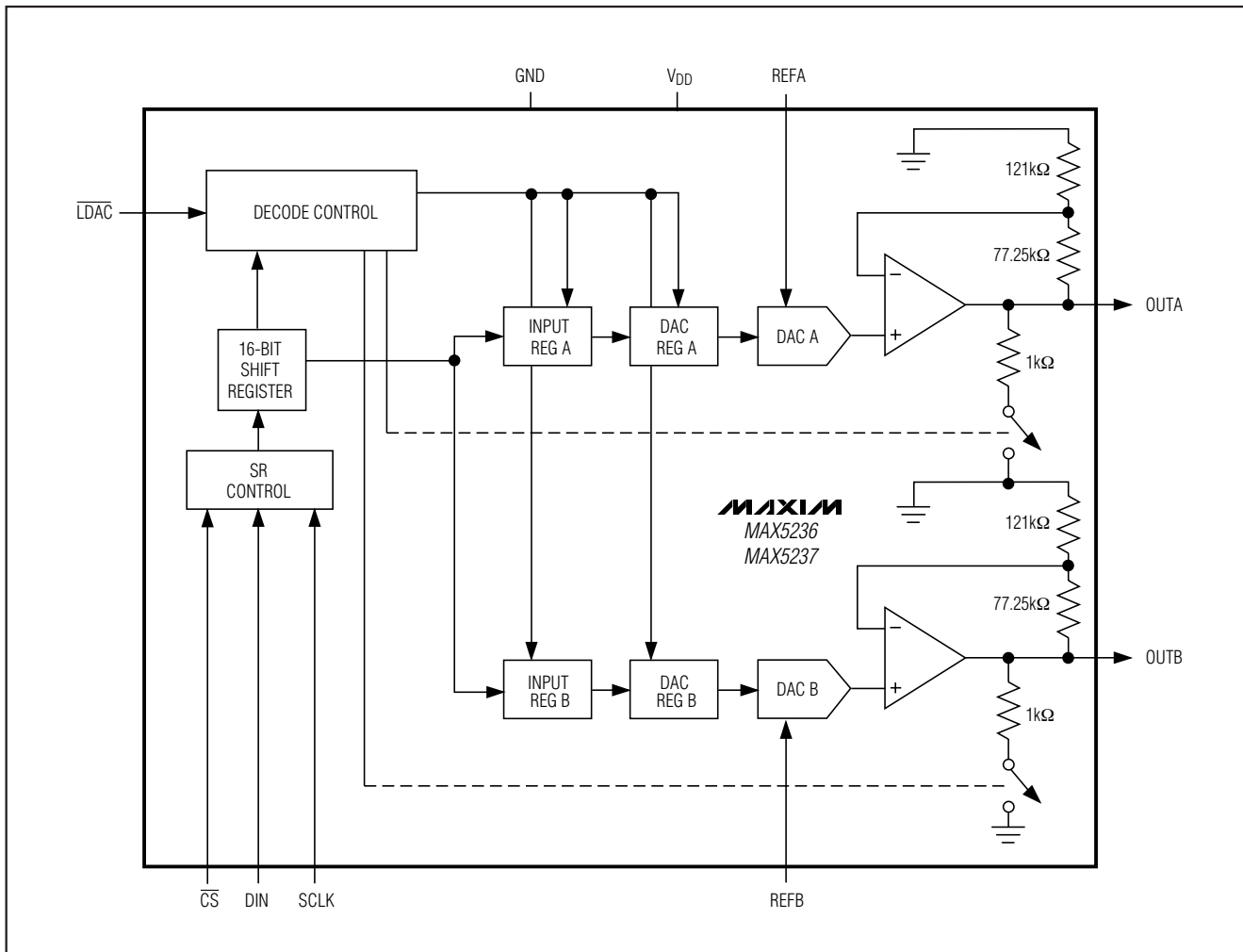
チップ情報

TRANSISTOR COUNT: 4184
PROCESS: BiCMOS

単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

ファンクションダイアグラム

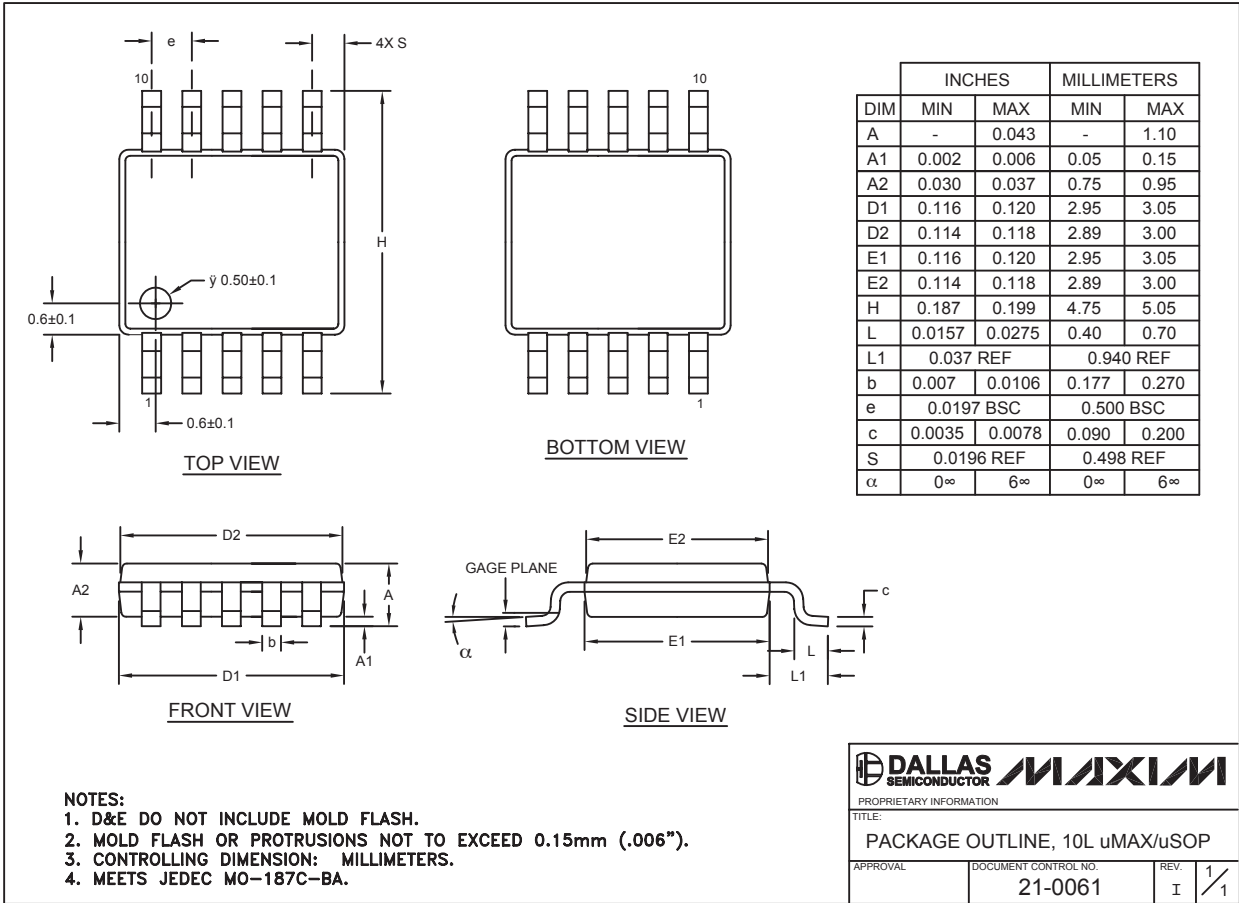


単一電源3V/5V、電圧出力、デュアル 高精度10ビットDAC

MAX5236/MAX5237

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 19

© 2002 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products.