

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

概要

MAX5223は、小型8ピンSOT23パッケージに2つの8ビット、バッファ付電圧出力デジタルアナログコンバータ(DAC A及びDAC B)を含んでいます。いずれのDAC出力も、グランド及び V_{DD} の100mV以内まで、1mAの電流のソース/シンクが可能です。MAX5223は+2.7V~+5.5V単一電源で動作します。

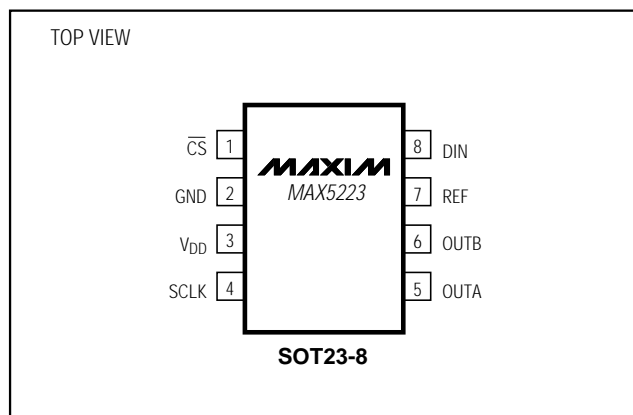
本デバイスが使用している3線シリアルインタフェースは25MHzまでのクロックレートで動作し、SPI™、QSPI™及びMICROWIRE™インタフェース規格とコンパチブルです。シリアル入力シフトレジスタは16ビット長で、DAC入力データの8ビットとDAC選択及びシャットダウン制御用の8ビットから成っています。DACレジスタは、CSの正エッジにおいて互いに独立にあるいは平行してロードすることができます。

MAX5223は超低消費電力で超小型8ピンSOT23パッケージであるため、ポータブル及びバッテリー駆動アプリケーションに最適です。消費電流は100 μ Aと低く、シャットダウンモードにおいては1 μ A以下になります。シャットダウン中はリファレンス入力をREFピンから切断することにより、システムの全消費電力をさらに低減します。

アプリケーション

- デジタル利得及びオフセット調節
- 設定可能な電流ソース
- 設定可能な電圧ソース
- パワーアンプのバイアス制御
- VCO同調

ピン配置



SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

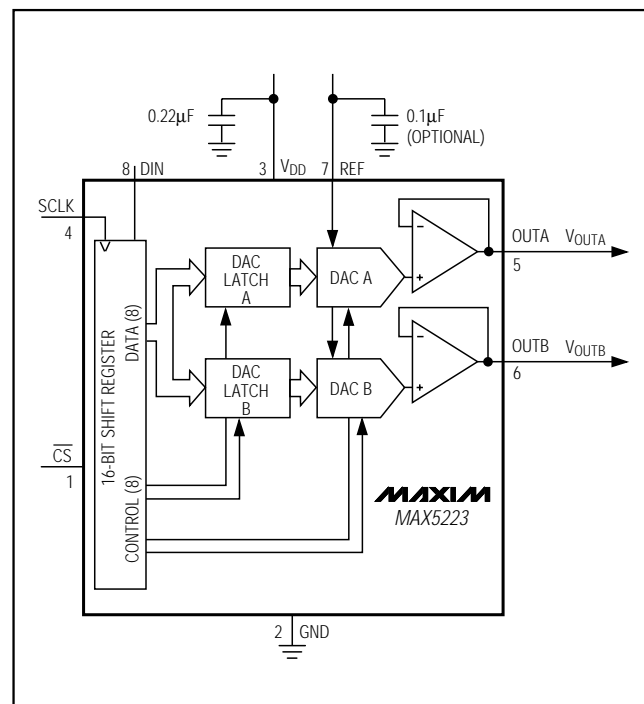
特長

- ◆ パッケージ：超小型8ピンSOT23(3mm x 3mm)
- ◆ 低消費電力
動作電流：100 μ A
シャットダウン電流：<1 μ A
- ◆ 単一電源動作：+2.7V~+5.5V
- ◆ デュアルバッファ付電圧出力
- ◆ 設定可能なシャットダウンモード
- ◆ 25MHz、3線シリアルインタフェース
- ◆ SPI、QSPI及びMICROWIREコンパチブル

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX5223EKA-T	-40°C to +85°C	8 SOT23

ファンクションダイアグラム



低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V	Operating Temperature Range	-40°C to +85°C
All Other Pins to GND (Note 1)	-0.3V to (V _{DD} + 0.3V)	Junction Temperature	+150°C
Continuous Power Dissipation (T _A = +70°C) 8-Pin SOT23 (derate 8.7mW/°C above +70°C)	696mW	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +5.5V, REF = V_{DD}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		8			Bits
Integral Nonlinearity	INL	I _{LOAD} = 250μA (Note 2)		±0.3	±1	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic, I _{LOAD} = 250μA (Note 2)		±0.2	±1	LSB
Total Unadjusted Error	TUE			±1		LSB
Zero-Code Offset	V _{ZS}			10		mV
Zero-Code Temperature Coefficient	TC _{VZS}			100		μV/°C
Power Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V, V _{REF} = 4.096V, I _{LOAD} = 250μA		1		mV/V
		2.7V ≤ V _{DD} ≤ 3.6V, V _{REF} = 2.4V, I _{LOAD} = 250μA		1		
REFERENCE INPUT						
Reference Input Voltage Range			GND		V _{DD}	V
Reference Input Capacitance				25		pF
Reference Input Resistance	R _{REF}	(Note 3)	8	16		kΩ
Reference Input Resistance (Shutdown Mode)				50		MΩ
DAC OUTPUTS						
Output Voltage Range		I _{LOAD} = 0	0		REF	V
Capacitive Load at OUT ₋					100	pF
Output Resistance				500		Ω
DIGITAL INPUTS						
Input High Voltage	V _{IH}		0.7 x V _{DD}			V
Input Low Voltage	V _{IL}				0.3 x V _{DD}	V
Input Current	I _{IN}	V _{IN} = 0 or V _{DD}		0.1	±10	μA
Input Capacitance	C _{IN}	(Note 4)			10	pF

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.5V$, $REF = V_{DD}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR	$C_L = 100pF$		0.15		V/ μs
Voltage Output Settling Time		To $\pm 1/2$ LSB, $C_L = 100pF$		50		μs
Digital Feedthrough and Crosstalk		All zeros to all ones		0.25		nV-s
POWER SUPPLY						
Supply Voltage Range	V_{DD}		2.7		5.5	V
Supply Current	I_{DD}	All inputs = 0	$V_{DD} = +5.5V$	150	275	μA
			$V_{DD} = +3.6V$	100	220	
Shutdown Supply Current		$V_{DD} = +5.5V$		0.6		μA

TIMING CHARACTERISTICS

(Figure 3, $V_{DD} = +2.7V$ to $+5.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL INTERFACE TIMING						
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		50			ns
SCLK Rise to \overline{CS} Rise Setup Time	t_{CSH}		50			ns
DIN to SCLK Rise Setup Time	t_{DS}		20			ns
DIN to SCLK Rise Hold Time	t_{DH}		20			ns
SCLK Pulse Width High	t_{CH}		20			ns
SCLK Pulse Width Low	t_{CL}		20			ns
\overline{CS} Pulse Width High	t_{CSPWH}		50			ns

Note 1: The outputs may be shorted to V_{DD} or GND if the package power dissipation is not exceeded. Typical short-circuit current to GND is 70mA.

Note 2: Reduced digital code range (code 24 through code 232) is due to swing limitations of the output amplifiers. See *Typical Operating Characteristics*.

Note 3: Reference input resistance is code-dependent. The lowest input resistance occurs at code 55hex. See the *Reference Input* section.

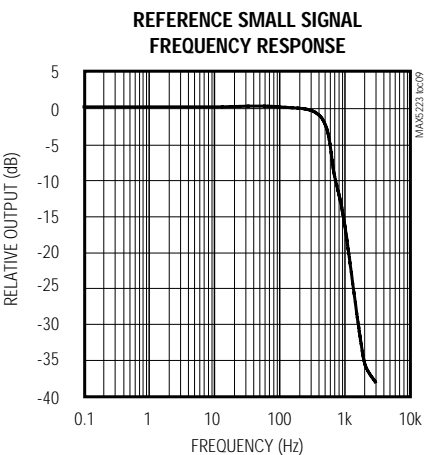
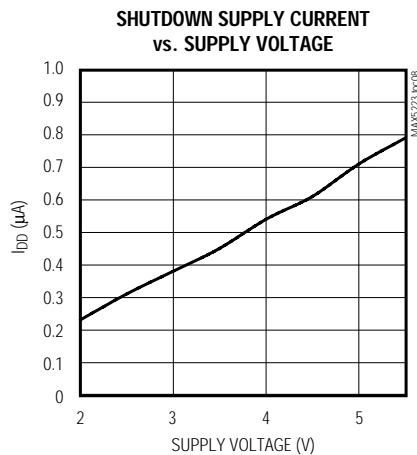
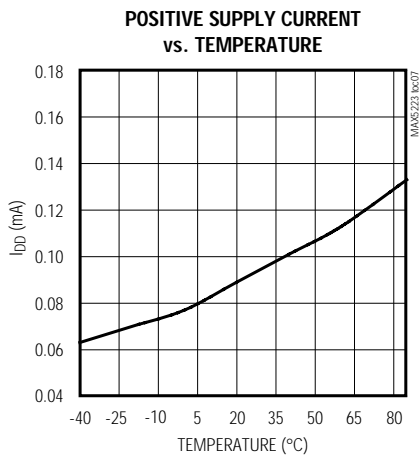
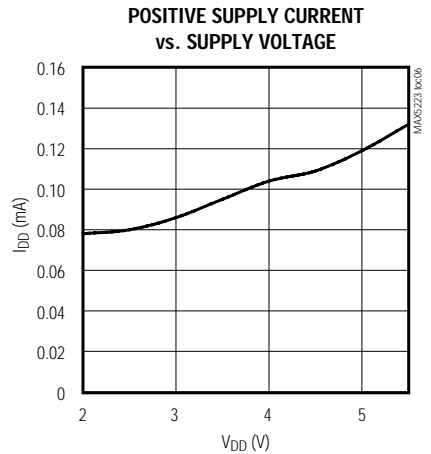
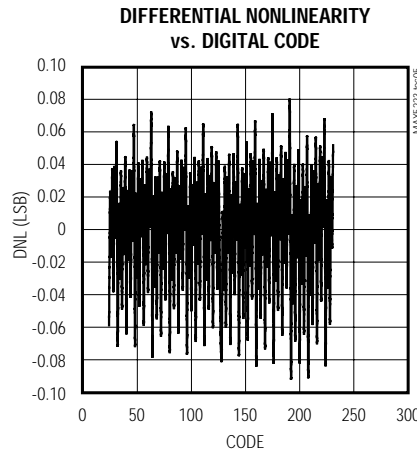
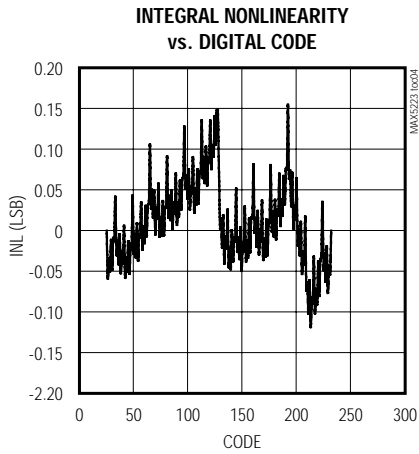
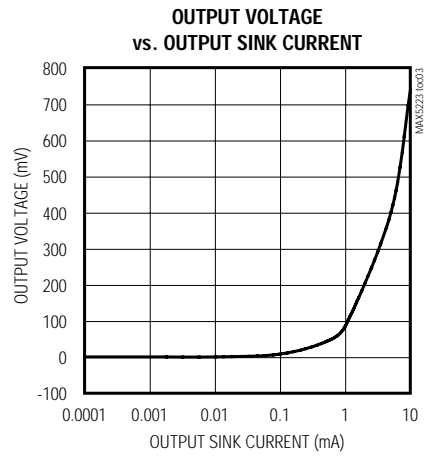
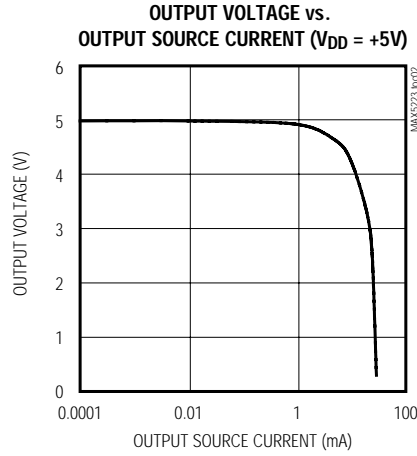
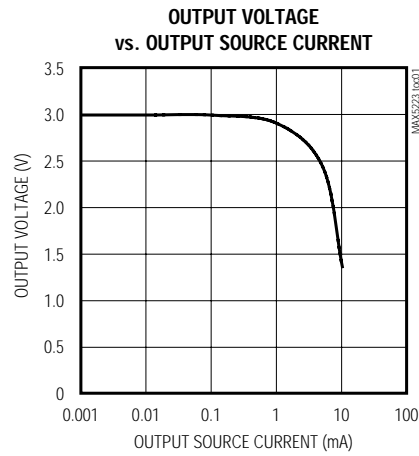
Note 4: Guaranteed by design. Not production tested.

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

標準動作特性

($V_{DD} = +3V$, $T_A = +25^\circ C$, unless otherwise noted.)



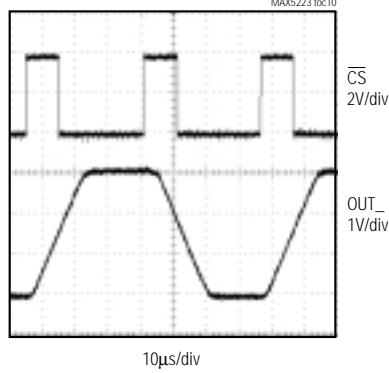
低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

標準動作特性(続き)

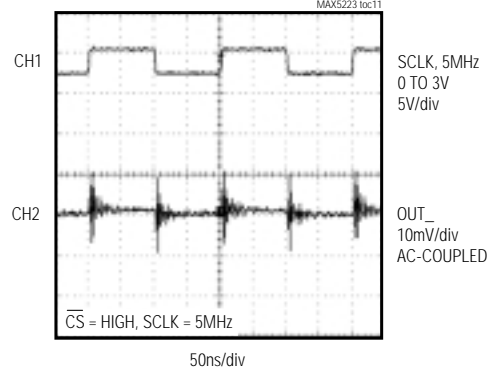
($V_{DD} = +3V$, $T_A = +25^\circ C$, unless otherwise noted.)

LARGE-SIGNAL OUTPUT STEP RESPONSE

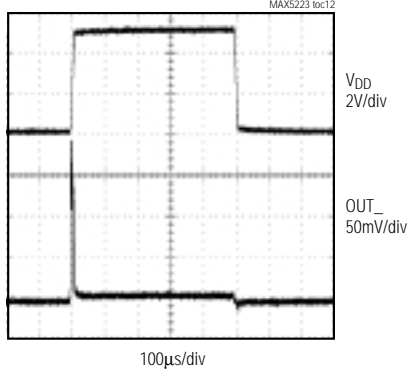


$V_{REF} = V_{DD} = +3V$
 $R_L = 10k\Omega$, $C_L = 100pF$

CLOCK FEEDTHROUGH

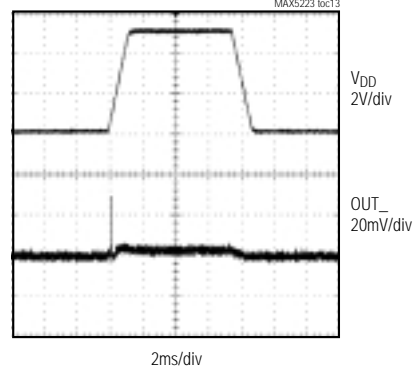


POWER-UP OUTPUT GLITCH



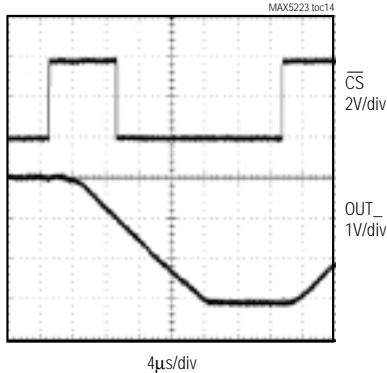
$V_{DD} = 0$ TO 5V
RISE TIME = FALL TIME = 10 μ s

POWER-UP OUTPUT GLITCH



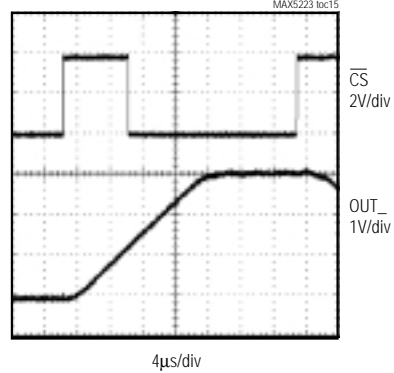
$V_{DD} = 0$ TO 5V
RISE TIME = FALL TIME = 1ms

NEGATIVE SETTLING TIME



$V_{DD} = REF = +3V$
 $R_L = 10k\Omega$, $C_L = 100pF$
ALL DATA BITS OFF TO ALL DATA BITS ON

POSITIVE SETTLING TIME



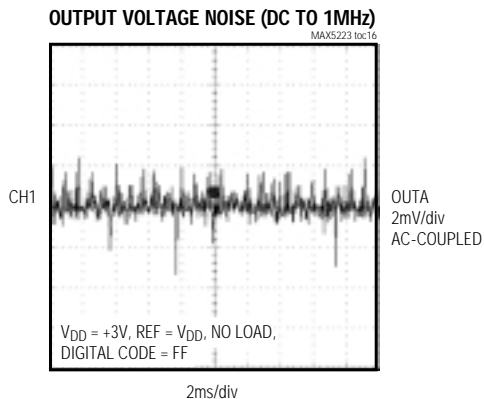
$V_{DD} = REF = +3V$
 $R_L = 10k\Omega$, $C_L = 100pF$
ALL DATA BITS OFF TO ALL DATA BITS ON

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

標準動作特性(続き)

($V_{DD} = +3V$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	\overline{CS}	チップセレクト。アクティブロー。データの16ビットシフトレジスタへの同期入力をイネーブルします。プログラミングコマンドは \overline{CS} の立上がりエッジで実行されます。
2	GND	グランド
3	V_{DD}	正電源(+2.7V ~ +5.5V)。0.22 μ FでGNDにバイパスして下さい。
4	SCLK	シリアルクロック入力
5	OUTA	DAC A出力電圧(バッファ付)
6	OUTB	DAC B出力電圧(バッファ付)
7	REF	DAC A及びDAC Bのリファレンス入力(オプションとして0.1 μ FでGNDにバイパスできます)。
8	DIN	16ビットシフトレジスタのシリアルデータ入力。データはSCLKの立上がりエッジで同期入力されます。

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

詳細

アナログ部

MAX5223は2つの8ビット電圧出力DACを備えています。これらのDACは、「反転 $R-2R$ ラダーネットワーク」です。即ち、8ビットデジタル入力を相当するアナログ出力電圧(印加されているリファレンス電圧に比例)に変換する相補的スイッチを使用しています。

MAX5223はDAC AとDAC Bによって共有される1つのリファレンス入力を持っています。本デバイスの両方のDAC及び入力ロジックはそれぞれ出力バッファアンプを備えているため、マイクロプロセッサ(μP)及びCMOSインタフェースがシンプルになっています。電源範囲は $+5.5V \sim +2.7V$ です。

リファレンス入力及びDAC出力範囲

REFの電圧がDACのフルスケール出力を設定します。REF入力の入力インピーダンスはコードに依存します。入力コードが01010101(55 hex)の時に最小値の約8k になり、入力コードがゼロの時50M (typ)になります。

シャットダウンモードにおいては、DACレジスタに保存された値は変化しませんが、選択されたDAC出力はゼロに設定されます。これにより、リファレンスから負荷が除去されて電力が節約されます。MAX5223のシャットダウンモードを解除すると、DAC出力電圧が回復します。REFにおける入力抵抗はコードに依存するため、精度仕様を満たし、クロストークを避けるために、DACのリファレンスソースの出力インピーダンスは5 Ω 以下にしてください。REFピンにおける入力容量もコードに依存し、通常は25pF以下です。

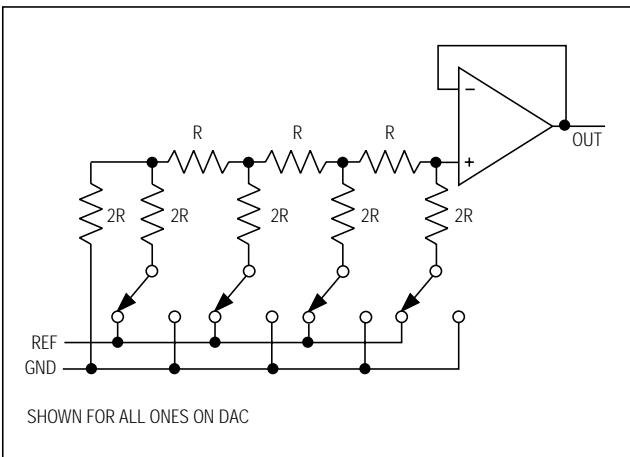


図1. DACの簡略回路図

レイルトゥレイルは日本モトローラの登録商標です。

REFのリファレンス電圧はGND $\sim V_{DD}$ の間が可能です。詳細については「出力バッファアンプ」を参照して下さい。図1にDACの簡略回路図を示します。

出力バッファアンプ

DAC A及びDAC B電圧出力は内部でバッファされています。バッファアンプはレイルトゥレイル[®](GND $\sim V_{DD}$)の出力電圧範囲を持っています。

いずれのDAC出力アンプも1mAの電流をソース/シンクすることができます。アンプは100pF以下の容量性負荷に対してユニティゲイン安定です。スルーレートは0.15V/ μs (typ)です。

シャットダウンモード

DAC A及びDAC Bの出力は、シャットダウンモードに設定されると、直列5k 抵抗で受動的にGNDに引付けられます。シャットダウンモードでは、REF入力はハイ入力(50M typ)となってシステムリファレンスの消費電流を節約するため、システムリファレンスをパワーダウンする必要がありません。

シャットダウンモードを解除すると、DAC出力はレジスタに保存された値に戻ります。この回復時間はDACのセトリング時間と同程度です。

シリアルインタフェース

アクティブローのチップセレクト(\overline{CS})により、シフトレジスタはシリアルデータ入力からのデータを受取ることができるようになります。データはシリアルクロック信号(SCLK)の立上がりエッジごとにシフトレジスタに同期入力されます。クロック周波数は最大25MHzまで可能です。

データは最上位ビット(MSB)を先頭にして送られ、単一の16ビットワードで送信することができます。 \overline{CS} がアクティブ(ロー)に保たれていると、書込みサイクルをセグメント化できるため、例えば2つの8ビット幅転送が可能になります。16ビット全てをシフトレジスタに同期入力した後、 \overline{CS} の立上がりエッジでDAC出力とシャットダウン状態が更新されます。これらのDACはシングルバッファ構造であるため、両者を異なるデジタル値に同時に更新することはできません。

シリアル入力データフォーマット及び制御コード

表1にシリアル入力データフォーマットを、表2にプログラミングコマンドを示します。16ビット入力ワードは8ビットの制御バイトと8ビットのデータバイトから成っています。8ビット制御バイトは内部でデコードされません。各制御ビットは1つの機能を実行します。

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

データはUB1(未使用ビット)を先頭にして同期入力され、その後に残りの制御ビットとデータバイトが続きます。データバイトの最下位ビット(LSB)(D0)がシフトレジスタに同期入力される最後のビットとなります(図2)。

表3に16ビット入力ワードの例を示します。これは以下の機能を持っています。

- 80 hex(10進法の128)をDACレジスタA及びBにロード
- DAC AとDAC Bはアクティブ

表4にコードの例及び対応する出力の計算方法を示します。

表1. 入力シフトレジスタ

DATA BITS	D0*	DAC Data Bit 0 (LSB)
	D1	DAC Data Bit 1
	D2	DAC Data Bit 2
	D3	DAC Data Bit 3
	D4	DAC Data Bit 4
	D5	DAC Data Bit 5
	D6	DAC Data Bit 6
	D7	DAC Data Bit 7 (MSB)
CONTROL BITS	LA	Load Reg DAC A, Active-High
	LB	Load Reg DAC B, Active-High
	UB4	Uncommitted Bit 4
	SA	Shutdown, Active-High
	SB	Shutdown, Active-High
	UB3	Uncommitted Bit 3
	UB2	Uncommitted Bit 2
	UB1**	Uncommitted Bit 1

*Clocked in last

**Clocked in first

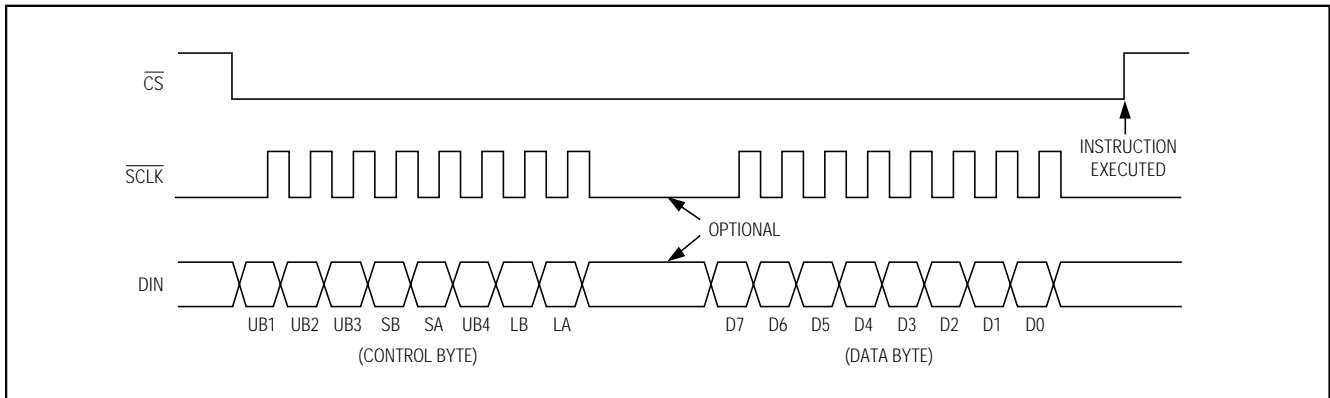


図2. 3線シリアルインタフェースのタイミング図

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

表2. シリアルインタフェースのプログラミングコマンド

CONTROL								DATA								FUNCTION
UB1	UB2	UB3	SB	SA	UB4	LB	LA	D7 MSB	D6	D5	D4	D3	D2	D1	D0 LSB	
X	X	1	*	*	0	0	0	X	X	X	X	X	X	X	X	No Operation to DAC Registers
X	X	1	*	*	0	0	0									Unassigned Command
X	X	1	*	*	0	1	0	8-Bit DAC Data								Load Register to DAC B
X	X	1	*	*	0	0	1	8-Bit DAC Data								Load Register to DAC A
X	X	1	*	*	0	1	1	8-Bit DAC Data								Load Both DAC Registers
X	X	1	0	0	0	*	*	X	X	X	X	X	X	X	X	All DACs Active
X	X	1	0	0	0	*	*	X	X	X	X	X	X	X	X	Unassigned Command
X	X	1	1	0	0	*	*	X	X	X	X	X	X	X	X	Shutdown
X	X	1	0	1	0	*	*	X	X	X	X	X	X	X	X	Shutdown
X	X	1	1	1	0	*	*	X	X	X	X	X	X	X	X	Shutdown

X = Don't care.

* = Not shown, for the sake of clarity. The functions of loading and shutting down the DACs and programming the logic can be combined in a single command.

表3. 16ビット入力ワードの例

LOADED IN FIRST								LOADED IN LAST							
UB1	UB2	UB3	SB	SA	UB4	LB	LA	D7	D6	D5	D4	D3	D2	D1	D0
X	X	1	0	0	0	1	1	1	0	0	0	0	0	0	0

デジタル入力

デジタル入力はCMOSロジックとコンパチブルです。ロジック入力が $0.3V \times V_{DD}$ と $0.7 \times V_{DD}$ の遷移ゾーンを超えてトグルされると、消費電流は僅かに増加します。

マイクロプロセッサとのインタフェース

MAX5223のシリアルインタフェースはMICROWIRE、SPI及びQSPIとコンパチブルです。SPIの場合は、CPOLとCPHAビットをクリアして下さい(CPOL = 0、CPHA = 0)。CPOL = 0にすると、インアクティブクロック状態が

ゼロに設定され、CPHA = 0にすると、SCLKの立下がりエッジでデータが変化します。この設定により、SPIはフルクロック速度で動作することができます。μPのシリアルポートを使用できない場合は、パラレルポートの3ビットを用いて、ビット操作によりシリアルポートをエミュレートすることができます。シリアルクロックを必要な時にのみ動作させることにより、電圧出力におけるデジタルフィードスルーを最小限に抑えて下さい。

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

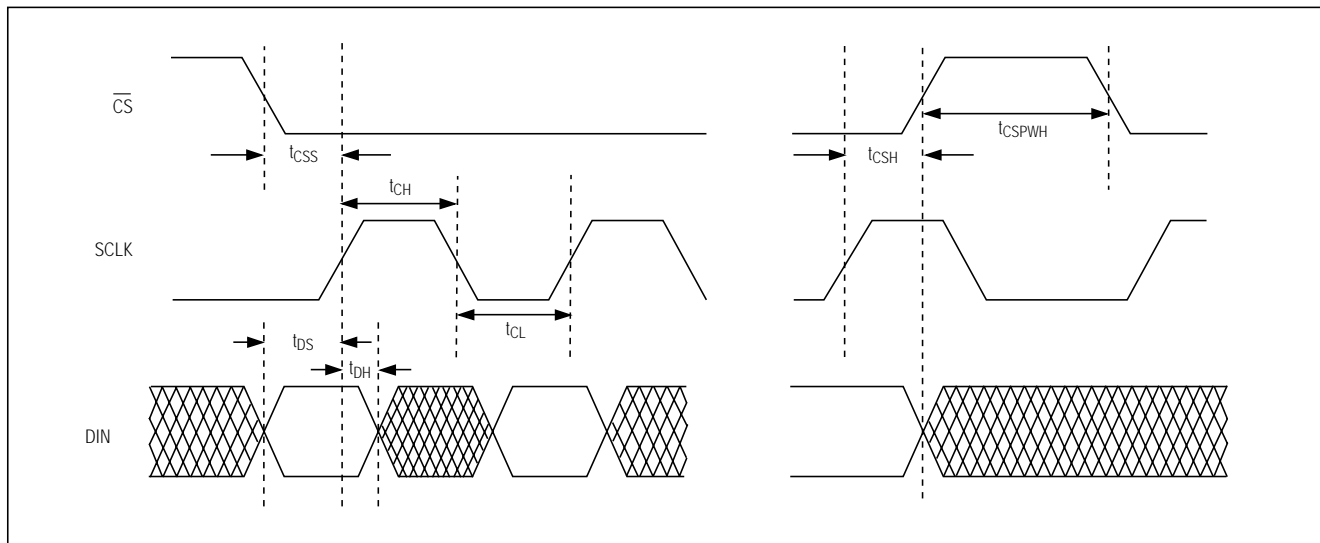


図3. シリアルインタフェースの詳細タイミング図

アプリケーション情報

MAX5223は、 V_{DD} が+2.7V~+5.5Vの範囲の単一電源で動作するため、+3V及び+5Vシステムで通常使用される全ての電源電圧をカバーすることができます。

初期化

内部パワーオンリセット回路は、出力を強制的にゼロスケールにして、全ての外部レジスタをゼロに初期化します。パワーアップ時に初期書き込み動作を行うことにより、出力を目的の電圧に設定して下さい。

電源及びグランド管理

GNDは最も高品質のグランドに接続して下さい。 V_{DD} は0.1 μ F~0.22 μ FコンデンサでGNDにバイパスして下さい。リファレンス入力はバイパスなしで使用することができます。最適のライン/負荷過渡応答及びノイズ性能を得るためには、0.1 μ F~4.7 μ FでリファレンスをGNDにバイパスして下さい。プリント基板を注意深くレイアウトすることにより、DAC出力、リファレンス及びデジタル入力間のクロストークを最小限に抑えることができます。アナログライン同士の間にはグランドトレースを挟んで互いに分離して下さい。高周波デジタルラインをアナログラインと平行に走らせないようにして下さい。

チップ情報

TRANSISTOR COUNT: 1480

PROCESS TECHNOLOGY: BiCMOS

表4. コード表

DAC CONTENTS								ANALOG OUTPUT
D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	1	1	1	1	1	$+REF \times \left(\frac{255}{256}\right)$
1	0	0	0	0	0	0	1	$+REF \times \left(\frac{129}{256}\right)$
1	0	0	0	0	0	0	0	$+REF \times \left(\frac{128}{256}\right) = +\frac{REF}{2}$
0	1	1	1	1	1	1	1	$+REF \times \left(\frac{127}{256}\right)$
0	0	0	0	0	0	0	1	$+REF \times \left(\frac{1}{256}\right)$
0	0	0	0	0	0	0	0	0V

Note:

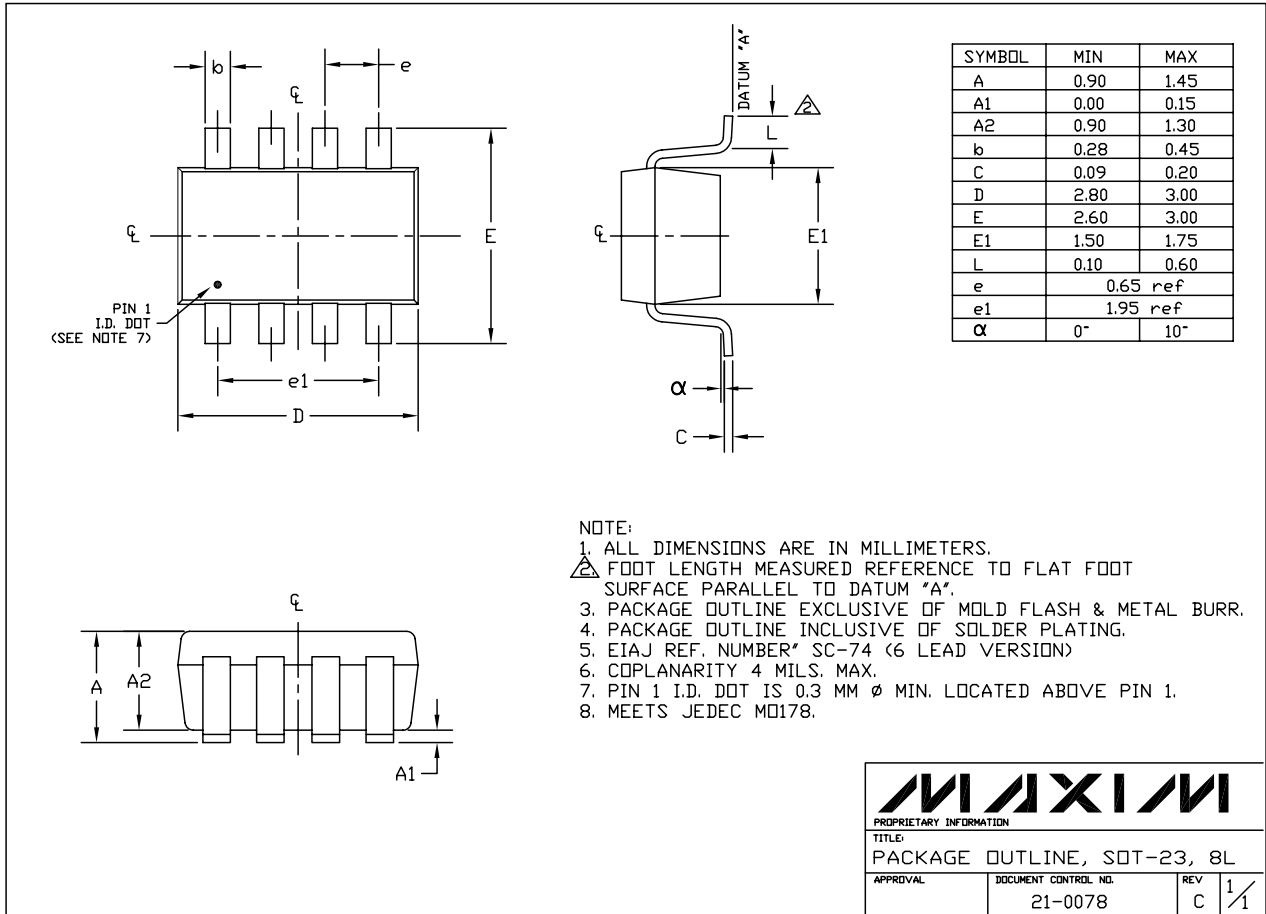
$$1\text{LSB} = REF \times 2^{-8} = REF \times \left(\frac{1}{256}\right)$$

$$\text{ANALOG OUTPUT} = REF \times \left(\frac{D}{256}\right) \text{ where } D = \text{decimal value of digital input}$$

低電力、デュアル8ビット、電圧出力シリアルDAC 8ピンSOT23

MAX5223

パッケージ



SOT23, 8LEADS

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 11