

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

概要

MAX5187は、低歪み及び低電力動作でのアナログ信号再構築を必要とする任意波形発生アプリケーションや信号再構築において高性能を発揮するために設計された、8ビット電流出力デジタルアナログコンバータ(DAC)です。電圧出力のMAX5190は同じ仕様ですが、電圧出力動作用にオンチップ高精度抵抗を備えています。MAX5187/MAX5190は、出力において望ましくないスプリアス信号成分を最小限に抑えるために10pVグリッチ動作設計になっています。内蔵+1.2Vバンドギャップ回路は、良好に安定化された低ノイズリファレンスを提供します。外部リファレンス動作にこのリファレンスをディセーブルすることもできます。

MAX5187/MAX5190は、最小の消費電力で高レベルの信号完全性を提供するように設計されています。いずれのDACも+2.7V~+3.3Vの単一電源で動作します。さらに、これらのDACは3つの動作モード(通常、低電力スタンバイ及び完全シャットダウン)を備えています。完全シャットダウンにおいてはシャットダウン電流が1 μ A(max)となり、可能な最も低い電力消費を実現します。スタンバイモードからフルDAC動作までのウェイクアップ時間が0.5 μ sと短いため、必要な時にだけDACを起動して電力を節約できます。

MAX5187/MAX5190は24ピンQSOPパッケージに収められており、拡張(-40 ~ +85)温度範囲のものが用意されています。高分解能の10ビットバージョンについては、MAX5181/MAX5184のデータシートを参照して下さい。

アプリケーション

信号再構築

デジタル信号処理

任意波形の発生(AWG)

イメージングアプリケーション

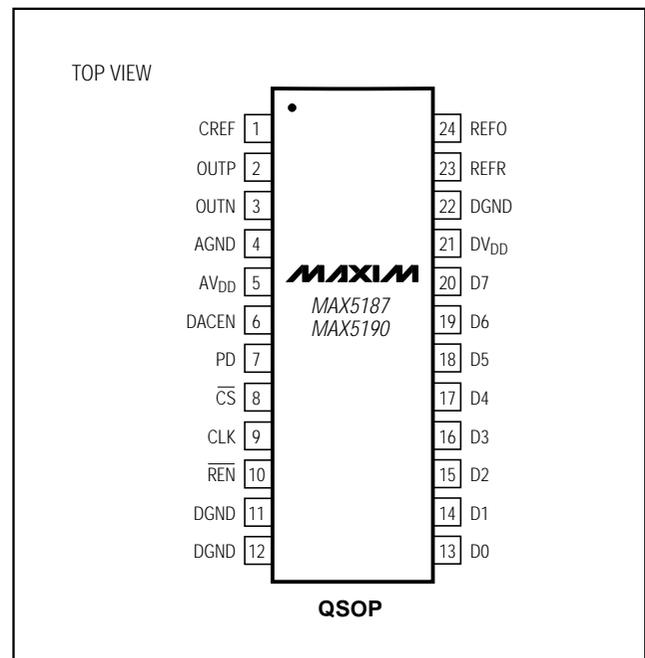
特長

- ◆ 電源：+2.7V~+3.3V単一
- ◆ 広スプリアスフリーダイナミックレンジ：70dB($f_{OUT} = 2.2\text{MHz}$)
- ◆ 完全差動出力
- ◆ 低電流スタンバイ又はフルシャットダウンモード
- ◆ 内部+1.2V低ノイズバンドギャップリファレンス
- ◆ パッケージ：24ピンQSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX5187BEEG	-40°C to +85°C	24 QSOP
MAX5190BEEG	-40°C to +85°C	24 QSOP

ピン配置



8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

ABSOLUTE MAXIMUM RATINGS

AV_{DD}, DV_{DD} to AGND, DGND-0.3V to +6V
 Digital Input to DGND.....-0.3V to +6V
 OUTP, OUTN, CREF to AGND-0.3V to +6V
 V_{REF} to AGND-0.3V to +6V
 AGND to DGND.....-0.3V to +0.3V
 AV_{DD} to DV_{DD}.....±3.3V
 Maximum Current into Any Pin.....50mA

Continuous Power Dissipation (T_A = +70°C)
 24-Pin QSOP (derate 9.50mW/°C above +70°C).....762mW
 Operating Temperature Ranges
 MAX5187BEEG/MAX5190BEEG-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = +3V ±10%, AGND = DGND = 0, f_{CLK} = 40MHz, I_{FS} = 1mA, 400Ω differential output, C_L = 5pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC PERFORMANCE							
Resolution	N			8			Bits
Integral Nonlinearity	INL			-1	±0.25	+1	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic		-1	±0.25	+1	LSB
Zero-Scale Error		MAX5182		-1		+1	LSB
		MAX5191		-4		+4	
Full-Scale Error		(Note 1)		-20	±4	+20	LSB
DYNAMIC PERFORMANCE							
Output Settling Time		To ±0.5LSB error band			25		ns
Glitch Impulse					10		pVs
Spurious-Free Dynamic Range to Nyquist	SFDR	f _{CLK} = 40MHz	f _{OUT} = 550kHz		72		dBc
			f _{OUT} = 2.2MHz	57	70		
Total Harmonic Distortion to Nyquist	THD	f _{CLK} = 40MHz	f _{OUT} = 550kHz		-70		dB
			f _{OUT} = 2.2MHz		-68	-63	
Signal-to-Noise Ratio to Nyquist	SNR	f _{CLK} = 40MHz	f _{OUT} = 550kHz		52		dB
			f _{OUT} = 2.2MHz	46	52		
Clock and Data Feedthrough		All 0s to all 1s			50		nVs
Output Noise					10		pA/√Hz
ANALOG OUTPUT							
Full-Scale Output Voltage	V _{FS}				400		mV
Voltage Compliance of Output				-0.3		0.8	V
Output Leakage Current		DACEN = 0, MAX5187 only		-1		1	μA
Full-Scale Output Current	I _{FS}	MAX5187 only		0.5	1	1.5	mA
DAC External Output Resistor Load	R _L	MAX5187 only			400		Ω

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = +3V \pm 10\%$, $AGND = DGND = 0$, $f_{CLK} = 40MHz$, $I_{FS} = 1mA$, 400Ω differential output, $C_L = 5pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE						
Output Voltage Range	V_{REF}		1.12	1.2	1.28	V
Output Voltage Temperature Drift	TCV_{REF}			50		ppm/ $^\circ C$
Reference Output Drive Capability	I_{REFOUT}			10		μA
Reference Supply Rejection				0.5		mV/V
Current Gain (I_{FS} / I_{REF})				8		mA/mA
POWER REQUIREMENTS						
Analog Power-Supply Voltage	AV_{DD}		2.7		3.3	V
Analog Supply Current	I_{AVDD}	PD = 0, DACEN = 1, digital inputs at 0 or DV_{DD}		1.7	4	mA
Digital Power-Supply Voltage	DV_{DD}		2.7		3.3	V
Digital Supply Current	$IDVDD$	PD = 0, DACEN = 1, digital inputs at 0 or DV_{DD}		4.2	5	mA
Standby Current	$I_{STANDBY}$	PD = 0, DACEN = 0, digital inputs at 0 or DV_{DD}		1	1.5	mA
Shutdown Current	I_{SHDN}	PD = 1, DACEN = X, digital inputs at 0 or DV_{DD} (X = don't care)		0.5	1	μA
LOGIC INPUTS AND OUTPUTS						
Digital Input Voltage High	V_{IH}		2			V
Digital Input Voltage Low	V_{IL}				0.8	V
Digital Input Current	I_{IN}	$V_{IN} = 0$ or DV_{DD}			± 1	μA
Digital Input Capacitance	C_{IN}			10		pF
TIMING CHARACTERISTICS						
DAC DATA to CLK Rise Setup Time	t_{DS}		10			ns
DAC CLK Rise to DATA Hold Time	t_{DH}		0			ns
\overline{CS} Fall to CLK Rise Time				5		ns
\overline{CS} Fall to CLK Fall Time				5		ns
DACEN Rise Time to V_{OUT}				0.5		μs
PD Fall Time to V_{OUT}				50		μs
Clock Period	t_{CLK}		25			ns
Clock High Time	t_{CH}		10			ns
Clock Low Time	t_{CL}		10			ns

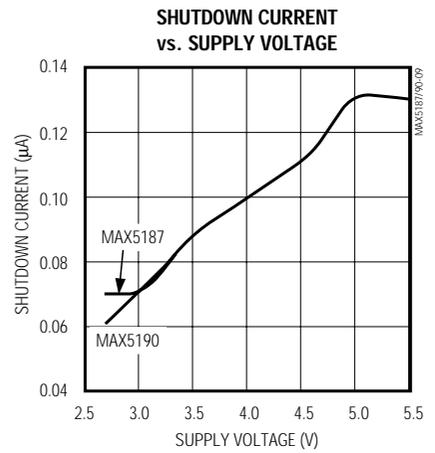
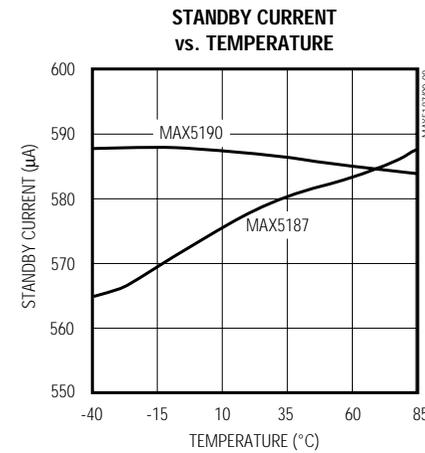
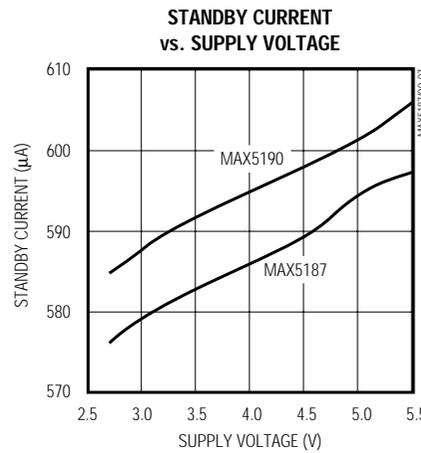
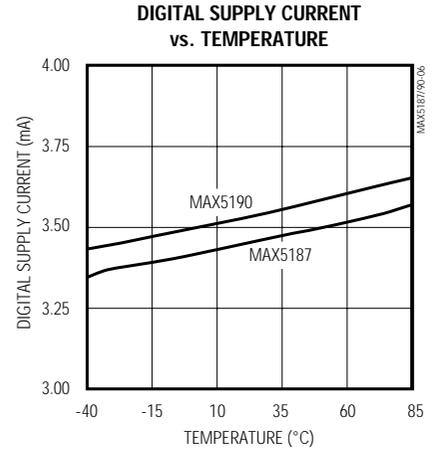
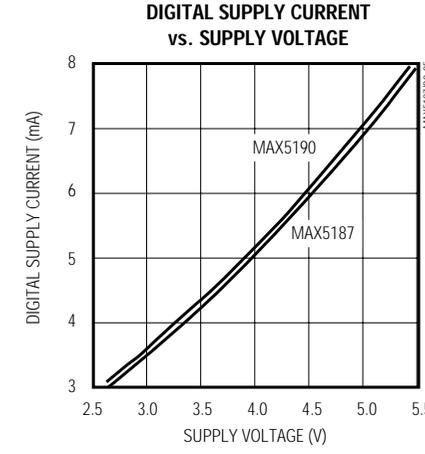
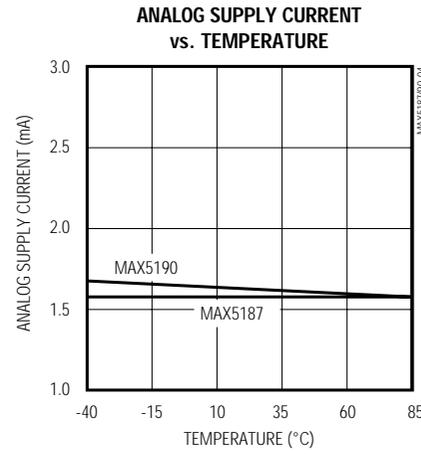
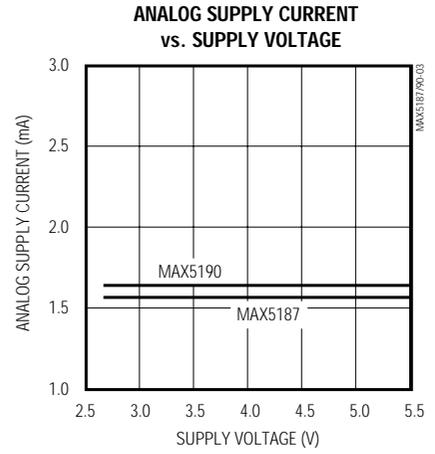
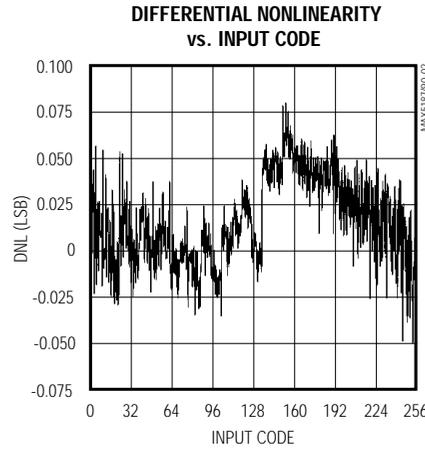
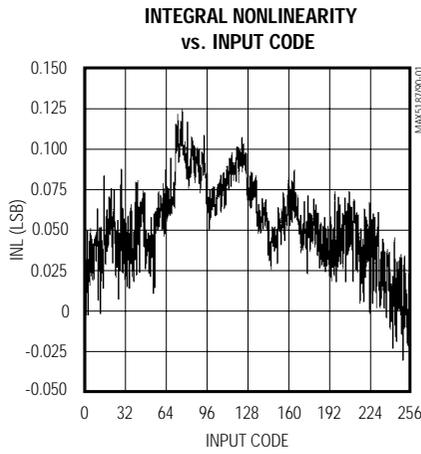
Note 1: Excludes reference and reference resistor (MAX5190) tolerance.

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

標準動作特性

($V_{DD} = DV_{DD} = +3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)

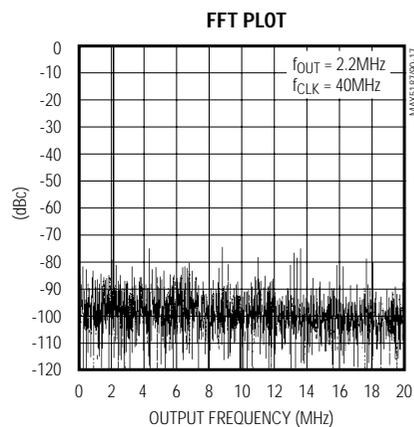
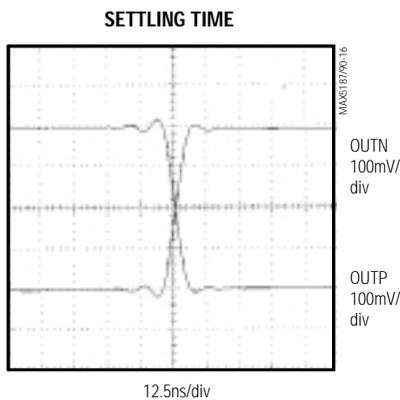
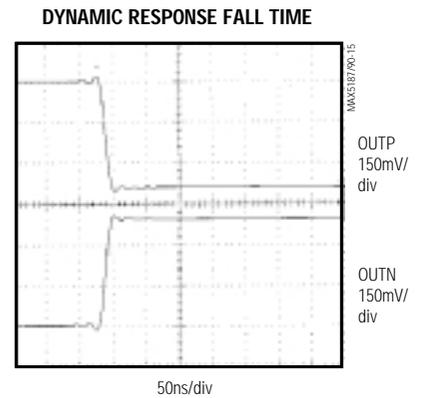
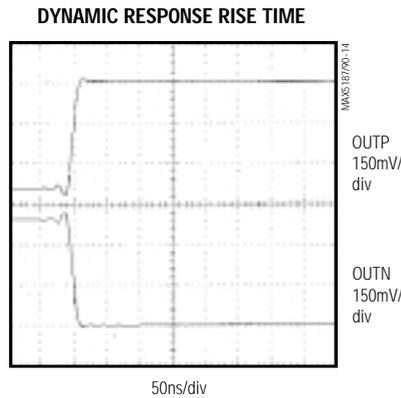
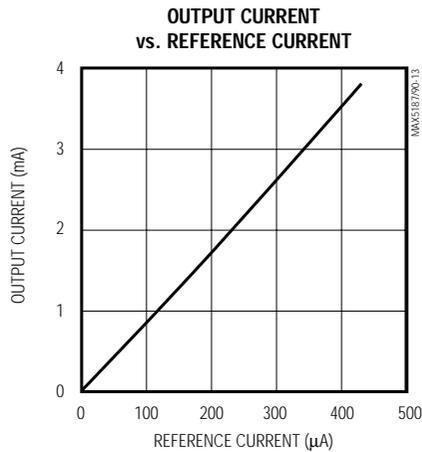
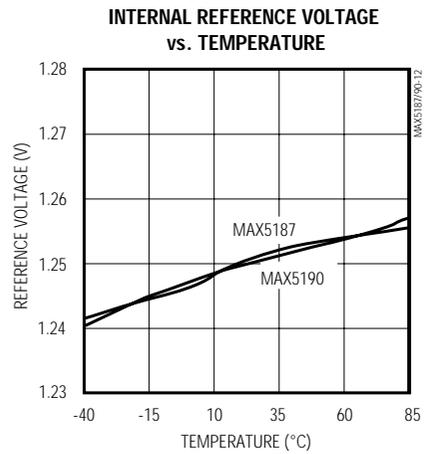
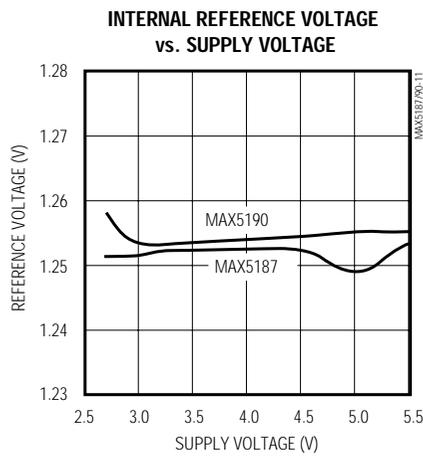
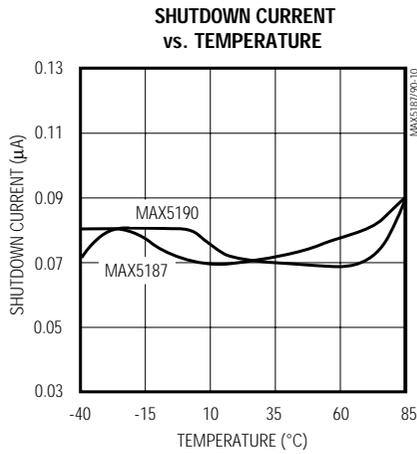


8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

標準動作特性(続き)

($V_{DD} = DV_{DD} = +3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)

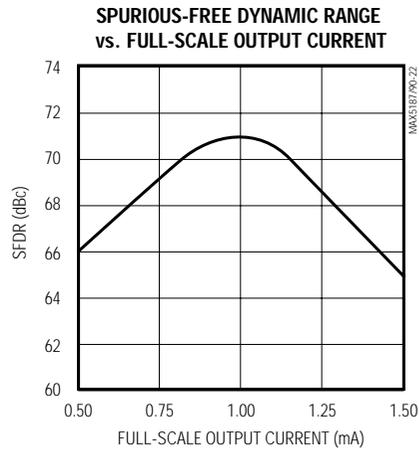
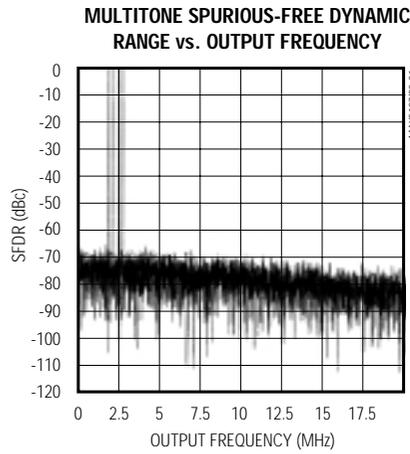
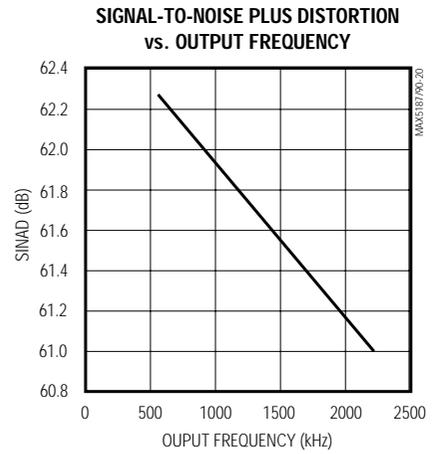
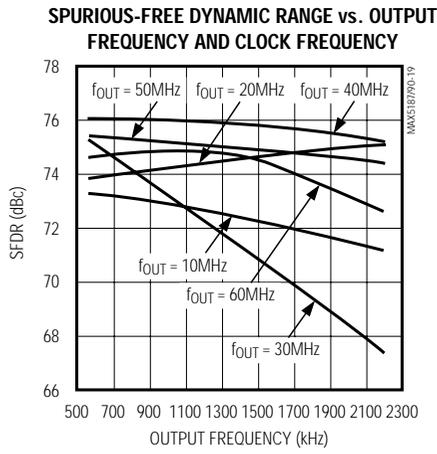
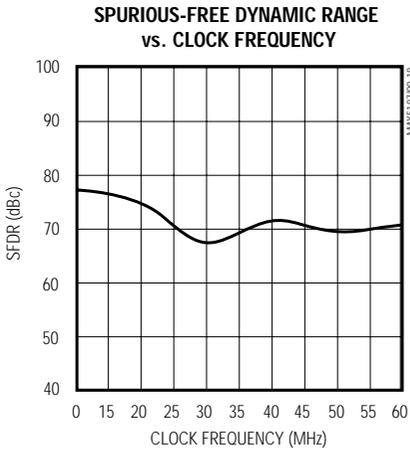


8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

標準動作特性(続き)

($V_{DD} = DV_{DD} = +3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)



8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

端子説明

端子	名称	機能
1	CREF	リファレンスバイアスバイパス
2	OUTP	正アナログ出力。MAX5187の場合は電流出力。MAX5190の場合は電圧出力。
3	OUTN	負アナログ出力。MAX5187の場合は電流出力。MAX5190の場合は電圧出力。
4	AGND	アナロググランド
5	AV _{DD}	アナログ正電源(+2.7V ~ +3.3V)
6	DACEN	DACイネーブル、デジタル入力 0 : DACスタンバイモードに入ります(PD = DGND) 1 : DACがパワーアップします(PD = DGND) X : PD = DV _{DD} の時にシャットダウンモードに入ります(X = 任意)
7	PD	パワーダウンセレクト: 0 : DACスタンバイモードに入るか(DACEN = DGND)、DACがパワーアップします(DACEN = DV _{DD}) 1 : シャットダウンモードに入ります
8	\overline{CS}	アクティブローチップセレクト
9	CLK	クロック入力
10	\overline{REN}	アクティブローリファレンスイネーブル。DGNDに接続するとオンチップ+1.2Vリファレンスが起動します。
11, 12, 22	DGND	デジタルグランド
13	D0	データビットD0(LSB)
14-19	D1-D6	データビットD1 ~ D6
20	D7	データビットD7(MSB)
21	DV _{DD}	デジタル電源(+2.7V ~ +3.3V)
23	REFR	リファレンス入力
24	REFO	リファレンス出力

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

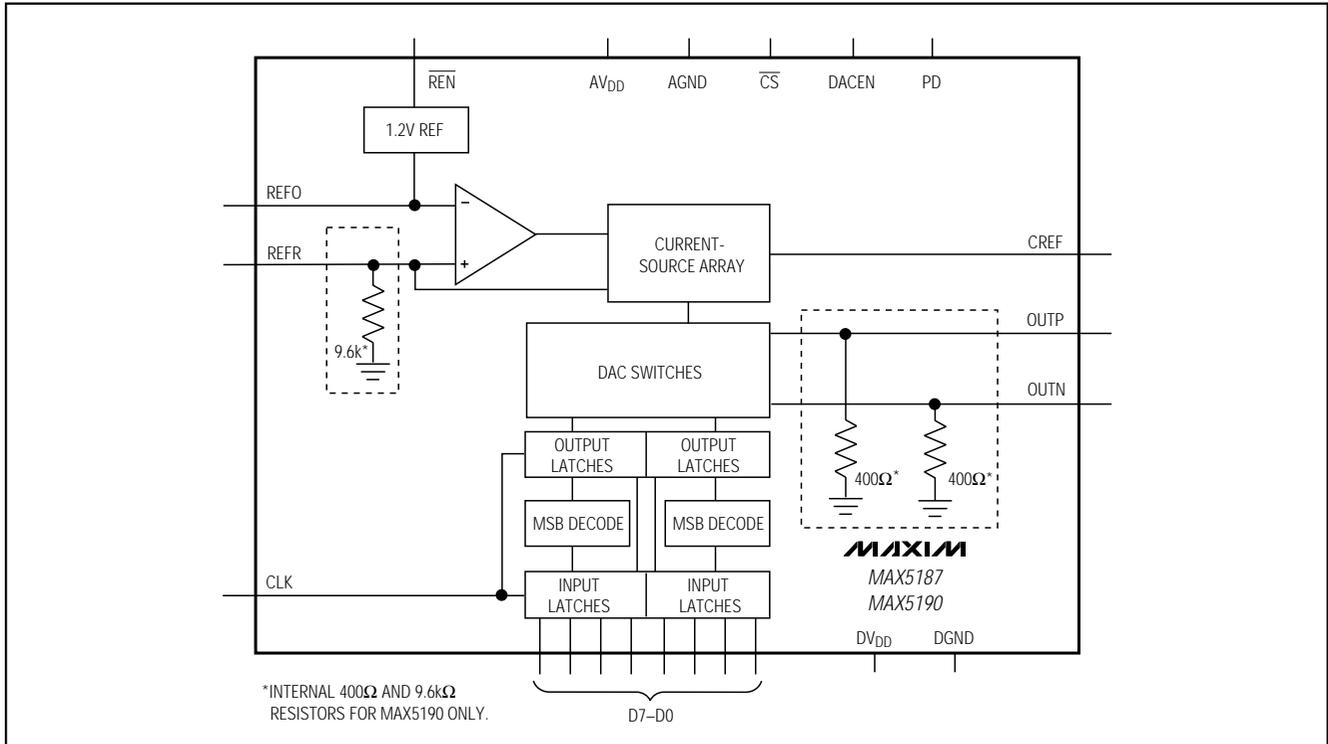


図1. ファンクションダイアグラム

詳細

MAX5187/MAX5190は、40MHzまでのクロック速度で動作可能な8ビットデジタルアナログコンバータ(DAC)です。これらのコンバータの各々は、独立の入力及びDACレジスタとそれに続く電流ソースアレイ(最大1.5mAのフルスケール出力電流能力)からなっています(図1)。内蔵+1.2V電圧リファレンス及び制御アンプがデータコンバータのフルスケール出力電流/電圧を決定します。注意深いリファレンス設計が正確な利得マッチングと優れたドリフト特性を保証します。MAX5190の電圧出力動作においては、マッチングされた400のオンチップ抵抗が電流アレイの電流を電圧に変換します。

内部リファレンス及び制御アンプ

MAX5187/MAX5190は、内蔵50ppm/、+1.2V低ノイズバンドギャブリファレンスを提供しています。このリファレンスは、外部リファレンス電圧によってディセーブル/オーバライドできます。REFOは、外部リファレンス入力又は内蔵リファレンス出力の役割を果たします。 $\overline{\text{REN}}$ がDGNDに接続されていると、内部リファレンス出力が選択され、REFOが+1.2Vの出力を

供給します。出力駆動能力が10 μ Aに制限されているため、負荷が大きい時はREFOを外部アンプでバッファする必要があります。

また、MAX5187/MAX5190は、素子の両方の出力のフルスケール出力電流(I_{FS})を同時に制御するように設計された制御アンプを採用しています。出力電流は次式で計算できます。

$$I_{FS} = 8 \cdot I_{REF}$$

ここで、 I_{REF} はリファレンス出力電流($I_{REF} = V_{REFO}/R_{SET}$)、 I_{FS} はフルスケール出力電流です。 R_{SET} は、MAX5187のアンプの出力を決定するリファレンス抵抗です(図2)。この電流は電流ソースアレイに反映(ミラー)されて、そこでマッチングされた電流セグメント間に平等に分配され、加算されてDACの有効な出力電流読取り値を生成します。

MAX5190は、2つのグランド基準の内部400負荷抵抗を使用することによって、出力電流を出力電圧(V_{OUT})に変換します。MAX5190の内部リファレンス出力電流抵抗($R_{SET} = 9.6k$)は内部+1.2Vリファレンス電圧を使用することによって、 I_{REF} を125 μ Aに、 I_{FS} を1mAに設定します。

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

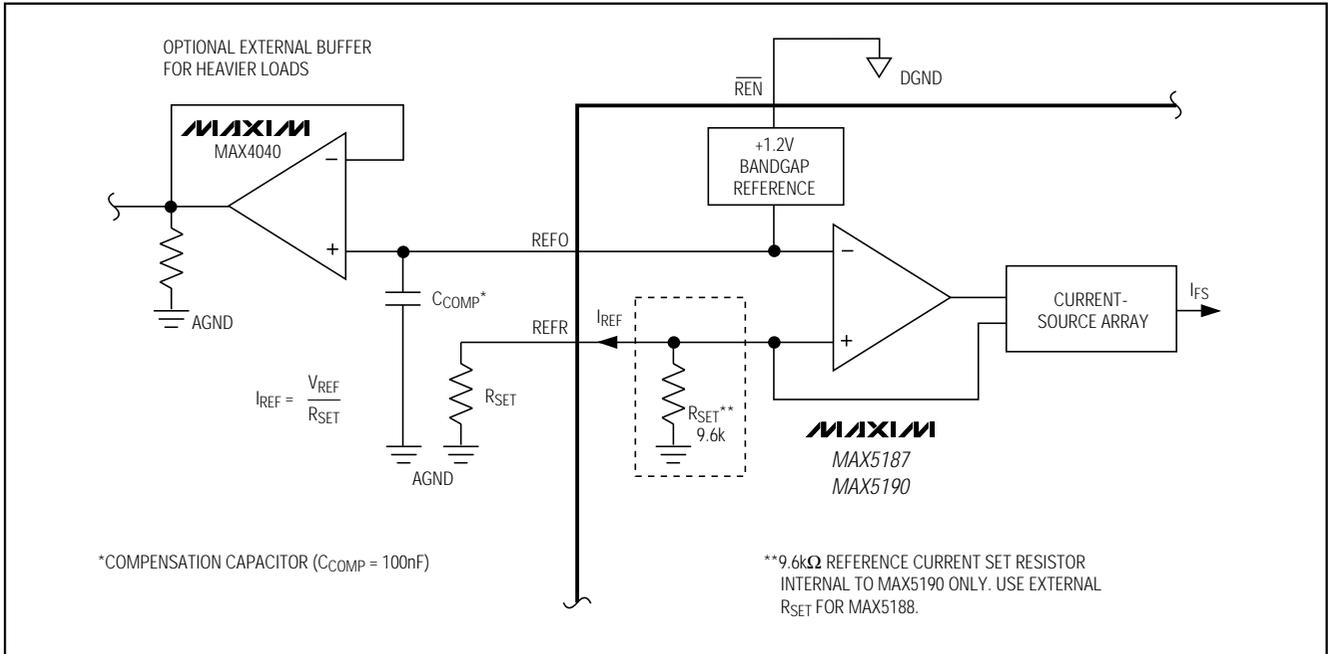


図2. 内部+1.2Vリファレンス及び制御アンプで I_{FS} を設定

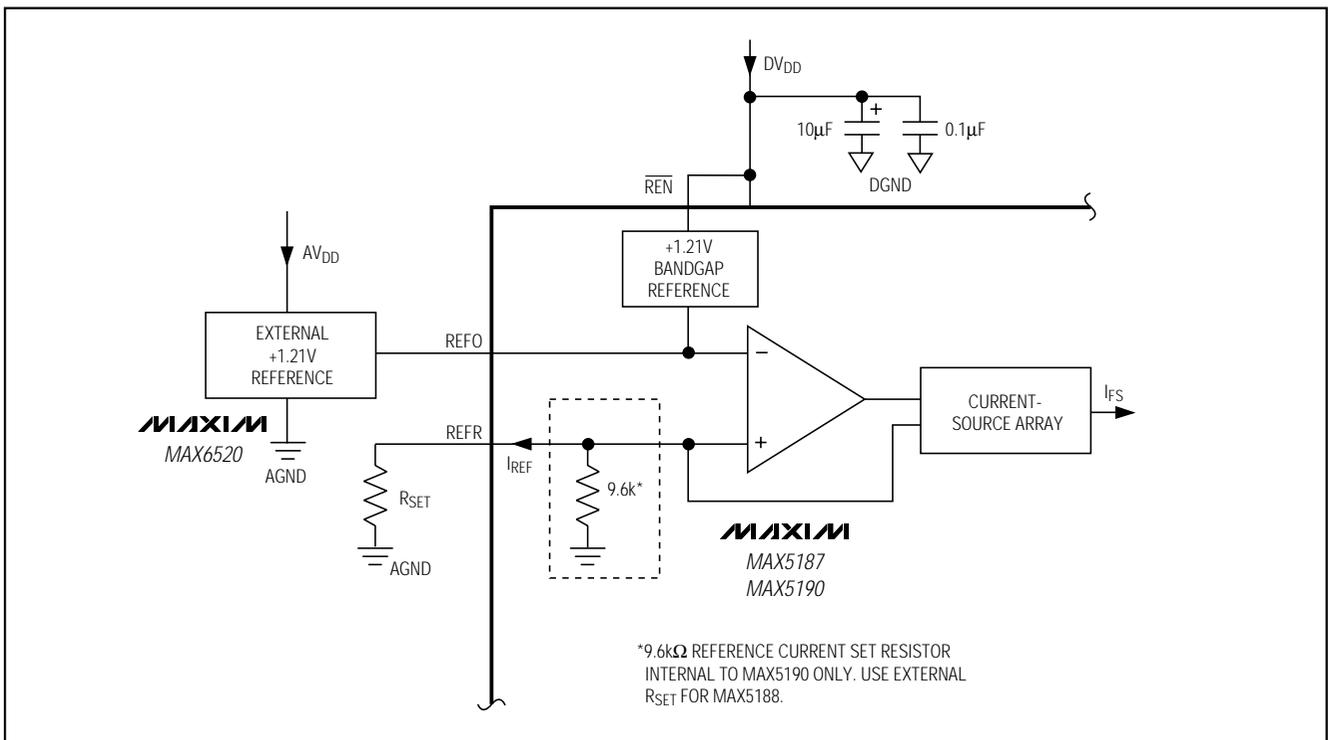


図3. MAX5187/MAX5190で外部リファレンスを使用した場合

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

外部リファレンス

MAX5187/MAX5190の内部リファレンスをディセーブルするには、 \overline{REN} を DV_{DD} に接続して下さい。これで、温度安定性の良い外部リファレンスを印加してREF0ピンを駆動し、フルスケール出力を設定することができます(図3)。電流アレイのカスケード電流を生成するバイアス回路を駆動するために、少なくとも $150\mu A$ を供給できるリファレンスを選択して下さい。精度及びドリフト性能を改善するため、 $+1.2V$ 、 $25ppm/$ のMAX6520バンドギャップリファレンス等の固定出力電圧リファレンスを選択して下さい。

スタンバイモード

低電力スタンバイモードに入るには、デジタル入力PDとDACENをDGNDに接続して下さい。スタンバイモードにおいては、リファレンスと制御アンプの両方がアクティブで、電流アレイはインアクティブです。この状態を解除するには、PDがDGNDに保持された状態でDACENをハイに引き上げる必要があります。MAX5187/MAX5190はいずれもウェイクアップして出力とリファレンスの両方がセトリングするまでに $50\mu s$ (typ)を要します。

シャットダウンモード

消費電力を最も小さくする手段として、MAX5187/MAX5190はパワーダウンモードを提供しています。このモードにおいては、リファレンス、制御アンプ及び電流アレイはインアクティブで、DACの消費電流は $1\mu A$ まで低減します。このモードに入るには、PDを DV_{DD} に接続して下さい。アクティブモードに戻るには、PDをDGNDに接続して、DACENを DV_{DD} に接続して下さい。素子がシャットダウンモードを解除して、シャットダウン前の出力値にセトリングするのに約 $50\mu s$ を要します。

タイミング情報

図4にMAX5187/MAX5190のタイミングを示します。クロック信号がハイに遷移するたびに、入力ラッチにデジタル値セット(ビットD7~D0)がロードされます。次に入力ラッチの内容がDACレジスタにシフトされ、次のクロックの立上がりエッジで出力が更新されます。

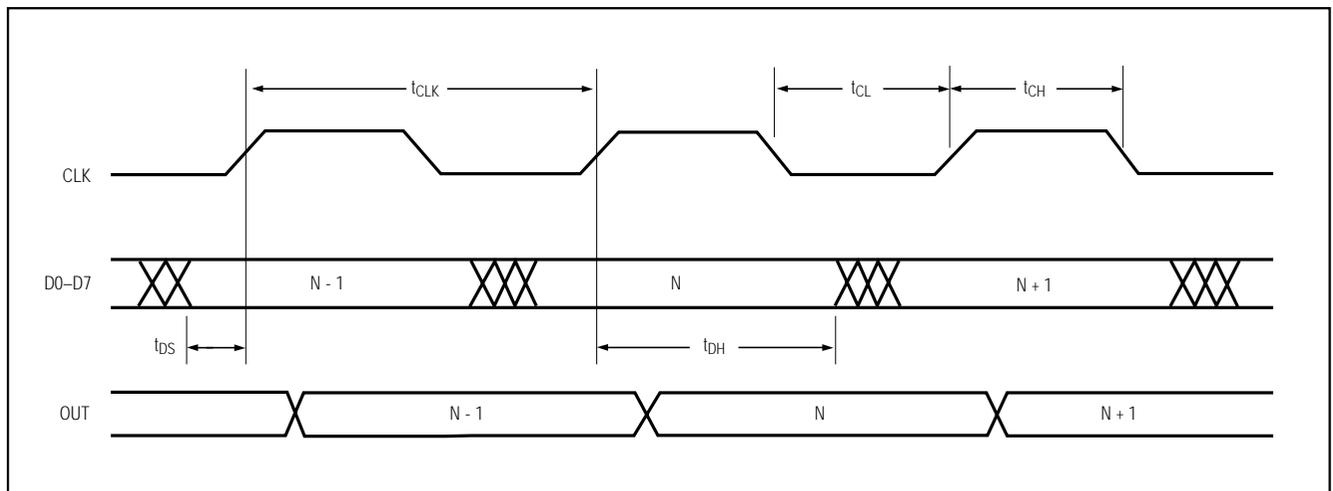


図4. タイミング図

表1. パワーダウンモードの選択表

PD (POWER-DOWN SELECT)	DACEN (DAC ENABLE)	POWER-DOWN MODE	OUTPUT STATE	
0	0	Standby	MAX5187	High-Z
			MAX5190	AGND
0	1	Wake-Up	Last state prior to standby mode	
1	X	Shutdown	MAX5187	High-Z
			MAX5190	AGND

X = 任意

出力

MAX5187の出力は、並列な400Ω負荷と5pFの容量性負荷に1mAのフルスケール電流を供給するように設計されています。MAX5190は、アレイ電流を比例する差動電圧400mVに回復する内部400Ω抵抗を備えています。これらの差動出力電圧を使用して平衡不平衡変成器又は低歪み高速オペアンプを駆動し、差動電圧をシングルエンド電圧に変換することができます。

アプリケーション情報

静的及び動的性能の定義

積分非直線性

積分非直線性(INL)(図5a)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィット(実際の伝達曲線に最も近い近似)あるいはオフ

セット及び利得誤差をヌル(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線です。DACの場合、偏差は各ステップで測定されます。

微分非直線性

微分非直線性(DNL)(図5b)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、ミッシングコードがないこと及び伝達関数が単調であることが保証されます。

オフセット誤差

オフセット誤差(図5c)は、理想的なオフセットポイントと実際のオフセットポイント間の差です。DACの場合、オフセットポイントはデジタル入力ゼロの時のステップ値です。この誤差は全てのコードに対して同量の影響を与え、通常はトリミングによって補償できます。

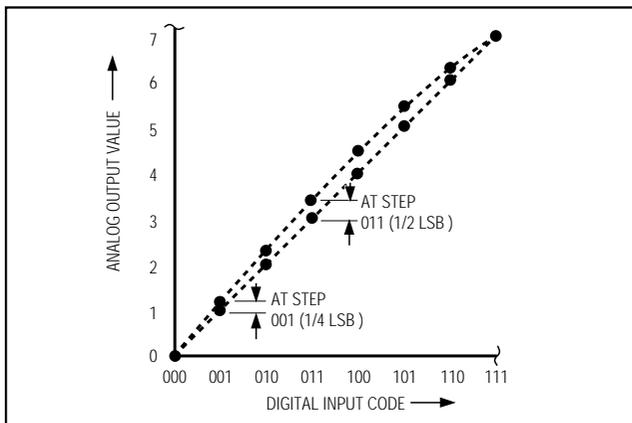


図5a. 積分非直線性

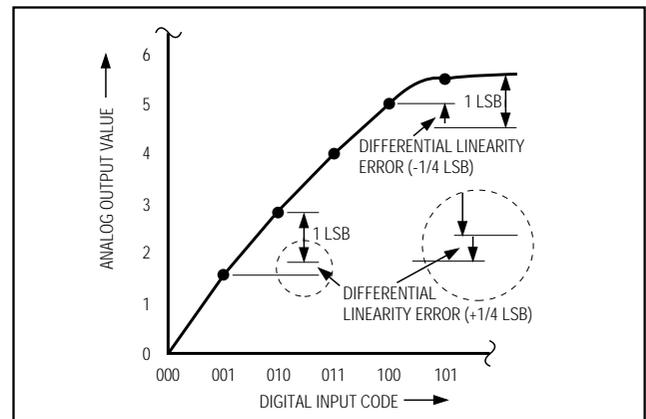


図5b. 微分非直線性

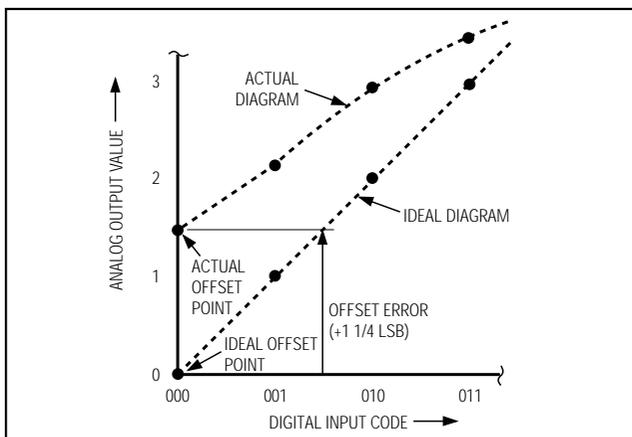


図5c. オフセット誤差

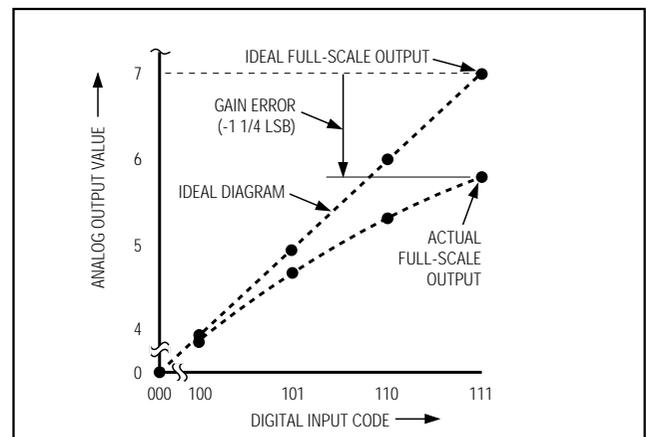


図5d. 利得誤差

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

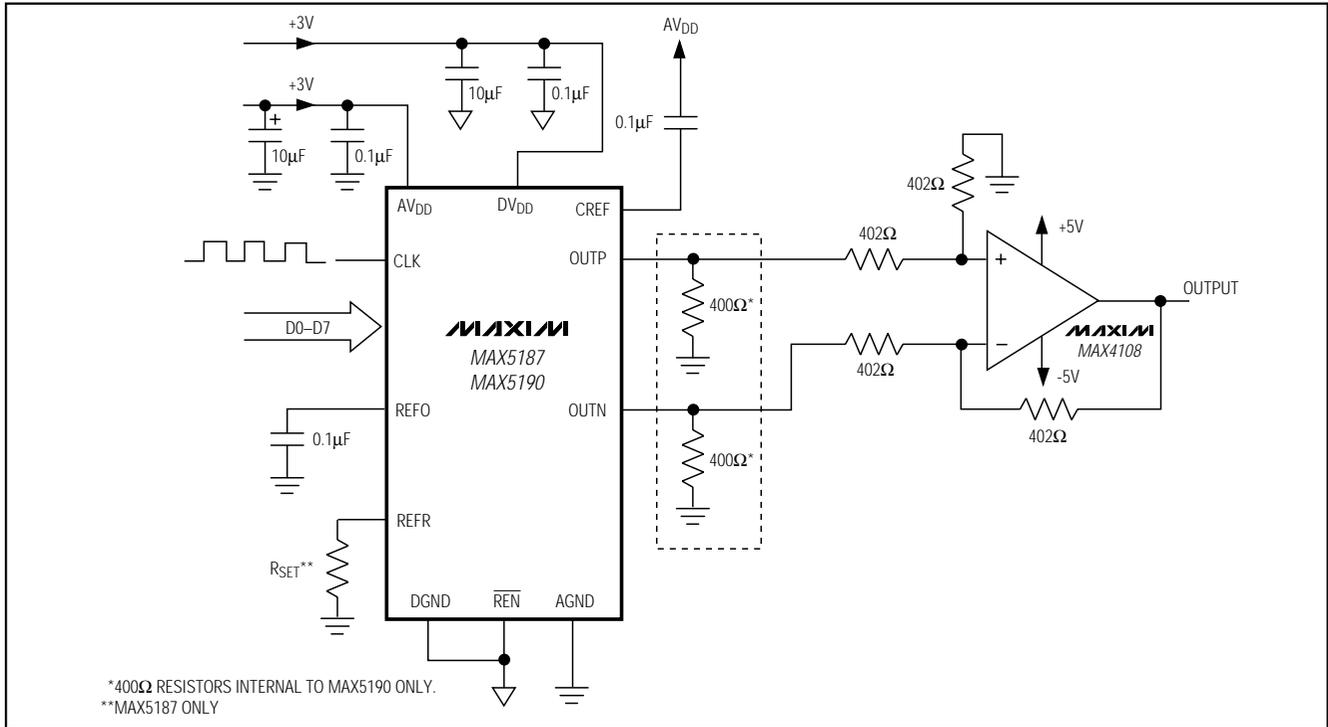


図6. 低歪みアンプを使用した差動からシングルエンドへの変換

利得誤差

利得誤差(図5d)は、オフセット誤差をゼロにした状態における伝達曲線のフルスケール出力電圧の理想値と実際値の間の差です。この誤差は伝達関数の傾きを変化させ、各ステップで同じ比率の誤差となります。

セトリング時間

セトリング時間は、遷移の開始からDAC出力値がコンバータの仕様精度内の新しい出力値に落ち着くまでに要する時間です。

デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の遷移時にDACの出力で生じるノイズです。このノイズは、適正な基板レイアウト及びグラウンディングによってかなり削減できますが、DACそのものに起因するフィードスルーはある程度常に存在します。

全高調波歪み

全高調波歪み(THD)は、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \cdot \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)と次に大きな歪み成分のRMS値の比です。

差動からシングルエンドの変換

MAX4108低歪み高入力帯域幅アンプを使用することにより、MAX5187のアレイ電流出力から電圧を生成できます。適切なオペアンプ構成を設計することにより、OUTPとOUTNの間の差動電圧がシングルエンド電圧に変換されます(図6)。

QAMアプリケーションにおけるI/Q再構築

2つのMAX5187/MAX5190は低歪みであるため、QAM(直交振幅変調)構造で通常使用される同相(I)及び直交(Q)キャリア成分のアナログ再構築をサポートします(このQAM構造においては、2つの別々のパスがIとQデータを伝送します)。QAM信号は、キャリア周波数の振幅と位相の両方が変調されています。これは、周波数が同じで位相が異なる(位相差が90度)2つの独立に変調されたキャリアを加算することによって生成されます。

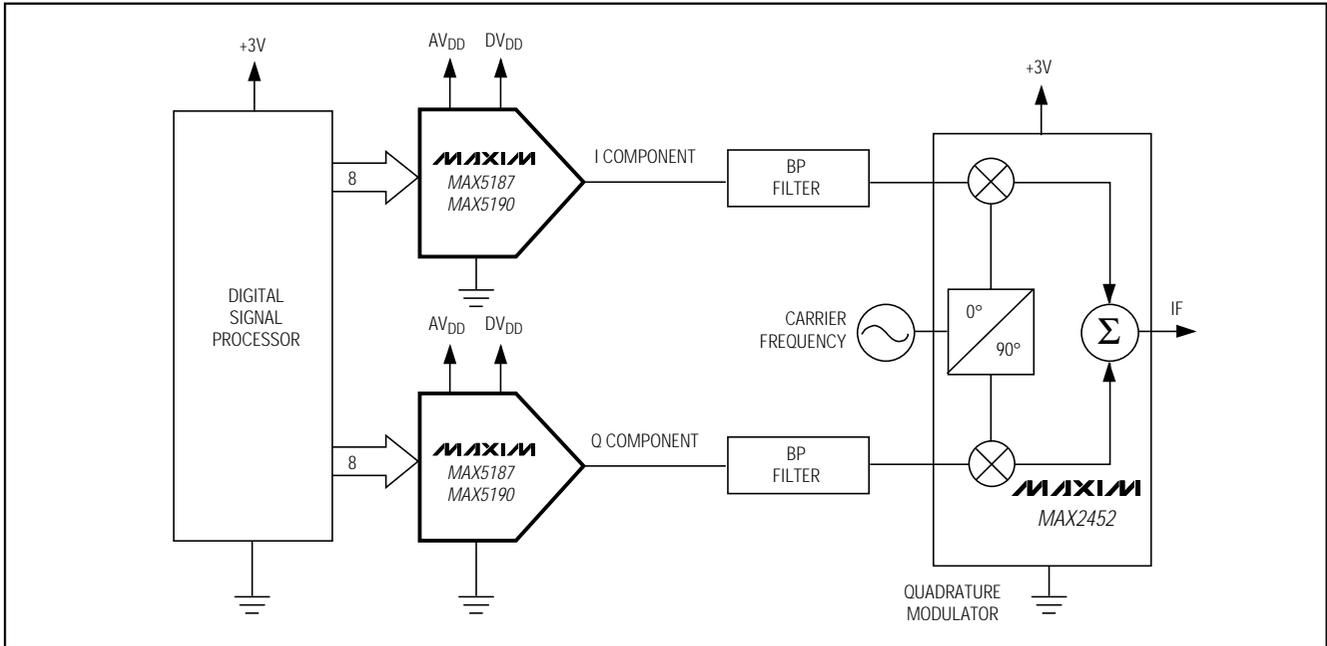


図7. MAX5187/MAX5190を使用したI/Q信号再構築

標準的なQAMアプリケーション(図7)において、変調はデジタルドメインで起こり、2つのDAC(例えばMAX5187/MAX5190)を使用することによってアナログI&Q成分を再構築できます。

I/Q再構築システムは、再構築されたI&Q成分を同相及び直交位相のキャリア周波数と結合して、両方の出力を加算してQAM信号を提供する直交変調器を加えることによって完成します。

MAX5187/MAX5190を使用した任意波形の生成

従来のAWGの設計には、5つの主に機能ブロック(クロック発生器、カウンタ、波形メモリ、波形再構築用のデジタルアナログコンバータ及び出力フィルタ)が必要でした(図8a)。波形メモリには、希望するアナログ波形のデジタルレプリカが順番に含まれています。このメモリとDACはクロックを共用します。

各クロックサイクルにおいて、カウンタは波形メモリのアドレスに1カウントを加えます。するとメモリは次の値をDACにロードして、それによってそのデータ値に対応するアナログ出力電圧が生成され、次のクロックサイクルまで維持されます。DAC出力フィルタはローパスフィルタですが、その複雑さは波形関数に対するAWGの必要条件及び周波数に依存します。AWGの柔軟性の主な限界は、DACの分解能及び動的性能、メモリ

の長さ、クロック/プレイバック周波数及びフィルタの特性に起因します。

MAX5187/MAX5190は高周波動作と優れた動的性能を提供していますが、低分解能(8ビットAWG)に適しています。AWGの高周波精度、温度安定性、広帯域同調及び過去位相連続周波数スイッチングを向上させるには、直接デジタル合成(DDS)AWG(図8b)を推奨します。このDDSループはサイン波、矩形波、TTL及び三角波等の標準的な反復波形をサポートします。DDSを使用すると、DACへのデータストリーム入力を正確に制御できます。1つの完全な出力波形サイクルのデータがRAMに順番に格納されます。RAMアドレスが変化すると共に、DACが入信データビットを対応する電圧波形に変換します。その結果得られる出力信号周波数は、RAMアドレスが変更される速度に比例します。

グラウンディング及び電源デカップリング

グラウンディング及び電源デカップリングは、MAX5187/MAX5190の性能に強い影響を与えます。望ましくないデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、信号雑音比又はスプリアスフリーダイナミックレンジ等の動的性能に悪影響を与える可能性があります。さらに、電磁的干渉(EMI)がMAX5187/MAX5190にカップリングして入ってきたり、MAX5187/MAX5190で発生することがあります。

8ビット40MHz、電流/電圧出力DAC

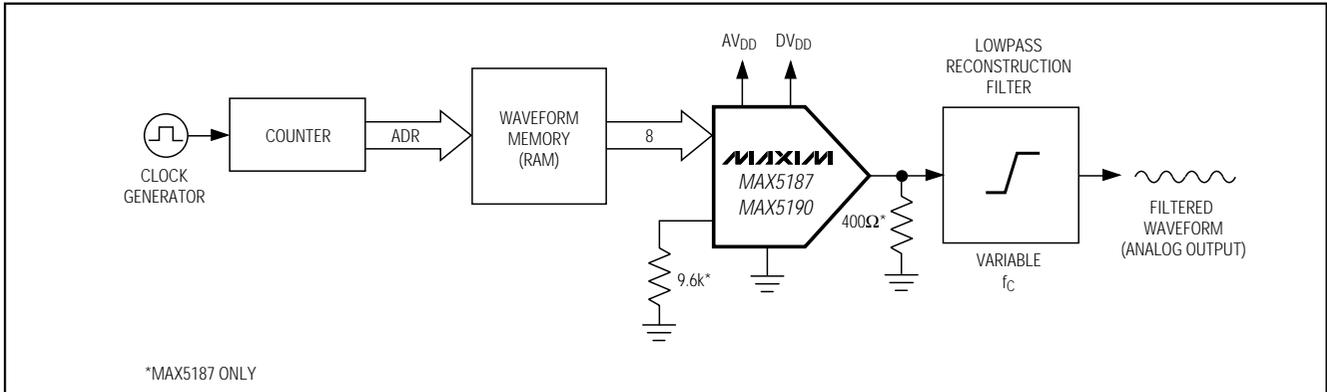


図8a. 従来の任意波形発生(AWG)

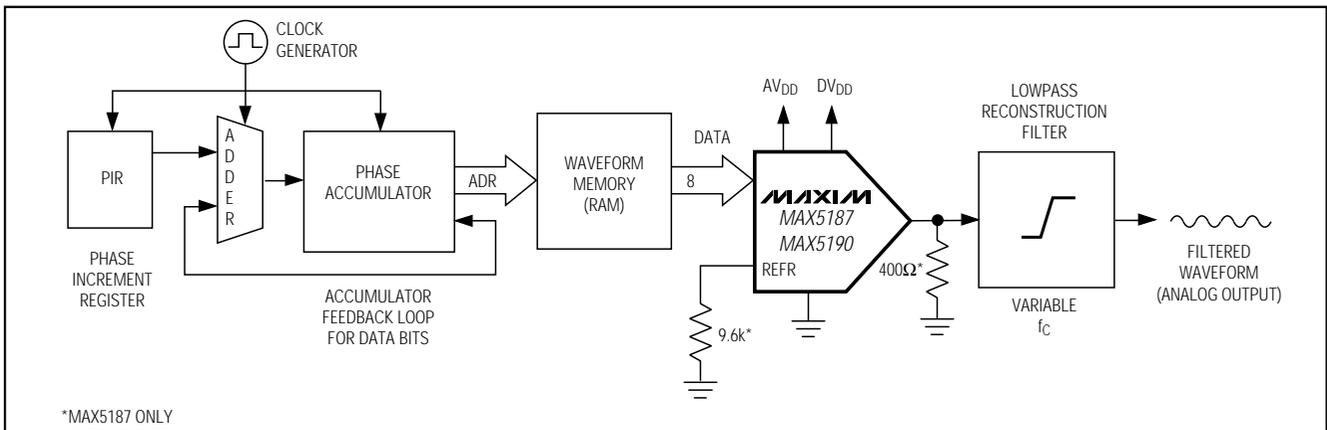


図8b. 直接デジタル合成AWG(DDS AWG)

これらの理由から、グラウンディング及び電源デカップリングの際に高速高周波数アプリケーション用のガイドラインに忠実に従うことが必要です。

まず、独立したグランド及び電源プレーンを備えた多層プリント基板を推奨します。高速信号は、グランドプレーンのすぐ上のインピーダンスが調整されたラインに通して下さい。MAX5187/MAX5190はアナログとデジタルのグランドバス(それぞれAGND及びDGND)が別々になっているため、プリント基板の方もアナログとデジタルのグランド部がそれぞれ別々になっており、一点でだけ接続されている構成が好適です。デジタル信号はデジタルグランドの上に、アナログ信号はアナロググランドの上に引いて下さい。

MAX5187/MAX5190は、アナログ V_{DD} (AV_{DD})とデジタル V_{DD} (DV_{DD})の2つの電源入力を持っています。各 AV_{DD} 入力は、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列なセラミックチップコンデンサでデカップリングして下さい。その際、

これらのコンデンサをピンのできるだけ近くに配置し、グランドプレーンへの接続もできるだけ短くして下さい。 DV_{DD} ピンにも独立した $10\mu\text{F}$ と $0.1\mu\text{F}$ コンデンサをそれぞれのピンの近くに接続して下さい。適正な動作のために、アナログ負荷容量を最小限に抑えて下さい。最高の性能を得るには、低ESRの $0.1\mu\text{F}$ のコンデンサで AV_{DD} にバイパスして下さい。

電源電圧は、大きなタンタル又は電解コンデンサを使用してプリント基板に入るところでデカップリングして下さい。フェライトビーズにデカップリングコンデンサを追加してパイ・ネットワークを形成したものを使用すると、さらに性能が向上します。

チップ情報

TRANSISTOR COUNT: 9464

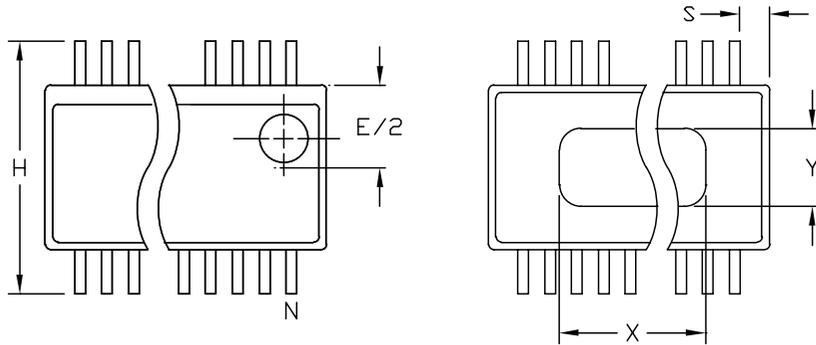
SUBSTRATE CONNECTED TO AGND

8ビット40MHz、電流/電圧出力DAC

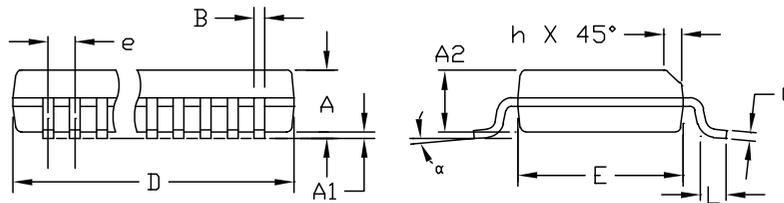
パッケージ

MAX5187/MAX5190

QSOP-EP8



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°



VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

MAXIM

PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0055	B	

8ビット40MHz、電流/電圧出力DAC

MAX5187/MAX5190

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600