

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

## 概要

MAX5171/MAX5173は、高精度出力アンプ付の低電力シリアル14ビット電圧出力D/Aコンバータ(DAC)を省スペースの16ピンQSOPパッケージに内蔵しています。MAX5171は+5V単一電源で動作し、MAX5173は+3V単一電源で動作します。出力アンプの反転入力の使用により、特定の利得設定、リモートセンシング及び大出力駆動能力が実現できるため、MAX5171/MAX5173は工業用プロセス制御等の広範囲のアプリケーションに最適です。いずれのデバイスも消費電流は僅か260 $\mu$ Aとなっており、シャットダウンモードではさらに1 $\mu$ Aに低減します。さらに、設定可能なパワーアップリセット機能により、初期出力状態として0V又は中間値に選択できます。

3線シリアルインタフェースは、SPI™、QSPI™及びMICROWIRE™規格とコンパチブルです。入力レジスタにDACレジスタが続く形で構成されたダブルバッファ付入力を備えているため、16ビットシリアルワードによってDACレジスタを入力レジスタと同時又は個別に更新できます。その他の特長としては、ソフトウェア及びハードウェアシャットダウン、シャットダウンロックアウト、ハードウェアクリアピン、そしてDC及びオフセットAC信号を許容するリファレンス入力等が挙げられます。これらのデバイスは、機能性を増すための設定可能なデジタル出力ピン及びデジチチェーン接続用のシリアルデータ出力ピンを備えています。全てのロジック入力はTTL/CMOSコンパチブルで、内部シュミットトリガでバッファされているため、フォトカプラと直接インタフェースすることが可能です。

MAX5171/MAX5173は独自の内蔵回路により、パワーアップ時のグリッチを数ミリボルトに抑えて出力電圧を実質的に「グリッチフリー」に保ちます。

いずれのデバイスも16ピンQSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85 )のものが用意されています。MAX5171/MAX5173は、12ビットMAX5175/MAX5177とピンコンパチブルなアップグレード製品です。100%ピンコンパチブルの内部リファレンス付DAC製品については、13ビットMAX5130/MAX5131及び12ビットMAX5120/MAX5121のデータシートを参照して下さい。

## アプリケーション

- デジタル設定の4 ~ 20mA電流ループ
- 工業用プロセス制御
- デジタルオフセット及び利得調節
- モーションコントロール
- 自動試験機器(ATE)
- リモート工業用制御
- $\mu$ P制御機器

SPI及びQSPIはMotorola Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

レイルトゥレイルは日本モトローラの登録商標です。

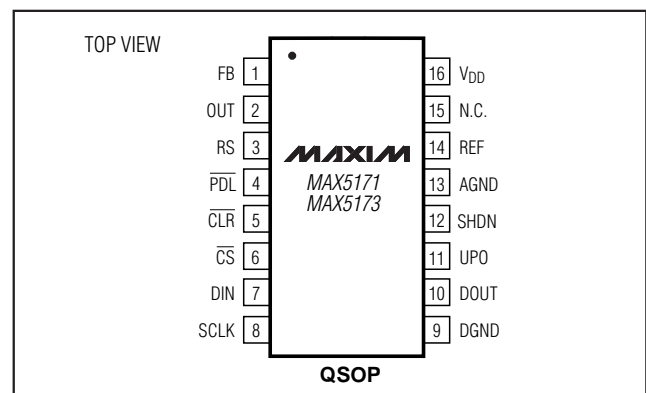
## 特長

- ◆ INL :  $\pm 1$ LSB
- ◆ シャットダウン電流 : 1 $\mu$ A
- ◆ パワーアップ時に出力がグリッチフリー
- ◆ 単一電源動作
  - +5V(MAX5171)
  - +3V(MAX5173)
- ◆ フルスケール出力範囲
  - +2.048V(MAX5173,  $V_{REF} = +1.25V$ )
  - +4.096V(MAX5171,  $V_{REF} = +2.5V$ )
- ◆ レイルトゥレイル®出力アンプ
- ◆ 乗算動作における低THD : -80dB
- ◆ 3線シリアルインタフェース : SPI/QSPI/MICROWIREコンパチブル
- ◆ 設定可能なシャットダウンモード及びパワーアップリセット
- ◆ バッファ付出力 : 5k  $\Omega$  100pF負荷を駆動可能
- ◆ ユーザ設定可能なデジタル出力ピンを使って外部部品のシリアル制御が可能
- ◆ 12ビットMAX5175/MAX5177のピンコンパチブルアップグレード製品

## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5171AEEE	-40°C to +85°C	16 QSOP	$\pm 1$
MAX5171BEEE	-40°C to +85°C	16 QSOP	$\pm 2$
MAX5173AEEE	-40°C to +85°C	16 QSOP	$\pm 2$
MAX5173BEEE	-40°C to +85°C	16 QSOP	$\pm 4$

## ピン配置



ファンクションダイアグラムは、データシートの最後に記載されています。

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND, DGND	-0.3V to +6.0V
AGND to DGND	-0.3V to +0.3V
Digital Inputs to DGND	-0.3V to +6.0V
DOUT, UPO to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
FB, OUT, REF to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Maximum Current into Any Pin	50mA

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
16-pin QSOP (derate 8mW/°C above +70°C)	667mW
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS—MAX5171

(V<sub>DD</sub> = +5.0V ±10%, V<sub>REF</sub> = +2.5V, AGND = DGND, FB = OUT, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 100pF referenced to ground, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution			14			Bits
Integral Nonlinearity (Note 1)	INL	MAX5171A			±1	LSB
		MAX5171B			±2	
Differential Nonlinearity	DNL				±1	LSB
Offset Error (Note 2)	V <sub>OS</sub>				±10	mV
Gain Error	GE	R <sub>L</sub> = ∞		-0.6	±4	LSB
		R <sub>L</sub> = 5kΩ		-1.6	±8	
Power-Supply Rejection Ratio	PSRR			10	120	μV/V
Output Noise Voltage		f = 100kHz		1		LSBp-p
Output Thermal Noise Density				50		nV/√Hz
<b>REFERENCE</b>						
Reference Input Range	V <sub>REF</sub>		0		V <sub>DD</sub> - 1.4	V
Reference Input Resistance	R <sub>REF</sub>		18			kΩ
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference -3dB Bandwidth		V <sub>REF</sub> = 0.5Vp-p + 2.5V <sub>DC</sub> , slew-rate limited		350		kHz
Reference Feedthrough		V <sub>REF</sub> = 3.6Vp-p + 1.8V <sub>DC</sub> , f = 1kHz, code = all 0s		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	V <sub>REF</sub> = 1.4Vp-p + 2.5V <sub>DC</sub> , f = 10kHz, code = 3FFF hex		84		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	V <sub>IH</sub>		3			V
Input Low Voltage	V <sub>IL</sub>				0.8	V
Input Hysteresis	V <sub>HYS</sub>			200		mV
Input Leakage Current	I <sub>IN</sub>	V <sub>IN</sub> = 0 or V <sub>DD</sub>		0.001	±1	μA
Input Capacitance	C <sub>IN</sub>			8		pF
<b>DIGITAL OUTPUTS</b>						
Output High Voltage	V <sub>OH</sub>	I <sub>SOURCE</sub> = 2mA		V <sub>DD</sub> - 0.5		V
Output Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 2mA		0.13	0.4	V

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

## ELECTRICAL CHARACTERISTICS—MAX5171 (continued)

( $V_{DD} = +5V \pm 10\%$ ,  $V_{REF} = +2.5V$ ,  $AGND = DGND$ ,  $FB = OUT$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$  referenced to ground,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.6		V/ $\mu$ s
Output Settling Time		To $\pm 0.5LSB$ , from 10mV to full scale		12		$\mu$ s
Output Voltage Swing (Note 3)			0		$V_{DD}$	V
Current into FB			-0.1	0	0.1	$\mu$ A
Time Required to Exit Shutdown				40		$\mu$ s
Digital Feedthrough		$\overline{CS} = V_{DD}$ ; $f_{SCLK} = 100kHz$ , $V_{SCLK} = 5Vp-p$		1		nV-s
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$		4.5		5.5	V
Power-Supply Current (Note 4)	$I_{DD}$			0.26	0.35	mA
Shutdown Current (Note 4)				1	10	$\mu$ A
<b>TIMING CHARACTERISTICS</b>						
SCLK Clock Period	$t_{CP}$		100			ns
SCLK Pulse Width High	$t_{CH}$		40			ns
SCLK Pulse Width Low	$t_{CL}$		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		40			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSH}$		0			ns
SDI Setup Time	$t_{DS}$		40			ns
SDI Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{DO1}$	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{DO2}$	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	$t_{CS1}$		40			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		100			ns

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

## ELECTRICAL CHARACTERISTICS—MAX5173

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REF} = 1.25V$ ,  $AGND = DGND$ ,  $FB = OUT$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$  referenced to ground,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ ).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution			14			Bits
Integral Nonlinearity (Note 5)	INL	MAX5173A			$\pm 2$	LSB
		MAX5173B			$\pm 4$	
Differential Nonlinearity	DNL				$\pm 1$	LSB
Offset Error (Note 2)	VOS				$\pm 10$	mV
Gain Error	GE	$R_L = \infty$		-0.6	$\pm 4$	LSB
		$R_L = 5k\Omega$		-1.6	$\pm 8$	
Power-Supply Rejection Ratio	PSRR			10	120	$\mu V/V$
Output Noise Voltage		$f = 100kHz$		2		LSBp-p
Output Thermal Noise Density				50		$nV/\sqrt{Hz}$
<b>REFERENCE</b>						
Reference Input Range	$V_{REF}$		0	$V_{DD} - 1.4$		V
Reference Input Resistance	$R_{REF}$		18			$k\Omega$
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference -3dB Bandwidth		$V_{REF} = 0.5V_{p-p} + 1.25V_{DC}$ , slew-rate limited		350		kHz
Reference Feedthrough		$V_{REF} = 1.6V_{p-p} + 0.8V_{DC}$ , $f = 1kHz$ , code = all 0s		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 0.9V_{p-p} + 1.25V_{DC}$ , $f = 10kHz$ , code = 3 FFF Hex		78		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	$V_{IH}$		2.2			V
Input Low Voltage	$V_{IL}$				0.8	V
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current	$I_{IN}$	$V_{IN} = 0$ or $V_{DD}$	-1	0.001	$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			8		pF
<b>DIGITAL OUTPUTS</b>						
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	$V_{OL}$	$I_{SINK} = 2mA$		0.13	0.4	V

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

## ELECTRICAL CHARACTERISTICS—MAX5173 (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REF} = 1.25V$ ,  $AGND = DGND$ ,  $FB = OUT$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$  referenced to ground,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ ).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.6		V/ $\mu s$
Output Settling Time		To $\pm 0.5LSB$ , from 10mV to full-scale		12		$\mu s$
Output Voltage Swing (Note 3)			0		$V_{DD}$	V
Current into FB			-0.1	0	0.1	$\mu A$
Time Required to Exit Shutdown				40		$\mu s$
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $DIN = 50kHz$ ; $f_{SCLK} = 100kHz$ , $V_{SCLK} = 3Vp-p$		1		nV-s
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$		2.7		3.6	V
Power-Supply Current (Note 4)	$I_{DD}$			0.26	0.35	mA
Shutdown Current (Note 4)				1	10	$\mu A$
<b>TIMING CHARACTERISTICS</b>						
SCLK Clock Period	$t_{CP}$		150			ns
SCLK Pulse Width High	$t_{CH}$		75			ns
SCLK Pulse Width Low	$t_{CL}$		75			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		60			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSS}$		0			ns
SDI Setup Time	$t_{DS}$		60			ns
SDI Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{DO1}$	$C_{LOAD} = 200pF$			200	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{DO2}$	$C_{LOAD} = 200pF$			200	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	$t_{CS1}$		75			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		150			ns

**Note 1:** INL guaranteed between codes 64 and 16383.

**Note 2:** Offset is measured at the code that comes closest to 10mV.

**Note 3:** Accuracy is better than 1.0 LSB for  $V_{OUT} = 10mV$  to  $V_{DD} - 180mV$ . Guaranteed by PSR test on end points.

**Note 4:**  $R_L =$  open and digital inputs are either  $V_{DD}$  or  $DGND$ .

**Note 5:** INL guaranteed between codes 128 and 16383.

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

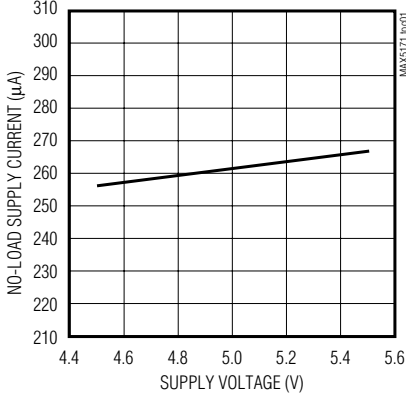
MAX5171/MAX5173

## 標準動作特性

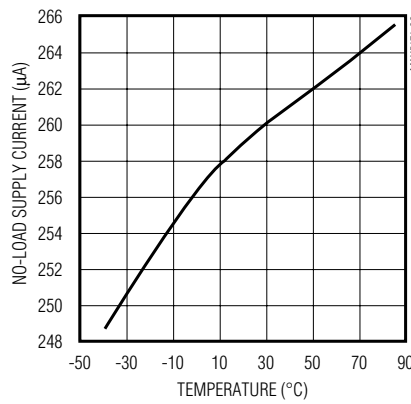
(MAX5171:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5173:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ ,  $FB = OUT$ ,  $code = 3FFF$  hex,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5171

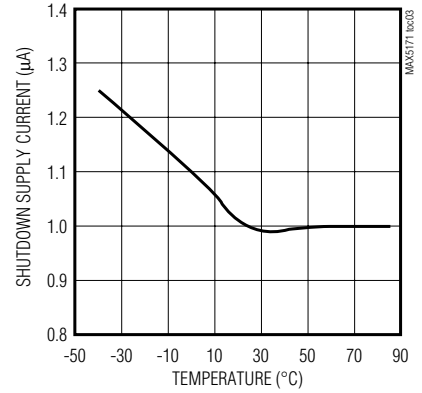
**NO-LOAD SUPPLY CURRENT vs. SUPPLY VOLTAGE**



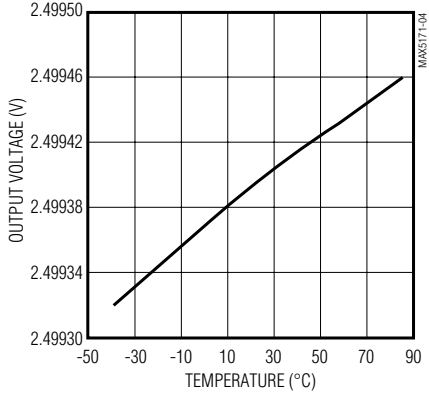
**NO-LOAD SUPPLY CURRENT vs. TEMPERATURE**



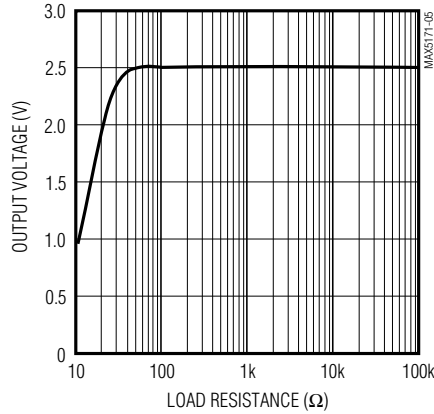
**SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE**



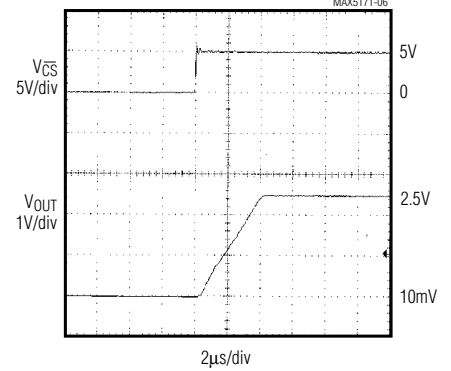
**OUTPUT VOLTAGE vs. TEMPERATURE**



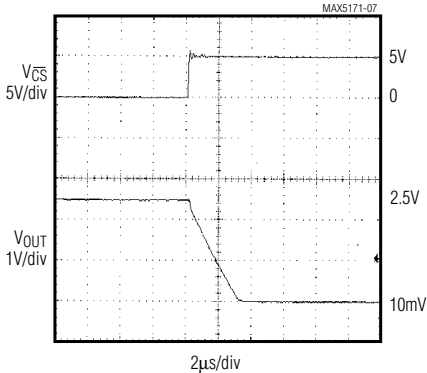
**OUTPUT VOLTAGE vs. LOAD RESISTANCE**



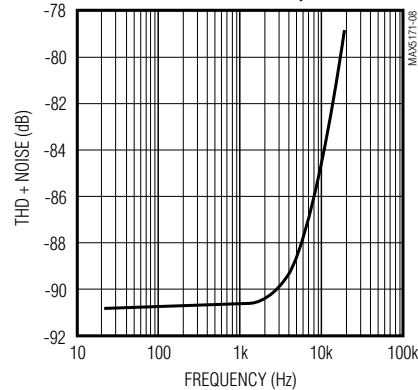
**DYNAMIC RESPONSE**



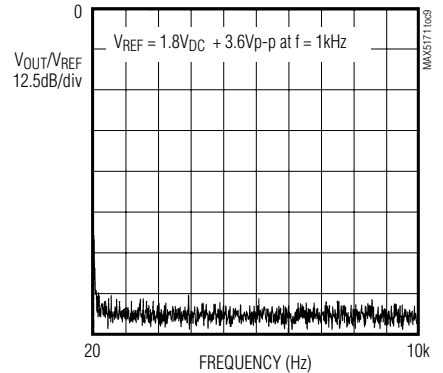
**DYNAMIC RESPONSE**



**TOTAL HARMONIC DISTORTION PLUS NOISE vs. FREQUENCY**



**REFERENCE FEEDTHROUGH**



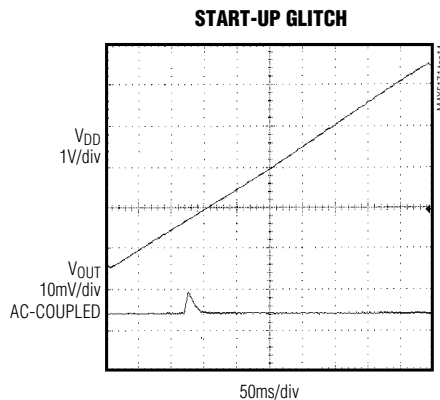
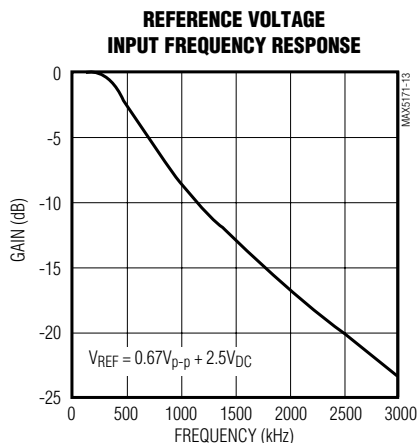
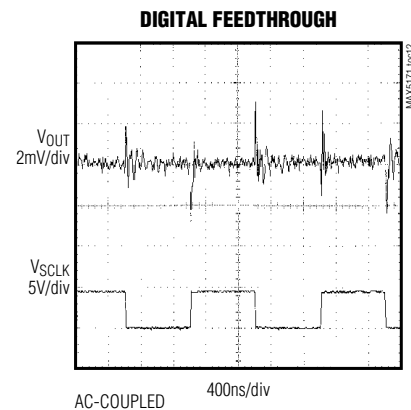
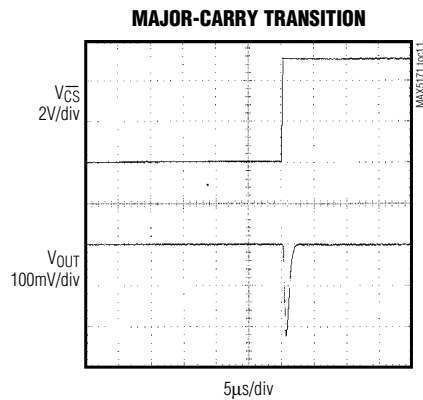
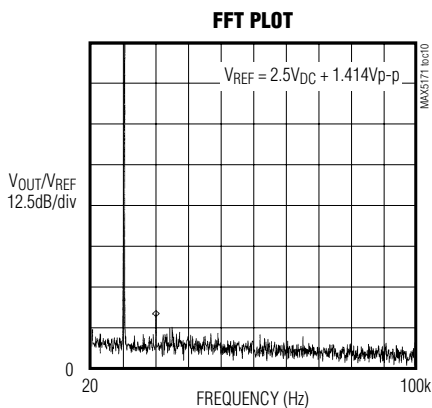
# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

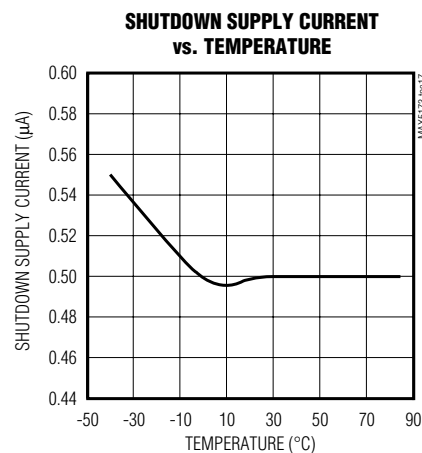
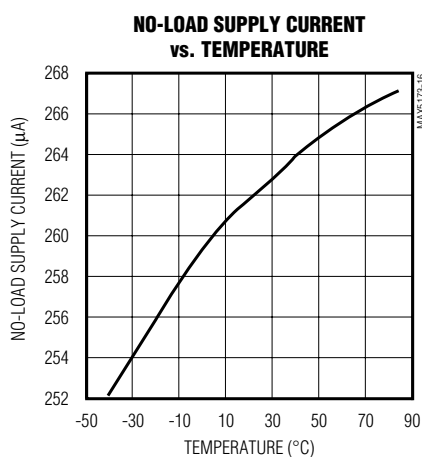
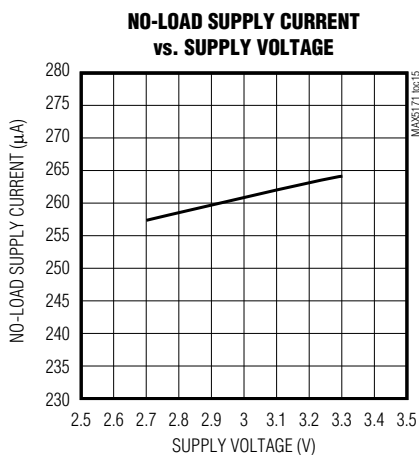
## 標準動作特性(続き)

(MAX5171:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5173:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ ,  $FB = OUT$ , code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5171



### MAX5173



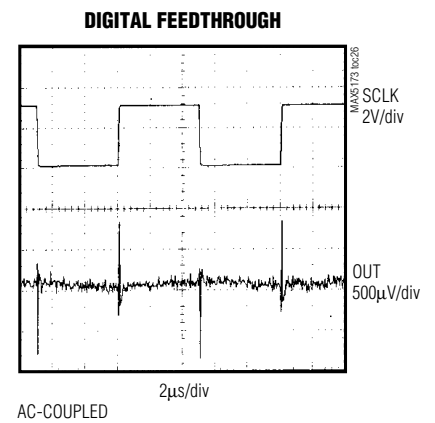
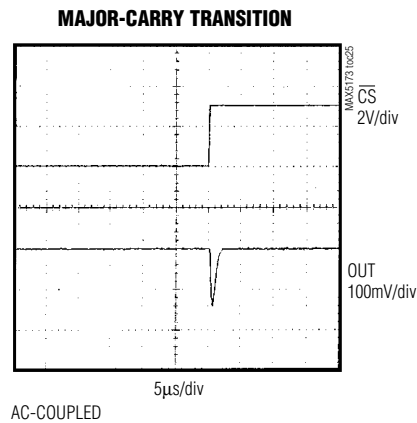
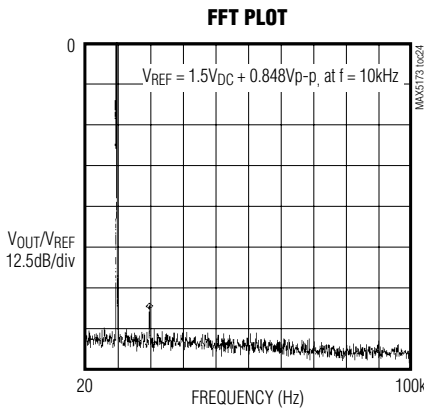
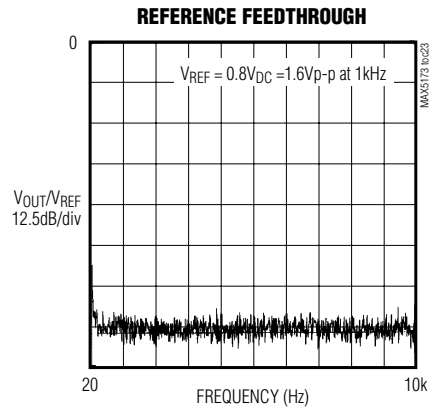
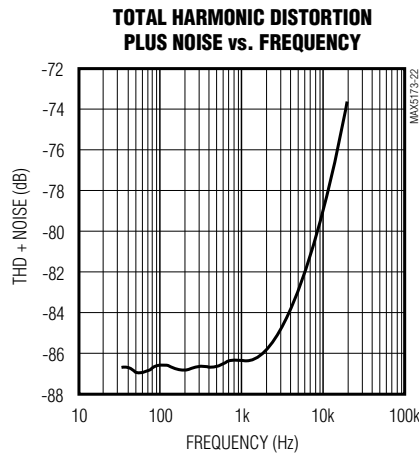
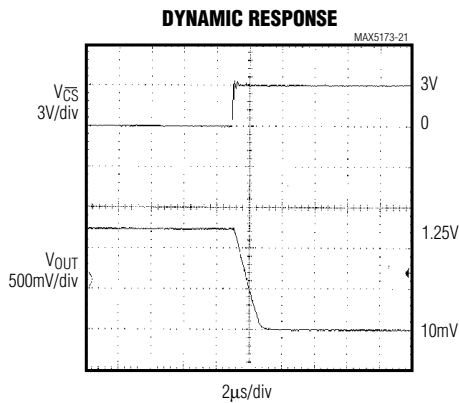
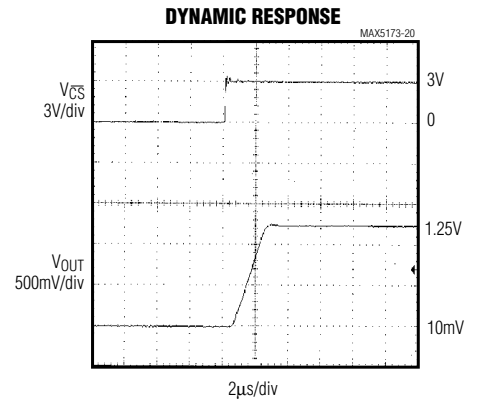
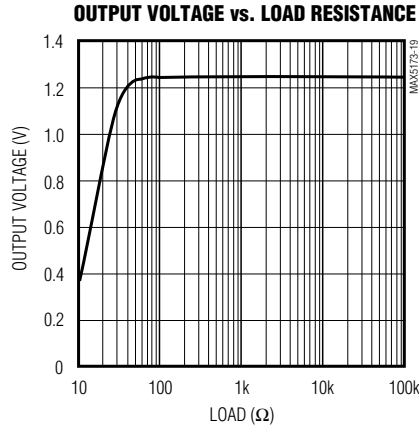
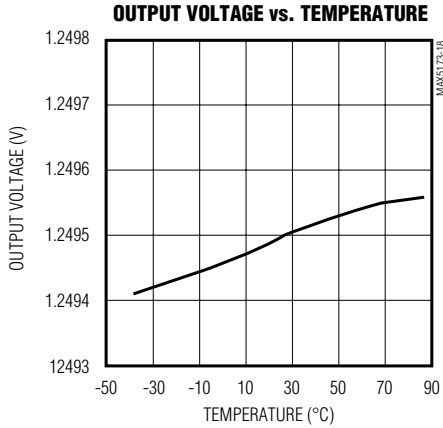
# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

## 標準動作特性(続き)

(MAX5171:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5173:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ ,  $FB = OUT$ , code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5173



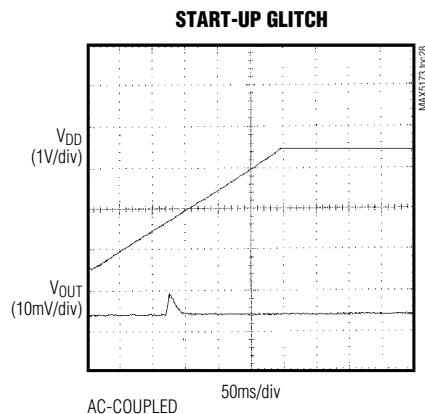
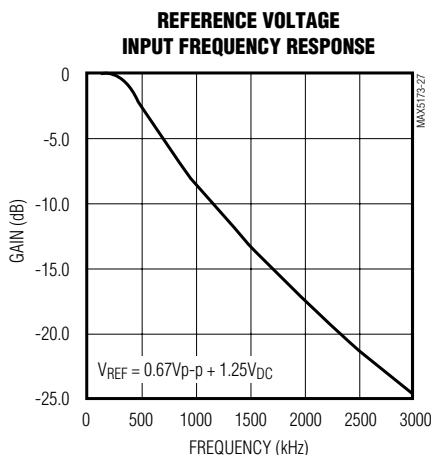


# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

## 標準動作特性(続き)

(MAX5171:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5173:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ ,  $FB = OUT$ , code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1	FB	フィードバック入力
2	OUT	出力電圧。シャットダウン中はハイインピーダンスです。出力電圧は $V_{DD}$ に制限されています。
3	RS	リセットモード選択(デジタル入力)。 $V_{DD}$ に接続するとミッドスケールがリセット出力電圧になります。DGNDに接続すると0Vがリセット出力電圧になります。
4	$\overline{PDL}$	パワーダウンロックアウト(デジタル入力)。 $V_{DD}$ に接続するとシャットダウンが許容されます。DGNDに接続すると、ソフトウェア及びハードウェアのシャットダウンがディセーブルされます。
5	$\overline{CLR}$	DACクリア(デジタル入力)。DACをRSで設定される出力状態にクリアします。
6	$\overline{CS}$	チップセレクト入力(デジタル入力)
7	DIN	シリアルデータ入力(デジタル入力)。データはSCLKの立上がりエッジで同期入力されます。
8	SCLK	シリアルクロック入力(デジタル入力)
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザ設定出力。状態はシリアル入力によって設定されます。
12	SHDN	シャットダウン(デジタル入力)。 $\overline{PDL} = V_{DD}$ の時にSHDNをハイにすると、チップはシャットダウン状態になります。最大シャットダウン電流は $10\mu A$ です。
13	AGND	アナロググランド
14	REF	リファレンス入力。最大 $V_{REF}$ は $V_{DD} - 1.4V$ です。
15	N.C.	無接続
16	$V_{DD}$	正電源。4.7 $\mu F$ コンデンサと0.1 $\mu F$ コンデンサを並列にしたものでAGNDにバイパスして下さい。

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

## 詳細

MAX5171/MAX5173 14ビットシリアル電圧出力DACは、3線シリアルインタフェースで動作します。これらのデバイスは16ビットシフトレジスタを含み、入力レジスタ及びDACレジスタからなるダブルバッファ付入力を用意しています(「ファンクションダイアグラム」を参照)。さらに、出力アンプの負端子が利用可能です。これらのDACは、デジタル入力コードに比例する重み付き出力電圧を生成する反転R-2Rラダーネットワーク(図1)を使用して設計されています。

### リファレンス入力

リファレンス入力は、0 ~ ( $V_{DD} - 1.4V$ )の範囲のAC及びDC値を受け付けます。出力電圧は次式で表されます。

$$V_{OUT} = \frac{V_{REF} \cdot N \cdot \text{Gain}}{16384}$$

ここで、NはMAX5171/MAX5173の入力コードの数値(0 ~ 16383)、 $V_{REF}$ はリファレンス電圧、「Gain」は外部で設定された電圧利得です。最大出力電圧は、 $V_{DD}$ です。REFピンの入力抵抗は最小値が18kΩで、コードに依存します。

### 出力アンプ

MAX5171/MAX5173のDAC出力は、標準スルーレートが0.6V/μsの内部高精度アンプでバッファされています。出力アンプの反転入力へのアクセスが可能であるため、出力利得設定及び信号調節に融通が利きます(「アプリケーション情報」を参照)。

出力アンプは、5kΩと100pFの並列負荷の時、フルスケール遷移から12μs以内に±0.5LSBまでセトリングします。負荷が2kΩ以下になると性能が劣化します。

### シャットダウンモード

MAX5171/MAX5173は、ソフトウェア及びハードウェア・プログラマブルのシャットダウンモードを備えています。このモードでは標準消費電流が1μAに低減します。シャットダウンモードに入るには、表1に示すように該当する入力制御ワードを書き込むか、あるいはハードウェアシャットダウンを使って下さい。シャットダウンモード時のリファレンス入力及びアンプ出力はハイインピーダンスになり、シリアルインタフェースはアクティブ状態に留まります。入力レジスタのデータはセーブされるため、MAX5171/MAX5173は通常動作状態に戻った時に、シャットダウン以前の出力状態を呼び戻すことができます。シャットダウンモードを解除するには、DACレジスタにシフトレジスタのデータを再ロードするか、入力レジスタ及びDACレジスタに同時にロードするか、あるいはPDLをトグルして下さい。

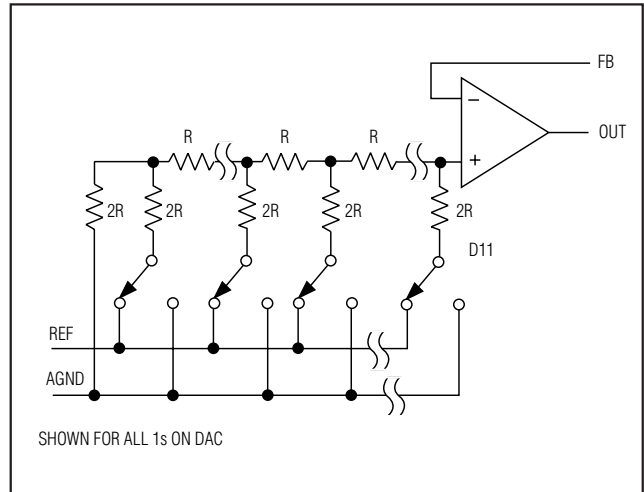


図1. 簡略DAC回路図

シャットダウンモードから戻った時は、リファレンスが落ち着くまで40μs待つて下さい。

### パワーダウンロックアウト

パワーダウンロックアウトは、ソフトウェア/ハードウェアシャットダウンモードをディセーブルします。PDLがハイからローに遷移すると、デバイスのシャットダウンが解除され、この時出力は、以前の状態に戻ります。

### シャットダウン

PDLがハイの時にSHDNをハイに引き上げると、MAX5171/MAX5173はシャットダウンします。SHDNをローに引き下げてもデバイスは通常動作に戻りません。シャットダウンを解除するには、PDLのハイからローへの遷移、あるいはシリアルインタフェースを通じた適切なコマンドが必要です(コマンドについては表1を参照)。

### シリアルインタフェース

MAX5171/MAX5173の3線シリアルインタフェースは、SPI/QSPI(図2)及びMICROWIRE(図3)インタフェース規格とコンパチブルです。16ビットのシリアル入力ワードは、2つの制御ビットと14個のデータビット(MSBからLSBへ)からなっています。

制御ビットは、表1にしたがってMAX5171/MAX5173の動作を決定します。MAX5171/MAX5173のデジタル入力はダブルバッファ付であるため、ユーザは以下の作業を行うことができます。

- DACレジスタを更新することなく入力レジスタにロードすること
- 入力レジスタからのデータでDACレジスタを更新すること
- 入力及びDACレジスタを同時に更新すること

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

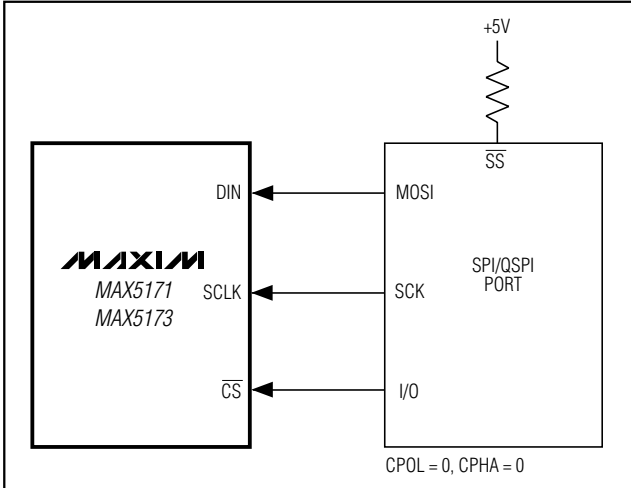


図2. SPI/QSPIインタフェースの接続

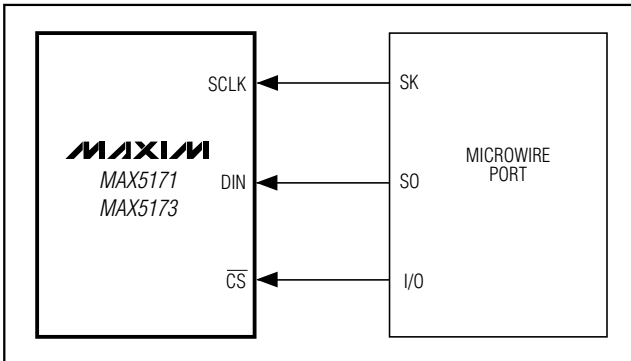


図3. MICROWIREインタフェースの接続

$\overline{CS}$ がローの状態の時に、MAX5171/MAX5173は送られてきた1つの16ビットパケットあるいは2つの8ビットパケットを受け付けます。MAX5171/MAX5173は下記の構成が設定可能になっています。

- どのクロックエッジでDOUTが同期出力されるか
- ユーザ設定可能なロジック出力の状態
- リセット状態の構成

表1に、これらの設定に必要なコマンドが記載されています。

図4の一般タイミング図に、MAX5171/MAX5173データ収集の方法が図解されています。 $\overline{CS}$ はシリアルクロック(SCLK)の立上がりエッジよりも少なくとも $t_{CSS}$ 前にローになることが必要です。 $\overline{CS}$ がローの状態、データがSCLKの立上がりエッジでレジスタに同期入力されます。適正動作が保証された最大シリアルクロック周波数は、MAX5171が10MHz、MAX5173が6MHzです。図5に、シリアルインタフェースの詳細タイミング図を示します。

## シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。これにより、複数デバイスのデジチェーン接続及びデータの読み戻しが可能です(「アプリケーション情報」を参照)。スタートアップ時のデフォルト状態では、データはシリアルクロックの立上がりエッジ(モード0)でDOUTからシフトアウトされるため、遅れが16クロックサイクルとなり、SPI、QSPI及びMICROWIREコンパチビリティが確保されます。しかし、デバイスがモード1に設定されていると、出力はDINから16.5クロックサイクル遅れ、シリアルクロックの立上がりエッジで同期出力されます。シャットダウン中、DOUTはシャットダウン前の最後のデジタル状態を保持します。

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD			FUNCTION
C1	C0	D13.....D0	
0	0	14-bit DAC data	Load input register; DAC registers are unchanged.
0	1	14-bit DAC data	Load input register; DAC registers are updated (start up DAC with new data).
1	0	x x x xxx xxxx xxxx	Update DAC register from input register (start up DAC with data previously stored in the input registers).
1	1	0 0 x xxx xxxx xxxx	No operation (NOP).
1	1	0 1 x xxx xxxx xxxx	Shut down DAC (provided $\overline{PDL} = 1$ ).
1	1	1 0 0 xxx xxxx xxxx	UPO goes low (default).
1	1	1 0 1 xxx xxxx xxxx	UPO goes high.
1	1	1 1 0 xxx xxxx xxxx	Mode 1, DOUT clocked out on SCLK's rising edge.
1	1	1 1 1 xxx xxxx xxxx	Mode 0, DOUT clocked out on SCLK's falling edge (default).

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

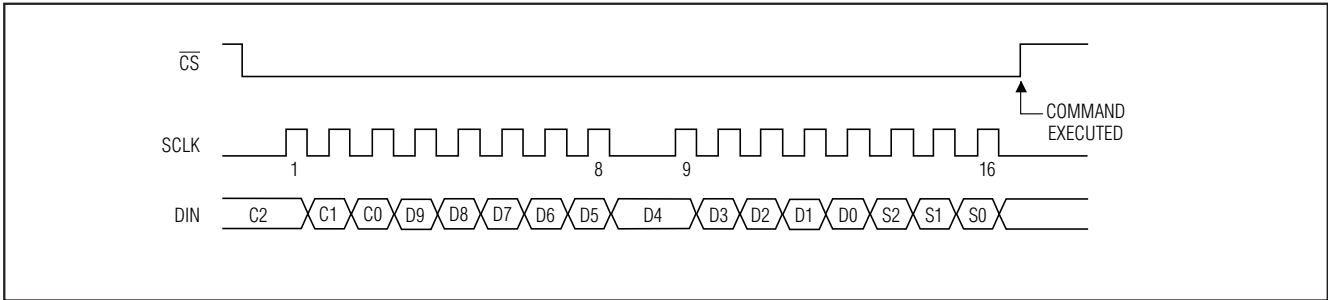


図4. シリアルインタフェースのタイミング

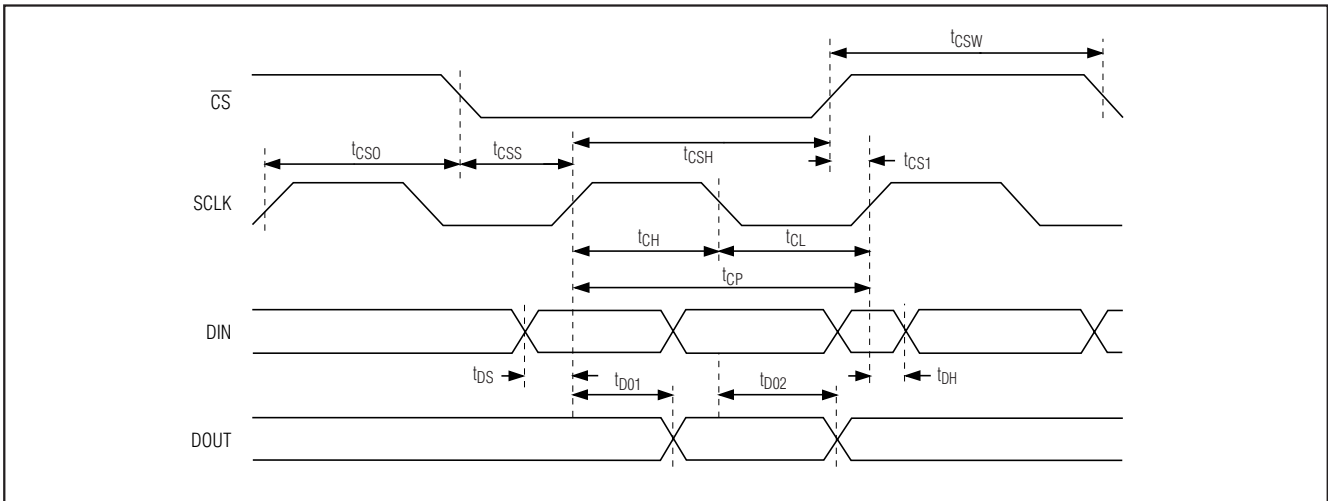


図5. シリアルインタフェースの詳細タイミング

## ユーザ設定可能な出力(UPO)

UPO機能により、シリアルインタフェースを通じて外部デバイスを制御できます。このため、必要なマイクロコントローラI/Oポート数が減らせます。パワーダウン中、この出力は、シャットダウン前の最後のデジタル状態を保持します。 $\overline{\text{CLR}}$ がローに引き下げられると、UPOはデフォルト状態にリセットされます。UPOを制御するための具体的なコマンドについては、表1を参照して下さい。

## リセット(RS)及びクリア( $\overline{\text{CLR}}$ )

MAX5171/MAX5173は、出力電圧をリセットするクリアピンを備えています。RST = DGNDの時、 $\overline{\text{CLR}}$ は出力電圧を最小電圧(オフセットがない場合は0)にリセットします。RST =  $V_{DD}$ の時、 $\overline{\text{CLR}}$ は出力電圧をミッドスケールにリセットします。いずれの場合も、 $\overline{\text{CLR}}$ はUPOを設定されたデフォルト状態にリセットします。

## アプリケーション情報

### ユニポーラ出力

図6に、MAX5171/MAX5173を利得+2V/Vのユニポーラ、レイルトゥレイル動作にセットアップした例を示します。表2に、ユニポーラ出力電圧のコードを示します。出力電圧は $V_{DD}$ に制限されています。

### バイポーラ出力

図7は、MAX5171/MAX5173をバイポーラ動作に設定した場合です。出力電圧は次式によって与えられます (FB = OUT)。

$$V_{\text{OUT}} = V_{\text{REF}} \left( \frac{2 \cdot N}{16384} - 1 \right)$$

ここで、NはDACのバイナリ入力コードの数値、 $V_{\text{REF}}$ は外部リファレンスの電圧です。表3に、図7の回路のデジタルコード及び対応する出力電圧を示します。

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

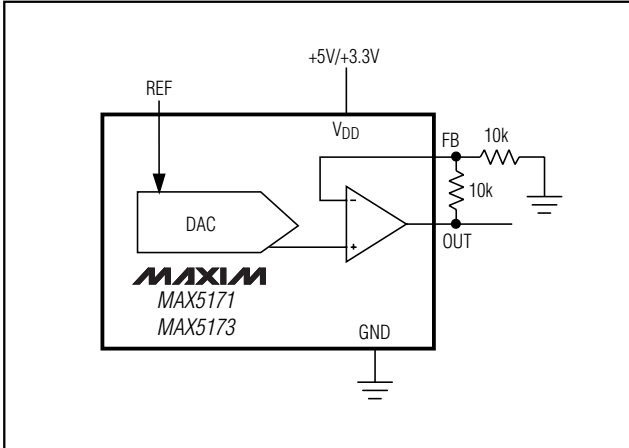


図6. ユニポーラ出力回路(レイルトゥレイル)

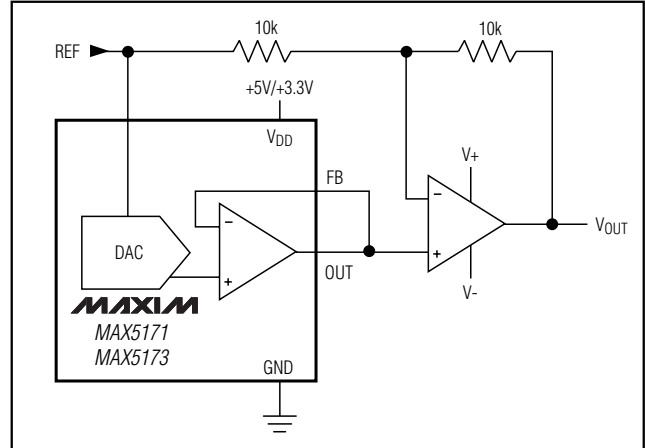


図7. バイポーラ出力回路

表2. ユニポーラコード表(図6の回路)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
11	1111 1111 1111	$2 \cdot V_{REF}$ (16383/16384)
10	0000 0000 0001	$2 \cdot V_{REF}$ (8193/16384)
10	0000 0000 0000	$2 \cdot V_{REF}$ (8192/16384)
01	1111 1111 1111	$2 \cdot V_{REF}$ (8191/16384)
00	0000 0000 0001	$2 \cdot V_{REF}$ (1/16384)
00	0000 0000 0000	0

表3. バイポーラコード表(図7の回路)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
11	1111 1111 1111	$+V_{REF} [(2 \cdot 16383/16384) - 1]$
10	0000 0000 0001	$+V_{REF} [(2 \cdot 8193/16384) - 1]$
10	0000 0000 0000	$+V_{REF} [(2 \cdot 8192/16384) - 1]$
01	1111 1111 1111	$+V_{REF} [(2 \cdot 8191/16384) - 1]$
00	0000 0000 0001	$+V_{REF} [(2 \cdot 1/16384) - 1]$
00	0000 0000 0000	$-V_{REF}$

## デバイスのデジチェーン接続

シリアルデータ出力ピン(DOUT)を使用することによって、複数のMAX5171/MAX5173をまとめてデジチェーン接続できます(図8)。この方式の長所は、僅か2本のラインで、ライン上の全てのDACを制御できることにあります。但し、DACを設定するためにn個のコマンドが必要であるという短所があります。図9に、1本の共通なDIN信号ラインを共有するいくつかのMAX5171/MAX5173を示します。この構成においては、データバスは全てのデバイスの共通です。しかし、この構成は各デバイスが専用のCSラインを必要とするため、必要なI/Oラインの数が多くなります。この構成の長所は、いずれのDACの設定にも僅か1つのコマンドしか必要としないことです。

## ACリファレンスの使用

MAX5171/MAX5173は、リファレンス電圧が0 ~ ( $V_{DD} - 1.4V$ )の範囲に収まっている限り、AC成分を含むリファレンスを許容します。図10は、REFにサイン波入力を印加する技法を示しています。リファレンス電圧はAGNDよりも上に維持される必要があります。

## デジタルプログラマブル電流ソース

図11の回路を使用すると、オペアンプのフィードバックループ内のNPNトランジスタ(2N3904等)がデジタルでプログラムできる一方向性電流ソースになります。出力電流は、次式で計算されます。

$$I_{OUT} = \frac{V_{REF} \cdot N}{R \cdot 16384}$$

ここで、NはDACのバイナリ入力コードの数値、Rは図11に示されている検出抵抗です。

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

## 電源及びレイアウト上の考慮

ワイヤラップ基板はお勧めできません。最高のシステム性能を得るには、アナログとデジタルのグランドプレーンが別々になったプリント基板を使用して下さい。2つのグランドプレーンは、低インピーダンス電源ソースのところで一緒にまとめて接続して下さい。DGNDとAGNDピンはICのところで一緒にまとめて接続して下さい。最善のグランドを得るためには、DACのDGNDピンとAGNDピンを一緒にまとめて接続し、それを今度はシステムアナロググランドプレーンに接続して下さい。DACのDGNDがシステムデジタルグランドに接続されていると、デジタルノイズがDACのアナログ部分に漏れる可能性があります。

4.7 $\mu$ Fコンデンサと0.1 $\mu$ Fコンデンサを並列にしたもので、電源をAGNDにバイパスして下さい。リードインダクタンスを小さくするために、リードはできるだけ短くして下さい。ノイズが問題になる場合は、シールド及び/又はフェライトビーズを使用して分離を改善して下さい。

利得ドリフト及びINLとDNL性能を維持するには、DACリファレンス入力ピンのところでリファレンス出力インピーダンスをできるだけ低くすることが非常に重要です。REFピンの直列抵抗が0.1  $\Omega$  を超えるとINLが劣化します。AGNDピンについても同様の配慮が必要です。

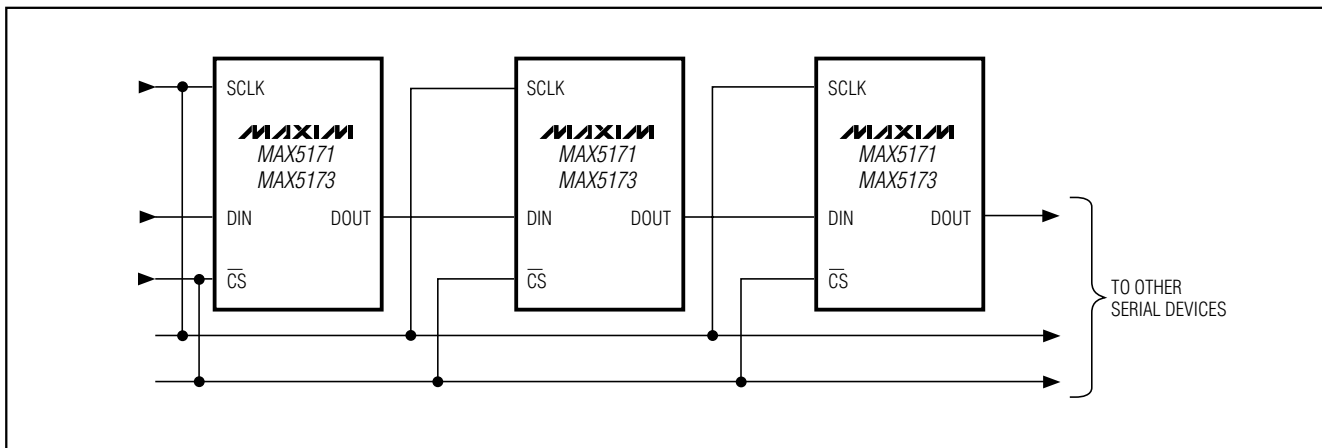


図8. 複数のMAX5171/MAX5173デバイスのデージーチェーン接続

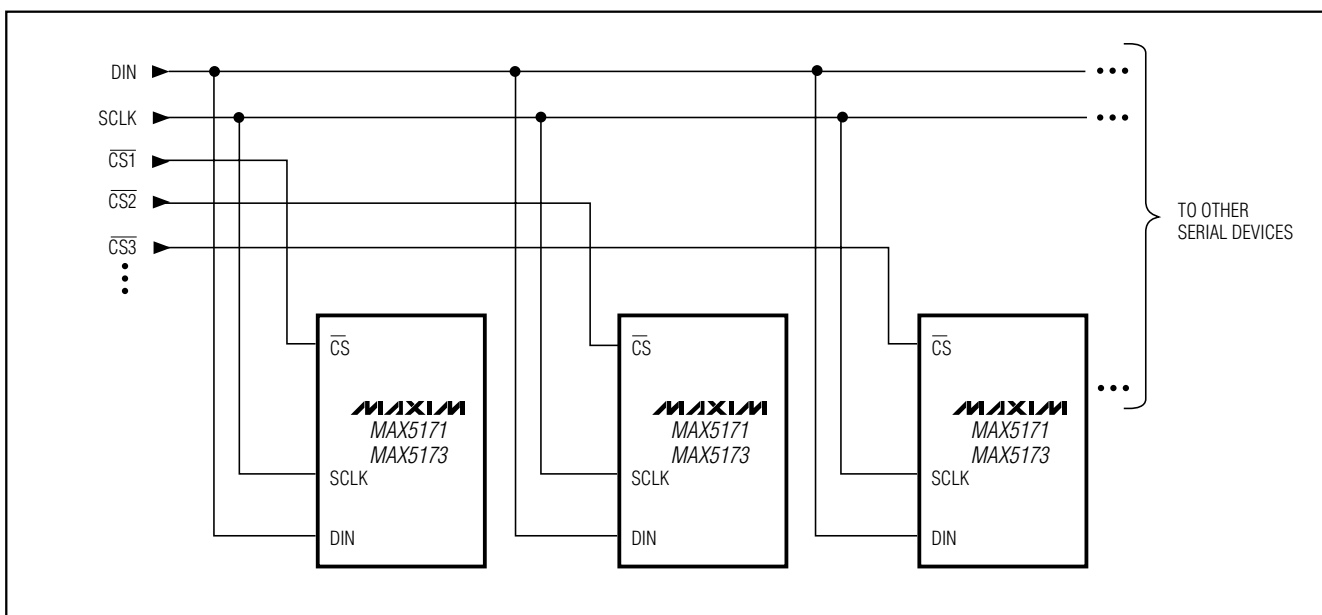


図9. 複数のMAX5171/MAX5173が1つの共通のDINとSCLKラインを共有する場合

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

MAX5171/MAX5173

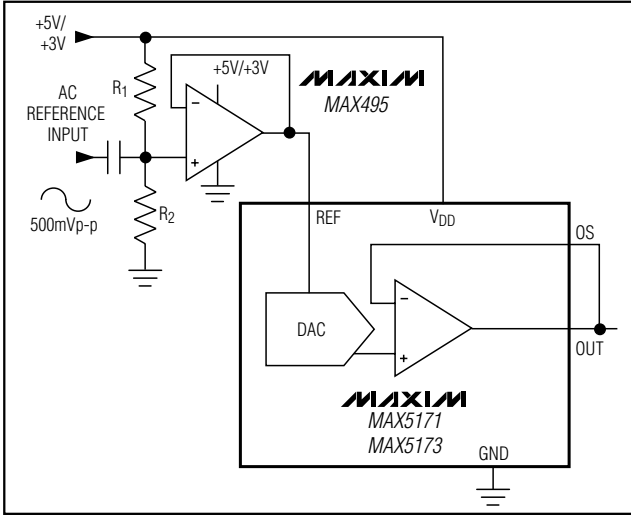


図10. ACリファレンス入力回路

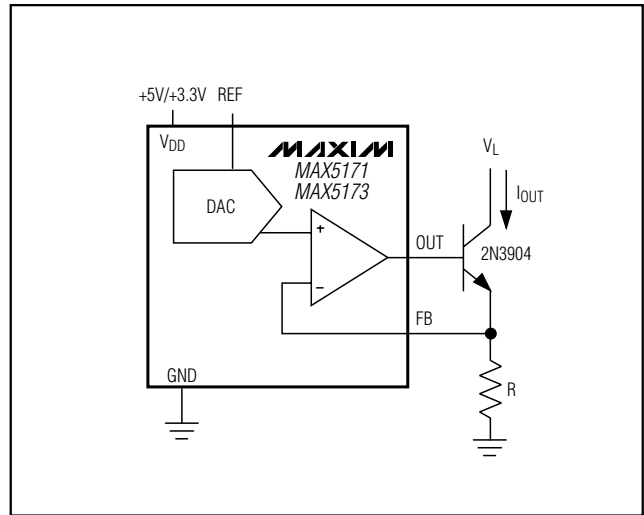
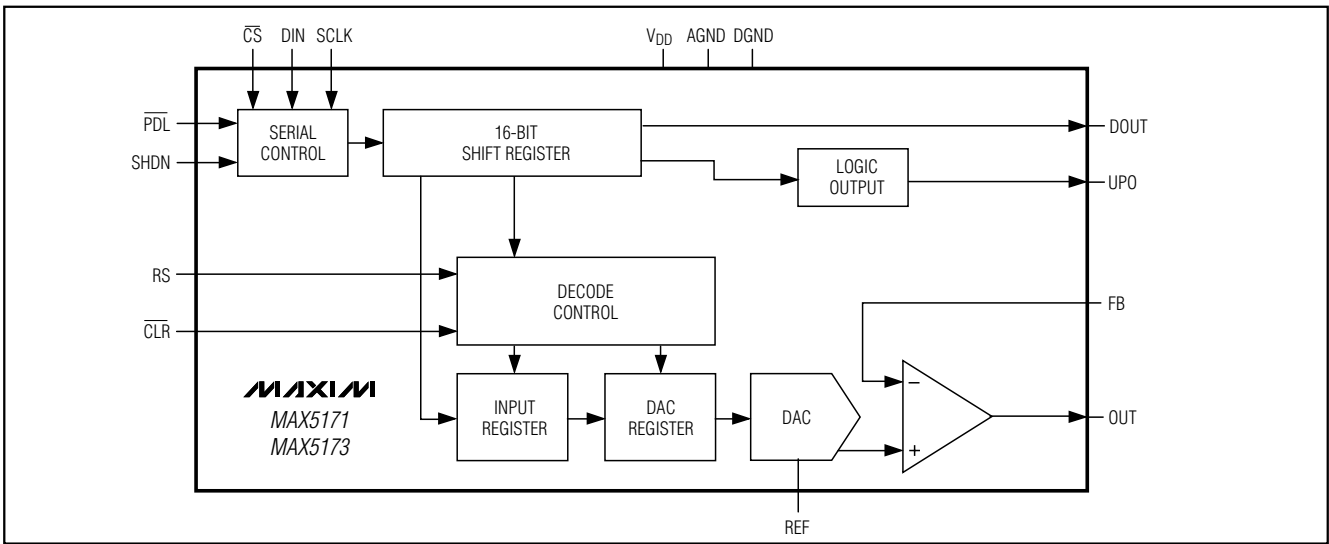


図11. デジタルプログラマブル電流ソース

## ファンクションダイアグラム



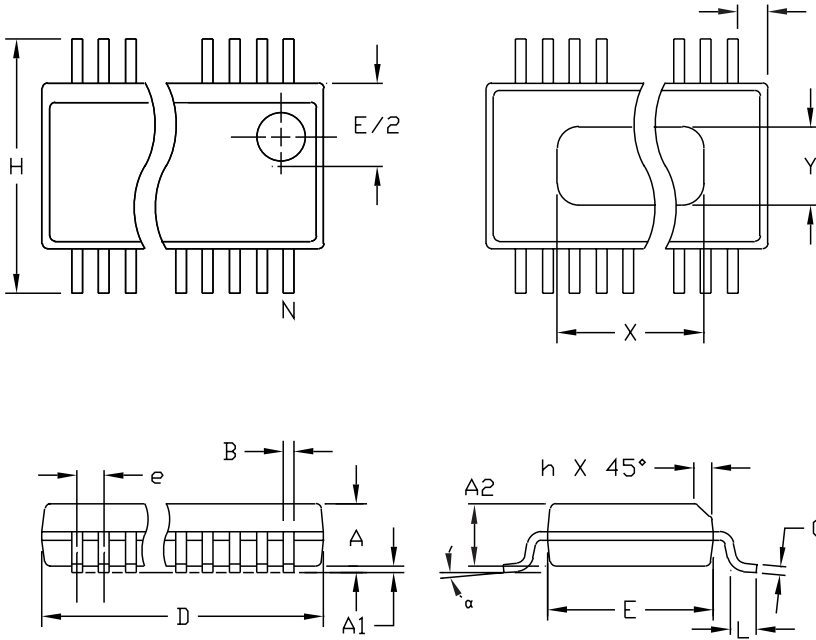
## チップ情報

TRANSISTOR COUNT: 3457

# 低電力シリアル14ビットDAC フォース/センス電圧出力付

パッケージ

QSOP/EP



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
alpha	0°	8°	0°	8°

VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

**MAXIM**  
 PROPRIETARY INFORMATION  
 TITLE:  
 PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH  
 APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO. 21-0055 REV B 1/1

販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**