

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

概要

MAX5158/MAX5159は、低電力、シリアル、電圧出力、デュアル10ビットD/Aコンバータ(DAC)です。これらの製品は、単一電源+5V(MAX5158)又は+3V(MAX5159)からの消費電流が僅か500 μ Aとなっています。これらのデバイスはレイルトゥレイル[®]出力スイングを特長とし、省スペースの16ピンQSOPパッケージで提供されています。DAC出力アンプは、ダイナミックレンジを最小にするために、+2V/Vの内部利得で構成されています。

3線シリアルインタフェースは、SPI[™]/QSPI[™]及びMicrowire[™]とコンパチブルです。各DACには、入力レジスタとして構成したダブルバッファ入力と、入力レジスタ及びDACレジスタを16ビットシリアルワードで個別又は同時に更新できるDACレジスタを備えています。さらに、2 μ Aプログラマブルシャットダウン、ハードウェアシャットダウンロックアウト、AC及びDC信号を受け付ける各DAC用の個別リファレンス電圧入力、全てのレジスタとDACをゼロにリセットするアクティブロークリア入力(\overline{CL})も備えています。MAX5158/MAX5159では、機能拡張用のプログラマブルロジックピンに加え、デジチェーン構成用のシリアルデータ出力ピンも提供されています。

アプリケーション

ディジタルオフセット及び利得調整

μ P制御システム

モーション制御

リモート工業制御

特長

- ◆ 内部利得+2V/Vの10ビットデュアルDAC
- ◆ レイルトゥレイル出力スイング
- ◆ 8 μ sセトリング時間
- ◆ 単一電源動作: +5V (MAX5158)
+3V (MAX5159)
- ◆ 低自己消費電流: 500 μ A(通常動作時)
2 μ A(シャットダウンモード時)
- ◆ SPI/QSPI及びMicrowireとコンパチブル
- ◆ 省スペースの16ピンQSOPパッケージで提供
- ◆ パワーオンリセットによってレジスタ及びDACをゼロにクリア
- ◆ 調整可能な出力オフセット

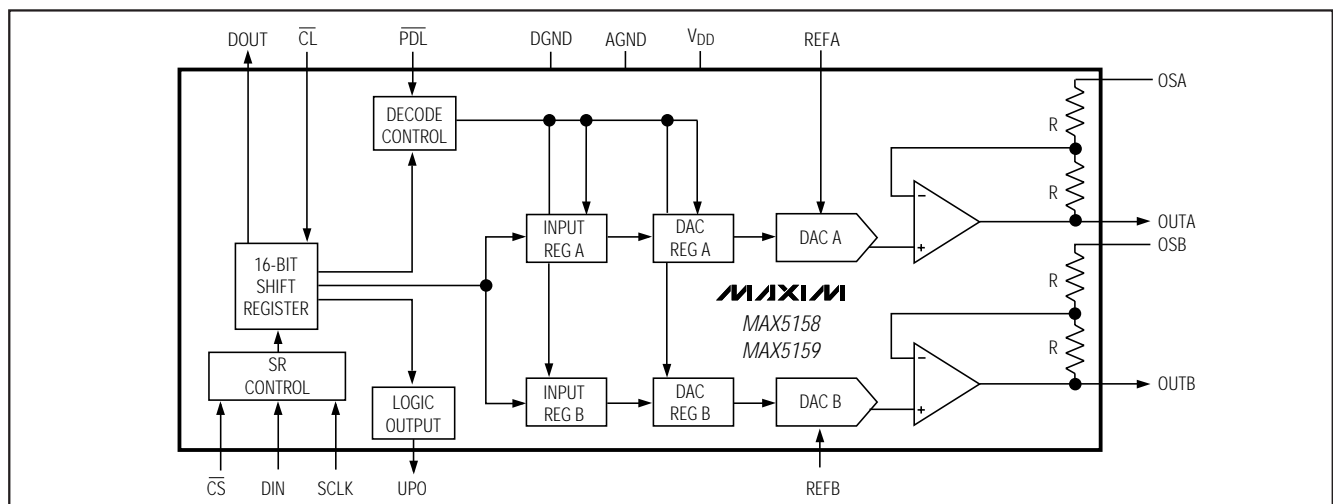
型番

| PART | TEMP. RANGE | PIN-PACKAGE |
|------------|-----------------|----------------|
| MAX5158CPE | 0°C to +70°C | 16 Plastic DIP |
| MAX5158CEE | 0°C to +70°C | 16 QSOP |
| MAX5158EPE | -40°C to +85°C | 16 Plastic DIP |
| MAX5158EEE | -40°C to +85°C | 16 QSOP |
| MAX5158MJE | -55°C to +125°C | 16 CERDIP* |

Ordering Information continued at end of data sheet.

*Contact factory for availability.

ファンクションダイアグラム



レイルトゥレイルは日本モトローラの登録商標です。MicrowireはNational Semiconductor Corp.の商標です。SPI及びQSPIはモトローラの商標です。

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

ABSOLUTE MAXIMUM RATINGS

| | | | |
|--|---|---|-----------------|
| V _{DD} to AGND..... | -0.3V to +6V | Continuous Power Dissipation (T _A = +70°C) | |
| V _{DD} to DGND | -0.3V to +6V | Plastic DIP (derate 10.5mW/°C above +70°C) | 842mW |
| AGND to DGND..... | ±0.3V | QSOP (derate 8.30mW/°C above +70°C) | 667mW |
| OSA, OSB to AGND..... | (AGND - 4V) to (V _{DD} + 0.3V) | CERDIP (derate 10.00mW/°C above +70°C) | 800mW |
| REF ₋ , OUT ₋ to AGND..... | -0.3V to (V _{DD} + 0.3V) | Operating Temperature Ranges | |
| Digital Inputs (SCLK, DIN, CS, CL, PDL) | | MAX515 ₋ _C_E | 0°C to +70°C |
| to DGND..... | (-0.3V to +6V) | MAX515 ₋ _E_E | -40°C to +85°C |
| Digital Outputs (DO _{UT} , UPO) | | MAX515 ₋ _MJE..... | -55°C to +125°C |
| to DGND | -0.3V to (V _{DD} + 0.3V) | Storage Temperature Range | -65°C to +160°C |
| Maximum Current into Any Pin | ±20mA | Lead Temperature (soldering, 10sec) | +300°C |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5158

(V_{DD} = +5V ±10%, V_{REFA} = V_{REFB} = 2.048V, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C (OS₋ tied to AGND for a gain of +2V/V).)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|-------------------|---|-----|-------|-----------------------|--------|
| STATIC PERFORMANCE | | | | | | |
| Resolution | | | 10 | | | Bits |
| Integral Nonlinearity | INL | (Note 1) | | | ±1 | LSB |
| Differential Nonlinearity | DNL | Guaranteed monotonic | | | ±1 | LSB |
| Offset Error | V _{OS} | Code = 2 | | | ±6 | mV |
| Offset Tempco | TCV _{OS} | Normalized to 2.048V | | 4 | | ppm/°C |
| Gain Error | | | | -0.1 | 1 | LSB |
| Gain-Error Tempco | | Normalized to 2.048V | | 4 | | ppm/°C |
| V _{DD} Power-Supply Rejection Ratio | PSRR | 2.7V ≤ V _{DD} ≤ 5.5V | | 20 | 260 | μV/V |
| REFERENCE INPUT | | | | | | |
| Reference Input Range | REF | | 0 | | V _{DD} - 1.4 | V |
| Reference Input Resistance | R _{REF} | Minimum with code 1558 hex | 18 | 25 | | kΩ |
| MULTIPLYING-MODE PERFORMANCE | | | | | | |
| Reference 3dB Bandwidth | | Input code = 1FF8 hex, V _{REF-} = 0.67V _{p-p} at 0.75V _{DC} | | 300 | | kHz |
| Reference Feedthrough | | Input code = 0000 hex, V _{REF-} = (V _{DD} - 1.4 V _{p-p}) at 1kHz | | -82 | | dB |
| Signal-to-Noise plus Distortion Ratio | SINAD | Input code = 1FF8 hex, V _{REF-} = 1V _{p-p} at 1.25V _{DC} , f = 25kHz | | 75 | | dB |
| DIGITAL INPUTS | | | | | | |
| Input High Voltage | V _{IH} | CL, PDL, CS, DIN, SCLK | 3 | | | V |
| Input Low Voltage | V _{IL} | CL, PDL, CS, DIN, SCLK | | | 0.8 | V |
| Input Hysteresis | V _{HYS} | | | 200 | | mV |
| Input Leakage Current | I _{IN} | V _{IN} = 0V to V _{DD} | | 0.001 | ±1 | μA |
| Input Capacitance | C _{IN} | | | 8 | | pF |

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

ELECTRICAL CHARACTERISTICS—MAX5158 (continued)

($V_{DD} = +5V \pm 10\%$, $V_{REFA} = V_{REFB} = 2.048V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_{-} tied to AGND for a gain of $+2V/V$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|----------------|--|----------------|---------------|---------|------------|
| DIGITAL OUTPUTS (DOUT, UPO) | | | | | | |
| Output High Voltage | V_{OH} | $I_{SOURCE} = 2mA$ | $V_{DD} - 0.5$ | | | V |
| Output Low Voltage | V_{OL} | $I_{SINK} = 2mA$ | | 0.13 | 0.4 | V |
| DYNAMIC PERFORMANCE | | | | | | |
| Voltage Output Slew Rate | SR | | | 0.75 | | V/ μs |
| Output Settling Time | | To 1/2LSB of full-scale, $V_{STEP} = 4V$ | | 8 | | μs |
| Output Voltage Swing | | Rail-to-rail (Note 2) | | 0 to V_{DD} | | V |
| OSA or OSB Input Resistance | $R_{OS_{-}}$ | | 24 | 34 | | $k\Omega$ |
| Time Required to Exit Shutdown | | | | 25 | | μs |
| Digital Feedthrough | | $\overline{CS} = V_{DD}$, $f_{DIN} = 100kHz$, $V_{SCLK} = 5Vp-p$ | | 5 | | nV-s |
| Digital Crosstalk | | | | 5 | | nV-s |
| POWER SUPPLIES | | | | | | |
| Positive Supply Voltage | V_{DD} | | 4.5 | | 5.5 | V |
| Power-Supply Current | I_{DD} | (Note 3) | | 0.5 | 0.65 | mA |
| Power-Supply Current in Shutdown | $I_{DD(SHDN)}$ | (Note 3) | | 2 | 10 | μA |
| Reference Current in Shutdown | | | | 0 | ± 1 | μA |
| TIMING CHARACTERISTICS | | | | | | |
| SCLK Clock Period | t_{CP} | (Note 4) | 100 | | | ns |
| SCLK Pulse Width High | t_{CH} | | 40 | | | ns |
| SCLK Pulse Width Low | t_{CL} | | 40 | | | ns |
| \overline{CS} Fall to SCLK Rise Setup Time | t_{CSS} | | 40 | | | ns |
| SCLK Rise to \overline{CS} Rise Hold Time | t_{CSH} | | 0 | | | ns |
| SDI Setup Time | t_{DS} | | 40 | | | ns |
| SDI Hold Time | t_{DH} | | 0 | | | ns |
| SCLK Rise to DOUT Valid Propagation Delay | t_{DO1} | $C_{LOAD} = 200pF$ | | | 80 | ns |
| SCLK Fall to DOUT Valid Propagation Delay | t_{DO2} | $C_{LOAD} = 200pF$ | | | 80 | ns |
| SCLK Rise to \overline{CS} Fall Delay | t_{CS0} | | 10 | | | ns |
| \overline{CS} Rise to SCLK Rise Hold | t_{CS1} | | 40 | | | ns |
| \overline{CS} Pulse Width High | t_{CSW} | | 100 | | | ns |

Note 1: Accuracy is specified from code 2 to code 1023.

Note 2: Accuracy is better than 1LSB for $V_{OUT_{-}}$ greater than 6mV and less than $V_{DD} - 50mV$. Guaranteed by PSRR test at the end points.

Note 3: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

Note 4: SCLK minimum clock period includes rise and fall times.

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

ELECTRICAL CHARACTERISTICS—MAX5159

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REFA} = V_{REFB} = 1.25V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_{-} pins tied to AGND for a gain of $+2V/V$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|--------------|---|----------------|---------------|----------------|-----------------|
| STATIC PERFORMANCE | | | | | | |
| Resolution | | | 10 | | | Bits |
| Integral Nonlinearity | INL | (Note 5) | | | ± 1 | LSB |
| Differential Nonlinearity | DNL | Guaranteed monotonic | | | ± 1 | LSB |
| Offset Error | V_{OS} | Code = 3 | | | ± 6 | mV |
| Offset Tempco | TCV_{OS} | Normalized to 1.25V | | 6.5 | | ppm/ $^\circ C$ |
| Gain Error | | | | -0.1 | ± 1 | LSB |
| Gain-Error Tempco | | Normalized to 1.25V | | 6.5 | | ppm/ $^\circ C$ |
| V_{DD} Power-Supply Rejection Ratio | PSRR | $2.7V \leq V_{DD} \leq 3.6V$ | | 40 | 320 | $\mu V/V$ |
| REFERENCE INPUT (VREF) | | | | | | |
| Reference Input Range | REF | | 0 | | $V_{DD} - 1.4$ | V |
| Reference Input Resistance | R_{REF} | Minimum with code 1558 hex | 18 | 25 | | $k\Omega$ |
| MULTIPLYING-MODE PERFORMANCE | | | | | | |
| Reference 3dB Bandwidth | | Input code = 1FF8 hex, $V_{REF_{-}} = 0.67V_{p-p}$ at $0.75V_{DC}$ | | 300 | | kHz |
| Reference Feedthrough | | Input code = 0000 hex, $V_{REF_{-}} = (V_{DD} - 1.4)V_{p-p}$ at 1kHz | | -82 | | dB |
| Signal-to-Noise plus Distortion Ratio | SINAD | Input code = 1FF8 hex, $V_{REF_{-}} = 1V_{p-p}$ at $1V_{DC}$, $f = 15kHz$ | | 73 | | dB |
| DIGITAL INPUTS | | | | | | |
| Input High Voltage | V_{IH} | \overline{CL} , \overline{PDL} , \overline{CS} , DIN, SCLK | 2.2 | | | V |
| Input Low Voltage | V_{IL} | \overline{CL} , \overline{PDL} , \overline{CS} , DIN, SCLK | | | 0.8 | V |
| Input Hysteresis | V_{HYS} | | | 200 | | mV |
| Input Leakage Current | I_{IN} | $V_{IN} = 0V$ to V_{DD} | | 0 | ± 1 | μA |
| Input Capacitance | C_{IN} | | | 8 | | pF |
| DIGITAL OUTPUTS | | | | | | |
| Output High Voltage | V_{OH} | $I_{SOURCE} = 2mA$ | $V_{DD} - 0.5$ | | | V |
| Output Low Voltage | V_{OL} | $I_{SINK} = 2mA$ | | 0.13 | 0.4 | V |
| DYNAMIC PERFORMANCE (DOUT, UPO) | | | | | | |
| Voltage Output Slew Rate | SR | | | 0.75 | | $V/\mu s$ |
| Output Settling Time | | To 1/2LSB of full-scale, $V_{STEP} = 2.5V$ | | 8 | | μs |
| Output Voltage Swing | | Rail-to-rail (Note 6) | | 0 to V_{DD} | | V |
| OSA or OSB Input Resistance | $R_{OS_{-}}$ | | 24 | 34 | | $k\Omega$ |
| Time Required for Valid Operation after Shutdown | | | | 25 | | μs |
| Digital Feedthrough | | $\overline{CS} = V_{DD}$, $f_{DIN} = 100kHz$, $V_{SCLK} = 3V_{p-p}$ | | 5 | | nV-s |
| Digital Crosstalk | | | | 5 | | nV-s |

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

ELECTRICAL CHARACTERISTICS—MAX5159 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REFA} = V_{REFB} = 1.25V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_ pins tied to AGND for a gain of $+2V/V$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|----------------|--------------------|-----|-----|---------|---------|
| POWER SUPPLIES | | | | | | |
| Positive Supply Voltage | V_{DD} | | 2.7 | | 3.6 | V |
| Power-Supply Current | I_{DD} | (Note 7) | | 0.5 | 0.6 | mA |
| Power-Supply Current in Shutdown | $I_{DD}(SHDN)$ | (Note 7) | | 1 | 8 | μA |
| Reference Current in Shutdown | | | | | ± 1 | μA |
| TIMING CHARACTERISTICS | | | | | | |
| SCLK Clock Period | t_{CP} | (Note 4) | 100 | | | ns |
| SCLK Pulse Width High | t_{CH} | | 40 | | | ns |
| SCLK Pulse Width Low | t_{CL} | | 40 | | | ns |
| \overline{CS} Fall to SCLK Rise Setup Time | t_{CSS} | | 40 | | | ns |
| SCLK Rise to \overline{CS} Rise Hold Time | t_{CSH} | | 0 | | | ns |
| SDI Setup Time | t_{DS} | | 50 | | | ns |
| SDI Hold Time | t_{DH} | | 0 | | | ns |
| SCLK Rise to DOUT Valid Propagation Delay | t_{DO1} | $C_{LOAD} = 200pF$ | | | 120 | ns |
| SCLK Fall to DOUT Valid Propagation Delay | t_{DO2} | $C_{LOAD} = 200pF$ | | | 120 | ns |
| SCLK Rise to \overline{CS} Fall Delay | t_{CS0} | | 10 | | | ns |
| \overline{CS} Rise to SCLK Rise Hold | t_{CS1} | | 40 | | | ns |
| \overline{CS} Pulse Width High | t_{CSW} | | 100 | | | ns |

Note 5: Accuracy is specified from code 3 to code 1023.

Note 6: Accuracy is better than 1LSB for V_{OUT} greater than 6mV and less than $V_{DD} - 80mV$. Guaranteed by PSRR test at the end points.

Note 7: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

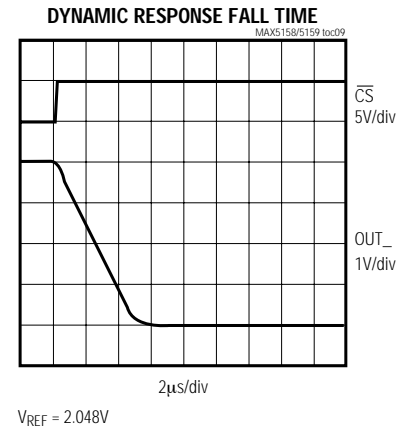
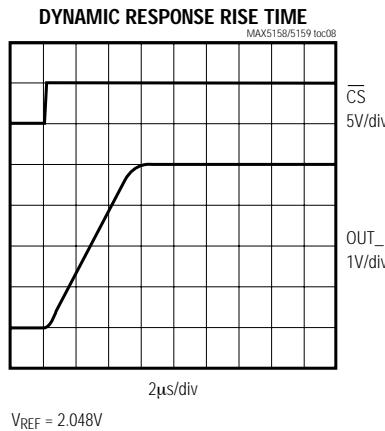
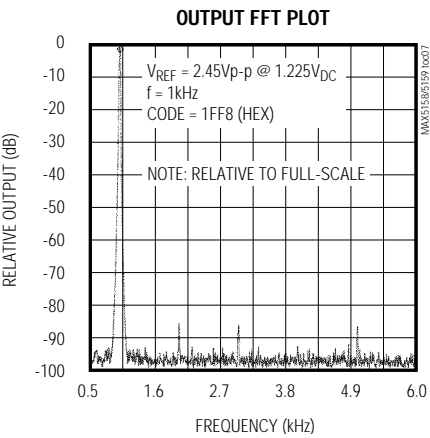
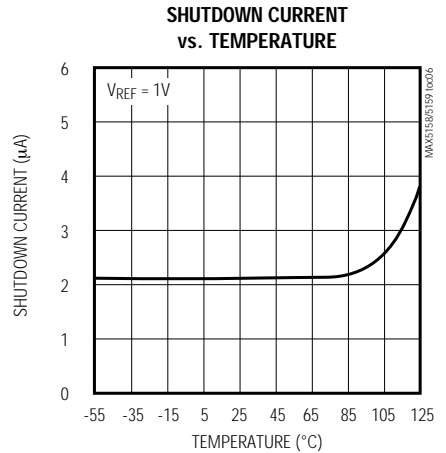
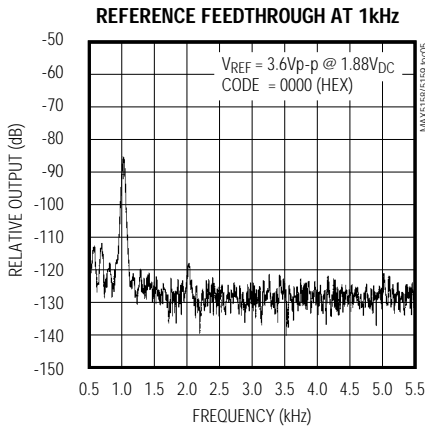
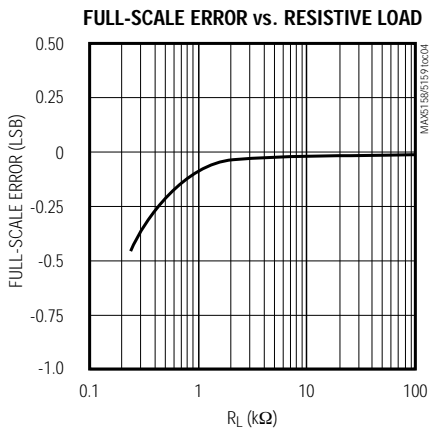
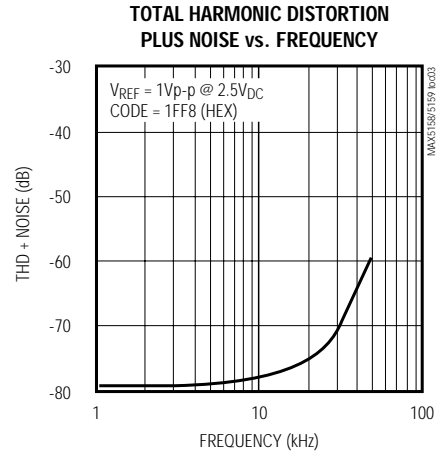
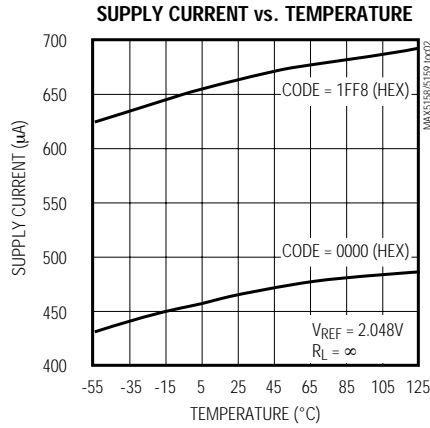
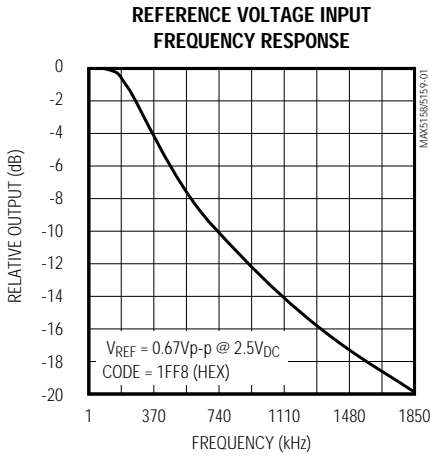
低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

標準動作特性

($V_{DD} = +5V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_ pins tied to AGND, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5158



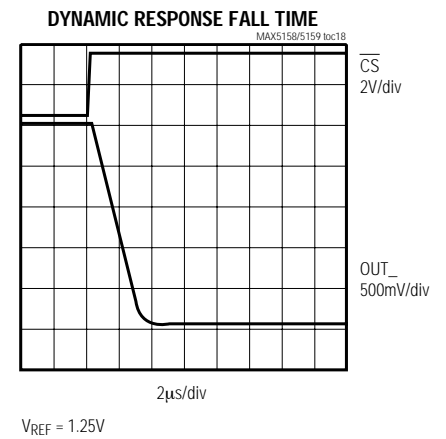
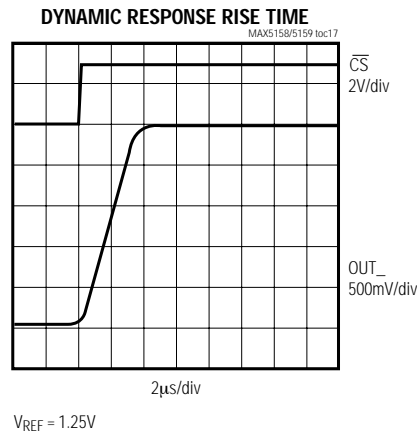
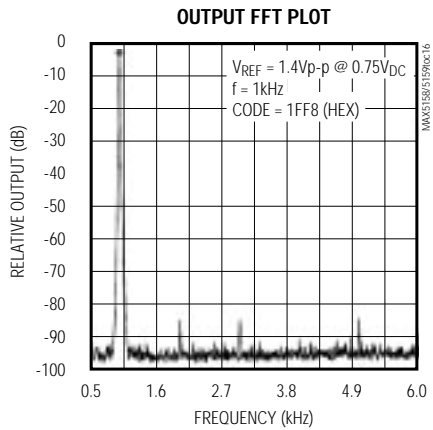
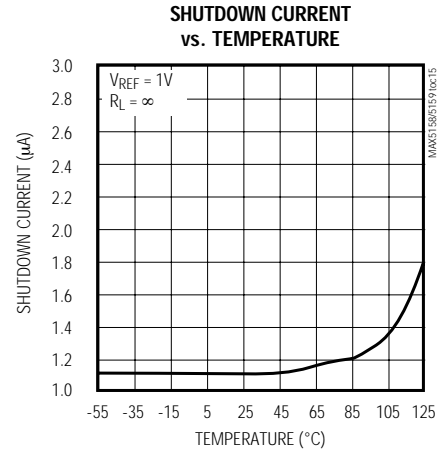
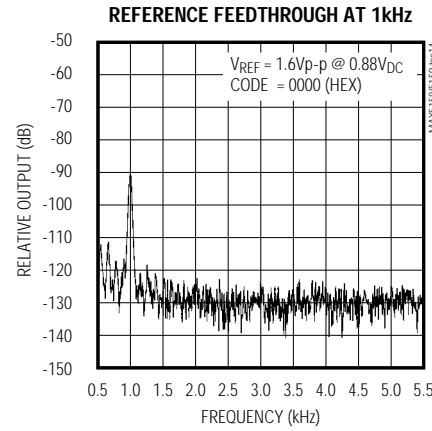
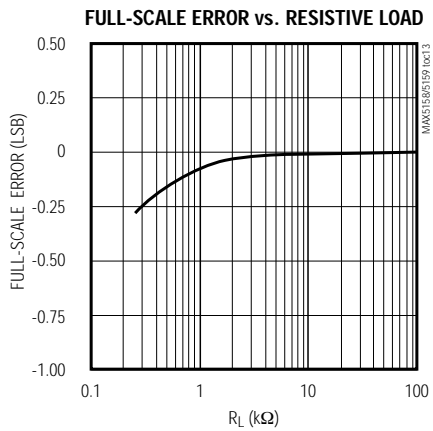
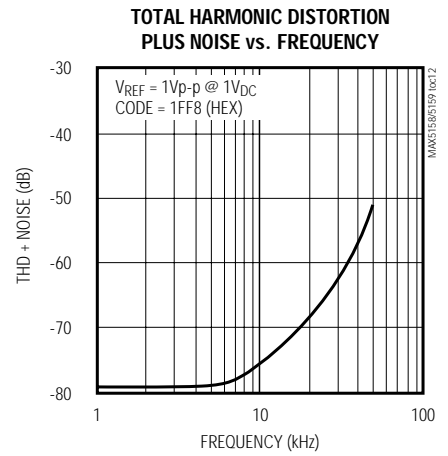
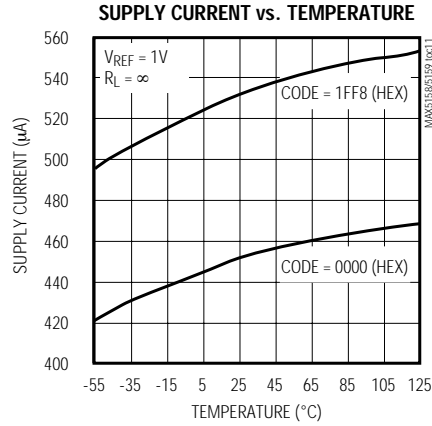
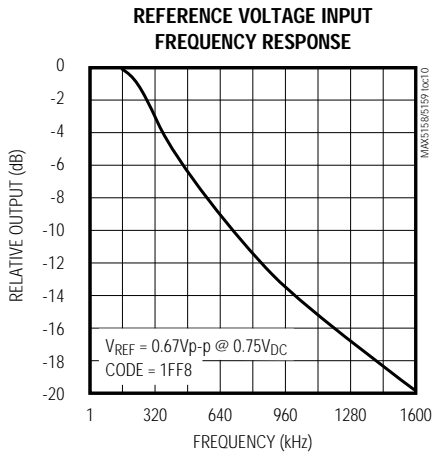
低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

標準動作特性(続き)

($V_{DD} = +3V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_ pins tied to AGND, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5159



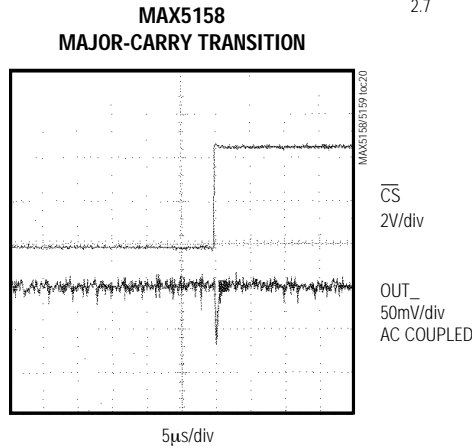
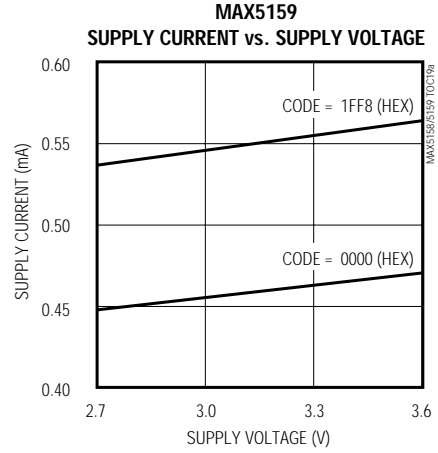
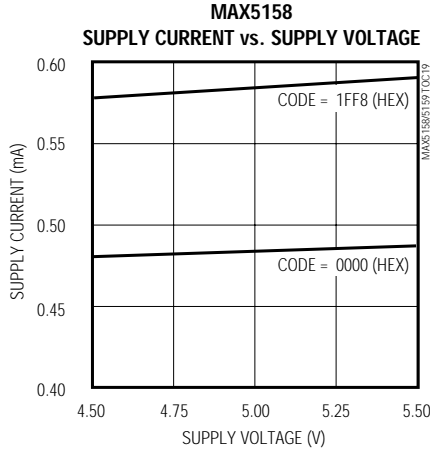
低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

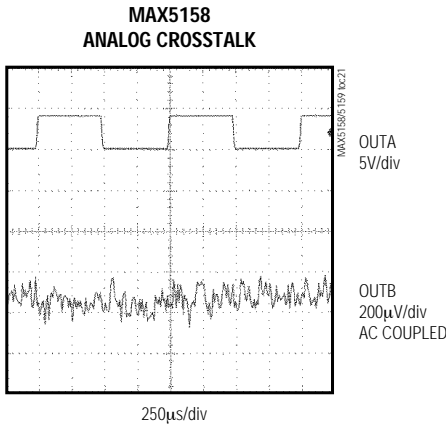
標準動作特性(続き)

($V_{DD} = +5V$ (MAX5158), $V_{DD} = +3V$ (MAX5159), $R_L = 10k\Omega$, $C_L = 100pF$, OS_ pins tied to AGND, unless otherwise noted.)

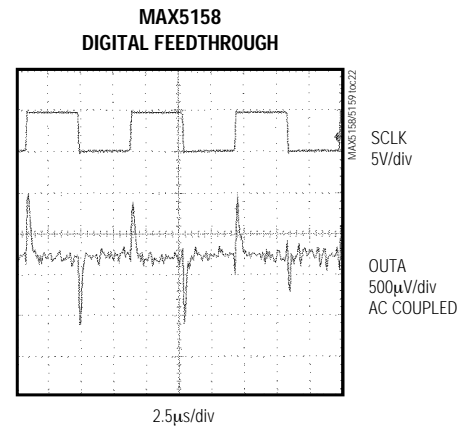
MAX5158/MAX5159



TRANSITION FROM 1000 (HEX) TO 0FF8 (HEX)



$V_{REF} = 2.048V$, GAIN = +2V/V, CODE = 1FF8 HEX



低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

端子説明

| 端子 | 名称 | 機能 |
|----|------------------|--|
| 1 | AGND | アナロググランド |
| 2 | OUTA | DAC A出力電圧 |
| 3 | OSA | DAC Aオフセット調整 |
| 4 | REFA | DAC Aのリファレンス |
| 5 | \overline{CL} | アクティブロクリア入力。全レジスタをゼロにリセットします。DAC出力は0Vになります。 |
| 6 | \overline{CS} | チップセレクト入力 |
| 7 | DIN | シリアルデータ入力 |
| 8 | SCLK | シリアルクロック入力 |
| 9 | DGND | デジタルグランド |
| 10 | DOUT | シリアルデータ出力 |
| 11 | UPO | ユーザープログラマブル出力 |
| 12 | \overline{PDL} | パワーダウンロックアウト。 \overline{PDL} がローの時は、デバイスをパワーダウンすることはできません。 |
| 13 | REFB | DAC Bのリファレンス |
| 14 | OSB | DAC Bオフセット調整 |
| 15 | OUTB | DAC B出力電圧 |
| 16 | V _{DD} | 正電源 |

詳細

MAX5158/MAX5159デュアル、10ビット、電圧出力DACは、3線シリアルインタフェースで容易に構成できます。これらのデバイスは、16ビットデータイン/データアウトシフトレジスタを含み、各DACには入力レジスタ及びDACレジスタから構成されるダブルバッファ入力があります(「ファンクションダイアグラム」参照)。さらに、トリミングした内部抵抗は、出力電圧シングが最大になる+2V/Vの内部利得を提供します。アンプのオフセット調整ピンは、DAC出力のDCシフトを可能にします。

これらのDACは、入力電圧に比例した重み付け電圧を発生する反転R-2Rラダーネットワークを使用しています。各DACには専用のリファレンス入力があり、独立したフルスケール値を提供します。図1に、このDACの概略回路図を示します。

リファレンス入力

リファレンス入力は、0V ~ (V_{DD} - 1.4V)の範囲のAC値及びDC値の両方を受け付けます。出力電圧は次式で計算できます(OS₋ = AGND)。

$$V_{OUT} = (V_{REF} \times NB / 1024) \times 2$$

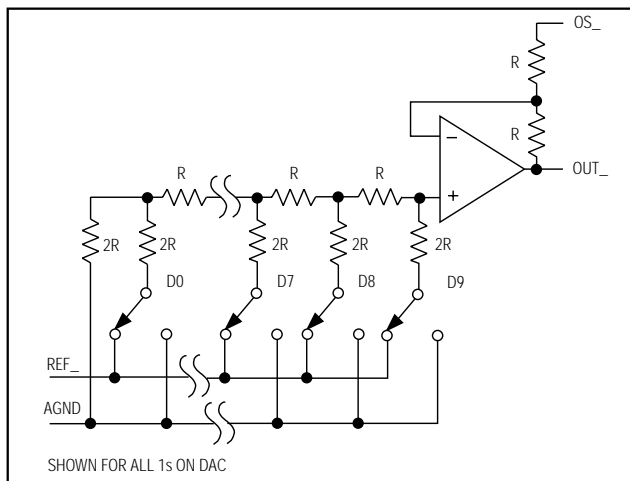


図1. DACの概略回路図

ここで、NBはDACのバイナリ入力コードの数値(0 ~ 1023)を示し、V_{REF}はリファレンス電圧を示します。

リファレンス入力インピーダンスの範囲は、18k (16進表示: 1558) ~ 数G (入力コードの16進表示: 0000)です。リファレンス入力キャパシタンスはコードに依存し、通常15pF(入力コードが全部ゼロの場合)から50pF(フルスケール入力コード)の範囲になります。

出力アンプ

MAX5158/MAX5159の出力アンプは、OS₋をAGNDに接続した時の利得が+2V/Vになる内部抵抗を備えています。これらの抵抗は、利得誤差が最小になるようにトリミングされています。負荷10kΩを100pFと並列に接続した場合、出力アンプのスルーレートは0.75V/μs(typ)で、8μs以内に1/2LSBにセトリングします。2kΩ以下の負荷では性能が低下します。

OS₋ピンは、出力段で調整可能なオフセット電圧を得るために使用できます。例えば、1Vのオフセットを得るには、OS₋ピンに-1Vを印可し、1V ~ (1V + V_{REF} × 2)の出力範囲を発生します。但し、最大出力電圧仕様の制約は、この場合もDACの出力範囲に適用されます。

パワーダウンモード

MAX5158/MAX5159は、公称消費電流を2μAに低減するソフトウェアプログラマブルシャットダウンモードを備えています。これら2つのDACは、プログラミングコマンドで個別又は同時にシャットダウンできます。シャットダウンモードは、指定の入力制御ワードを記述することによって設定します(表1)。シャットダウンモードにすると、リファレンス入力及びアンプ出力がハイインピーダンスになり、シリアルインタフェースはアクティブのまま維持されます。この時入力レジスタ内のデータ

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

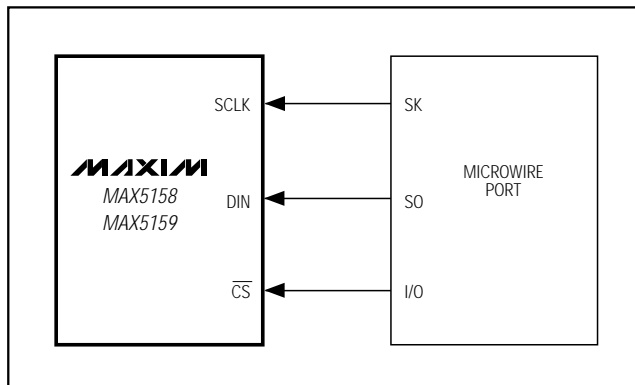


図2. Microwireの接続

は保存されているため、通常モードに切り替えた時には、MAX5158/MAX5159をシャットダウン直前の出力状態に戻すことができます。シャットダウンモードを終了するには、直前の状態を復元するか、又はDACを別の情報で更新します。(シャットダウンモードを終了し)通常動作に切り替えた時は、出力を安定させるために20 μ s待ってください。

シリアルインタフェース

MAX5158/MAX5159 3線シリアルインタフェースは、Microwire(図2)及びSPI/QSPI(図3)シリアルインタフェース標準とコンパチブルです。16ビットのシリアル入力ワードは、図4に示すように1ビットのアドレスビット、2ビットの制御ビット、10ビットのデータ(MSBからLSB)及び3ビットのサブビットで構成されています。MAX5158/MAX5159の応答は、表1に示すようにアドレスビット及び制御ビットで決まります。

表1. シリアルインタフェース プログラミングコマンド

| 16ビットシリアルワード | | | | | 機能 |
|--------------|----|----|--------------------------|-------|--|
| A0 | C1 | C0 | D9.....D0 (MSB) (LSB) | S2-S0 | |
| 0 | 0 | 1 | 10ビットのDACデータ | 000 | 入力レジスタAをロード。DACレジスタは不変。 |
| 1 | 0 | 1 | 10ビットのDACデータ | 000 | 入力レジスタBをロード。DACレジスタは不変。 |
| 0 | 1 | 0 | 10ビットのDACデータ | 000 | 入力レジスタAをロード。全てのDACレジスタを更新。 |
| 1 | 1 | 0 | 10ビットのDACデータ | 000 | 入力レジスタBをロード。全てのDACレジスタを更新。 |
| 0 | 1 | 1 | 10ビットのDACデータ | 000 | シフトレジスタから全てのDACレジスタへロード(両方のDACを新しいデータでスタートアップ)。 |
| 1 | 0 | 0 | xxxxxxxx | 000 | 両方のDACレジスタを各々の入力レジスタで更新(両方のDACを入力レジスタに既に保存されているデータでスタートアップ)。 |
| 1 | 1 | 1 | xxxxxxxx | 000 | $\overline{\text{PDL}} = 1$ の場合に両方のDACをシャットダウン。 |
| 0 | 0 | 0 | 001x xxxxxx | 000 | DACレジスタAを入力レジスタAで更新(DAC Aを入力レジスタAに既に保存されているデータでスタートアップ)。 |
| 0 | 0 | 0 | 101x xxxxxx | 000 | DACレジスタBを入力レジスタBで更新(DAC Bを入力レジスタBに既に保存されているデータでスタートアップ)。 |
| 0 | 0 | 0 | 110x xxxxxx | 000 | $\overline{\text{PDL}} = 1$ の場合にDAC Aをシャットダウン。 |
| 0 | 0 | 0 | 111x xxxxxx | 000 | $\overline{\text{PDL}} = 1$ の場合にDAC Bをシャットダウン。 |
| 0 | 0 | 0 | 010x xxxxxx | 000 | UPOがローになります(デフォルト)。 |
| 0 | 0 | 0 | 011x xxxxxx | 000 | UPOがハイになります。 |
| 0 | 0 | 0 | 1001 xxxxxx | 000 | モード1、DOUTはSCLKの立上がりエッジでクロック出力。 |
| 0 | 0 | 0 | 1000 xxxxxx | 000 | モード0、DOUTはSCLKの立下がりエッジでクロック出力(デフォルト)。 |
| 0 | 0 | 0 | 000x xxxxxx | 000 | ノーオペレーション(NOP) |

x = 任意

注記: A0、C1及びC0="0"の場合、D9、D8、D7及びD6が制御ビットになります。S2 S0はサブビットで常にゼロです。

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

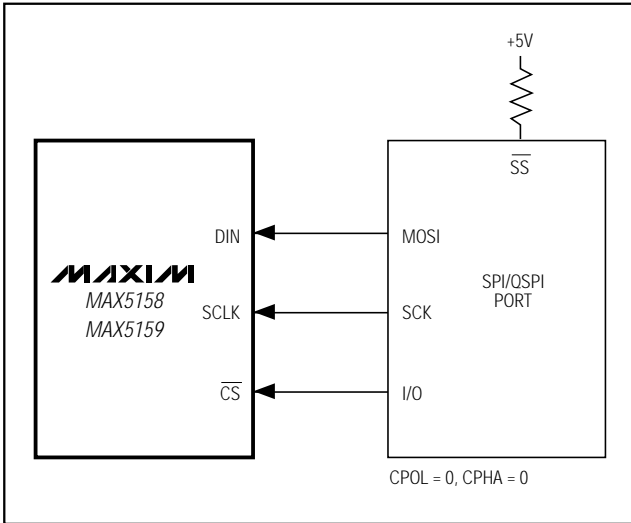


図3. SPI/QSPIの接続

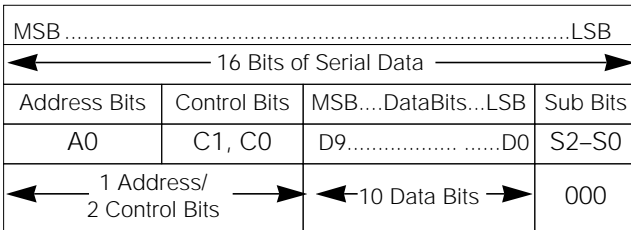


図4. シリアルデータフォーマット

MAX5158/MAX5159のデジタル入力はダブルバッファ構成になっているため、DACレジスタを更新することなく入力レジスタをロードすることも、入力レジスタからDACレジスタを更新することも、又入力レジスタとDACレジスタを同時に更新することもできます。DACは、これらのアドレスビット及び制御ビットによって個別に動作させることができます。

この期間は、 \overline{CS} がローの状態、16ビットデータを1つの16ビットワード(QSPI)又は2つの8ビットパケット(SPI、Microwire)として送信します。このアドレス及び制御ビットは、更新するレジスタとシャットダウンモードを終了する時のレジスタの状態を決定します。3ビットのアドレス/制御は、次の事項を決定します。

- 更新するレジスタ
- どのクロックエッジでデータがシリアルデータ出力(DOUT)からクロック出力されるか
- ユーザプログラマブルロジック出力の状態
- シャットダウン後のデバイス構成

図5のタイミング図は、データがどのように取得されるかを示したものです。データは、 \overline{CS} をローで駆動すると受信できます。これ以外の状態では、インタフェース制御回路がディセーブルされます。 \overline{CS} がローの時は、DINのデータがSCLKの立上りエッジでレジスタ内にクロックされます。 \overline{CS} がハイになると、アドレスビットと制御ビットに従って、入力レジスタ及び(又は)DACレジスタ内にデータがラッチされます。正しい動作を保証できる最大クロック周波数は10MHzです。図6に、シリアルインタフェースのより詳細なタイミングを示します。

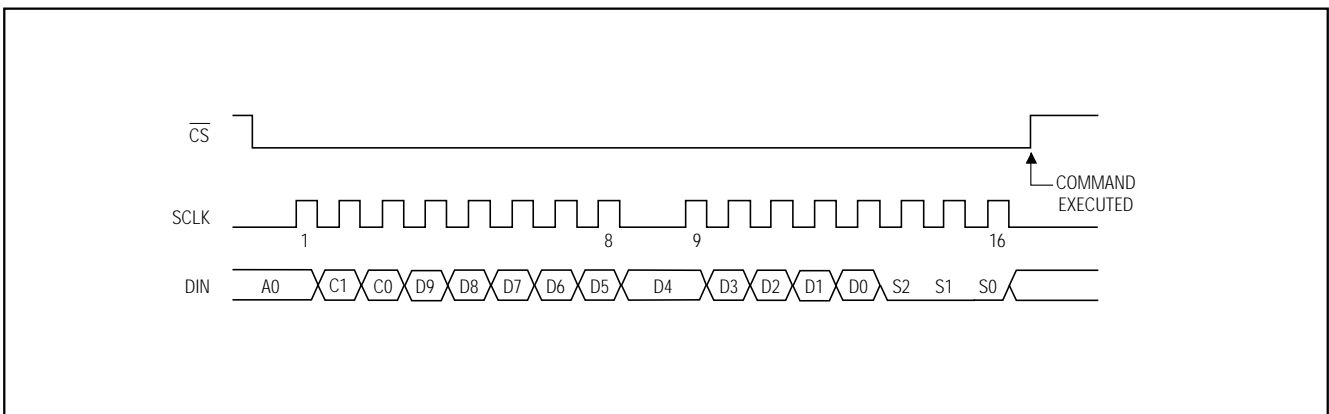


図5. シリアルインタフェースのタイミング図

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

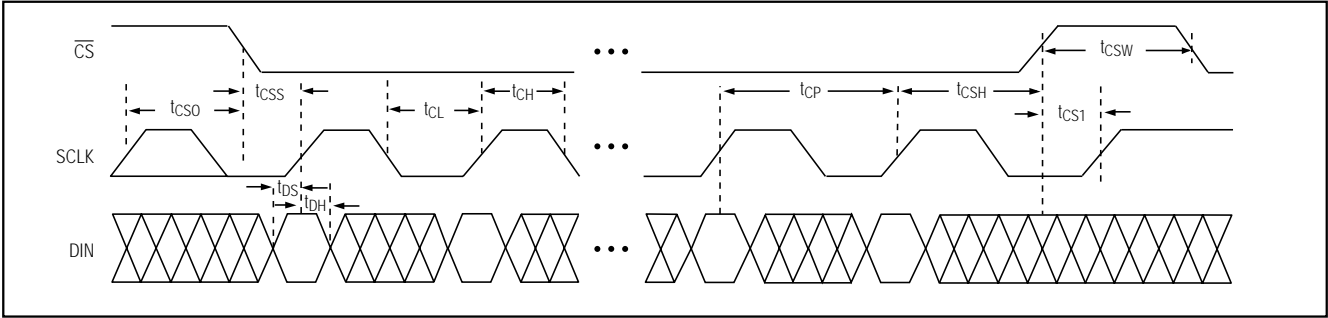


図6. 詳細なシリアルインタフェースタイミング図

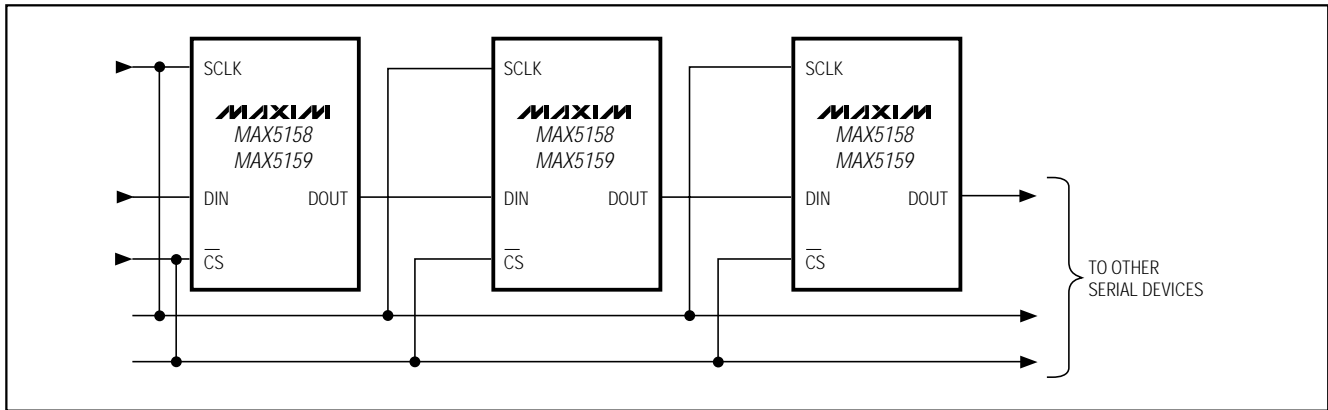


図7. MAX5158/MAX5159をデジーチェーン構成した場合

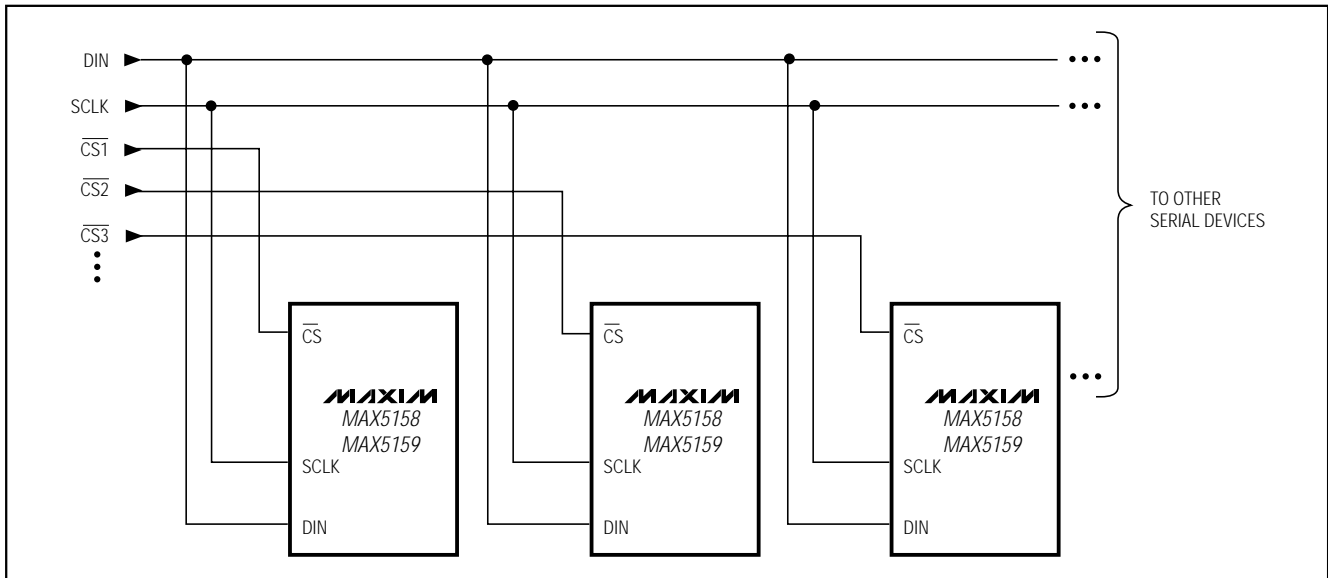


図8. 複数のMAX5158/MAX5159でDINラインを共用した場合

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

表2. ユニポーラコード表(利得 = +2)

| DAC CONTENTS | | ANALOG OUTPUT |
|--------------|-----------------|---|
| MSB | LSB | |
| 11 | 1111 1111 (000) | $+V_{REF} \left(\frac{1023}{1024} \right) \times 2$ |
| 10 | 0000 0001 (000) | $+V_{REF} \left(\frac{513}{1024} \right) \times 2$ |
| 10 | 0000 0000 (000) | $+V_{REF} \left(\frac{512}{1024} \right) \times 2 = V_{REF}$ |
| 01 | 1111 1111 (000) | $+V_{REF} \left(\frac{511}{1024} \right) \times 2$ |
| 00 | 0000 0001 (000) | $+V_{REF} \left(\frac{1}{1024} \right)$ |
| 00 | 0000 0000 (000) | 0V |

Note: () are for the sub bits.

シリアルデータ出力

シリアルデータ出力DOUTは、内部シフトレジスタの出力です。DOUTは、デバイスのデジチェーン構成やデータの読み戻しを可能にします。MAX5158/MAX5159は、SCLKの立下りエッジ(モード0)又は立上りエッジ(モード1)でDOUTのデータをシフトするようにプログラムできます。モード0は16クロックサイクルの遅れを提供し、SPI/QSPI及びMicrowireインタフェースとの互換性を維持します。モード1では、出力データの遅れが15.5クロックサイクルになります。パワーアップ時には、デバイスがモード0(標準設定)に設定されます。

ユーザプログラマブルロジック出力(UPO)

UPOは、シリアルインタフェースを介した外部デバイスの制御を可能にするため(表1)、必要なマイクロコントローラI/Oピンの数が低減できます。パワーアップ時には、UPOがローになります。

パワーダウンロックアウト入力(PDL)

パワーダウンロックアウトピン(PDL)がローの時は、ソフトウェアシャットダウンがディセーブルされます。シャットダウン時にPDLをハイからローに設定すると、シャットダウン前の出力状態でデバイスがウェイクアップされます。このPDLは、デバイスを非同期でウェイクアップするために利用することもできます。

デバイスのデジチェーン構成

MAX5158/MAX5159のDOUTピンを別のMAX5158/MAX5159のDINピンに接続することにより、複数のMAX5158/MAX5159をデジチェーン式に構成できます(図7)。

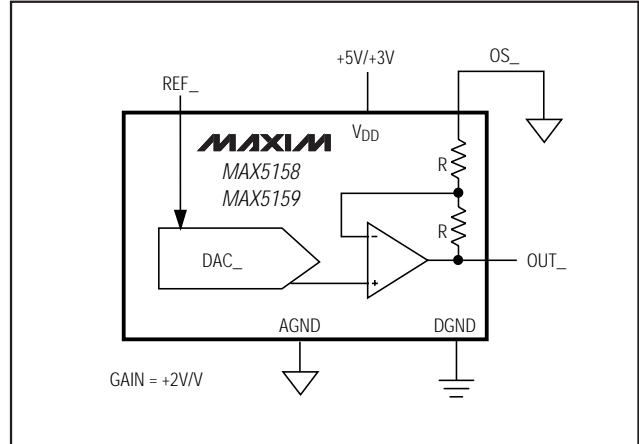


図9. ユニポーラ出力回路(レイルトゥレイル)

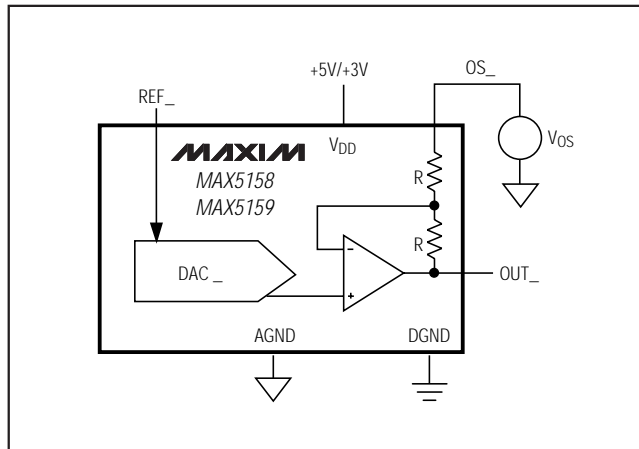


図10. 出力オフセットに対するOS_の設定

MAX5158/MAX5159のDOUTピンには内部アクティブプルアップが備わっているため、容量性負荷の放電/充電に掛かる時間は、DOUTシンク/ソース機能によって決まります。「Electrical Characteristics」のデジタル出力 V_{OH} 及び V_{OL} の仕様を参照してください。

図8に、いくつかのMAX5158/MAX5159を別方法で接続した場合を示します。この構成では、全デバイスに対して共通のデータバスを使用しているため、データはデジチェーンでシフトされません。この場合、各ICに専用のチップセレクト入力(CS)が必要になるため、より多くのI/Oラインが必要になります。

アプリケーション情報

ユニポーラ出力

図9に、+2V/Vの利得でユニポーラ、レイルトゥレイル動作に構成したMAX5158/MAX5159を示します。この構成のMAX5158は、2.048Vリファレンスで0V ~ 4.096V出力を発生し(図9)、MAX5159は1.25V

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

表3. バイポーラコード表

| DAC CONTENTS | | ANALOG OUTPUT |
|--------------|-----------------|--|
| MSB | LSB | |
| 11 | 1111 1111 (000) | $+V_{REF} \left(\frac{511}{512} \right)$ |
| 10 | 0000 0001 (000) | $+V_{REF} \left(\frac{1}{512} \right)$ |
| 10 | 0000 0000 (000) | 0V |
| 01 | 1111 1111 (000) | $-V_{REF} \left(\frac{1}{512} \right)$ |
| 00 | 0000 0001 (000) | $-V_{REF} \left(\frac{511}{512} \right)$ |
| 00 | 0000 0000 (000) | $-V_{REF} \left(\frac{512}{512} \right) = -V_{REF}$ |

Note: () are for the sub bits.

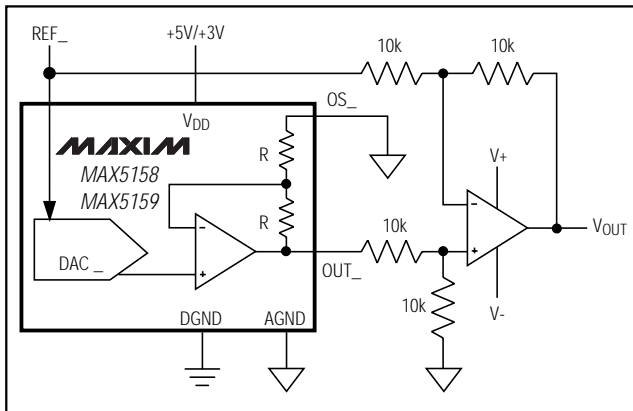


図11. バイポーラ出力回路

リファレンスで0V~2.5Vを発生します。表2に、ユニポーラ出力コードを示します。出力のオフセットは、図10に示すように電圧をOS₋に接続することによって得られます。V_{OS-} = -1Vを印可すると、出力値が1V~(1V + V_{REF} × 2)の範囲になります。

バイポーラ出力

MAX5158/MAX5159は、図11に示すようにバイポーラ出力用として構成できます。出力電圧は次式から得られます(OS₋ = AGND)。

$$V_{OUT} = V_{REF} \left[\left(\frac{2 \times NB}{1024} \right) - 1 \right]$$

ここで、NBは、DACのバイナリ入力コードの数値を示します。表3に、図11の回路のデジタルコード及びこれに該当する出力電圧を示します。

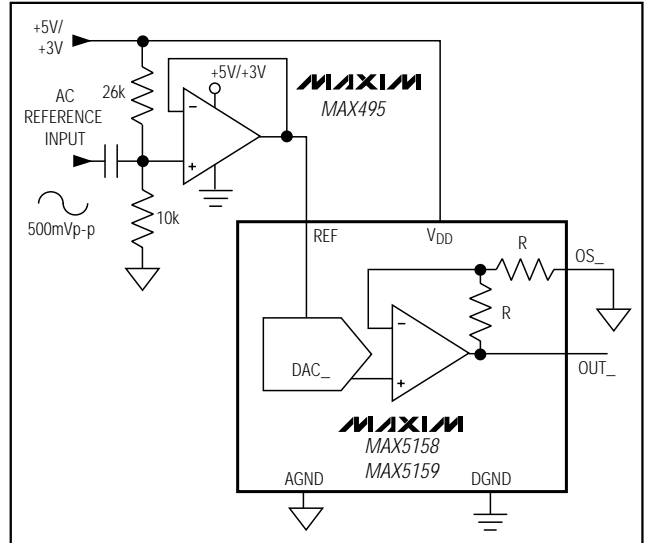


図12. ACリファレンス入力回路

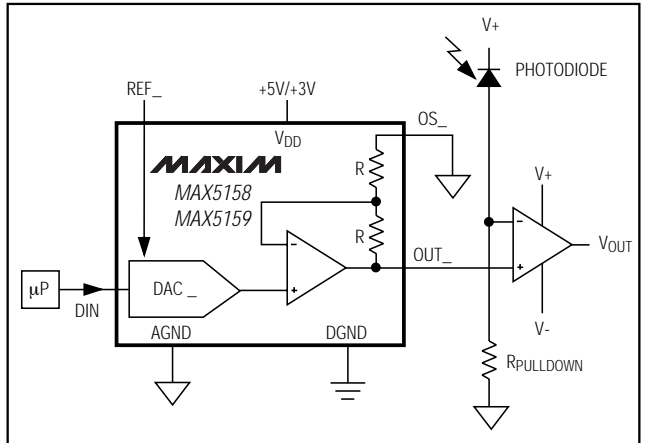


図13. デジタルキャリブレーション

ACリファレンスの使用

リファレンスにAC信号コンポーネントが伴うアプリケーションでは、MAX5158/MAX5159がリファレンス入力電圧範囲仕様内で乗算能力があります。図12は、正弦波入力をREF₋に適用する方法を示したもので、AC信号はリファレンス入力に送る前にオフセットされます。

高調波歪み及びノイズ

全高調波歪み及びノイズ(THD+N)は、5kHzの1Vp-p入力シング、フルスケールで通常-78dB以下です。-3dB周波数は、「標準動作特性」で示すように両方のデバイスとも300kHzです。

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

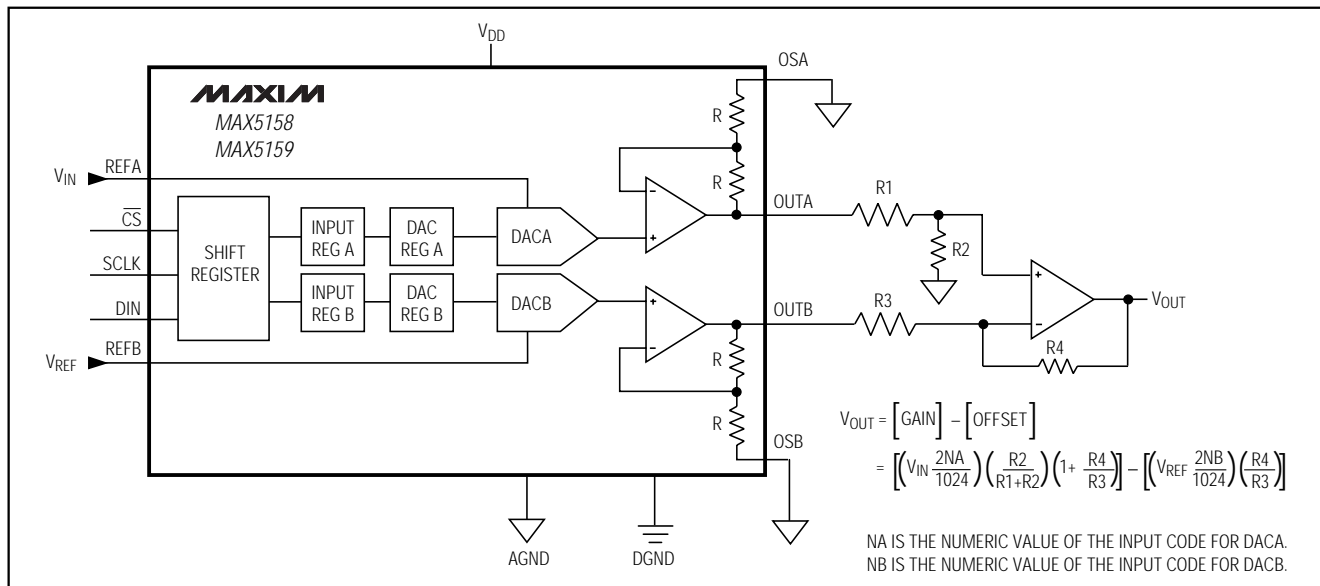


図14. 利得とオフセットのデジタル制御

デジタルキャリブレーション及び スレッシュホールド選択

図13に、デジタルキャリブレーションアプリケーションに適用したMAX5158/MAX5159を示します。フォトダイオードに光が当たっているとき(オン)、コンパレータがトリップされるまでDACの出力をデジタル的に増加させます。“ハイ”キャリブレーション値は、マイクロプロセッサ(μP)に保存されます。次に、光を暗くして(オフ)同じ手順を繰り返して、暗電流キャリブレーションを得ます。その後μPは、出力電圧がこれら2つのキャリブレーション値の間になるように、DACをプログラムします。アプリケーションとしては、タコメータ、モーションセンサ、自動リーダ及び液体鮮度分析が挙げられます。

利得及びオフセットのデジタル制御

MAX5158/MAX5159の2つのDACは、トランスデューサ線形化やアナログ圧縮/拡張アプリケーションのような、カーブフィティング非線形機能のオフセット及び利得を制御する目的に使用できます。この場合入力信号は、利得調整DACのリファレンスとして使用し、DACの出力はオフセット調整DACの出力と加算します。各DAC出力の相対重みは、R1、R2、R3及びR4で調整します(図14)。

電源の留意点

パワーアップ時は、入力とDACレジスタがクリア(ゼロのコードに設定)されます。定格性能では、V_{REF-}が少なくともV_{DD}の1.4V以下になることが必要です。電源は、AGNDへの0.1μFコンデンサと並列に接続した4.7μFコンデンサでバイパスしてください。

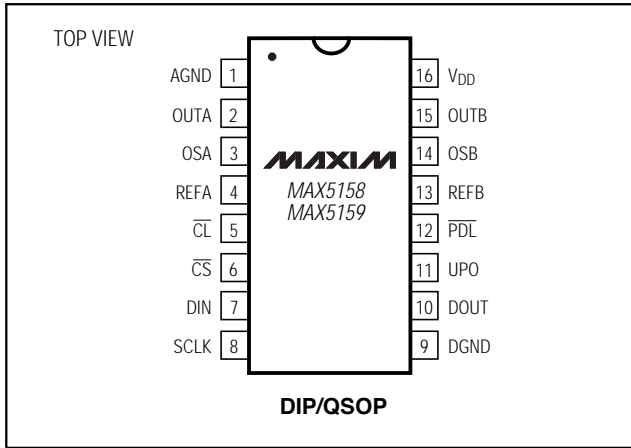
グランド及びレイアウトの留意点

AGNDのデジタル及びAC過渡信号は、出力段におけるノイズ発生の原因になります。AGNDは最高品質のグランドに接続してください。この場合、低インダクタンスグランドプレーンを持つ多層ボードなどの正しいグランド方法を使用します。チャンネル間のトレースは、ACクロスカップリングやクロストークを低減できるように配線します。ワイヤーラップ式ボードやソケットの使用は避けてください。ノイズが問題になる場合は、シールドを使用してください。

低電力、デュアル、10ビット電圧出力DAC シリアルインタフェース付

MAX5158/MAX5159

ピン配置



型番(続き)

| PART | TEMP. RANGE | PIN-PACKAGE |
|------------|-----------------|----------------|
| MAX5159CPE | 0°C to +70°C | 16 Plastic DIP |
| MAX5159CEE | 0°C to +70°C | 16 QSOP |
| MAX5159EPE | -40°C to +85°C | 16 Plastic DIP |
| MAX5159EEE | -40°C to +85°C | 16 QSOP |
| MAX5159MJE | -55°C to +125°C | 16 CERDIP* |

*Contact factory for availability.

チップ情報

TRANSISTOR COUNT: 3053

SUBSTRATE CONNECTED TO AGND

パッケージ

| DIM | INCHES | | MILLIMETERS | |
|-----|----------------|-------|-------------|------|
| | MIN | MAX | MIN | MAX |
| A | .061 | .068 | 1.55 | 1.73 |
| A1 | .004 | .0098 | 0.127 | 0.25 |
| A2 | .055 | .061 | 1.40 | 1.55 |
| B | .008 | .012 | 0.20 | 0.31 |
| C | .0075 | .0098 | 0.19 | 0.25 |
| D | SEE VARIATIONS | | | |
| E | .150 | .157 | 3.81 | 3.99 |
| e | .025 BSC | | 0.635 BSC | |
| H | .230 | .244 | 5.84 | 6.20 |
| h | .010 | .016 | 0.25 | 0.41 |
| L | .016 | .035 | 0.41 | 0.89 |
| N | SEE VARIATIONS | | | |
| S | SEE VARIATIONS | | | |
| ? | 0* | 8* | 0* | 8* |

| | INCHES | | MILLIMETERS | | N |
|---|--------|-------|-------------|------|-------|
| | MIN. | MAX. | MIN. | MAX. | |
| D | .189 | .196 | 4.80 | 4.98 | 16 AA |
| S | .0020 | .0070 | 0.05 | 0.18 | |
| D | .337 | .344 | 8.56 | 8.74 | 20 AB |
| S | .0500 | .0550 | 1.27 | 1.40 | |
| D | .337 | .344 | 8.56 | 8.74 | 24 AC |
| S | .0250 | .0300 | 0.64 | 0.76 | |
| D | .386 | .393 | 9.80 | 9.98 | 28 AD |
| S | .0250 | .0300 | 0.64 | 0.76 | |

NOTES:
 1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006"
 3. CONTROLLING DIMENSIONS: INCHES

MAXIM
 PROPRIETARY INFORMATION
 TITLE: PACKAGE OUTLINE, QSOP, .150 INCH, .025" LEAD PITCH
 APPROVAL: _____ DOCUMENT CONTROL: M2 REV: 1/1
 21-0055

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1997 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.