

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

概要

MAX5150/MAX5151は、低電力、シリアル、電圧出力のデュアル13ビットデジタルアナログコンバータ(DAC)です。+5V(MAX5150)又は+3V(MAX5151)の単一電源動作で、消費電流は僅か500 μ Aとなっています。これらのデバイスは、レイルトゥレイル[®]の出力スイングを備えており、省スペースの16ピンQSOP及びDIPパッケージで提供されています。ダイナミックレンジを最大限にするため、DAC出力アンプは内部利得+2に設定されています。

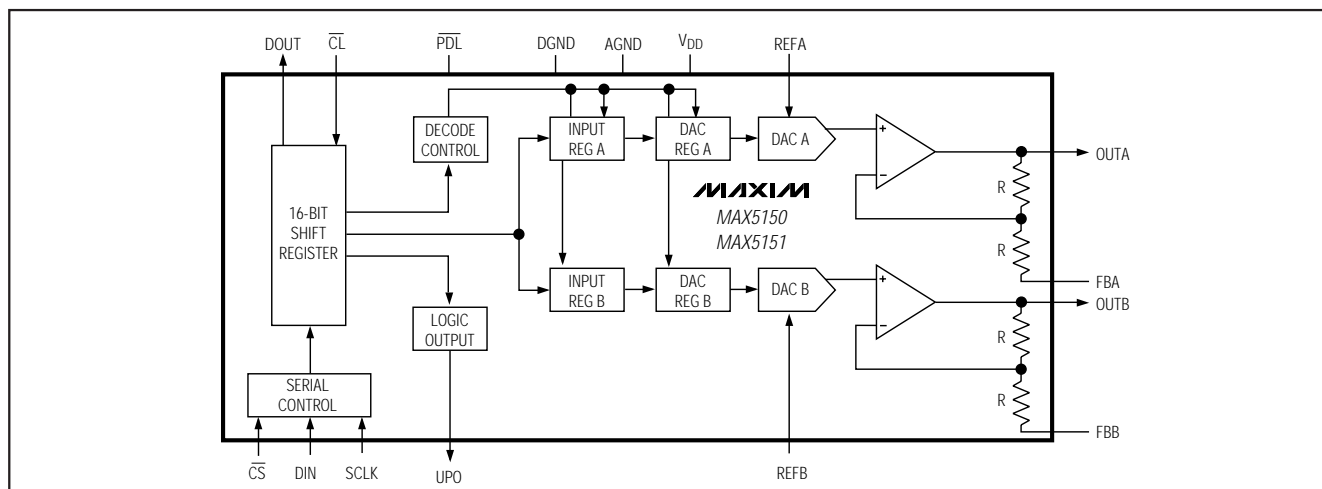
3線シリアルインタフェースは、SPI[™]/QSPI[™]及びMicrowire[™]とコンパチブルです。各DACは、入力レジスタにDACレジスタが続く構成のダブルバッファ付入力を備えています。このため、入力レジスタ及びDACレジスタはそれぞれ独立に、あるいは同時に16ビットシリアルワード更新できます。その他の特長としては、プログラマブルシャットダウン(2 μ A)、ハードウェアシャットダウンロックアウト、AC及びDC信号を受け付ける各DACごとの電圧リファレンス入力及び全てのレジスタとDACをゼロにリセットするアクティブローのクリア入力(\overline{CL})等が挙げられます。MAX5150/MAX5151は、機能性を増すプログラマブルロジックピン及びデジィチェーン接続用のシリアルデータ出力を備えています。

アプリケーション

工業用プロセス制御
ディジタルオフセット
及び利得調節
モーションコントロール

遠隔工業用制御
マイクロプロセッサ
制御機器
自動試験機器(ATE)

ファンクションダイアグラム



レイルトゥレイルは日本モトローラの登録商標です。

特長

- ◆ 内部利得+2の13ビットデュアルDAC
- ◆ レイルトゥレイル出力スイング
- ◆ セトリング時間：16 μ s
- ◆ 単一電源動作：+5V(MAX5150)
+3V(MAX5151)
- ◆ 低自己消費電流：500 μ A(通常動作)
2 μ A(シャットダウンモード)
- ◆ SPI/QSPI及びMicrowireコンパチブル
- ◆ パッケージ：省スペースの16ピンQSOP
- ◆ パワーオンリセットがレジスタとDACをクリア
- ◆ 可変出力オフセット

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5150ACPE	0°C to +70°C	16 Plastic DIP	$\pm 1/2$
MAX5150BCPE	0°C to +70°C	16 Plastic DIP	± 1
MAX5150ACEE	0°C to +70°C	16 QSOP	$\pm 1/2$
MAX5150BCEE	0°C to +70°C	16 QSOP	± 1
MAX5150BC/D	0°C to +70°C	Dice*	± 1

Ordering Information continued at end of data sheet.

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

Pin Configuration appears at end of data sheet.

SPI及びQSPIはMotorola, Inc.の商標です。

MicrowireはNational Semiconductor Corp.の商標です。

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND.....	-0.3V to +6V	Maximum Current into Any Pin	±20mA
V _{DD} to DGND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
AGND to DGND.....	±0.3V	Plastic DIP (derate 10.5mW/°C above +70°C)	842mW
OSA, OSB to AGND.....	(AGND - 4V) to (V _{DD} + 0.3V)	QSOP (derate 8.30mW/°C above +70°C)	667mW
REF ₋ , OUT ₋ to AGND.....	-0.3V to (V _{DD} + 0.3V)	CERDIP (derate 10.00mW/°C above +70°C)	800mW
Digital Inputs (SCLK, DIN, CS, CL, PDL) to DGND	-0.3V to +6V	Operating Temperature Ranges	
Digital Outputs (DOOUT, UPO) to DGND	-0.3V to (V _{DD} + 0.3V)	MAX515_ ₋ C_E	0°C to +70°C
		MAX515_ ₋ E_E	-40°C to +85°C
		MAX515_ ₋ MJE.....	-55°C to +125°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5150

(V_{DD} = +5V ±10%, V_{REFA} = V_{REFB} = 2.048V, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C (OS₋ tied to AGND for a gain of +2).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION						
Resolution			13			Bits
Integral Nonlinearity	INL	(Note 1)	MAX5150A		±1/2	LSB
			MAX5150B		±1	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Offset Error	V _{OS}	Code = 12			±6	mV
Offset Tempco	TCV _{OS}	Normalized to 2.048V		4		ppm/°C
Gain Error				-0.2	±3	mV
Gain-Error Tempco		Normalized to 2.048V		4		ppm/°C
V _{DD} Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		20	260	μV/V
REFERENCE INPUT						
Reference Input Range	REF		0		V _{DD} - 1.4	V
Reference Input Resistance	R _{REF}	Minimum with code 1555 hex	14	20		kΩ
MULTIPLYING-MODE PERFORMANCE						
Reference 3dB Bandwidth		Input code = 1FFF hex, V _{REF-} = 0.67V _{p-p} at 2.5V _{DC}		300		kHz
Reference Feedthrough		Input code = 0000 hex, V _{REF-} = (V _{DD} - 1.4V _{p-p}) at 1kHz		-82		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFF hex, V _{REF-} = 1V _{p-p} at 1.25V _{DC} , f = 25kHz		75		dB
DIGITAL INPUTS						
Input High Voltage	V _{IH}	CL, PDL, CS, DIN, SCLK	3.0			V
Input Low Voltage	V _{IL}	CL, PDL, CS, DIN, SCLK			0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	V _{IN} = 0V to V _{DD}		0.001	±1	μA
Input Capacitance	C _{IN}			8		pF

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

ELECTRICAL CHARACTERISTICS—MAX5150 (continued)

($V_{DD} = +5V \pm 10\%$, $V_{REFA} = V_{REFB} = 2.048V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_{-} tied to AGND for a gain of +2).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.75		V/ μs
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 4V$		16		μs
Output Voltage Swing		Rail-to-rail (Note 2)		0 to V_{DD}		V
OSA or OSB Input Resistance	R_{OS}		24	34		k Ω
Time Required to Exit Shutdown				25		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{DIN} = 100kHz$, $V_{SCLK} = 5Vp-p$		5		nV-s
Digital Crosstalk				5		nV-s
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current	I_{DD}	(Note 3)		0.5	0.65	mA
Power-Supply Current in Shutdown	$I_{DD} (SHDN)$	(Note 3)		2	10	μA
Reference Current in Shutdown				0	± 1	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		40			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 1: Accuracy is specified from code 12 to code 8191.

Note 2: Accuracy is better than 1LSB for $V_{OUT_{-}}$ greater than 6mV and less than $V_{DD} - 50mV$. Guaranteed by PSRR test at the end points.

Note 3: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

ELECTRICAL CHARACTERISTICS—MAX5151

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REFA} = V_{REFB} = 1.25V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_ pins tied to AGND for a gain of +2).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG						
Resolution			13			Bits
Integral Nonlinearity	INL	(Note 4)	MAX5151A		± 1	LSB
			MAX5151B		± 2	
Differential Nonlinearity	DNL	Guaranteed monotonic			± 1	LSB
Offset Error	V_{OS}	Code = 20			± 6	mV
Offset Tempco	TCV_{OS}	Normalized to 1.25V		6.5		ppm/ $^\circ C$
Gain Error				-0.2	± 5	mV
Gain-Error Tempco		Normalized to 1.25V		6.5		ppm/ $^\circ C$
V_{DD} Power-Supply Rejection Ratio	PSRR	$2.7V \leq V_{DD} \leq 3.6V$		40	320	$\mu V/V$
REFERENCE INPUT (VREF)						
Reference Input Range	REF		0		$V_{DD} - 1.4$	V
Reference Input Resistance	R_{REF}	Minimum with code 1555 hex	14	20		k Ω
MULTIPLYING-MODE PERFORMANCE						
Reference 3dB Bandwidth		Input code = 1FFF hex, $V_{REF_} = 0.67V_{p-p}$ at $0.75V_{DC}$		300		kHz
Reference Feedthrough		Input code = 0000 hex, $V_{REF_} = (V_{DD} - 1.4)V_{p-p}$ at 1kHz		-82		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFF hex, $V_{REF_} = 1V_{p-p}$ at $1V_{DC}$, $f = 15kHz$		73		dB
DIGITAL INPUTS						
Input High Voltage	V_{IH}	\overline{CL} , \overline{PDL} , \overline{CS} , DIN, SCLK	2.2			V
Input Low Voltage	V_{IL}	\overline{CL} , \overline{PDL} , \overline{CS} , DIN, SCLK			0.8	V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ to V_{DD}		0	± 1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.75		V/ μs
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 2.5V$		16		μs
Output Voltage Swing		Rail-to-rail (Note 5)		0 to V_{DD}		V
OSA or OSB Input Resistance	R_{OS}		24	34		k Ω
Time Required for Valid Operation after Shutdown				25		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{DIN} = 100kHz$, $V_{SCLK} = 3V_{p-p}$		5		nV-s
Digital Crosstalk				5		nV-s

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

ELECTRICAL CHARACTERISTICS—MAX5151 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REFA} = V_{REFB} = 1.25V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_ pins tied to AGND for a gain of +2).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		2.7		3.6	V
Power-Supply Current	I_{DD}	(Note 6)		0.45	0.6	mA
Power-Supply Current in Shutdown	I_{DD} (SHDN)	(Note 6)		1	8	μA
Reference Current in Shutdown				0	± 1	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		50			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			120	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			120	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 4: Accuracy is specified from code 20 to code 8191.

Note 5: Accuracy is better than 1LSB for V_{OUT} greater than 6mV and less than $V_{DD} - 80mV$. Guaranteed by PSRR test at the end points.

Note 6: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

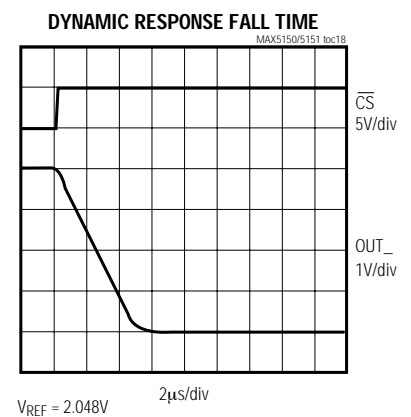
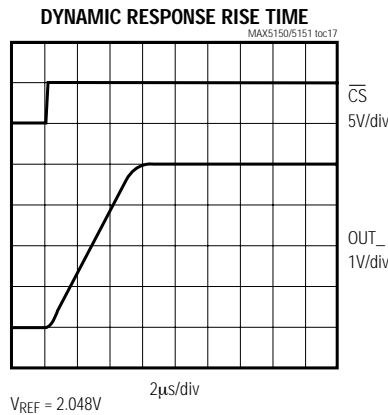
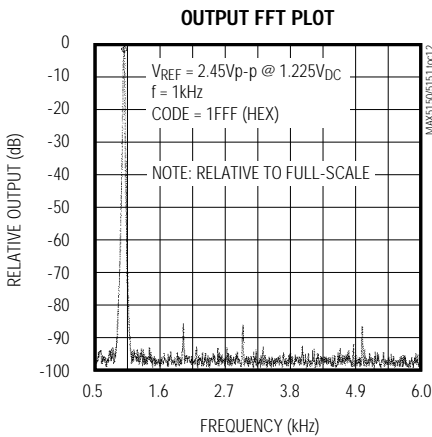
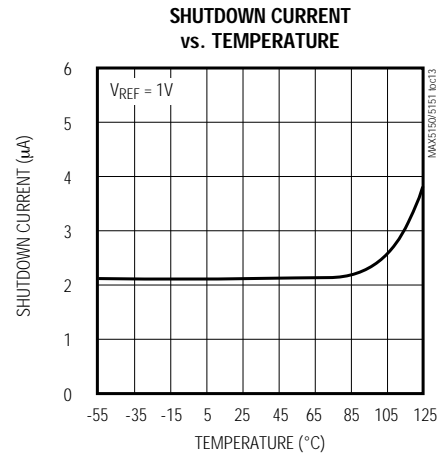
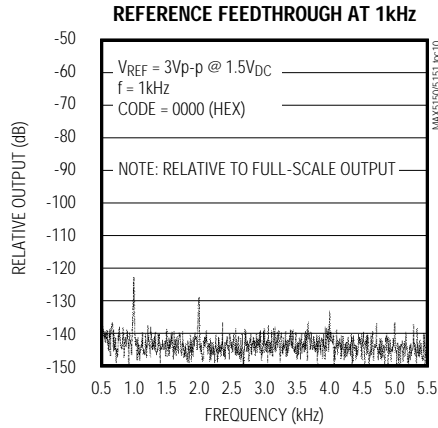
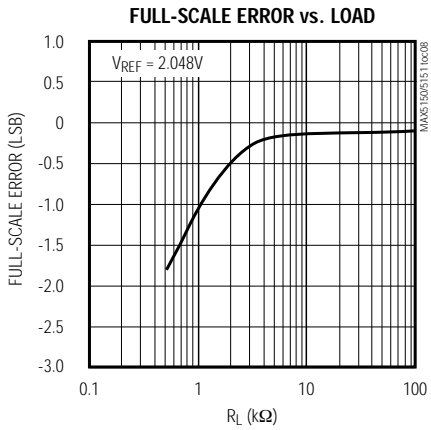
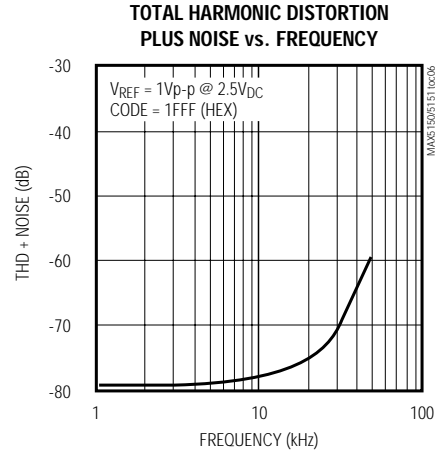
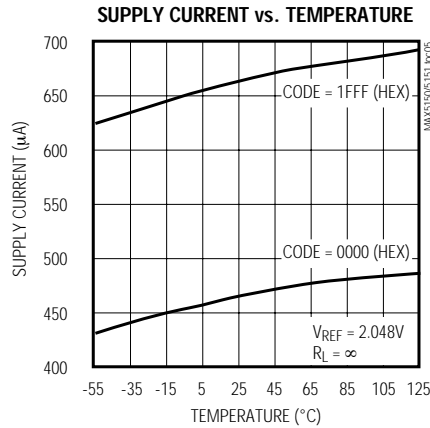
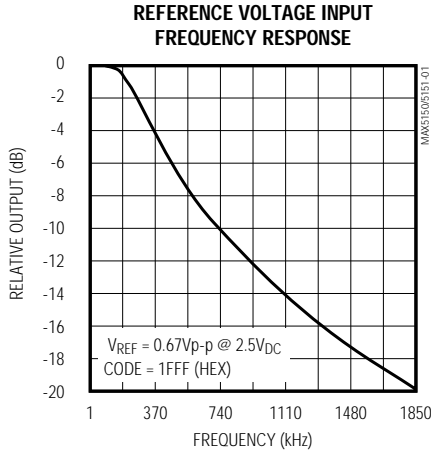
低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

標準動作特性

($V_{DD} = +5V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_ pins tied to AGND, unless otherwise noted.)

MAX5150



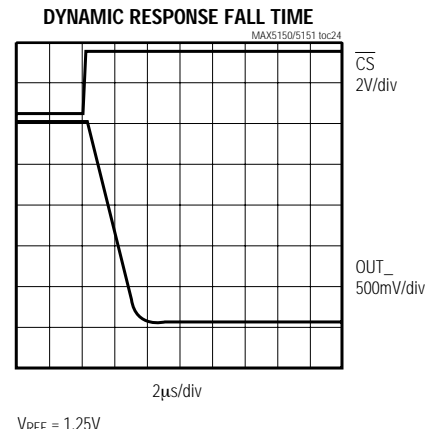
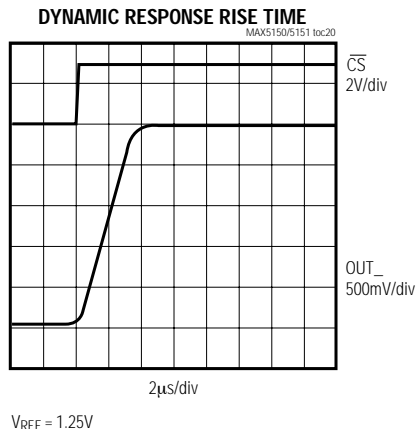
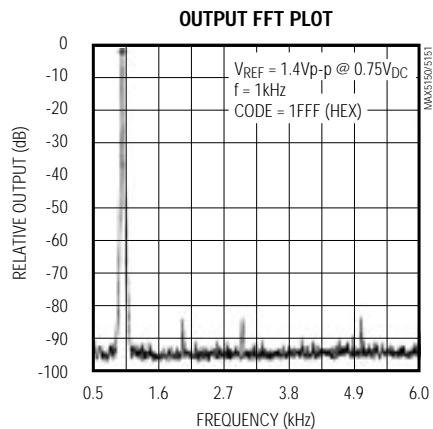
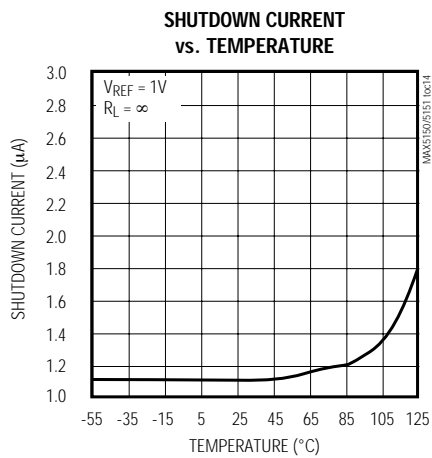
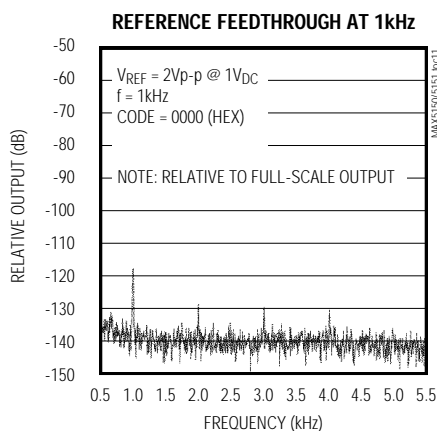
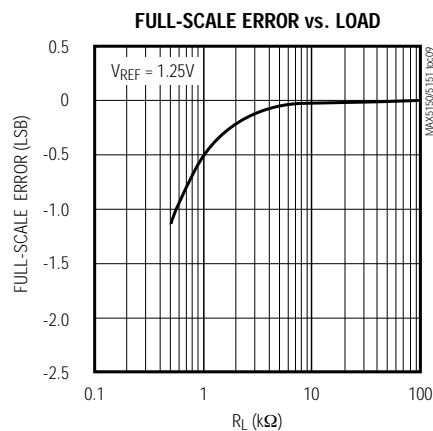
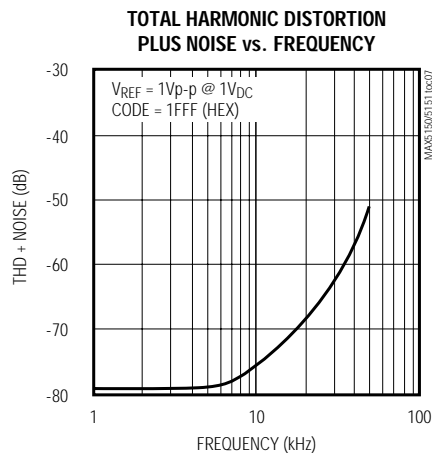
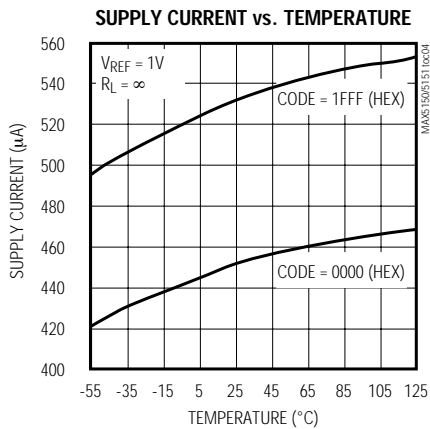
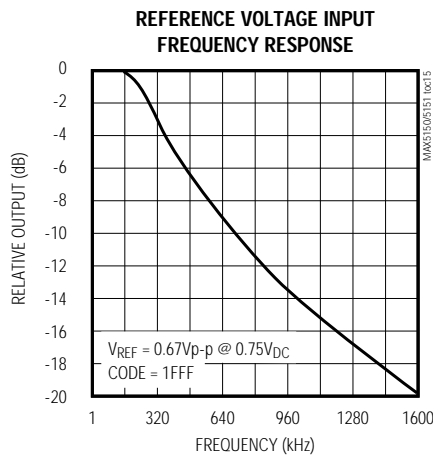
低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

標準動作特性(続き)

($V_{DD} = +3V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_pins tied to AGND, unless otherwise noted.)

MAX5151



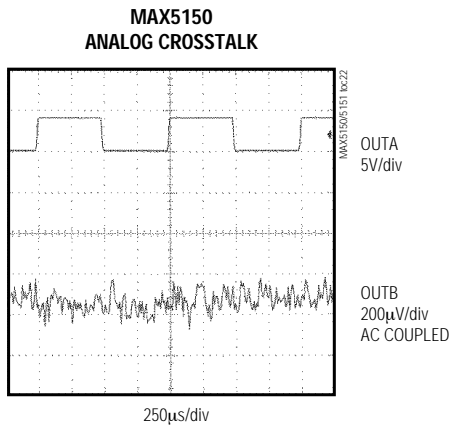
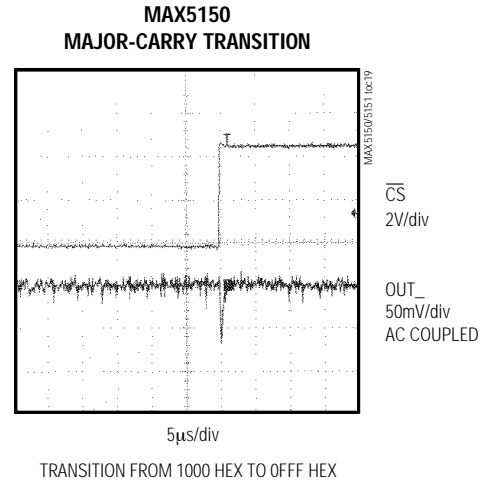
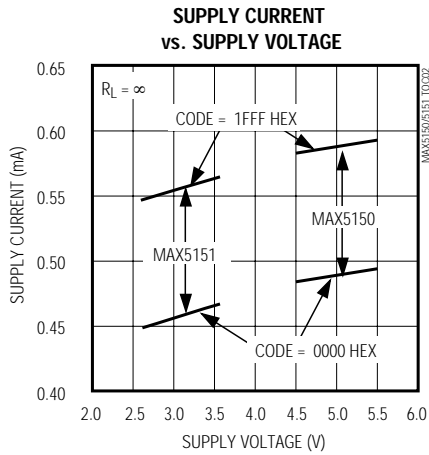
低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

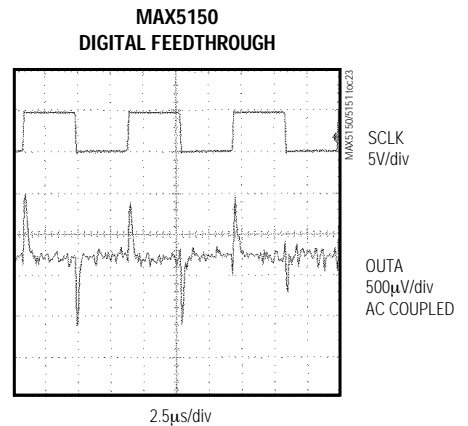
標準動作特性(続き)

($V_{DD} = +3V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_pins tied to AGND, unless otherwise noted.)

MAX5150/MAX5151



$V_{REF} = 2.048V$, GAIN = +2, CODE = 1FFF HEX



低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

端子説明

端子	名称	機能
1	AGND	アナロググランド
2	OUTA	DAC A出力電圧
3	OSA	DAC Aオフセット調節
4	REFA	DAC Aのリファレンス
5	\overline{CL}	全てのDAC及びレジスタをクリア (ゼロにリセット)。
6	\overline{CS}	チップセレクト入力
7	DIN	シリアルデータ入力
8	SCLK	シリアルレジスタクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザプログラマブル出力
12	\overline{PDL}	パワーダウンロックアウト。 \overline{PDL} がローの場合は、デバイスをパワーダウンできません。
13	REFB	DAC Bのリファレンス入力
14	OSB	DAC Bオフセット調節
15	OUTB	DAC B出力電圧
16	V _{DD}	正電源

詳細

MAX5150/MAX5151デュアル13ビット電圧出力DACは、シンプルな3線シリアルインタフェースで簡単に設定できます。これらのデバイスは、16ビットデータイン/データアウトシフトレジスタを備え、各DACは入力レジスタとDACレジスタからなるダブルバッファ付入力を用意しています(ファンクションダイアグラムを参照)。さらに、トリミングされた内部抵抗が内部利得+2を生成して、出力電圧スイングを最大限に広げます。アンプのオフセット調節ピンにより、DAC出力のDCシフトが可能です。

DACは、入力電圧値に比例する重み付電圧を生成する反転R-2Rラダーネットワークを使用しています。各DACがそれぞれ自身のリファレンス入力を持っているため、フルスケール値を独立に設定しやすくなっています。図1に、2つのDACの内の1つの概略回路図を示します。

リファレンス入力

リファレンス入力は0V ~ (V_{DD} - 1.4V)のDC及びAC値を受け入れます。次式で出力電圧が決まります(OS₋ = AGND)。

$$V_{OUT} = (V_{REF} \times NB / 8192) \times 2$$

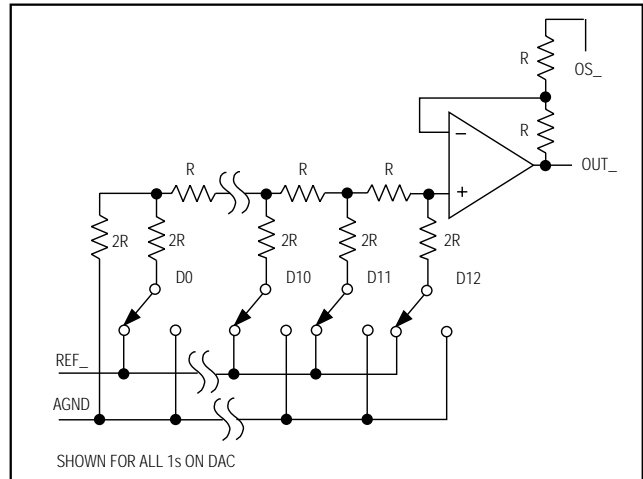


図1. DACの簡略化回路図

ここでNBは、DACのバイナリ入力コードの数値(0 ~ 8191)、V_{REF}はリファレンス電圧です。

リファレンス入力インピーダンスは、14k (1555 hex)から数G (入力コード0000hex)の範囲です。リファレンス入力容量はコードに依存し、その範囲は入力コードが全て0の時に15pF(typ)、入力コードが全て1の時に50pFです。

出力アンプ

MAX5150/MAX5151は、OS₋がAGNDに接続されている時に利得+2を提供する内部抵抗を持っています。これらの抵抗は、利得誤差を最小限に抑えるためにトリミングされています。出力アンプのスルーレートは0.75V/μs(typ)で、1/2LSBへの標準セトリング時間は負荷が10k と100pFの並列の時に16μsです。負荷が2k 以下になると、性能が劣化します。

OS₋ピンを使用して、出力における可変オフセット電圧を生成できます。例えば、1Vのオフセットを実現するには、OS₋ピンに-1Vを印加することにより出力範囲が1V ~ (1V + V_{REF} × 2)となります。この場合でも、DACの出力範囲は最大出力電圧仕様によって制限されることに注意してください。

パワーダウンモード

MAX5150/MAX5151は、ソフトウェアでプログラムできるシャットダウンモードを備えており、この時の消費電流は2μA(typ)まで低減します。2つのDACはプログラミングワードを使用することにより互いに独立に、又は同時にシャットダウンできます。どちらのDACも、入力制御ワードに適切な入力制御ワード(表1)を書き込むと、シャットダウンモードになります。

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

表1. シリアルインタフェースのプログラミングコマンド

16ビットシリアルワード				機能
A0	C1	C0	D12.....D0 (MSB) (LSB)	
0	0	1	13ビットのDACデータ	入力レジスタAをロード。DACレジスタは不変。
1	0	1	13ビットのDACデータ	入力レジスタBをロード。DACレジスタは不変。
0	1	0	13ビットのDACデータ	入力レジスタAをロード。全てのDACレジスタを更新。
1	1	0	13ビットのDACデータ	入力レジスタBをロード。全てのDACレジスタを更新。
0	1	1	13ビットのDACデータ	シフトレジスタから全てのDACレジスタへロード (両方のDACを新しいデータで起動)。
1	0	0	XXXXXXXXXXXX	両方のDACレジスタを各々の入力レジスタで更新 (両方のDACを入力レジスタに前から保存されているデータで起動)。
1	1	1	XXXXXXXXXXXX	($\overline{PDL} = 1$ の場合に)両方のDACをシャットダウン。
0	0	0	0 0 1 x XXXXXXXX	DACレジスタAを入力レジスタAで更新 (DAC Aを入力レジスタAに前から保存されているデータで起動)。
0	0	0	1 0 1 x XXXXXXXX	DACレジスタBを入力レジスタBで更新 (DAC Bを入力レジスタAに前から保存されているデータで起動)。
0	0	0	1 1 0 x XXXXXXXX	($\overline{PDL} = 1$ の場合に)DAC Aをシャットダウン。
0	0	0	1 1 1 x XXXXXXXX	($\overline{PDL} = 1$ の場合に)DAC Bをシャットダウン。
0	0	0	0 1 0 x XXXXXXXX	UPOがローになります(デフォルト)。
0	0	0	0 1 1 x XXXXXXXX	UPOがハイになります。
0	0	0	1 0 0 1 XXXXXXXX	モード1、DOUTはSCLKの立上がりエッジでクロック出力します。
0	0	0	1 0 0 0 XXXXXXXX	モード0、DOUTはSCLKの立下がりエッジでクロック出力します(デフォルト)。
0	0	0	0 0 0 x XXXXXXXX	ノーオペレーション(NOP)

X=任意

注記：A0、C1及びC0 = 0の場合、D12、D11、D10及びD9が制御ビットになります。

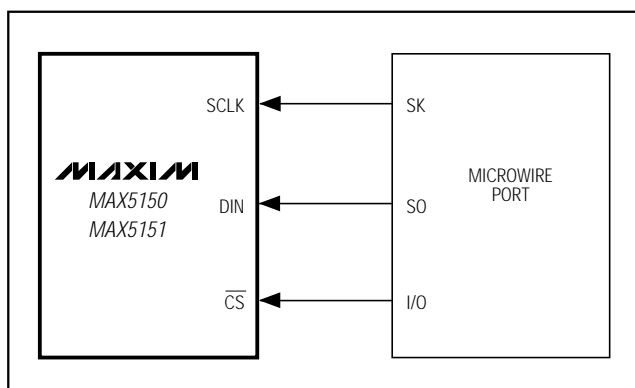


図2. Microwire用の接続

シャットダウンモードでは、リファレンス入力及びアンプ出力がハイインピーダンス状態になります。シリアルインタフェースはアクティブのままになります。入力レジスタ内のデータは保存されるため、MAX5150/MAX5151はシャットダウンに入る前の出力状態を呼びもどすことができます。シャットダウン状態から起動するには、以前の設定を呼び出すか、あるいは新しいデータでDACを更新してください。通常動作に戻す時(シャットダウンの解除)は、出力の安定時間として20 μ s待ってください。

シリアルインタフェース

MAX5150/MAX5151の3線シリアルインタフェースは、Microwire(図2)及びSPI/QSPI(図3)シリアルインタフェース規格とコンパチブルです。16ビットシリアル入力ワードは、図4に示すようにアドレスビット1つと

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

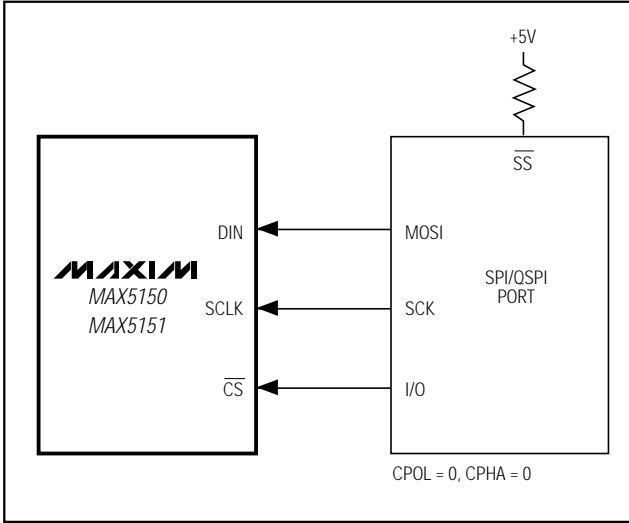


図3. SPI/QSPI用の接続

制御ビット2つの後に13個のデータビット(MSBからLSBへ)が続く構成になっています。

このアドレス/制御コードが、表1に示すMAX5150/MAX5151の応答を決定します。

MAX5150/MAX5151のデジタル入力はダブルバッファ付であるため、DACレジスタに影響を与えずに入力レジスタにロードするか、入力レジスタでDACレジスタを更新するか、あるいは入力レジスタとDACを同時に更新することができます。アドレスビット及び制御ビットにより、それぞれのDACが独立に動作できます。

\overline{CS} がローの状態、16ビットデータを2つの8ビットパケット(SPI、Microwire)で送ることができます。アドレスビット及び制御ビットにより、更新すべきレジスタ及びシャットダウンを解除した時のレジスタの状態が決まります。3ビットアドレス/制御で下記が決まります。

- 更新すべきレジスタ
- どのクロックエッジでデータがシリアルデータ出力(DOUT)からクロック出力されるか
- ユーザプログラマブルロジック出力の状態
- シャットダウンモードから復帰した時のデバイスの構成

図5の一般タイミング図に、データの取り込み方が示されています。 \overline{CS} をローにすると、デバイスはデータを受け入れられるようになります。 \overline{CS} がローでない場合は、インタフェース制御回路がディセーブルされます。 \overline{CS} がローの場合は、DINのデータがSCLKの上上がりエッジでレジスタにクロック入力されます。 \overline{CS} がハイになると、アドレスビット及び制御ビットに従って、データは入力レジスタ及び/又はDACレジスタにラッチされます。適正動作のための最大保証クロック周波数は10MHzです。図6に、シリアルインタフェースのタイミングの詳細を示します。

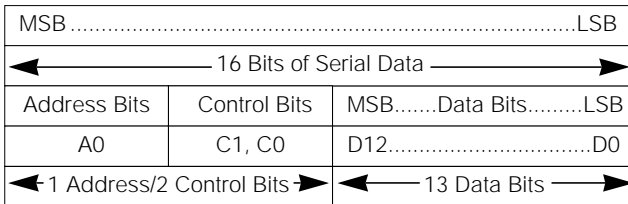


図4. シリアルデータフォーマット

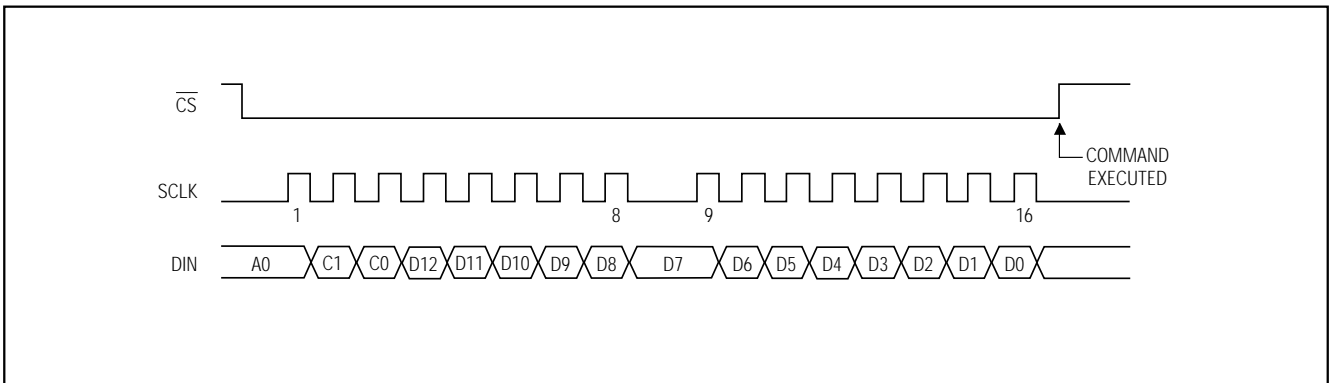


図5. シリアルインタフェースタイミング図

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

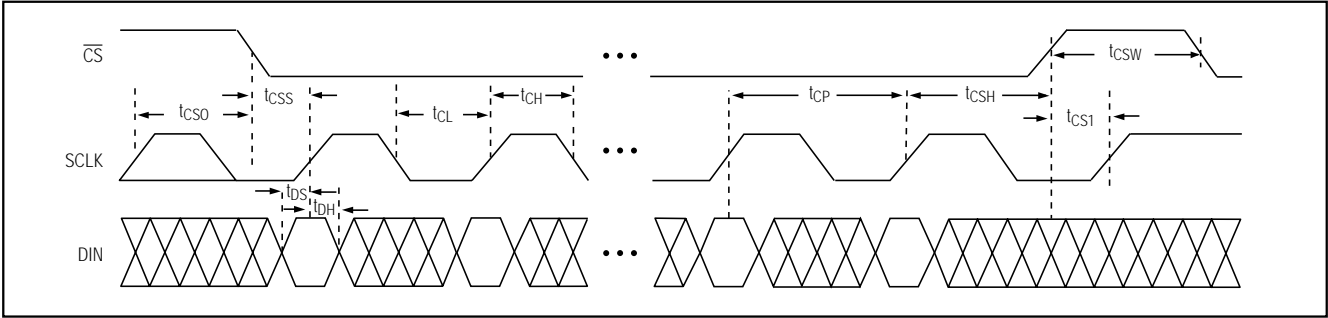


図6. シリアルインタフェースタイミング詳細図

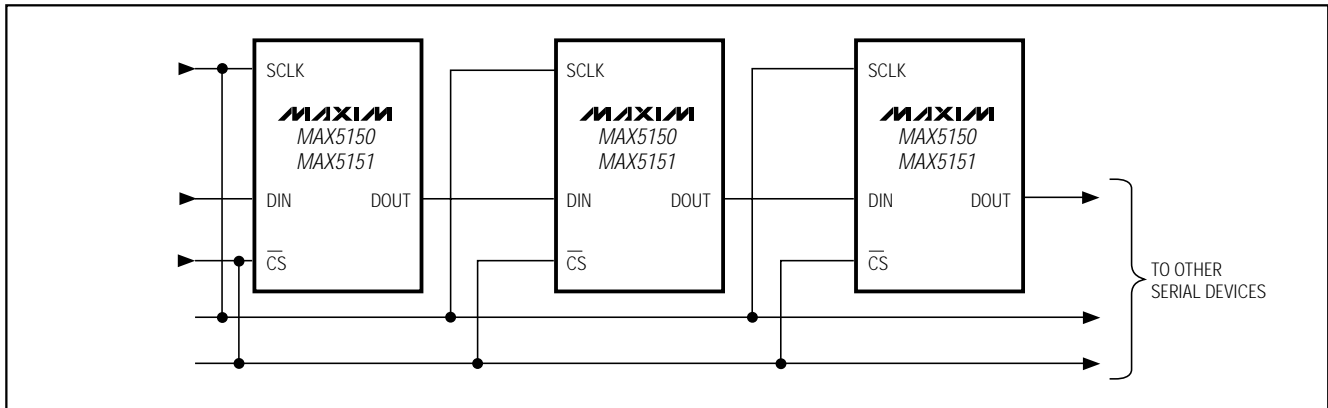


図7. MAX5150/MAX5151のデジーチェーン接続

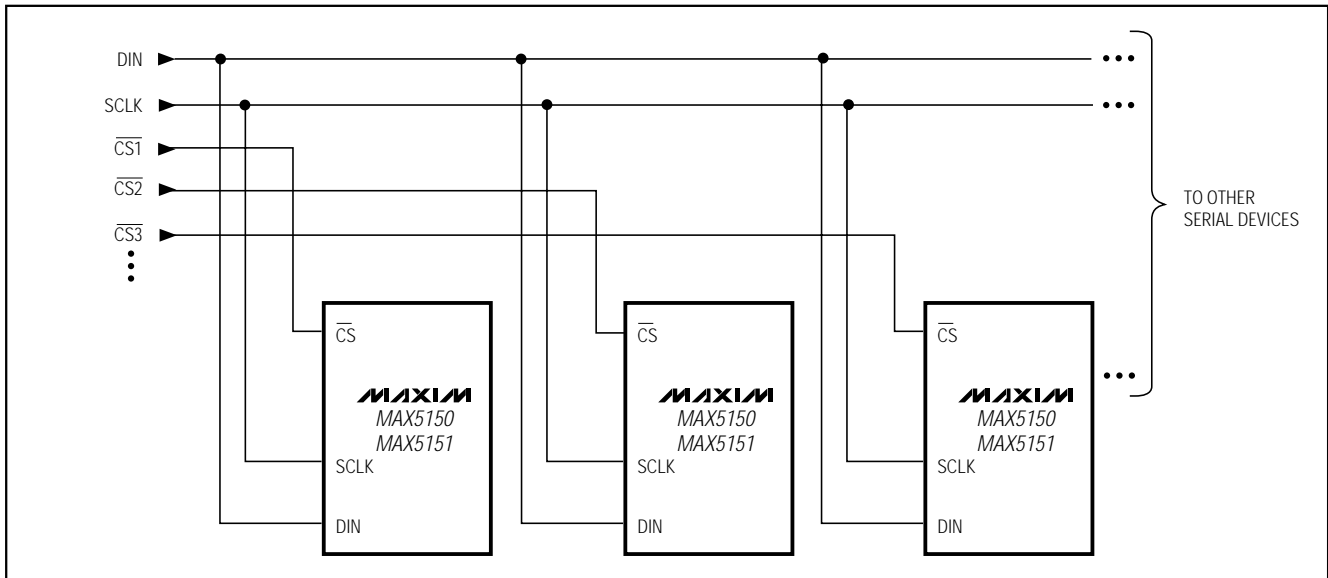


図8. 複数のMAX5150/MAX5151がコモンDINラインを共有

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

表2. ユニポーラコード表(利得 = +2)

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
11111	1111	1111	$+V_{REF} \left(\frac{8191}{8192} \right) \times 2$
10000	0000	0001	$+V_{REF} \left(\frac{4097}{8192} \right) \times 2$
10000	0000	0000	$+V_{REF} \left(\frac{4096}{8192} \right) \times 2 = V_{REF}$
01111	1111	1111	$+V_{REF} \left(\frac{4095}{8192} \right) \times 2$
00000	0000	0001	$+V_{REF} \left(\frac{1}{8192} \right) \times 2$
00000	0000	0000	0V

シリアルデータ出力

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。これにより、デジチェーン接続及びデータのリードバックが可能です。MAX5150/MAX5151では、データをDOUTからシフトアウトするタイミングをSCLKの立上りエッジ(モード1)にするか立下りエッジ(モード0)にするかをプログラムできます。モード0は遅れが16クロックサイクルであるため、SPI/QSPI及びMicrowireシリアルインタフェースとのコンパチビリティが保持されます。モード1では、遅れが15.5クロックサイクルになります。パワーアップ時はデフォルトでモード0になります。

ユーザプログラマブルロジック出力(UPO)

ユーザプログラマブルロジック出力(UPO)を使用すると、MAX5150/MAX5151のシリアルインタフェースを通じて外部デバイスを制御できます(表1)。これにより、必要なマイクロコントローラI/Oピンの数を減らすことができます。

パワーダウンロックアウト入力(PDL)

PDLがローの場合は、ソフトウェアシャットダウンがディセーブルされます。シャットダウン中にPDLがハイからローに遷移すると、デバイスはウェイクアップし、シャットダウン前の出力状態になります。PDLは、非同期でデバイスをウェイクアップするためにも使用できます。

デジチェーン接続

MAX5150/MAX5151は、任意の数をデジチェーン接続できます。そのためには、チェーンの中の1つのデバイスのDOUTピンを次のデバイスのDINピンに接続します(図7)。

MAX5150/MAX5151のDOUTピンは、内部にアク

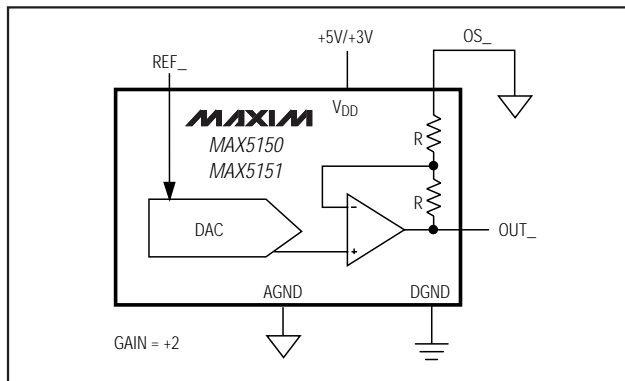


図9. ユニポーラ出力回路(レイルトゥレイル)

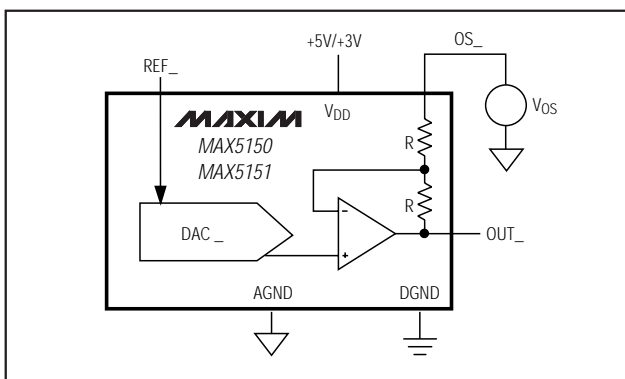


図10. OS_を出力オフセット用に設定

ティブなプルアップを備えているため、DOUTのシンク/ソース能力によって容量性負荷の放電/充電に必要な時間が決定されます。「電気的特性」のシリアルデータ出力 V_{OH} 及び V_{OL} の仕様を参照してください。

図8に、幾つかのMAX5150/MAX5151を接続するための別方法を示します。この構成では、データバスが全てのデバイスに共通になっており、データはデジチェーンを通じてシフトされません。この構成では、各ICに対し専用のチップセレクト入力(\overline{CS})を要するため、必要なI/Oラインの数が増えます。

アプリケーション情報

ユニポーラ出力

図9に、MAX5150/MAX5151の利得+2のユニポーラ・レイルトゥレイル動作回路を示します。MAX5150は、2.048Vリファレンスを使用して、0V~4.096Vの出力を生成することができます(図9)。MAX5151は1.25Vリファレンスを使用して、0V~2.5Vの出力を生成することができます。表2は、ユニポーラ出力コードです。図10に示すように、電圧をOS_に接続することにより、出力にオフセットを付加できます。 $V_{OS} = -1V$ を印加すると、出力範囲は1V~(1V + $V_{REF} \times 2$)の範囲になります。

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

表3. バイポーラコード表

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
11111	1111	1111	$+V_{REF} \left(\frac{4095}{4096} \right)$
10000	0000	0001	$+V_{REF} \left(\frac{1}{4096} \right)$
10000	0000	0000	0V
01111	1111	1111	$-V_{REF} \left(\frac{1}{4096} \right)$
00000	0000	0001	$-V_{REF} \left(\frac{4095}{4096} \right)$
00000	0000	0000	$-V_{REF} \left(\frac{4096}{4096} \right) = -V_{REF}$

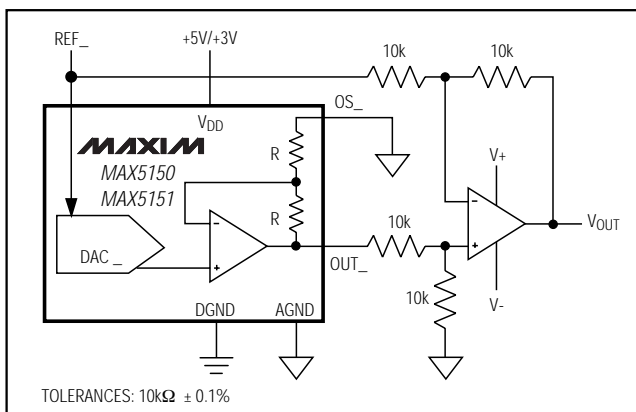


図11. バイポーラ出力回路

バイポーラ出力

MAX5150/MAX5151の出力は、図11の回路に示すように、バイポーラ動作用に構成できます。出力電圧は、次式で与えられます(OS_=AGND)。

$$V_{OUT} = V_{REF} \left[\left(\frac{2 \times NB}{8192} \right) - 1 \right]$$

ここで、NBはDACのバイナリ入力コードの数値です。表3に、図11の回路のデジタルコード及び対応する出力電圧を示します。

ACリファレンスの使用

MAX5150/MAX5151には、リファレンスがAC信号成分を持つアプリケーションにおいて、リファレンス入力範囲仕様内で乗算能力があります。図12に、REF_へのリファレンス入力にサイン波信号を印加する技法を示します(AC信号はREFに印加される前にオフセットされます)。

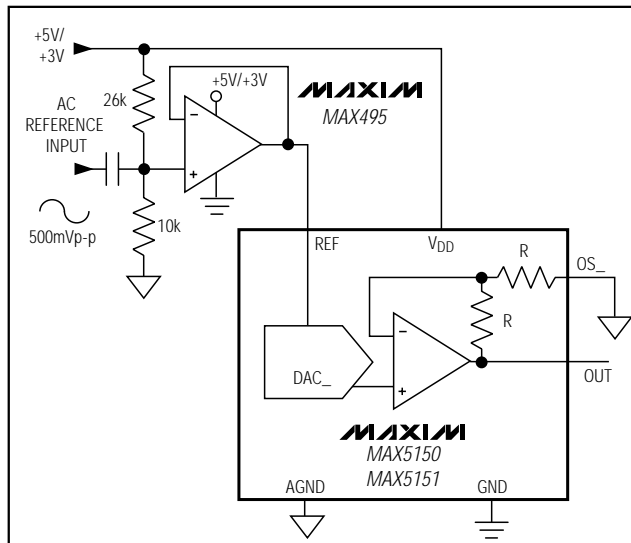


図12. ACリファレンス入力回路

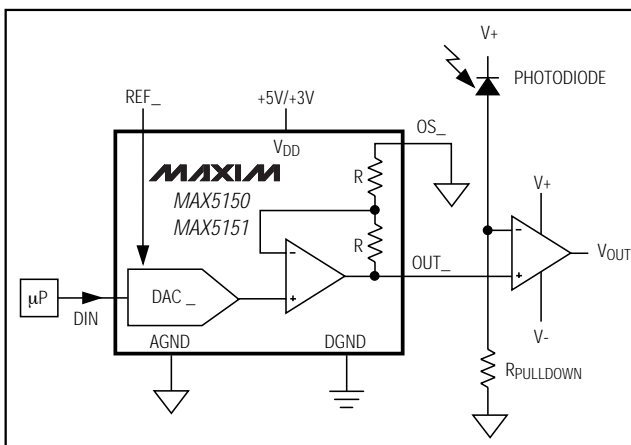


図13. デジタルキャリブレーション

高調波歪み及びノイズ

MAX5150/MAX5151の全高調波歪み及びノイズ(THD+N)は、入力シングが1Vp-pで入力周波数が最大5kHzの時にフルスケールで-78dB以下(typ)です。「標準動作特性」のグラフに示すように、標準的な-3dB周波数は300kHzです。

デジタルキャリブレーション及びスレッシュホールドの選択

図13は、MAX5150/MAX5151をデジタルキャリブレーションアプリケーションに使用した例です。フォトダイオードに光が当たっている時(オン)、コンパレータがトリップするまでDACの出力をデジタル的に増加させます。マイクロプロセッサには、この「ハイ」キャリブレーション値が保存されます。次に、光を暗

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

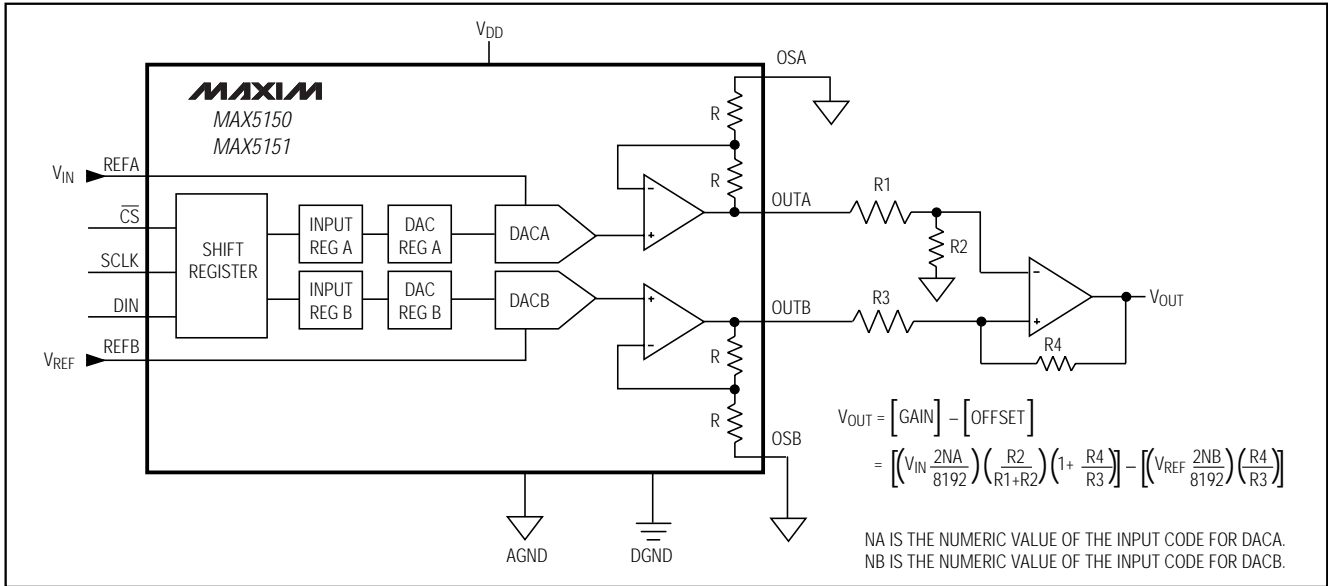


図14. 利得及びオフセットのデジタル制御

くして(オフ)同じ手順を繰り返し、暗電流キャリブレーションを得ます。次に、マイクロプロセッサによって、2つのキャリブレーション値の間になるように出力電圧が設定されます。アプリケーションとしては、タコメータ、動体検出、自動読取り器及び液体透明度分析が挙げられます。

利得及びオフセットのデジタル制御

2つのDACを使用して、トランスジューサの直線化やアナログ圧縮/拡張アプリケーションにおける、非線形関数の曲線当てはめ用のオフセット及び利得を制御できます。入力信号は、利得調節DACのリファレンスとして使用されます。このDACの出力とオフセット調節DACからの出力の総和を取ります。各DAC出力の相対的な重みはR1、R2、R3及びR4によって調節されます(図14)。

電源に関する考慮

パワーアップ時に、入力及びDACレジスタはクリア(ゼロコードに設定)されます。定格通りの性能を発揮させるには、VREFをVDDより少なくとも1.4V低くしてください。電源は、4.7µFコンデンサと0.1µFコンデンサを並列に使用して、AGNDにバイパスしてください。リードインダクタンスを小さくするため、リード線は短くしてください。

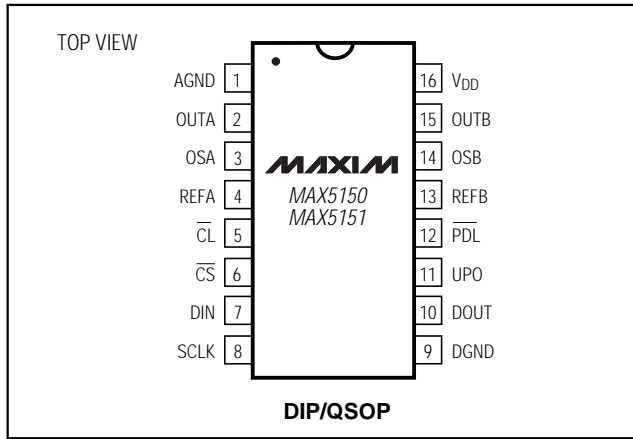
接地及びレイアウト

AGNDにおけるデジタル及びACトランジェント信号が原因で、出力にノイズが発生することがあります。AGNDはできるだけ良質のグラウンドに接続してください。ローインダクタンスのグラウンドプレーンを持った複層ボードを使用するなど、適正な接地技法を採用してください。チャンネル間のトレースのレイアウトに注意して、ACクロスカップリング及びクロストークを減らしてください。ワイヤラップボード及びソケットはお勧めできません。ノイズが問題になる場合は、シールドが必要になる場合があります。

低電力、デュアル13ビット電圧出力DAC シリアルインタフェース付

MAX5150/MAX5151

ピン配置



型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5150AEPE	-40°C to +85°C	16 Plastic DIP	±1/2
MAX5150BEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX5150AE E E	-40°C to +85°C	16 QSOP	±1/2
MAX5150BE E E	-40°C to +85°C	16 QSOP	±1
MAX5150BMJE	-55°C to +125°C	16 CERDIP**	±1
MAX5151 ACPE	0°C to +70°C	16 Plastic DIP	±1
MAX5151BCPE	0°C to +70°C	16 Plastic DIP	±2
MAX5151ACEE	0°C to +70°C	16 QSOP	±1
MAX5151BCEE	0°C to +70°C	16 QSOP	±2
MAX5151BC/D	0°C to +70°C	Dice*	±1
MAX5151AEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX5151BEPE	-40°C to +85°C	16 Plastic DIP	±2
MAX5151AE E E	-40°C to +85°C	16 QSOP	±1
MAX5151BE E E	-40°C to +85°C	16 QSOP	±2
MAX5151BMJE	-55°C to +125°C	16 CERDIP**	±2

チップ情報

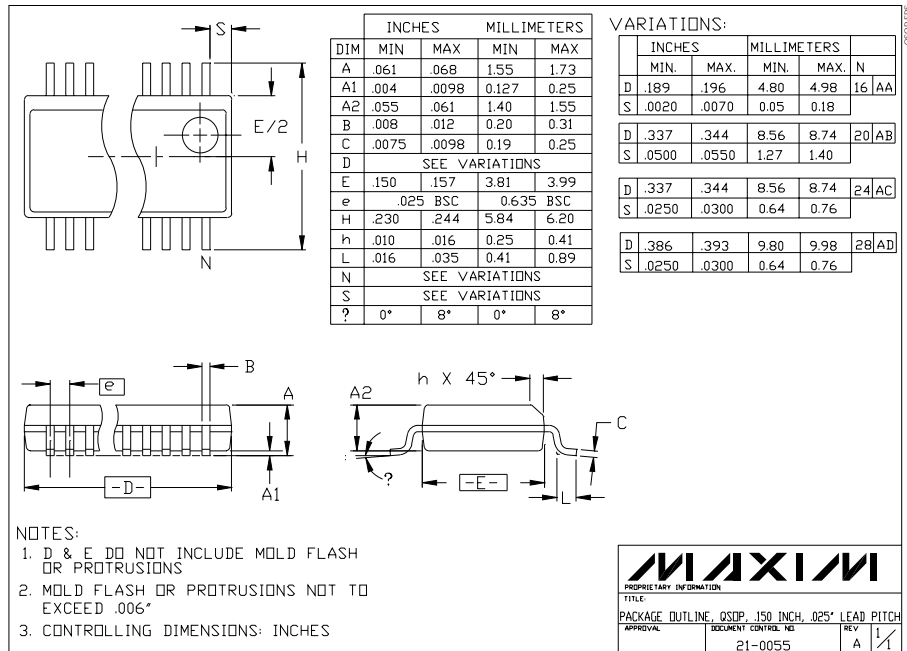
TRANSISTOR COUNT: 3053

SUBSTRATE CONNECTED TO AGND

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 1996 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.