

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

概要

MAX5058/MAX5059は入手の容易なパワー MOSFET を用いて絶縁型電源を作る場合の二次側同期整流を可能とします。これらの製品は絶縁トランスの一次側におけるパワー MOSFET に同期するクリーンなゲート駆動信号を供給することが可能で、二次側 MOSFET の整流を円滑にします。MAX5058/MAX5059は、一次側 PWM IC の MAX5051 及び MAX5042/MAX5043 を補完して、高効率の同期整流絶縁型電源の設計を可能とします。これらの製品は(一次側の MOSFET がオンとなる前に) 予告信号を生成することによって、一次側とフリーホイール用同期整流 MOSFET が同時に導通することを防ぎ、トランスの二次側短絡による大きな電流スパイクが発生することを回避することができます。

本製品に内蔵されたエラーアンプは汎用の基準電流出力を持つため、基準電圧の生成を自由に行うことができます。この出力に適切な抵抗を接続すると、エラーアンプが使用する基準電圧が得られます。

マージン試験用のオン抵抗の低い MOSFET がチップに内蔵されているので外部スイッチを用いなくてもマージン試験用の回路を作ることができます。MAX5058 はロジックレベルで動作する MOSFET 用として 5V の LDO 出力を備え、一方、MAX5059 は従来の 10V MOSFET 用に 10V LDO 出力を持ちます。

MAX5058/MAX5059は、多数の電源の並列接続ができるように設計されています。これは、単純な2線差動方式の電流シェアバスを用いて正確な電流シェアを行うことができるようにするためです。電源の並列接続は電源容量の拡大を可能とし、大出力電流アプリケーションにおける熱管理を単純化することができます。本製品を MAX5051 と合わせて使用することによって、複数の一次側も同期させることができ、この場合、180°の逆位相動作が可能です。

MAX5058/MAX5059は、熱強化された28ピンの TSSOP パッケージで提供されており、-40 ~ +125 の温度範囲で動作します。

警告：MAX5058/MAX5059は高電圧を含む回路内で動作するように設計されていますので、このための注意を必要とします。

アプリケーション

絶縁型テレコム用電源
絶縁型ネットワーク用電源
±48V電源モジュール
工業用電源
±48V/±12Vサーバ用電源

特長

- ◆ 同期整流用 MOSFET のためのクリーンな駆動波形
- ◆ 適切なターンオン/ターンオフを行うための一時側からの予告信号の生成
- ◆ 最大2Aのピーク電流の供給と吸収を可能とする同期整流器用ドライバ
- ◆ 5V(MAX5058)または10V(MAX5059)のゲート駆動電圧のための内蔵ゲート電圧用レギュレータ
- ◆ エラーアンプ内蔵
- ◆ 正確な差動方式電流シェア/強制回路によって大出力電流を得るための複数電源の並列接続が可能
- ◆ リモート電圧センスアンプを内蔵
- ◆ 柔軟なリファレンス電圧の生成
- ◆ 0.5Vまでの出力電圧レギュレーション
- ◆ 2.5mAの自己消費電流
- ◆ デジタル方式出力マージン試験回路を内蔵しているため外部部品と基板面積の節約が可能
- ◆ パルス入力から出力までの伝播遅延時間：30ns
- ◆ 不連続電流伝導及びフリーホイール用 MOSFET のターンオフを自動検出
- ◆ 低出力電流での高効率の実現及び逆流防止回路
- ◆ 過温度警告フラグ用のオープンドレイン型の出力
- ◆ 熱強化された28ピンTSSOPパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE	V _{REG} (V)
MAX5058AUI	-40°C to +125°C	28 TSSOP-EP*	5
MAX5058EUI	-40°C to +85°C	28 TSSOP-EP*	5
MAX5059AUI	-40°C to +125°C	28 TSSOP-EP*	10
MAX5059EUI	-40°C to +85°C	28 TSSOP-EP*	10

*EP = Exposed paddle.

ピン配置はデータシートの最後に記載されています。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

ABSOLUTE MAXIMUM RATINGS

V+ to GND-0.3V to +30V
PGND to GND-0.3V to +0.3V
COMPV, VREG, VDR, TSF to GND-0.3V to +14V
All Other Pins to GND-0.3V to (VP + 0.3V)
VREG Source Current50mA
COMPV, RMGU, RMGD, TSF Sink Current 30mA
VP to GND-0.3V to +6V
VSO, CSO Source/Sink Current ±5mA
SFP Source Current 5mA

QREC, QSYNC Continuous Current.....50mA
QREC, QSYNC Current < 500ns.....5A
Continuous Power Dissipation (TA = +70°C)
28-Pin TSSOP (derate 23.8mW/°C above +70°C).1905mW
Junction Temperature+150°C
Operating Temperature Ranges
MAX5058EUI, MAX5059EUI-40°C to +85°C
MAX5058AUI, MAX5059AUI.....-40°C to +125°C
Storage Temperature Range-65°C to +150°C
Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = +12V, GND = PGND = 0, VDR = VREG, CQSYNC = COREC = 0, ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND, VIREF = VVSP = 1.785V, CVREG = 2.2µF, CVP = 1µF, CCOMPS = 0.1µF, CSFP = 68nF, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLY							
Supply Voltage Range	V+	MAX5058		4.5		28.0	V
		MAX5059		9.3		28.0	
Quiescent Supply Current	I _Q				2.5	5	mA
Switching Supply Current	I _{SW}	f _{SW} = 250kHz at BUFIN	MAX5058		4.5		mA
			MAX5059		6		
I _{REF} : REFERENCE CURRENT OUTPUT							
Reference Current	I _{REF}	V _{REF} = 1.785V		49.2	50	51.1	μA
Reference Current Variation	ΔI _{REF}	V _{REF} = 0.5V to 2.5V		-0.1		+0.1	%/V
Reference Voltage Compliance Range		Guaranteed by reference current variation test		0.5		2.5	V
V _{REG} : LOW-DROPOUT REGULATOR							
Regulator Output	V _{VREG}	I _{VREG} = 0 to 30mA	MAX5058	4.75	5	5.25	V
			MAX5059	9.4	10	10.6	
Line Regulation		MAX5058, V+ = 6V to 28V				25	mV
		MAX5059, V+ = 11V to 28V				25	
Dropout	V _{DROP}	MAX5058	V+ = 4.5V, I _{VREG} = 30mA		200	350	mV
		MAX5059	V+ = 9.3V, I _{VREG} = 30mA		200	350	
V _P : INTERNAL REGULATOR							
Regulator Output Setpoint	V _{VP}	I _{VP} = 0 to 5mA		3.8		4.3	V
Z _C : ZERO-CURRENT COMPARATOR							
Zero-Current Comparator Threshold	V _{ZCTH}	T _A = +25°C		+3.5	+5	+6.5	mV
Zero-Current Comparator Input Current	I _{ZC}			-2.5		+2.5	μA

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +12V, GND = PGND = 0, VDR = VREG, CQSYNC = CQREC = 0, ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND, VREF = VVSP = 1.785V, CVREG = 2.2μF, CVP = 1μF, CCOMPS = 0.1μF, CSFP = 68nF, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Zero-Current Comparator Input Range	VZC		-0.1		+1.5	V
Zero-Current Comparator Propagation Delay	tzC	10mV overdrive, from when VZCP - VZCN is greater than VZCTH to when QSYNC goes low		65		ns
BUFIN: SYNCHRONIZING PULSE INPUT						
BUFIN to Output Propagation Delay	tpd	BUFIN rising to QREC rising or QSYNC falling		40		ns
BUFIN Input Current	IBUFIN		-1		+1	μA
BUFIN Input Capacitance	CBUFIN			10		pF
BUFIN Input-Logic High	VHBUFIN		2.4			V
BUFIN Input-Logic Low	VLBUFIN				0.8	V
MARGINING INPUTS						
RMGD Resistance	RRMGD	Sinking 10mA		6.5	11	Ω
RMGU Resistance	RRMGU	Sinking 10mA		6.5	11	Ω
MRGD Input-Logic High	VHMRGD		2.4			V
MRGD Input-Logic Low	VLMRGD				0.8	V
MRGU Input-Logic High	VHMRGU		2.4			V
MRGU Input-Logic Low	VLMRGU				0.8	V
MRGU, MRGD Input Resistance	RRMGD, RRMGU		40			kΩ
MRGU, MRGD Leakage Current	IRMGU, IRMGD		-100		+100	nA
DRIVER OUTPUTS						
QREC, QSYNC Peak Source Current	IQREC_SO, IQSYNC_SO			2		A
QREC, QSYNC Output-Voltage High	VQREC_H, VQSYNC_H	Measured with respect to VVDR, sourcing 50mA	MAX5058	75	150	mV
			MAX5059	75	150	
QREC, QSYNC Low-to-High Delay Time	tpDLH	CQREC = CQSYNC = 0		30		ns
		CQREC = CQSYNC = 5nF		70		
QREC, QSYNC Peak Sink Current	IQREC_SI, IQSYNC_SI			2		A
QREC, QSYNC Output-Voltage Low	VQREC_L, VQSYNC_L	Sinking 50mA	MAX5058	50	100	mV
			MAX5059	50	100	
QREC, QSYNC High-to-Low Delay Time	tpDHL	CQREC = CQSYNC = 0		40		ns
		CQREC = CQSYNC = 5nF		70		

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +12V, GND = PGND = 0, VDR = VREG, COSYNC = COREC = 0, ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND, VREF = VVSP = 1.785V, CVREG = 2.2μF, CVP = 1μF, CCOMPS = 0.1μF, CSFP = 68nF, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ERROR AMPLIFIER						
Inverting Input Current	IINV		-50		+50	nA
Error-Amplifier Input Range	VINV		0		2.5	V
Error-Amplifier Input Offset	VOS	I _{COMPV} = 100μA to 5mA	-5		+5	mV
Error-Amplifier Output-Voltage Low	V _{COMPV}	I _{COMPV} = 5mA			200	mV
Error-Amplifier Unity-Gain BW	GBW	R _{COMP} = 220Ω, I _{COMP} = 5mA		1.3		MHz
Error-Amplifier Voltage Gain	A _{VOL}	R _{COMPV} = 220Ω, I _{COMP} = 5mA		80		dB
Error-Amplifier PSRR	PSRR			60		dB
COMPV Output Resistance to Ground		(Note 1)		1		MΩ
REMOTE-SENSE AMPLIFIER (RSA)						
VSN Input Current	I _{VSN}		-100		+100	μA
VSP Input Current	I _{VSP}		-20		+100	μA
Input Common-Mode Range			-0.3		+3.8	V
Input Offset Voltage	V _{OSRSA}	I _{VSO} = -0.5mA to +0.5mA		-4		mV
Output Impedance				8		Ω
Amplifier -3dB Frequency		I _{VSO} = -0.5mA to +0.5mA		1		MHz
Remote-Sense Amplifier Gain	G _{RS}	I _{VSO} = -0.5mA to +0.5mA	0.9925	1	1.0075	V/V
CURRENT-SENSE AMPLIFIER (CSA)						
CSN Input Current	I _{CSN}	-0.3V ≤ V _{CSN} ≤ +3.8V, -0.3V ≤ V _{CSP} ≤ +3.8V	-150		+150	μA
CSP Input Current	I _{CSP}	-0.3V ≤ V _{CSP} ≤ +3.8V	-40		+150	μA
Input Offset Voltage		I _{CSO} = -500μA to +500μA (Note 2)	+20	+25	+30	mV
Current-Sense Amplifier Gain	G _{CSA}	I _{CSO} = -500μA to +500μA	19.8	20	20.2	V/V
Input Differential-Mode Range					100	mV
Input Common-Mode Range			-0.3		+3.8	V
Output-Voltage Level Shift	V _{LS}	(Note 2)	0.415		0.570	V
Output Voltage Range	V _{CSO(MIN)}	I _{CSO} = -500μA to +500μA	0.1		3.0	V
Amplifier -3dB Frequency	f _{-3dB}	I _{CSO} = -500μA to +500μA		50		kHz
SHARE-FORCE AMPLIFIER (SFA)						
Sink Current					60	μA
Source Current			500			μA

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +12V, GND = PGND = 0, VDR = VREG, COSYNC = COREC = 0, ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND, VREF = VVSP = 1.785V, CVREG = 2.2μF, CVP = 1μF, CCOMPS = 0.1μF, CSFP = 68nF, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CURRENT-ADJUST AMPLIFIER (CAA)						
Transconductance				500		μA/V
Common-Mode Input Voltage Range			0.45		2.55	V
Output Voltage Range			0.85		2.75	V
Offset Voltage		TA = +25°C	20	42	65	mV
Open-Loop Gain				72		dB
CURRENT-ADJUST VOLTAGE-TO-CURRENT CONVERTER						
Input Voltage Range			0.75		2.75	V
Input Voltage Offset				1.25		V
Output Voltage Range			0.5		2.5	V
Transconductance				1.15		μA/V
Maximum Current Adjustment Value			1.38	1.5	1.66	μA
THERMAL SHUTDOWN						
Thermal Warning Flag Level		When TSF pulls low		+125		°C
Thermal Warning Flag Hysteresis				15		°C
Internal Thermal-Shutdown Level				+160		°C
Internal Thermal-Shutdown Hysteresis				15		°C
TSF Maximum Output Voltage		ITSF = 5mA			120	mV
TSF Output Leakage Current					0.1	μA

Note 1: Output resistance to ground used for unity-gain stability.

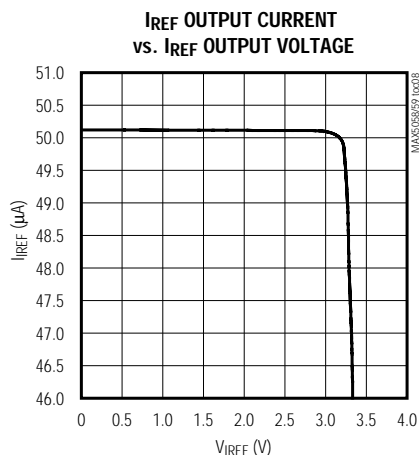
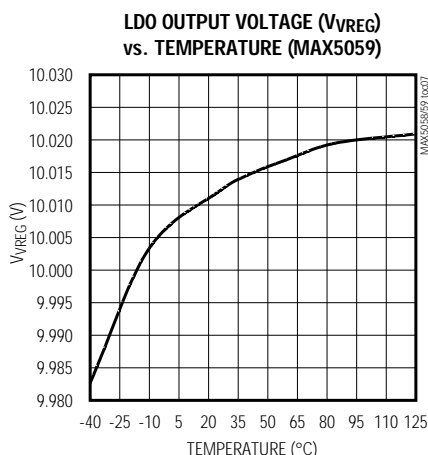
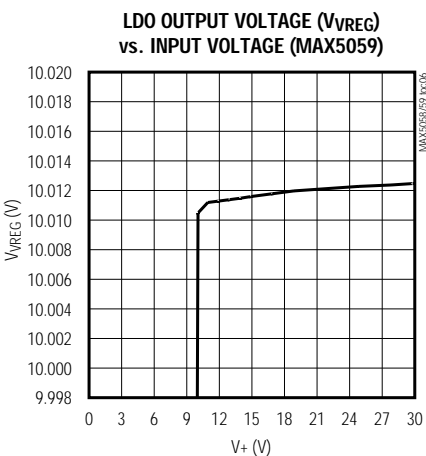
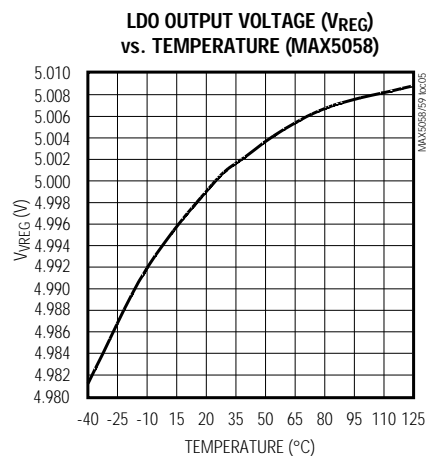
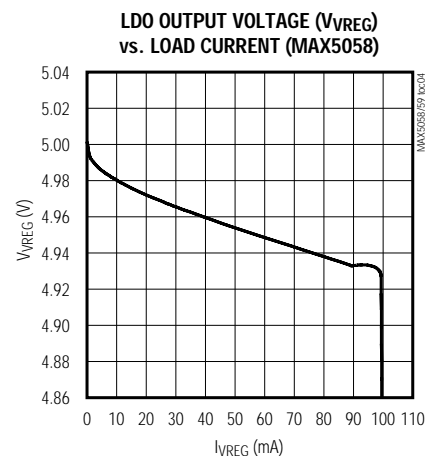
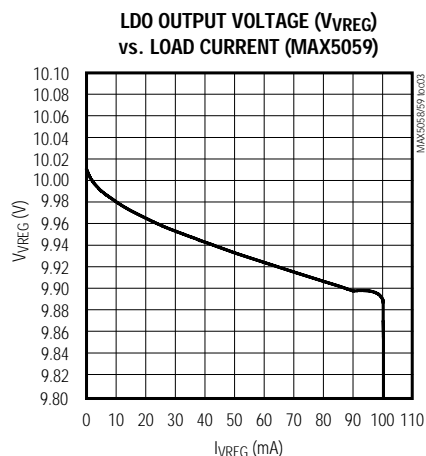
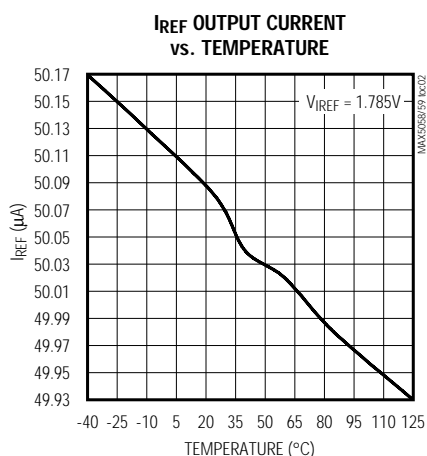
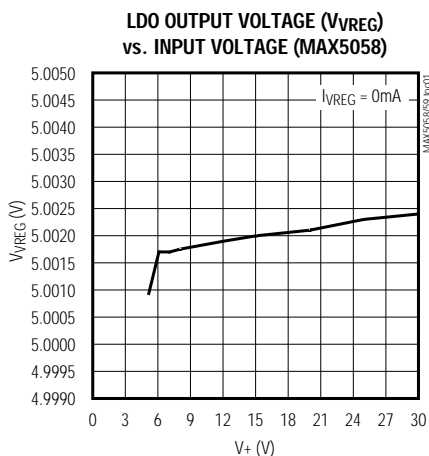
Note 2: $V_{CSO} = G_{CSA}(V_{CSP} - V_{CSN}) + V_{LS}$.

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

標準動作特性

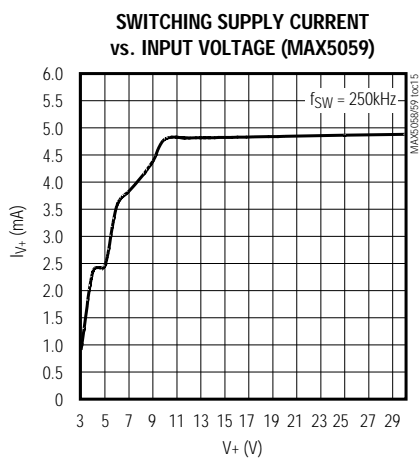
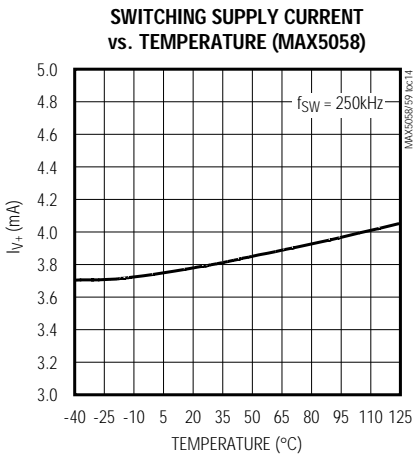
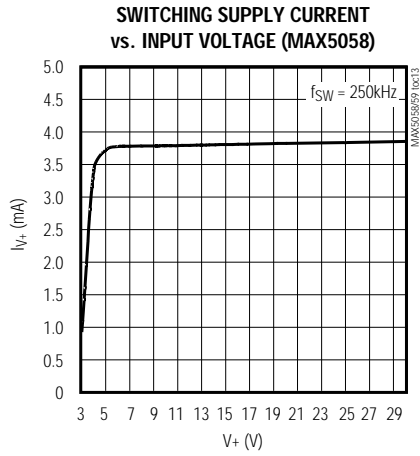
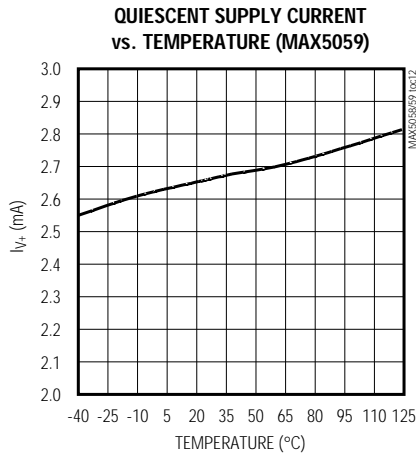
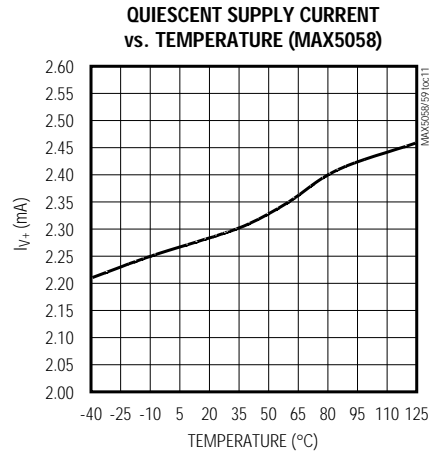
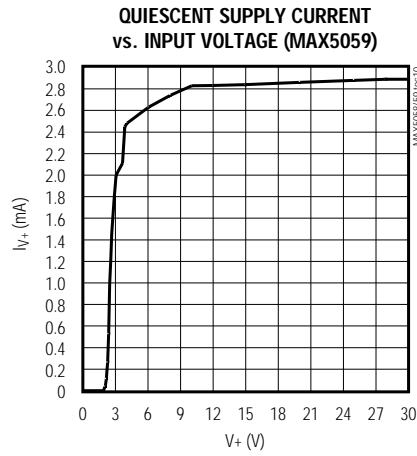
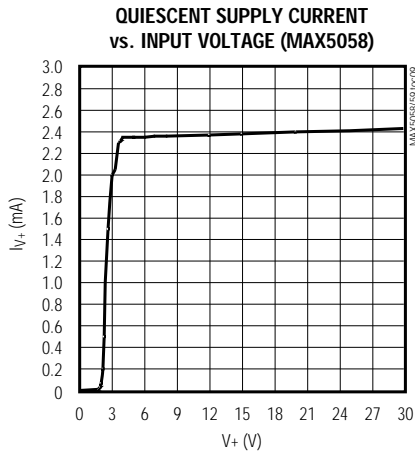
($V_+ = +12V$, $GND = PGND = 0$, $VDR = V_{REG}$, $C_{OSYNC} = C_{QREC} = 0$, $ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND$, $V_{REF} = V_{VSP} = 1.785V$, $V_{COMPS} = 0.5V$, $C_{VREG} = 2.2\mu F$, $C_{VP} = 1\mu F$, $C_{COMPS} = 0.1\mu F$, $C_{SFP} = 68nF$, $T_A = +25^\circ C$, unless otherwise noted.)



並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

標準動作特性(続き)

($V_+ = +12V$, $GND = PGND = 0$, $VDR = V_{REG}$, $C_{OSYNC} = C_{QREG} = 0$, $ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND$, $V_{IREF} = V_{VSP} = 1.785V$, $V_{COMPS} = 0.5V$, $C_{VREG} = 2.2\mu F$, $C_{VP} = 1\mu F$, $C_{COMPS} = 0.1\mu F$, $C_{SFP} = 68nF$, $T_A = +25^\circ C$, unless otherwise noted.)

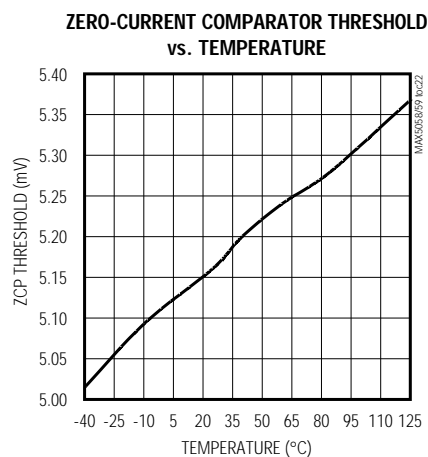
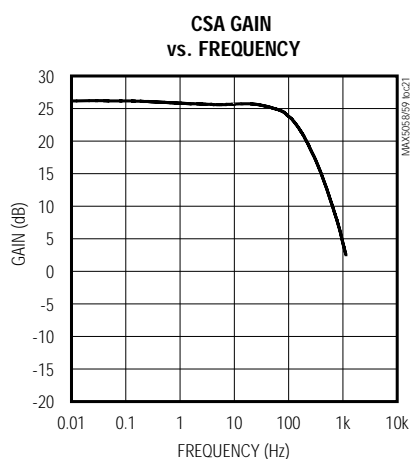
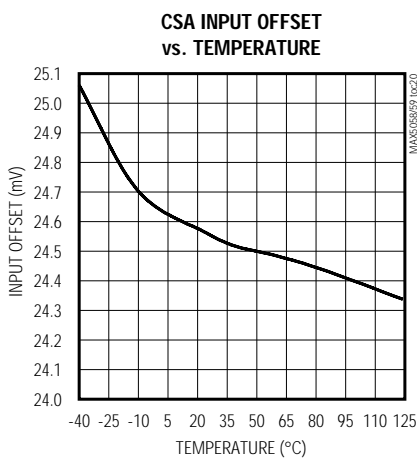
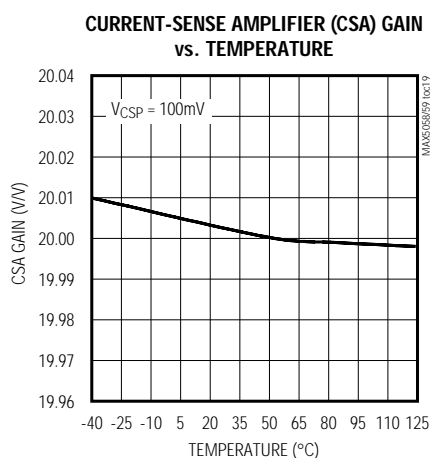
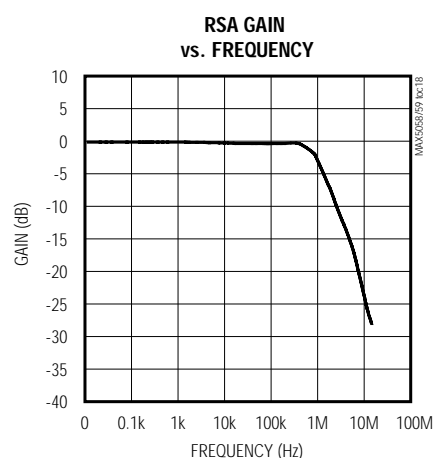
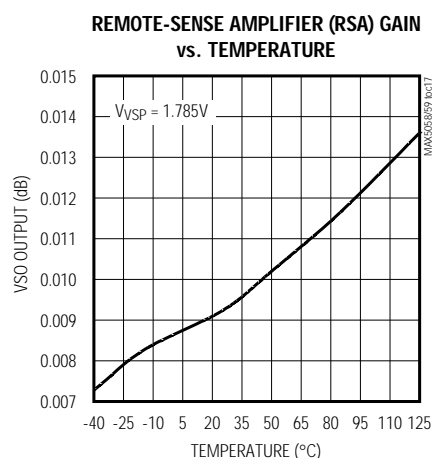
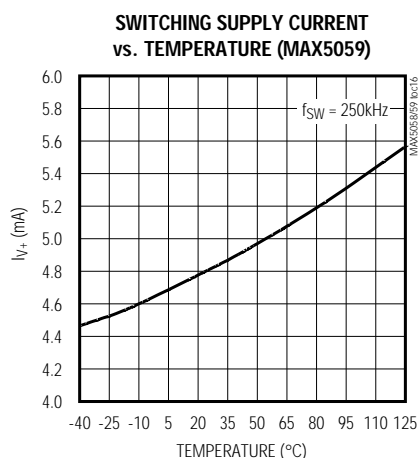


MAX5058/MAX5059

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

標準動作特性(続き)

($V_+ = +12V$, $GND = PGND = 0$, $VDR = V_{REG}$, $C_{OSYNC} = C_{QREC} = 0$, $ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND$, $V_{IREF} = V_{VSP} = 1.785V$, $V_{COMPS} = 0.5V$, $C_{VREG} = 2.2\mu F$, $C_{VP} = 1\mu F$, $C_{COMPS} = 0.1\mu F$, $C_{SFP} = 68nF$, $T_A = +25^\circ C$, unless otherwise noted.)

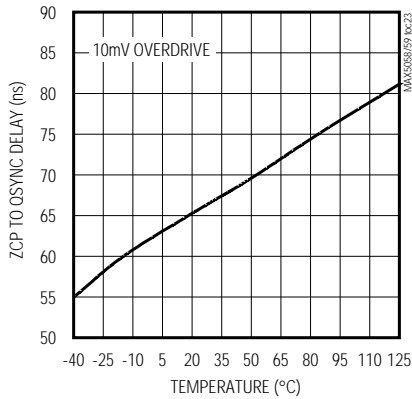


並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

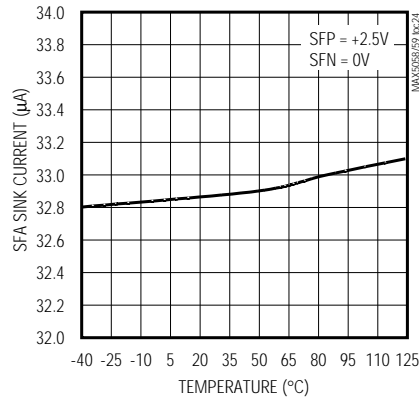
標準動作特性(続き)

($V_+ = +12V$, $GND = PGND = 0$, $VDR = V_{REG}$, $C_{QSYNC} = C_{QREC} = 0$, $ZCP = ZCN = BUFIN = CSP = CSN = SFN = VSN = GND$, $V_{IREF} = V_{VSP} = 1.785V$, $V_{COMPS} = 0.5V$, $C_{VREG} = 2.2\mu F$, $C_{VP} = 1\mu F$, $C_{COMPS} = 0.1\mu F$, $C_{SFP} = 68nF$, $T_A = +25^\circ C$, unless otherwise noted.)

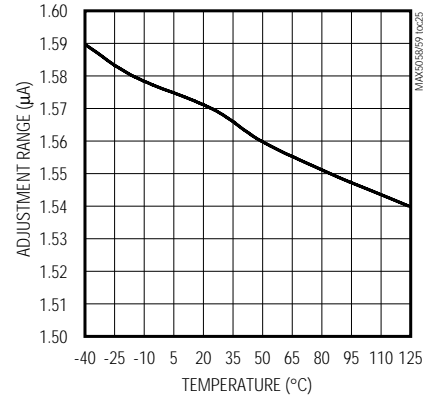
**ZERO-CURRENT PROPAGATION DELAY
vs. TEMPERATURE**



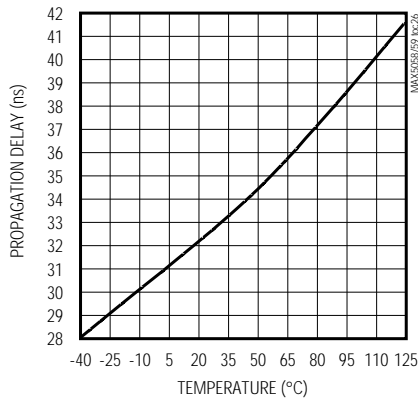
**SFA AMPLIFIER MAXIMUM
SINK CURRENT vs. TEMPERATURE**



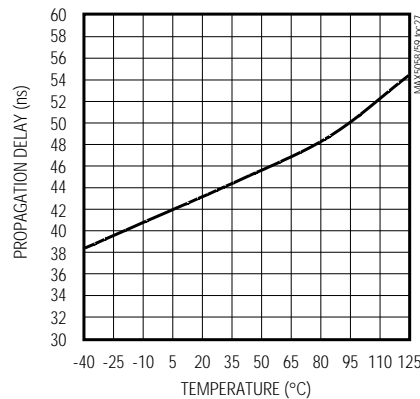
**CURRENT-ADJUST VOLTAGE TO CURRENT-
CONVERTER ADJUSTMENT RANGE
vs. TEMPERATURE**



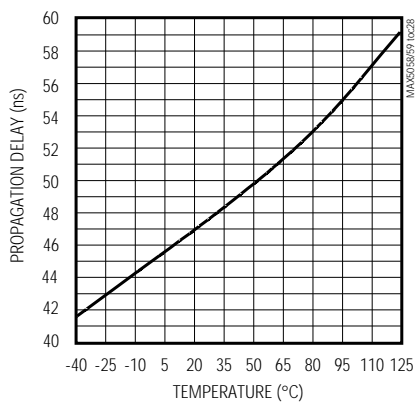
**BUFIN TO QREC LOW-TO-HIGH
PROPAGATION DELAY vs. TEMPERATURE**



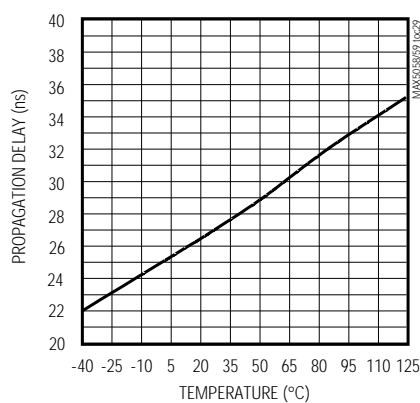
**BUFIN TO QREC HIGH-TO-LOW
PROPAGATION DELAY vs. TEMPERATURE**



**BUFIN TO QSYNC LOW-TO-HIGH
PROPAGATION DELAY vs. TEMPERATURE**



**BUFIN TO QSYNC HIGH-TO-LOW
PROPAGATION DELAY vs. TEMPERATURE**



MAX5058/MAX5059

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

端子説明

端子	名称	機能
1	ZCP	ゼロインダクタ電流検出用のコンパレータ入力端子。この端子を使ってフリーホイール用FET (「標準動作回路」におけるN4)のソース電圧を検出します。一次側電源がオフサイクルの間に、この端子の電圧が正になるとき、ゲート駆動は終結されます。
2	ZCN	ゼロインダクタ電流検出用のコンパレータの負入力端子。
3	GND	グラウンドに接続する端子。
4	SFN	シェア強制アンプの負入力端子。すべてのSFN入力端子をまとめて電源の二次側に接続し、それを負荷のリターン端子(絶縁GND)に接続してください。電流シェアを行わない場合はGNDに接続してください。
5	SFP	シェア強制アンプの正入力端子。すべてのSFP端子をまとめて電源の二次側に接続してください。電流シェアを行わない場合は、何も接続しないでください。
6	COMPS	負荷シェア用トランスコンダクタンスアンプの補償出力端子。
7	TSF	サーマル警告を行うためのフラグ出力。
8	MRGU	マージンアップを行うための論理信号入力端子。ハイにすると、電源出力電圧はハイマージンに設定されます。
9	MRGD	マージンダウンを行うための論理信号入力端子。ハイにすると、電源出力電圧はローマージンに設定されます。
10	RMGD	マージンダウンを行うための抵抗を接続します。
11	RMGU	マージンアップを行うための抵抗を接続します。
12	I _{REF}	基準電流出力端子。この電流源出力端子とGND間に抵抗を接続すると、エラーアンプで使用するリファレンス電圧となります。
13	COMPV	エラーアンプ用の補償端子。この端子には、また、フィードバック用のフォトカブラLEDを接続します。このオープンドレイン型の出力は最低5mAの電流をシンクすることができます。
14	INV	エラーアンプの反転入力端子。この入力端子に電圧分割器を接続することによって、電圧設定します。
15	VSO	リモートセンスアンプの出力端子。
16	VSN	リモートセンスアンプの負入力端子。この端子に負荷の負端子を接続してください。
17	VSP	リモートセンスアンプの正入力端子。この端子に負荷の正端子を接続してください。
18	CSO	電流センスアンプの出力端子であり、出力電流を監視するのに使うことができます。
19	CSN	この入力端子を出力電流センス抵抗の負端子に接続してください。使用しないときはGNDに接続してください。
20	CSP	この入力端子を出力センス抵抗の正端子に接続してください。使用しないときはGNDに接続してください。
21	VP	内蔵の+4Vレギュレータ用の補償端子。最低1μFの低ESRコンデンサをバイパス用として接続してください。
22	V ₊	本ICの電源入力端子であり、また内蔵の5V(MAX5058)または10V(MAX5059)レギュレータの入力端子でもあります。この入力端子の最大電圧は28Vです。
23	V _{REG}	レギュレートされた+5V(MAX5058)または+10V(MAX5059)出力端子であり、内部回路と出力ドライバに使われます。最低1μFのコンデンサをバイパス用として本端子に接続してください。
24	BUFIN	同期パルスのための入力端子。このパルスは一次側の電源用ICから与えられます。
25	VDR	出力ドライバへの電源供給端子。5V(MAX5058)または10V(MAX5059)であるV _{REG} 出力端子を本端子に接続して使うことができます。
26	QREC	整流用MOSFETを駆動するための出力端子。
27	PGND	電源グラウンドに接続する端子であり、またゲートを駆動するパルス電流のリターンを接続するグラウンド端子でもあります。
28	QSYNC	循環用MOSFETを駆動するための出力端子。
—	EP	エクスポーズドパッド。これはIC下部の露出させたパッドです。本パッドをGNDに接続し、かつ、熱消費を助けるために大きな銅のグラウンド面に接続してください。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

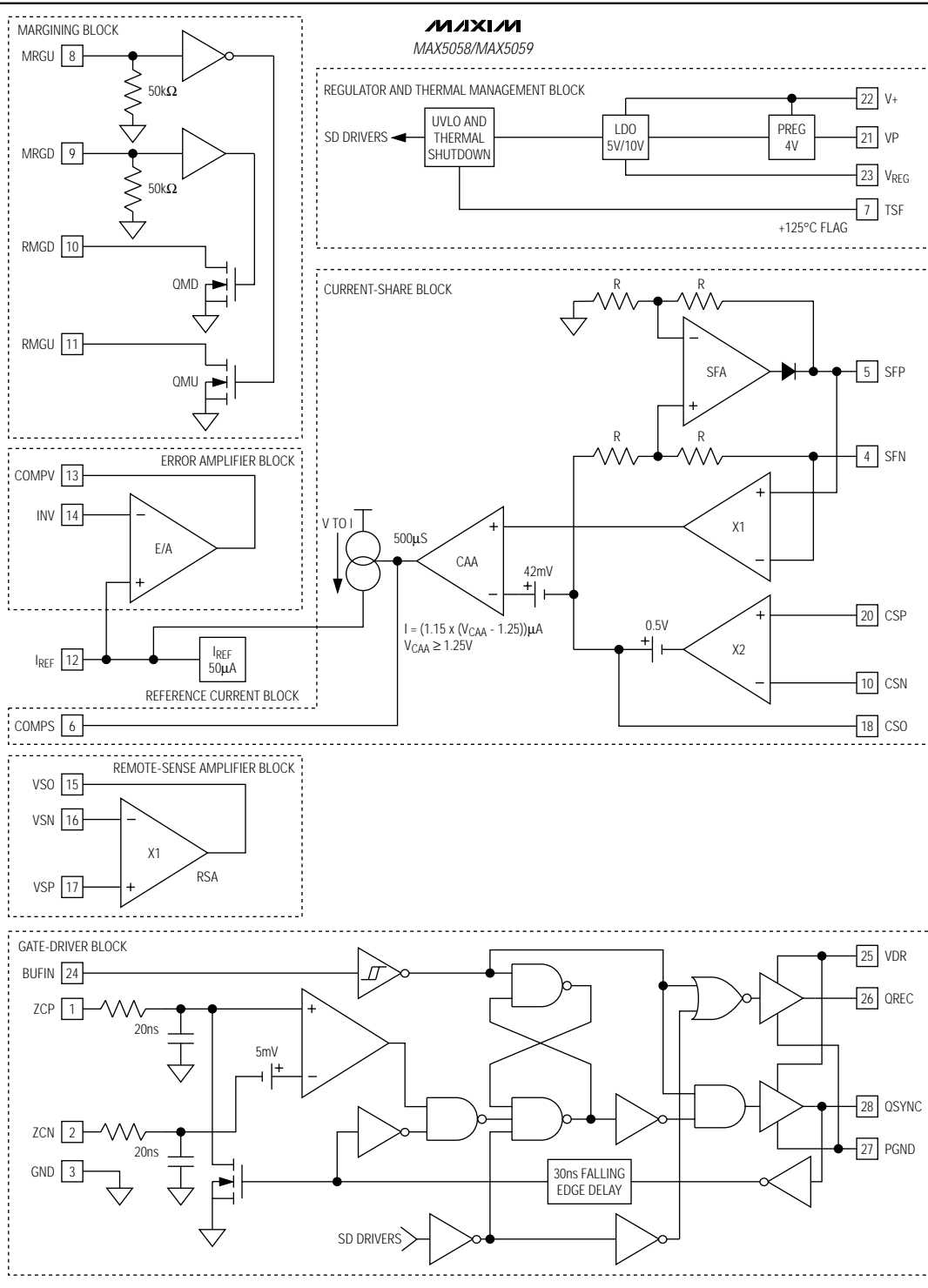


図1. MAX5058/MAX5059ファンクションダイアグラム

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

詳細

MAX5058/MAX5059は、二次側で同期整流を行うことで高効率、絶縁電源を実現できます。これらの製品は絶縁トランスの一次側でスイッチングするパワーMOSFETに同期してクリーンなゲート駆動信号を二次側のMOSFETに与えて整流動作を行わせます。二次側MOSFETは、十分に駆動されると、非常に低いオン抵抗を持つため、ショットキダイオードに比べてずっと小さい電圧降下となり、結果として、より高い効率を実現することができます。一次側のMOSFETがオンになる前に予告信号を作ることによって同期整流用のMOSFETが同時にオンとなることを防ぎます。このため、短絡されたトランスの二次側から生じる大きなスパイク電流の発生を無くすることができます。

MAX5058はゲート駆動電圧用の5Vレギュレータを内蔵し、論理信号レベルで動作するMOSFET用として使うことができます。MAX5059はゲート駆動電圧用の10Vレギュレータを内蔵し、高ゲート電圧用MOSFET用として使うことができます。

ゲートドライバに加えて、MAX5058/MAX5059には二次側回路を実現する以下の機能ブロックがあります：

- ・レギュレータと熱マネージメントブロック
- ・バッファ入力及びゲート駆動ブロック
- ・基準電流ブロック
- ・エラーアンプブロック
- ・マージン回路ブロック
- ・リモートセンス用アンプブロック
- ・電流シェアブロック

レギュレータと熱マネージメント

MAX5058/MAX5059内のリアレギュレータは、内部回路の電源と外部の同期用MOSFETにも電源供給します。電源を二次側巻き線の出力フィルタ用インダクタの前で作ると設計を簡素化することができます。二次側のピーク電圧は、少なくとも、出力電圧の2倍となるので、出力電圧が3.3Vと小さい場合でも、7V以上のピーク電圧を発生します。電圧をV₊に供給する前にその電圧をダイオードとコンデンサを用いて整流してフィルタをかけてください(「標準動作回路」におけるD6とC32を参照してください)。レギュレータへの入力はV₊であり、出力はV_{REG}です。V_{DR}をV_{REG}に接続すると電源をゲートドライバのQRECとQSYNCに与えることになります。論理レベルの信号で動作するMOSFETに対してはMAX5058を使用してください。10Vの電圧を必要とする従来型のMOSFETに対してはMAX5059を使用してください。V₊の入力電圧範囲は+4.5V ~ +28Vです。V₊にはMOSFETドライバへの電流及びMAX5058/

MAX5059の自己消費電流を満たす十分な電流を供給してください。次の式を用いて、全体の必要とする電源電流を推定してください：

$$I_{V+} = I_{SW} + f_{SW} \times (Q_{N3} + Q_{N4})$$

ここで、I_{V+}はV₊に供給しなければならない電流であり、Q_{N3}、Q_{N4}は、「標準動作回路」におけるMOSFET N3、N4の全ゲート電荷です。f_{SW}はスイッチング周波数であり、I_{SW}はその部分のスイッチング電流です。V₊及びV_{REG}をバイパスするためには、高品質のセラミックコンデンサを使用してください。必要があれば、選択されたMOSFETを駆動するとき、ドライバが発生するスイッチング電流のバイパス用としてコンデンサを追加してください。出力を安定にするため、少なくとも1μFのセラミックコンデンサをV_{REG}の出力に接続してください。

MAX5058/MAX5059はパッケージの裏面にエクスポーズドパッドを持ち、グランド面を直接ヒートシンクとして使います。1in²の面積を持つ銅のアイランドに半田付けした場合、これらの製品は+70 °Cの周囲温度でおよそ1.9Wを消費することができます。エクスポーズドパッドはGNDに接続してください。

レギュレータに加えて、このブロックは、チップの温度が+160 °Cを超えた場合、ゲートドライバをシャットダウンする熱シャットダウン回路を含んでいます。これは最後に使うことになるシャットダウン機構であり、トリガされることは回避する必要があります。出力が最大負荷電流を供給しているときに、この方法で二次回路の同期整流用のドライバがオフとなると、その電流は損失が大きい外部のダイオードまたはMOSFETのボディダイオードに向けて流れます。これは、たいいていの場合、電力消費による整流器の損傷につながります。これを避けるためには、TSF出力(温度警告フラグ)を使用してください。TSFはオープンドレイン型の出力であり、チップの温度が+125 °Cを超えると出力されます。これは実際に熱シャットダウンが起こる+160 °Cよりも十分に低い温度です。V_{REG}からTSF端子にフォトカブラを接続すると一次側でスイッチングを止める手段を備えることができ、壊滅的な故障を防ぐことができます。

バッファ入力(BUFIN)及びMOSFETドライバ

MAX5058/MAX5059は、QSYNCとQREC端子を使って外部NチャネルMOSFETを駆動します。QSYNC出力は「標準動作回路」のフリーホイール用MOSFET N4のゲートを駆動します。QREC出力は「標準動作回路」の整流用MOSFET N3のゲートを駆動します。各ゲートドライバの出力は2Aまでのピーク電流をソース及びシンクできるため、MAX5058/MAX5059が大きいゲート容量を持つMOSFETを駆動することが可能となります。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

MOSFETのドライバはBUFIN入力を使って一次側のスイッチングに同期されます。BUFINは高速フォトカプラまたは小さい絶縁パルストランスを通して一次側からPWM情報を得ます。図2から図6までは、異なった2種類の一次側PWMコントローラを使う場合のフォトカプラまたはパルストランスを使う詳細インタフェースを示しています。

正しく動作させるために、MAX5051、MAX5042、及びMAX5043は一次側のMOSFETの実際のスイッチングよりも、ある小さい時間、標準的には100ns以下、だけ先行する予告信号を発生させます。予告信号を発生できない他の一次側のコントローラと共にMAX5058/MAX5059が使われる場合は、回路を追加することが必要となります。BUFINがハイになると、QRECがハイ

となりQSYNCはローとなります。BUFINがローとなるとQRECはローとなり、QSYNCがハイとなります。

MAX5058/MAX5059は不連続伝導動作を可能とすることによって軽負荷における効率を改善します。入力ZCPとZCNを持つゼロ交差コンパレータがそのソースに抵抗を置いてフリーホイール用MOSFETを流れる電流を監視します。インダクタに流れる電流がゼロに近い値になるとフリーホイール用MOSFETはオフとされます。この実際のスレッシュホールドは外部から設定することができます。「標準動作回路」は部品R31とR34を用いてトリップポイントを設定する一つの方法を示しています。

BUFINは内部で4Vにクランプされています。この端子に印加される外部電圧を4V以下の値にする必要がある場合は電圧分割器を使用してください。

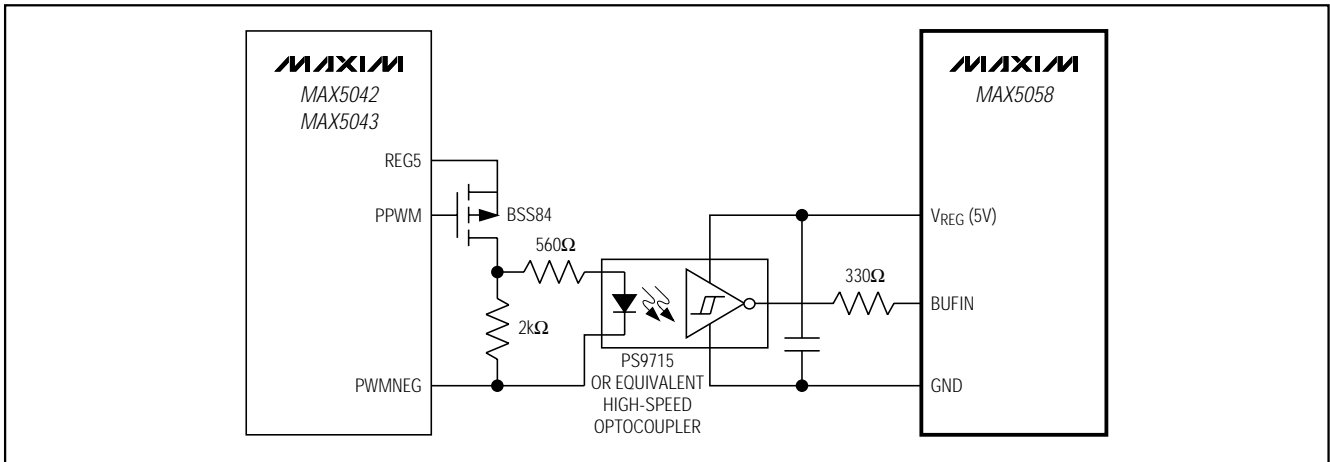


図2. 高速フォトカプラを使用するMAX5058とMAX5042/MAX5043とのインタフェース

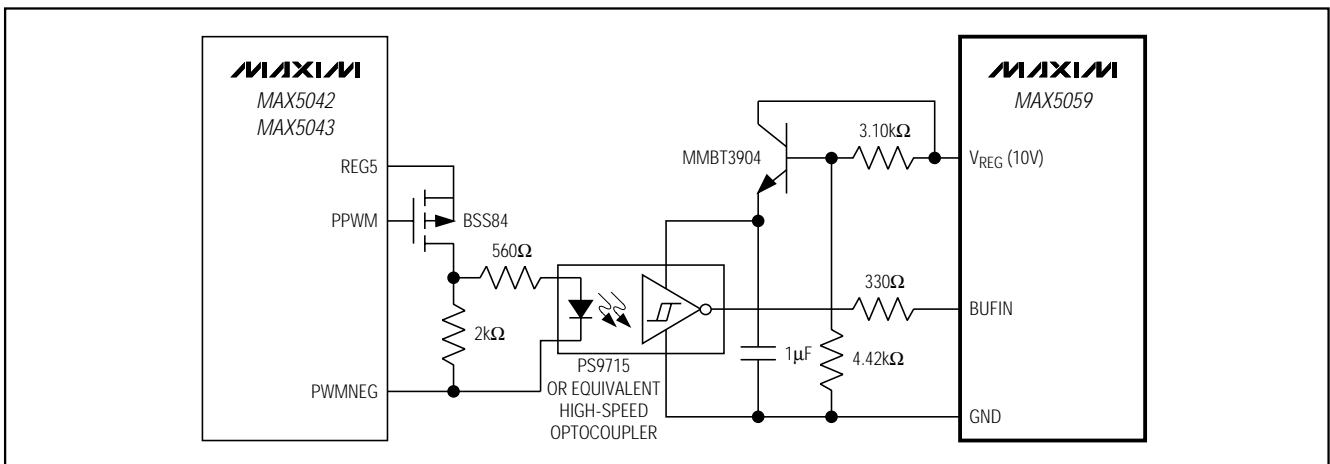


図3. 高速フォトカプラを使用するMAX5059とMAX5042/MAX5043とのインタフェース

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

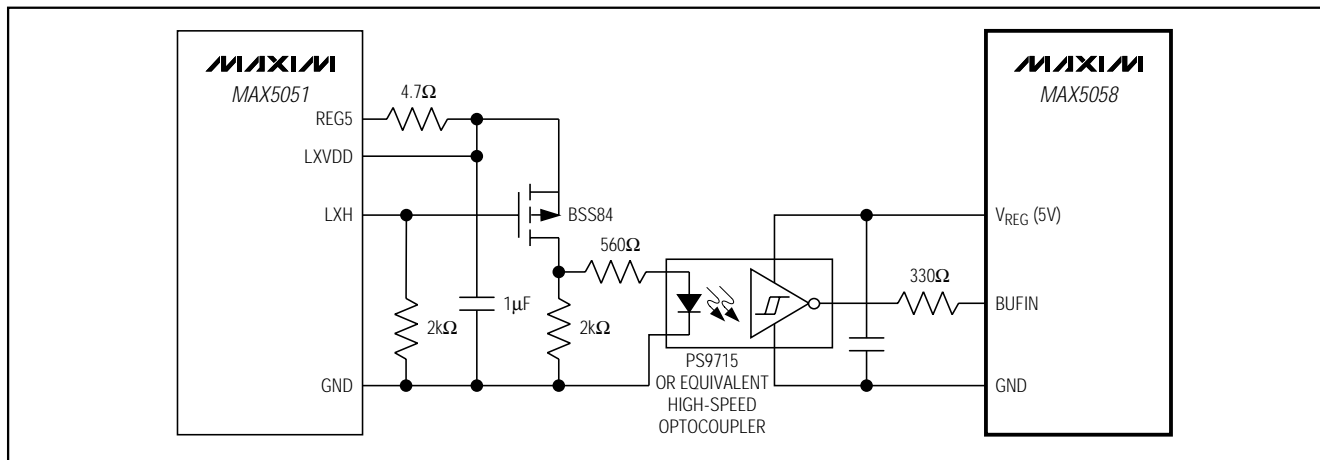


図4. 高速フォトカプラを使用するMAX5058とMAX5051とのインタフェース

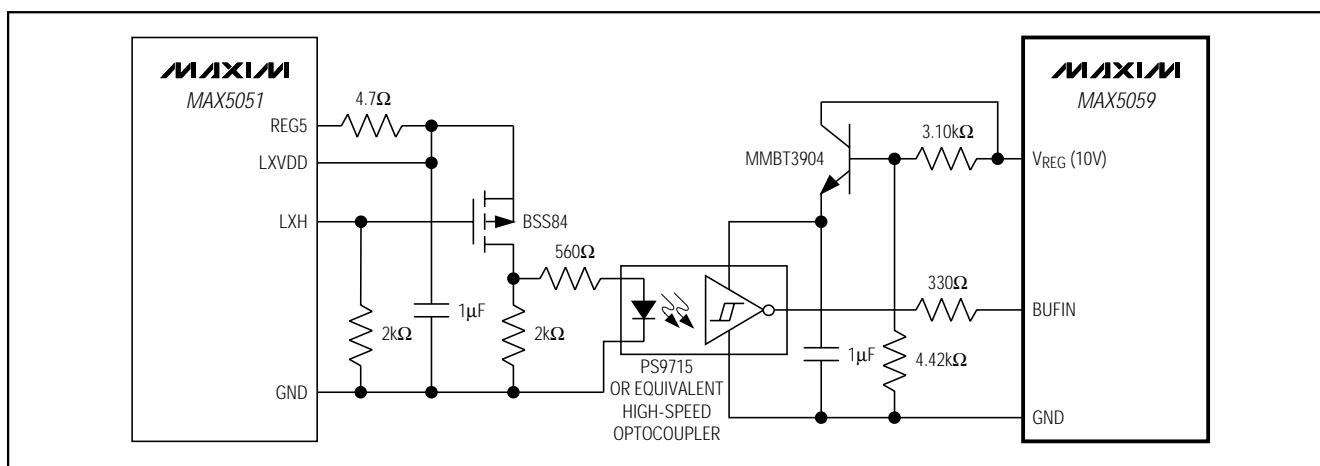


図5. 高速フォトカプラを使用するMAX5059とMAX5051とのインタフェース

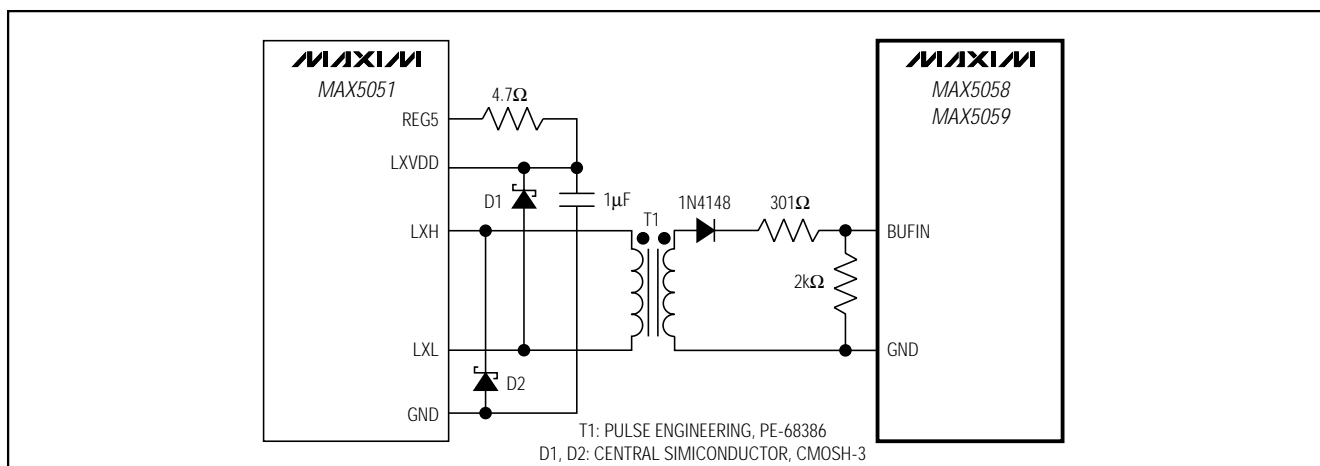


図6. パルストランスを使用するMAX5051とのインタフェース

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

同期整流器における逆電流を防ぐ方法

二次側で同期整流を行う一つの利点は効率が上がることです。もう一つの利点は動作する負荷範囲内でインダクタに流れる電流を連続にできることです。このことはループの動特性を一定にすることができるため、補償が容易となります。

本製品に流れる電流がドレインからソースに向かって流れようとするとき、フリーホイール用MOSFETをオフにする必要が生じる場合があります。出力電流が小さい場合に効率を上げるために、このMOSFETをオフにすることができます。多数の電源を並列接続すると、最も高い出力電圧を持つ電源がより低い出力電圧を持つ電源へ電流を流し込む傾向が生じます。フリーホイール用MOSFETをオフにすることは、この電流の流れ戻りを防ぐ効果があります。

インダクタ電流が不連続になることが許容される場合、ループの動特性が変化し、回路は安定な連続及び不連続モードの動作を可能とするように補償されなければなりません。

フリーホイール用MOSFETをオフにすることはゼロ電流コンパレータ(端子ZCPとZCN)を用いることによってなされます。このコンパレータを用いてフリーホイール用MOSFETに流れる逆電流を検出してQSYNCをローに強制してデバイスをオフとします。フリーホイール用MOSFETが次のサイクルのオフ時間までオンとなることが無いように内部のラッチ回路が、これを防ぎます。

基準電流

MAX5058/MAX5059は、電圧としてリファレンス電圧の発生器を持っていません。その代わりに、1%の精度に調整された $50\mu\text{A}$ の電流源を持っています。このため、自由にリファレンス電圧を設定することができます。 I_{REF} 端子に適切な抵抗値を設定して接続することにより、「標準動作回路」におけるR1とR2で構成される出力電圧の抵抗分圧器は、無くすことができます。この場合は出力部の抵抗分圧器による誤差をなくすることができます。ノイズを除去するためには、この端子に小さい値のバイパス用コンデンサを接続してください。このコンデンサの標準値はコンデンサの値とR12とで形成される極を考慮して計算することができます。この極は電流シェアを行うループの対象とする周波数よりも十分に高い値に設定しなければなりません。2.2nF以下の値を使用してください。

エラーアンプ

MAX5058/MAX5059は入力端子をINV、 I_{REF} 、そして出力端子をCOMPVとする1.3MHzのユニティゲイン

帯域幅を持つエラーアンプを備えています。 I_{REF} は非反転入力であり、内部の $50\mu\text{A}$ 電流源と I_{REF} とGND間に外部から接続する抵抗とで作られるリファレンス電圧生成器として機能します。INVは反転入力端子であり、OUTとGND間に接続する抵抗分圧器のセンターに接続します。エラーアンプの出力であるCOMPVは、フォトカブラのLEDのカソードに接続して誤差信号を一次側のコントローラに返送するダイオード電流を制御します。エラーアンプの出力はオープンドレイン型なのでフィードバック用のフォトカブラとのインタフェースが簡単です。このエラーアンプは工業標準のTL431シャントリファレンスと同じように使ってください。オープンドレイン型としたことで、二次側での電流制限のためのレギュレーションを要するような場合に、機能を追加するときに必要となる柔軟性を持つことができます。TL431と異なり、MAX5058/MAX5059の内部エラーアンプの出力は5mAのドレイン電流で最大200mVが保証されています。TL431の場合は、これが2.5Vであり、TLV431の場合は1.24Vです。

INVに抵抗R1だけを使って出力に接続することにより、出力電圧分割器(R1とR2)の使用を避けることが可能です。このことでR1とR2を使用することによる電圧誤差を除去することができます。この構成を使うと I_{REF} に適切な抵抗を直接使用することによって出力電圧を設定できます。図7はこの構成を示しています。

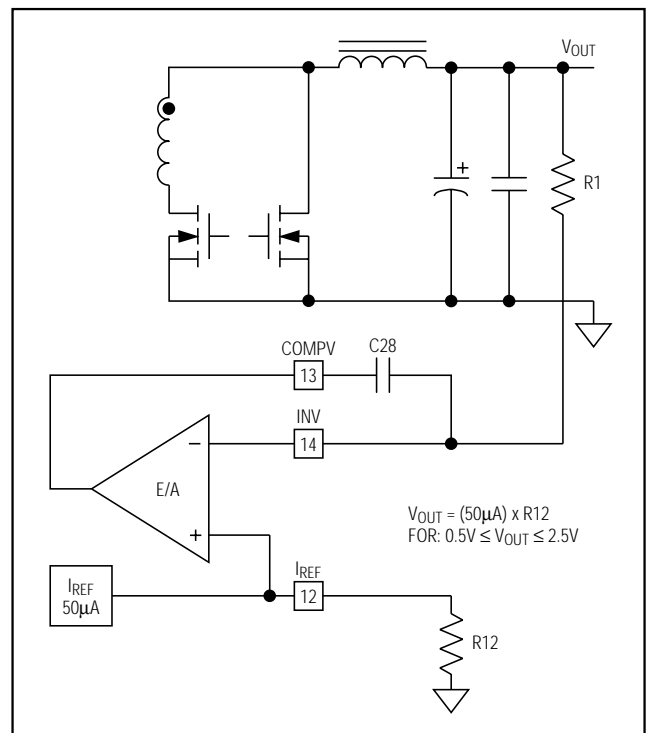


図7. $0.5\text{V} \leq V_{\text{OUT}} \leq 2.5\text{V}$ に対する
出力電圧のレギュレーション

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

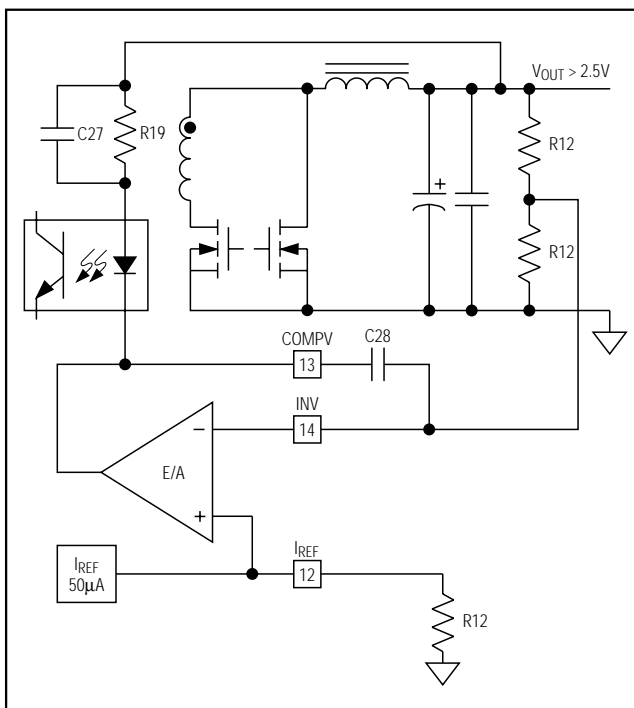


図8. $V_{OUT} > 2.5V$ の場合のフォトカブラの接続

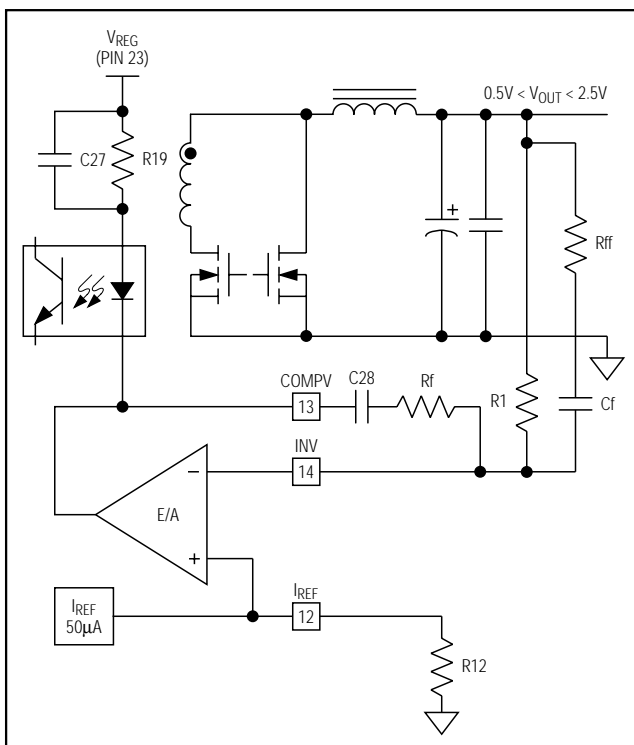


図9. $0.5V < V_{OUT} < 2.5V$ の場合のフォトカブラの接続

図8には標準的なフォトカブラを十分にバイアスすることができ、高い出力電圧($V_{OUT} > 2.5V$)の場合の標準的な構成を示します。このケースにおいては、二つのフィードバック路が存在します。一つはエラーアンプを通る路であり、もう一つは出力に接続されたフォトカブラを通る路です。全体のフィードバックループを補償するには、この二番目のフィードバック路を考えなければなりません。

図9は出力電圧が2.5Vよりも低い場合のフォトカブラを使う場合の構成を示します。この場合は、フォトカブラを出力に直接接続することはできません。この場合は1個のフィードバック路のみが存在し、エラーアンプのフィードバック回路網の補償を考えなければなりません。

図10はエラーアンプの単純化したブロックダイアグラムを示しています。

電圧マージン試験回路

マージン試験入力であるMRGU(マージンアップ)及びMRGD(マージンダウン)はRMGUとRMGDにおいてオープンドレイン型の出力を持つ2つの内部MOSFETを制御します。マージン試験機能を使う場合は、RMGUとRMGDの2つの抵抗を接続して、それを I_{REF} に接続します。MRGU端子での論理ハイ電圧はQMU(図1参照)をオープンとし、 I_{REF} の等価抵抗とリファレンス電圧(V_{IREF})を増加させます。エラーアンプの反転入力、INVは I_{REF} に追従し、出力電圧を増加させるように一次側のコントローラを強制します。MRGDは反対の効果を持っています。MRGDに論理信号のハイが印加されると、QMDをオンとし、 I_{REF} の等価抵抗を減少させて実質的に V_{IREF} を減少させます。このためINVが一次側のコントローラに追従し出力電圧を減少させます。

マージン試験入力であるMRGUとMRGDは内部で40kの抵抗でGNDに落されています。マージン試験機能が使われない場合は、これらの入力端子は開放として置くか、またはGNDに接続して、 $V_{IREF} = 50\mu A \times R12$ となるようにしてください。

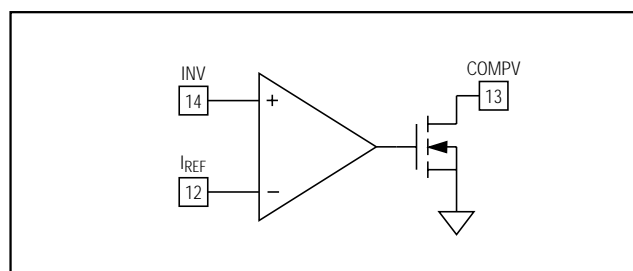


図10. 単純化したエラーアンプのダイアグラム

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

出力電圧を設定する抵抗と

マージン試験回路のための計算手法

出力電圧の設定とマージン回路用の抵抗を計算するためには以下のステップバイステップの手順を踏んでください(「標準動作回路」を参照してください)：

1) 公称リファレンス電圧が得られるように並列等価抵抗 R_{eq} の値を決めてください。例えば $V_{IREF}=1.77V$ の場合は $R_{eq}=35.4k$ となります。

2) マージンアップするパーセント値を決めてください：

$$\Delta U = 5\%$$

3) R_{32} を計算してください：

$$R_{32} = R_{eq} \times \frac{100\% + \Delta U}{\Delta U}$$

$$R_{32} = 743.4k \quad \text{計算値}$$

この値に近い0.1%精度の値を決めます

$$R_{32} = 741k \quad \text{決定値}$$

4) R_{12} を計算してください：

$$R_{12} = \frac{R_{32} \times \Delta U}{100\%}$$

$$R_{12} = 37.05k \quad \text{計算値}$$

この値に近い0.1%精度の値を決めます

$$R_{12} = 37k \quad \text{決定値}$$

5) マージンダウンのパーセント値を決めてください：

$$\Delta D = 5\%$$

6) 決定した値を使って R_{eq} を再計算してください：

$$R_{eq} = \frac{R_{12}R_{32}}{R_{12} + R_{32}}$$

$$R_{eq} = 35.24k$$

7) R_{33} を計算してください：

$$R_{33} = \frac{100\% \times R_{eq} \times R_{12}}{R_{12} \times (100\% + \Delta D) - 100\% \times R_{eq}}$$

$$R_{33} = 361.186k \quad \text{計算値}$$

この値に近い0.1%精度の値を決めます

$$R_{33} = 361k \quad \text{決定値}$$

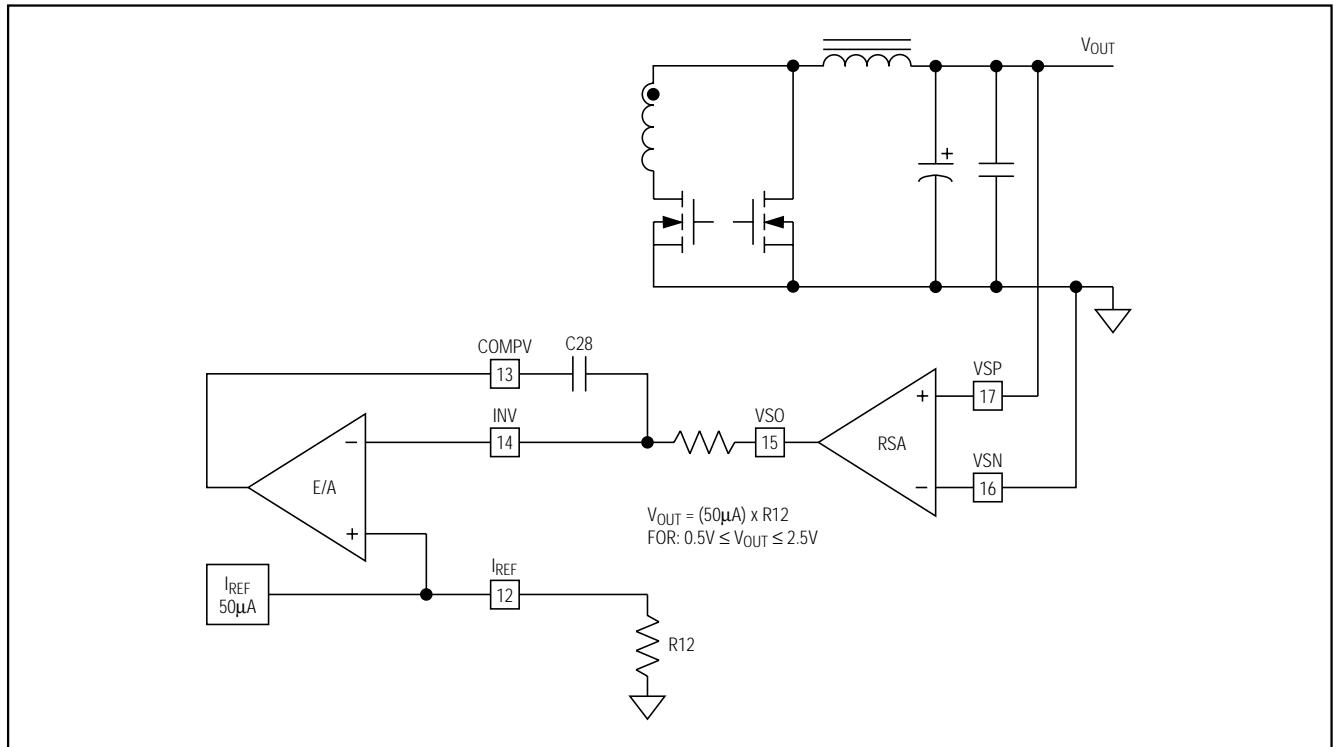


図11. $0.5V \leq V_{OUT} \leq 2.5V$ の場合のリモートセンスアンプの接続

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

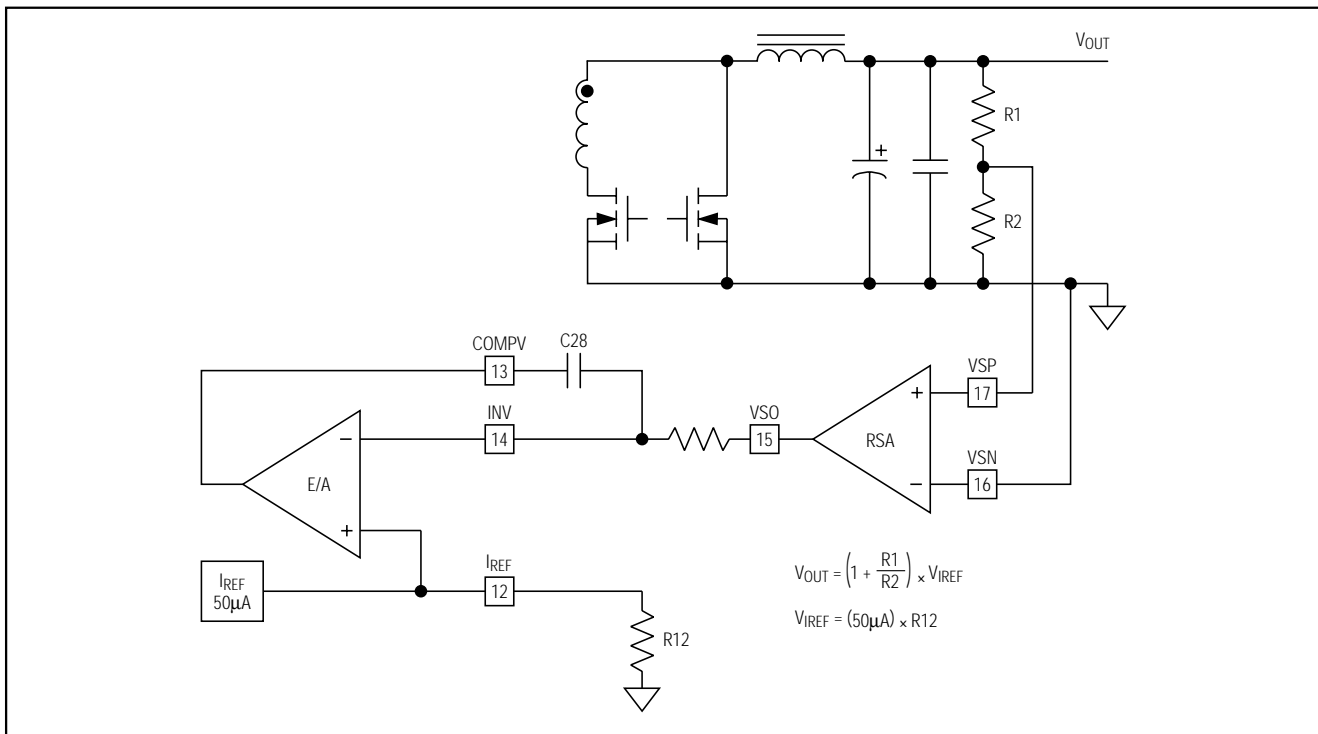


図12. $V_{OUT} > 2.5V$ (または他の任意の電圧値)の場合のリモートセンスアンプの接続

8) 決定した値を使ってリファレンス電圧を計算してください:

$$V_{IREF} = 50\mu A \times R_{eq}$$

R_{eq} はステップ6の
計算式を使って
求めます。

$$V_{IREF} = 1.762V$$

9) R_1 の値を決めて R_2 を $V_{OUT} = 3.3V$ として計算してください:

$$R_1 = 19.1k$$

$$R_2 = \frac{V_{IREF}}{V_{OUT} - V_{IREF}} R_1$$

$$R_2 = 21.882k$$

この値に最も近い1%精度の抵抗を決めます。

$$R_2 = 21.8k$$

マージン試験機能を使わない場合は R_{eq} としてはステップ8の R_{12} の値を使い、ステップ9に進んでください。

リモートセンスアンプ

負荷の電圧を直接、センスするためにはリモートセンスアンプを使用してください(図1におけるRSAです)。これはプリント基板内の配線または負荷を接続する線

における電圧ドロップを補償するためです。リモートセンスアンプは十分な帯域幅を持ち、電圧制御ループの正常な動作に干渉しないようにしたユニティゲインのアンプです。出力電圧が0.5V ~ 2.5Vの場合は出力電圧を直接検出することが可能です。図11はこの構成を示しています。図12は電圧分割器を用いたリモートセンスアンプを示しています。リモートセンスアンプには100µAの入力バイアス電流があります。この構成では R_1 と R_2 のインピーダンスは小さい値として出力電圧の設定値に過剰な誤差が起ることを防がなければなりません。

電流のシェアリング

多数の電源モジュールが同じ負荷に電力を供給している場合、負荷電流を均等にシェアして最良の信頼性と熱分配を与えなければなりません。MAX5058/MA5059は制御のためのマスタコントローラを実質的に必要とせずに、並列接続した電源間での電流シェアを行うことができる回路を内蔵しています。電流シェアは並列接続したすべての電源の電流シェア用バス端子(SFPとSFN)と一緒に接続して、電流強制/シェアバスを作ることによって行えます(図13)。この差動バスの電圧レベルは、他の電源に比べて最大の電流を流す電源の出力電流に比例します。この方法における並列接続可能な電源の数の限界は実用的な観点からのみ制限されます。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

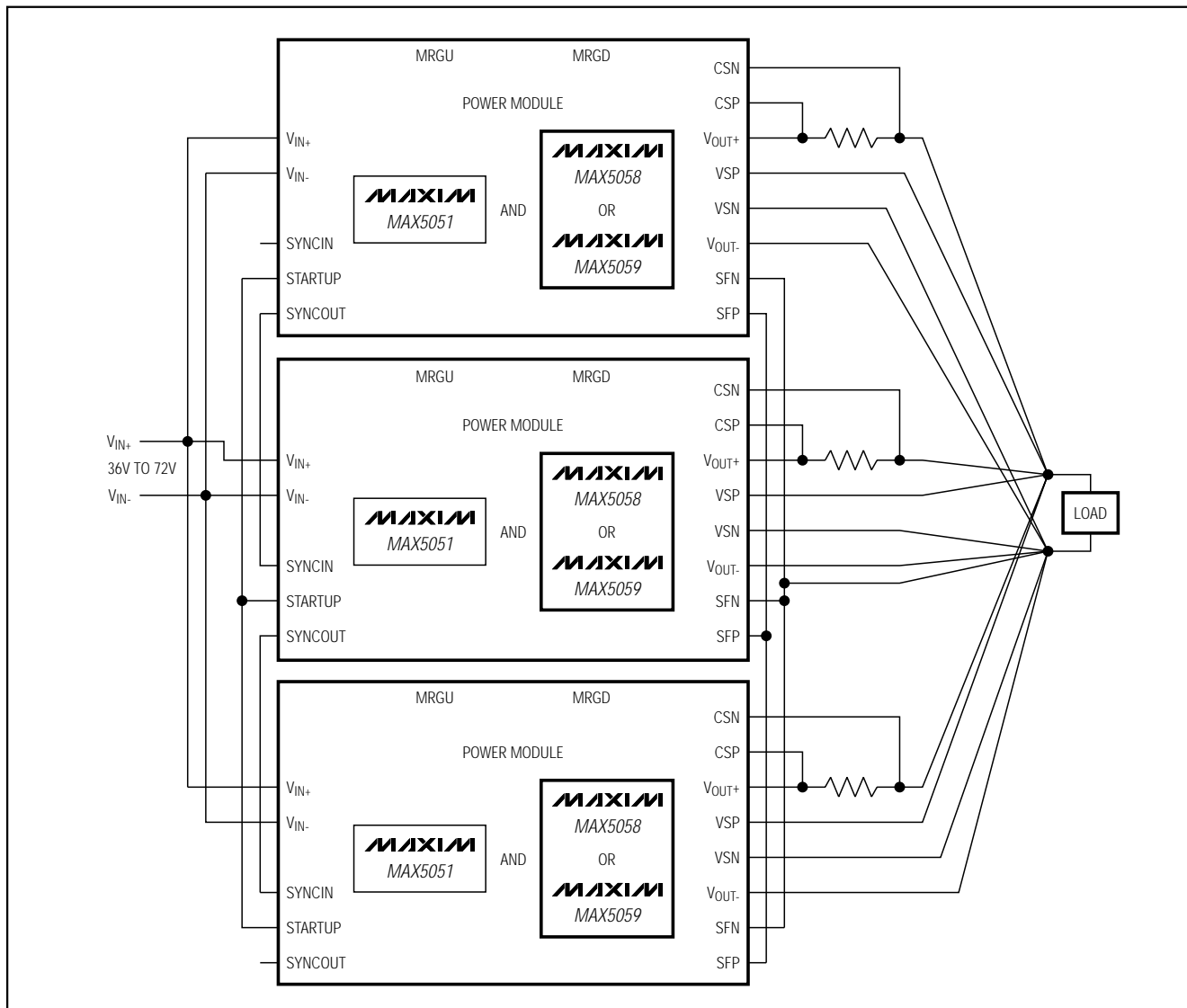


図13. 電流シェアを行う並列多重電源モジュール

一次側のコントローラとしてMAX5051を使う場合は、特別な並列化端子を使うと、さらにいくつかの利点が得られます。MAX5051は同時シャットダウンと同時起動、及び並列接続した一次側での、周波数同期と180°逆位相動作を可能とします。

電流シェアループは以下の機能ブロックから構成されます：

- 他のモジュールと接続し、モジュールの中で最も大きい電流に比例した電圧をバスに出力させるように強制するダイオードOR接続とした強制アンプ。

- このシェアバスの電圧をセンスしてそれを内部回路に適用する検出用アンプ。
- 20の固定利得を持ち検出抵抗に流れる出力電流を検出する電流検出用アンプ。
- 電流シェアループ内の誤差増幅ブロックとして機能する電流調整用アンプ。
- 基準電流に小さい量の電流を加算する、電圧を電流に変換する(V to I)ブロックであり、リファレンス電圧を大きくして、そのモジュールに、より多くの電流をシェアさせる。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

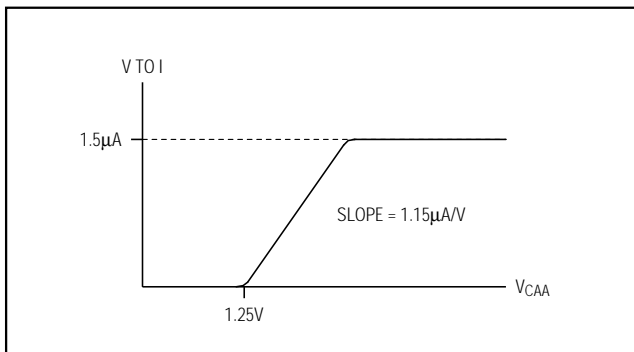


図14. V to I変換ブロックの伝達関数曲線

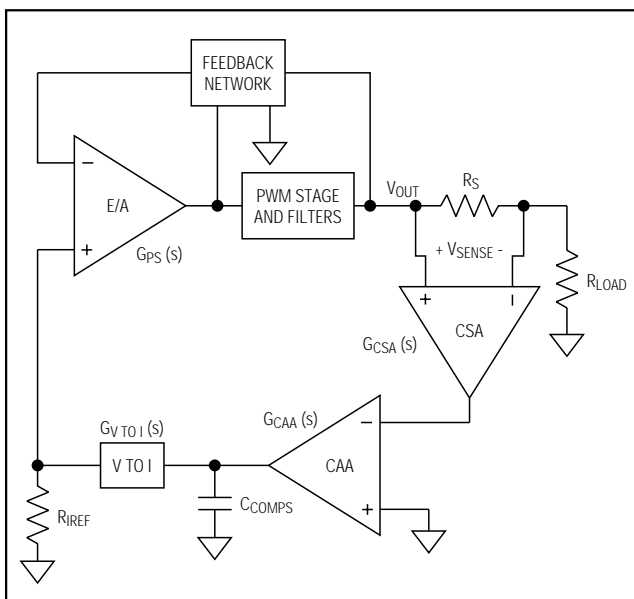


図15. 電流シェア用の制御ループの小信号等価回路

モジュールの調整可能範囲及びシェアリング性能は、VtoIブロックによって可能となる出力電圧の上昇追加量による限界によって決まります。標準的な電圧増加量は+3%(すなわち、 $1.5\mu\text{A}/50\mu\text{A}$)です。図14はVtoIブロックの伝達関数を示しています。この調整範囲は、また、電流シェアに許容される電圧降下の量の限界を設定することになります。有効に電流シェアを行うためには、電圧降下の和は3%以下とし、かつ各電源モジュールの出力と負荷の間の接続の電圧降下は等しくしなければなりません。

電流シェアの機能を次に示します：

各モジュールの電流センス抵抗の両端の電圧は検出されて電流シェアバスの電圧と比較されます。電流シェアバスの電圧は他のモジュールに比べて最も大きい出力電流を持つモジュールからの電流を表しています。各モジュールは電流をこの最大電流と比較します。もしその電流が最大電流よりも低ければ、そのモジュールはVtoIブロックを使ってその基準電流を増加させます。これはエラーアンプの非反転入力に表れるリファレンス電圧を上昇させます。リファレンス電圧を高くすると、モジュールの出力電圧が上昇して出力電流を増加させようとします。モジュール間の電流のバランスが取れるまで、このプロセスが続きます。

電流調整用アンプ(図1を参照)はその反転入力にオフセット電圧を持っており、それは電流シェアの制御ループが出力負荷電流バランスをレギュレートしようとする前にシェアバスの電圧が40mVに達することを要求します。このようにして、電流シェアのためのレギュレーションは電流検出信号が2mV(すなわち、 $42\text{mV}/20$)を超えるまで開始されません。

図15は電流シェアの制御ループの単純化された等価小信号回路を示しています。電流調整アンプはこのループ内のエラーアンプを表しています。SFPとSFN端子間の電圧である、コマンド信号はこのアンプの非反転入力に加えられます。小信号解析のために、図15では非反転入力端子はグランドとして示されています。これは狭帯域のループです。

メインの出力電圧のレギュレーション用のループに比べて電流シェア用のループのユニティゲインクロスオーバー周波数(f_{CS})がずっと低いと仮定(すなわち、 $f_{CS} \ll f_c$)すると、電流シェアループのオープンループ利得は次のように表すことができます：

$$G_T(s) = G_{SFA}(s) \times \left(\frac{G_{CAA}(s)}{s \times C_{COMPS}} \right) \times (G_{VtoI}(s) \times R_{REF}) \times G_{PS}(s) \times \frac{R_S}{R_S + R_{LOAD}}$$

ここで f_{CS} は電流シェアループのユニティゲインクロスオーバー周波数(標準で10Hz ~ 100Hz)、 f_c はメイン出力ループのユニティゲインクロスオーバー周波数、 $G_{PS}(s)$ がエラーアンプのリファレンス電圧入力から出力までの電力段の利得($G_{PS} = V_{OUT}/V_{REF}$)、 R_S は電流検出抵抗、そして R_{LOAD} は負荷の抵抗です。電流ループの帯域幅は R_{LOAD} の最小値(最大負荷)の場合に最大となることに留意ください。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

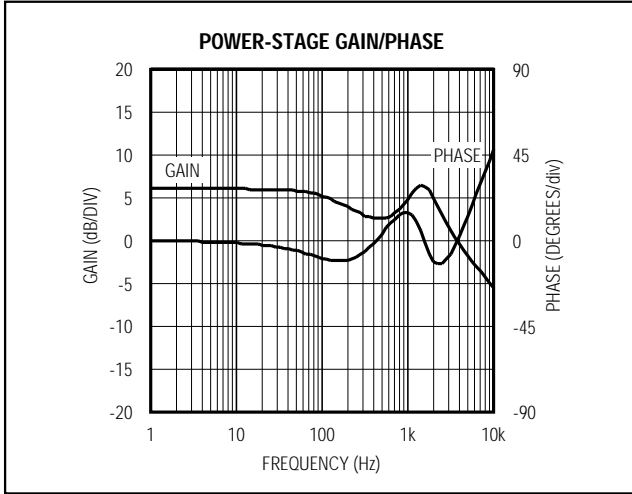


図16. 図18の「標準動作回路」に対するエラーアンプの非反転入力から電源出力までの理想化された周波数応答($G_{PS}(s)$)(理想的な電力段とフォトカブラの場合)

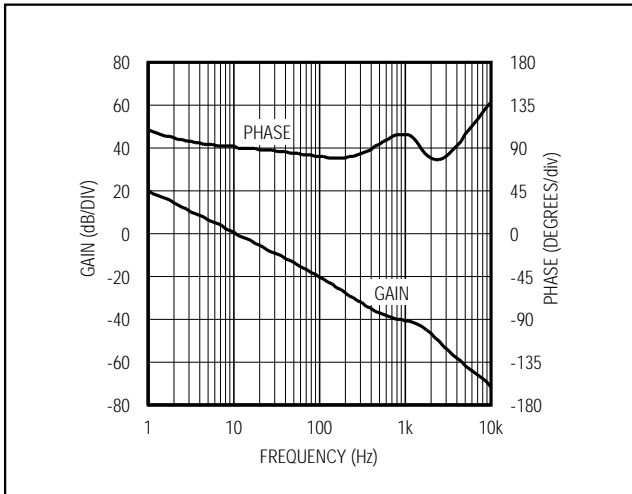


図17. 電流シェアループの総合オープンループ応答

図16は「標準動作回路」におけるエラーアンプの非反転入力から出力までの理想化された小信号応答を示しています。この応答は電流シェアループのユニティゲインクロスオーバー周波数は10Hz～100Hzの間に存在させることが容易であり、一方、同時にメインの電圧制御ループとの相互作用を避けることができることを示しています。

100Hz以下の周波数に対して、 $G_T(s)$ は($G_{PS}(s)$ に対してDC利得値を使用して)次のように書くことができます：

$$G_T(s) = 20 \times \frac{(500\mu\text{s})}{s \times C_{COMPS}} \times (1.15\mu\text{A/V}) \times R_{IREF} \times \frac{V_{OUT}}{V_{IREF}} \times \frac{R_S}{R_S + R_{LOAD}}$$

$|G_T| = 1$ とし、 C_{COMPS} に対する解を求めると：

$$C_{COMPS} = \frac{(36.61\mu\text{F} \times \text{Hz/V}) \times R_S \times V_{OUT}}{f_{CS} \times (R_S + R_{LOAD})}$$

電流シェアループはCOMPSとGND間にコンデンサを接続することで補償することができます。この結果、電流シェアループのループ利得を単一極(20dB/decade)のロールオフで0dBとクロスさせる主極を作ることになります。

$R_{LOAD} \gg R_S$ の場合、上の式は更に単純化できます。

$$C_{COMPS} = \frac{(36.61\mu\text{F} \times \text{Hz/V}) \times R_S \times V_{OUT}}{f_{CS} \times R_{LOAD}}$$

例：

$$R_S = 2\text{m}\Omega$$

$$V_{OUT} = 3.3\text{V}$$

$$f_{CS} = 10\text{Hz}$$

$$R_{LOAD} = 0.22\Omega$$

$$C_{COMPS} = \frac{(36.61\mu\text{F} \times \text{Hz/V}) \times (0.002\Omega) \times (3.3\text{V})}{(10\text{Hz}) \times (0.22\Omega)} \approx 0.11\mu\text{F}$$

この結果の電流シェア制御ループの総合オープンループ応答は図17に示すようになります。

アプリケーション情報

絶縁型48V入力電源

図18はテレコム用の+36Vから+75Vまでの入力電圧で動作する絶縁型同期整流電源の全体設計を示しています。この設計はMAX5051を一次側のコントローラとして使い、MAX5058を二次側の同期整流ドライバとして使っています。図19から図24まではこの電源設計のいくつかの性能の特性例を示したものです。この電源は出力端子を連続的に短絡しても耐えることができます。この回路は完成体で試験済みの評価キット(MAX5058EVKIT)としてご利用いただけます。

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

標準動作回路

MAX5058/MAX5059

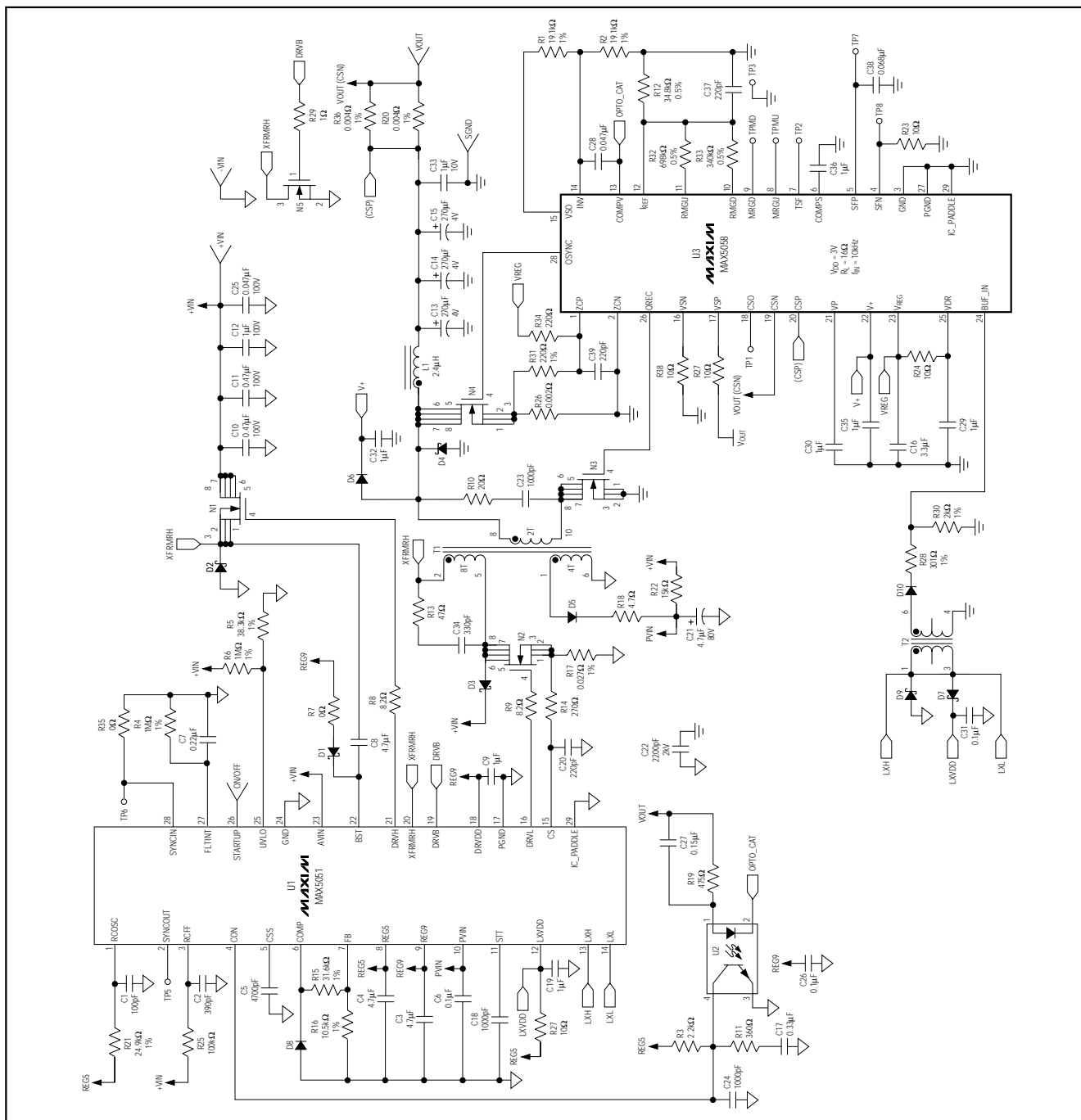


図18. +48V入力、15A出力3.3V、同期整流、絶縁型電源の回路図

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

MAX5058/MAX5059

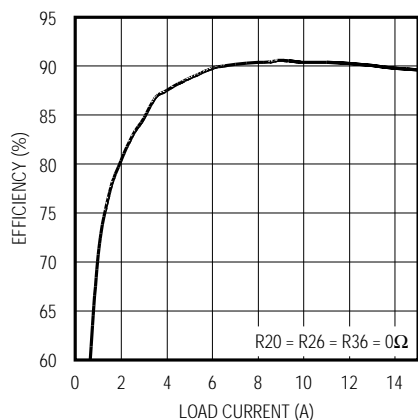


図19. 公称3.3V出力の場合の負荷電流変化による効率変化(48V公称入力電圧)

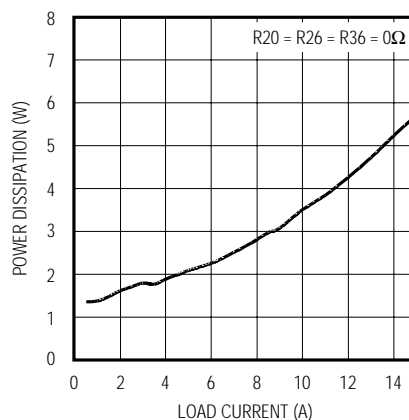


図20. 公称3.3V出力の場合の負荷電流対消費電力(48V公称入力電圧)

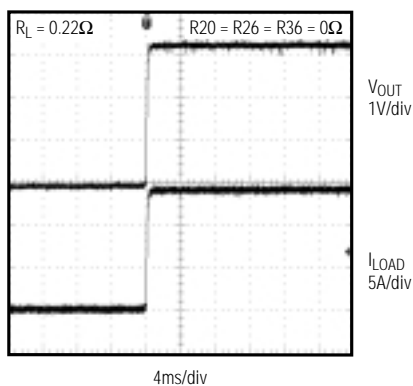


図21. 最大負荷時のターンオン過渡特性(抵抗負荷)

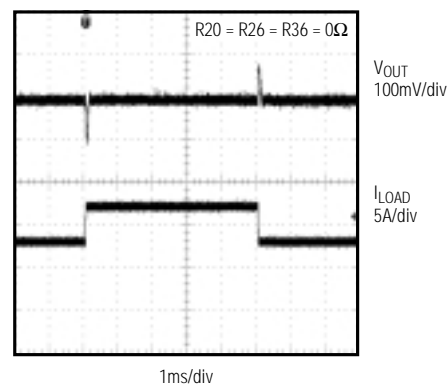


図22. 負荷電流がステップ変化した場合の出力電圧の応答(I_{LOAD} が50%から、75%、最大に変化した場合)

並列接続可能、二次側同期整流用ドライバ、 及びフィードバック信号生成用コントローラIC

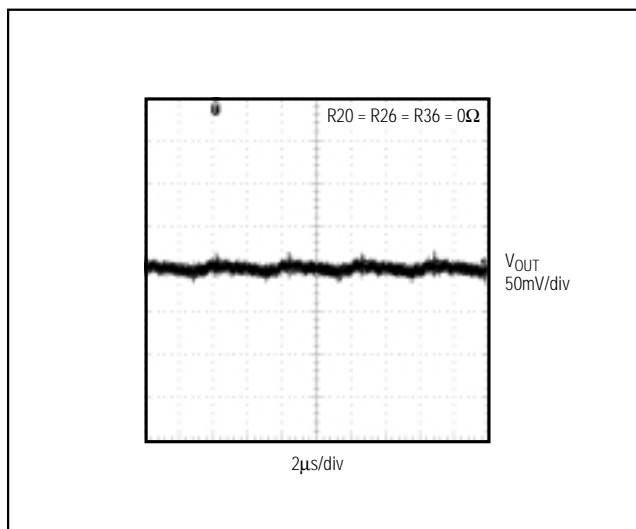


図23. +48Vの公称入力の場合の最大電流における出力電圧リップル(スコープの帯域幅は20MHz)

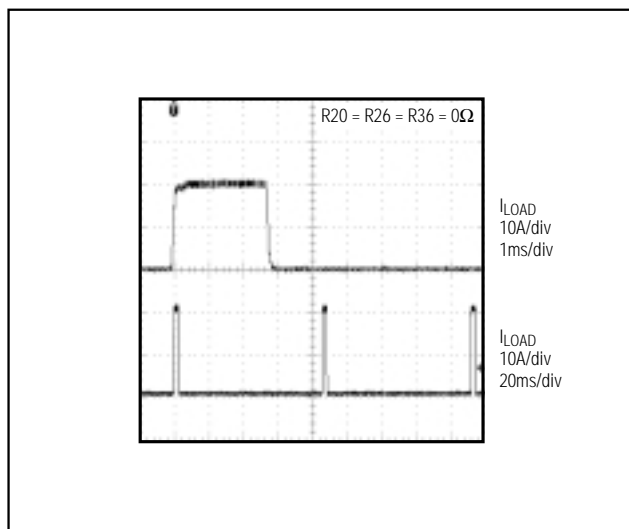
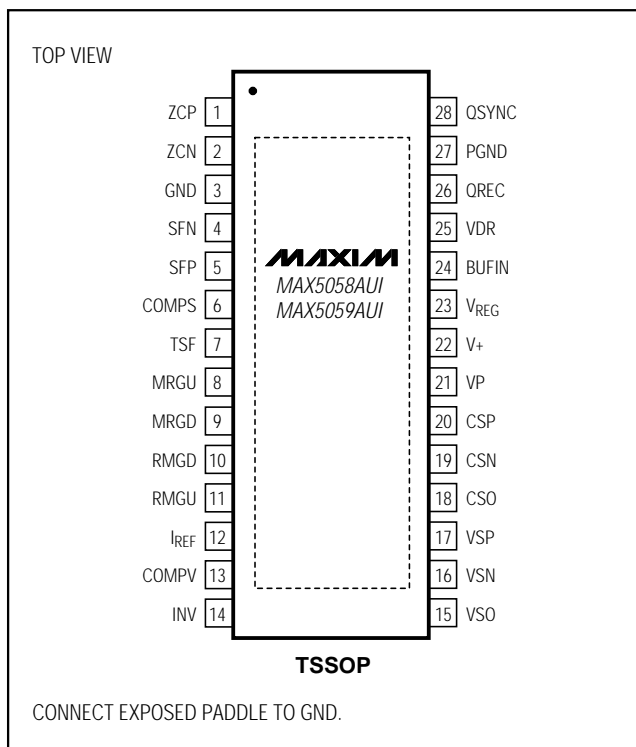


図24. コンバータが50m の短絡負荷に対してオンとなろうとしている場合の時間の関数としての負荷電流(10A/div)

ピン配置



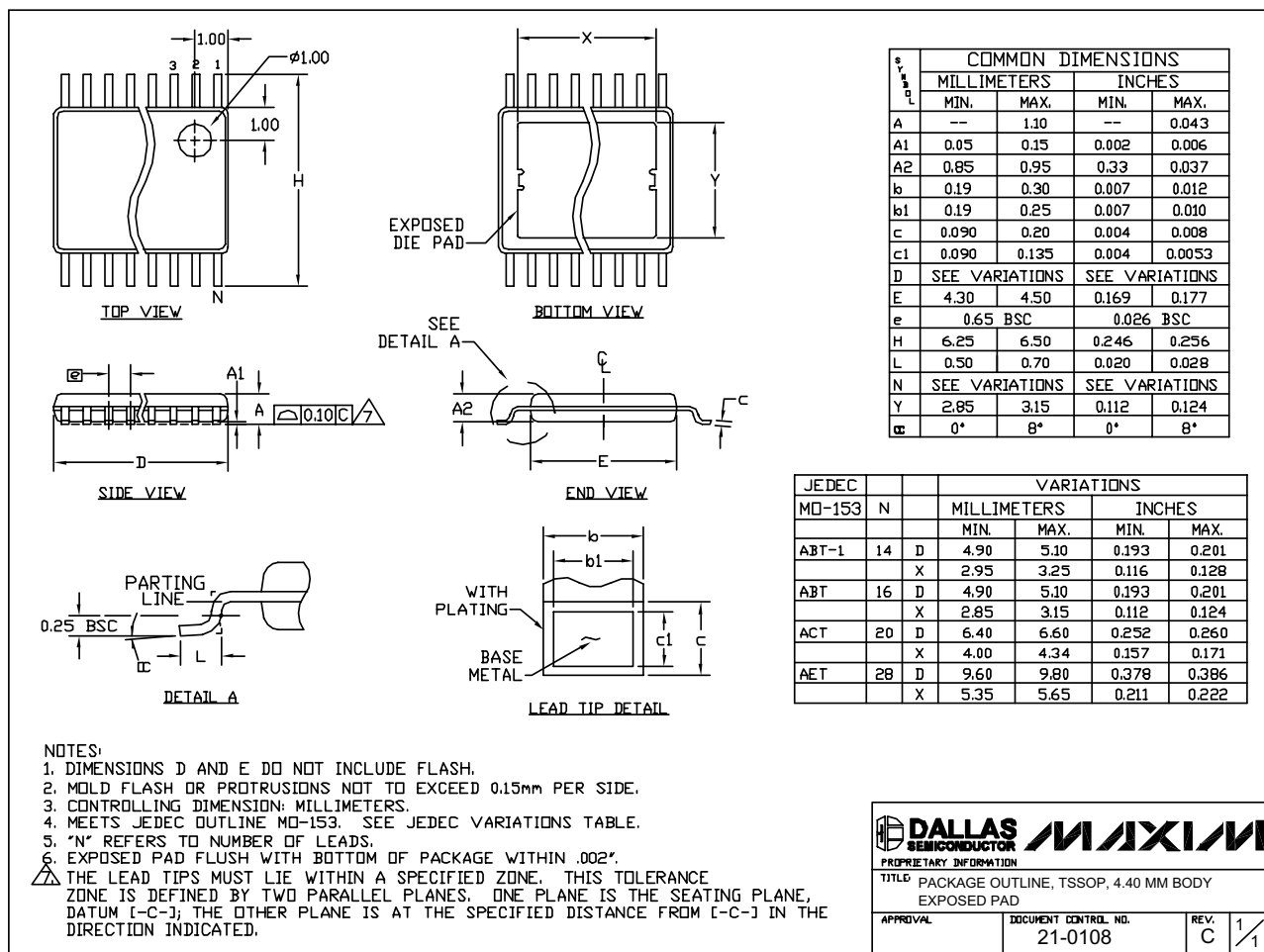
チップ情報

TRANSISTOR COUNT: 1762

PROCESS: BICMOS

MAX5058/MAX5059

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。