

EVALUATION KIT
AVAILABLE

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

概要

MAX4810/MAX4811/MAX4812集積回路は、低電圧ロジック入力から、高電圧で高周波の、ユニポーラまたはバイポーラのパルスを生成します。これらのデュアルパルサーは、独立したロジック入力、アクティブクランプ内蔵の独立した高電圧パルサー出力、および独立した高電圧電源入力を備えています。

MAX4810/MAX4811/MAX4812は、高電圧出力について9Ωの出力インピーダンス、アクティブクランプについて27Ωのインピーダンスを備えています。高電圧出力は1.3Aの出力電流の供給が保証されています。

すべてのデバイスは、チャネルごとに3つのロジック入力を使用して、正/負のパルスとアクティブクランプを制御します。また、2つの独立したイネーブル入力も備えています。ENをティセーブルすることで、高速電源ランピング中に誤って出力MOSFETがオンにならないようにすることができます。これによって、ランプ時間が高速になり、パルスマード間の遅延を小さくすることができます。低電力シャットダウンモードによって、消費電力を1μA未満に低減します。すべてのデジタル入力はCMOS対応です。

MAX4810は、クランプ出力の過電圧保護を備えており、MAX4811は、パルサー出力とクランプ出力の両方の過電圧保護を備えています。MAX4812は過電圧保護を備えていません。「型番/選択ガイド」を参照してください。

MAX4810/MAX4811/MAX4812は、56ピン(7mm x 7mm)、TQFNエクスポートドパッドパッケージで提供され、民生用温度範囲(0°C ~ +70°C)で仕様が定められています。

アプリケーション

超音波医療用画像処理

不具合検出

洗浄機器

圧電ドライバ

テスト装置

型番/選択ガイド

PART	PROTECTED OUTPUTS	OUTPUT CURRENT (A)	PIN-PACKAGE
MAX4810CTN+	OCP __ , OCN __	1.3	56 TQFN-EP**
MAX4811CTN+	OCP __ , OCN __ , OP __ , ON __	1.3	56 TQFN-EP**
MAX4812CTN+*	None	1.3	56 TQFN-EP**

注：すべてのデバイスは、0°C ~ +70°Cの動作温度範囲で規定されています。

*+は鉛フリー/RoHS準拠のパッケージを示します。

*開発中。入手性に関してはお問い合わせ下さい。

**EP = エクスポートドパッド

警告：MAX4810/MAX4811/MAX4812は高電圧で動作するように設計されています。十分に注意してください。

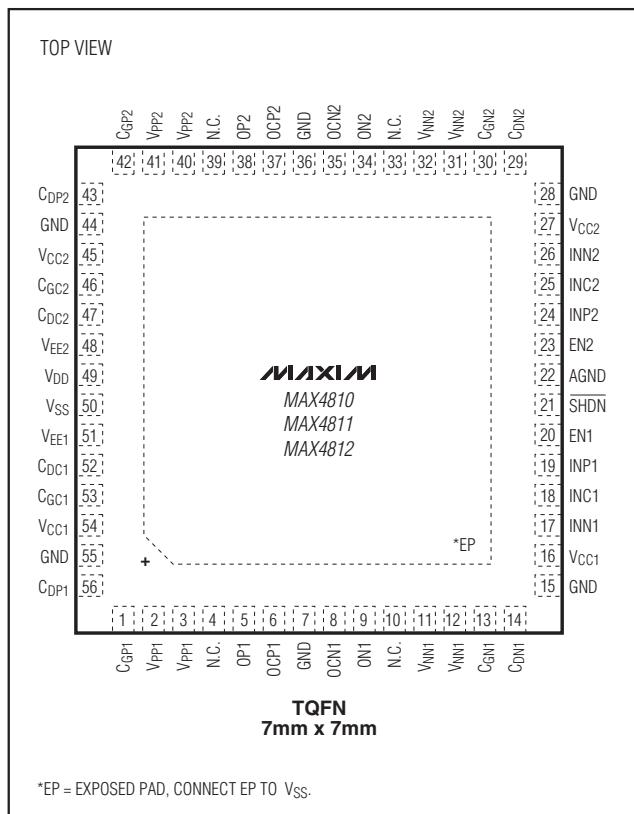


MAX4810/MAX4811/MAX4812

特長

- ♦ 高集積、高電圧、高周波数、ユニポーラ/バイポーラパルサー
- ♦ 出力インピーダンス：9Ω、出力電流：1.3A (min)
- ♦ アクティブクランプ：27Ω
- ♦ パルサーとクランプの過電圧保護(MAX4810/MAX4811)
- ♦ ユニポーラ出力：0~+220V、またはバイポーラ出力：±110V
- ♦ 整合された立上り/立下り時間および整合された伝播遅延
- ♦ CMOS対応ロジック入力
- ♦ 7mm x 7mmの56ピンTQFNパッケージ

ピン配置



デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND.)

V _{DD} Logic Supply Voltage	-0.3V to +6V
V _{CC_} Output Driver Positive Supply Voltage	-0.3V to +15V
V _{EE_} Output Driver Negative Supply Voltage	-15V to +0.3V
V _{PP_} High Positive Supply Voltage	-0.3V to +230V
V _{NN_} High Negative Supply Voltage	-230V to +0.3V
V _{SS} Voltage	(V _{PP_} - 250V) to V _{NN_}
V _{PP1} - V _{NN1} , V _{PP2} - V _{NN2} Supply Voltage	-0.6V to +250V
INP __ , INN __ , INC __ , EN __ , SHDN Logic Input	-0.3V to V _{DD} + 0.3V
OP __ , OCP __ , OLN __ , ON __	(-0.3V + V _{NN_}) to (-0.3V to V _{PP_})
CGN __ Voltage	(-0.3V + V _{NN_}) to (+15V + V _{NN_})
CGP __ Voltage	(+0.3V + V _{PP_}) to (-15V + V _{PP_})
C _{GC} __ Voltage	-15V to +15V

C _{DC_} , C _{DP_} , C _{DN_} Voltage	-0.3V to V _{CC_}
Peak Current per Output Channel	3.0A
Continuous Power Dissipation (T _A = +70°C) (Note 1)	
56-Pin TQFN (derate 40mW/°C above +70°C)	3200mW
Thermal Resistance (Note 2)	
θ _{JA}	25°C/W
θ _{JC}	0.8°C/W
Operating Temperature Range	0°C to +70°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: This specification is based on the thermal characteristic of the package, the maximum junction temperature, and the setup described by JEDEC 51. The maximum power dissipation for the MAX4810/MAX4811/MAX4812 might be limited by the thermal protection included in the device.

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +6V, V_{CC_} = +4.75V to +12.6V, V_{EE_} = -12.6V to -4.75V, V_{NN_} = -200V to 0, V_{PP_} = 0 to (V_{NN_} + 200V), V_{SS} ≤ the lower of V_{NN1} or V_{NN2}, T_A = T_J = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 3) (See Figures 8, 9, and 10.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY (V_{DD}, V_{CC_}, V_{EE_}, V_{PP_}, V_{NN_})						
Logic Supply Voltage	V _{DD}		+2.7	+3	+6	V
Positive Drive Supply Voltage	V _{CC_}		+4.75	+12	+12.6	V
Negative Drive Supply Voltage	V _{EE_}		-12.6	-12	-4.75	V
High-Side Supply Voltage	V _{PP_}		0	V _{NN_} + 220		V
Low-Side Supply Voltage	V _{NN_}		-200	0		V
V _{PP_} - V _{NN_} Supply Voltage			0	+220		V
SUPPLY CURRENT (Single Channel)						
V _{DD} Supply Current	I _{DD}	V _{INN_} = V _{INP_} = 0, V _{SHDN} = 0		1		µA
		V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , V _{INC_} = 0 or V _{DD} , V _{INN_} = V _{INP_} , f = 5MHz	100	200		
V _{CC_} Supply Current	I _{CC_}	V _{SHDN} = 0, CH1 and CH2		1		µA
		V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , CH1 and CH2	130	200		
		V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , V _{INC_} = 0 or V _{DD} , V _{INN_} = V _{INP_} , f = 5MHz, V _{CC_} = 5V, V _{DD} = 3V, only one channel switching		15		mA
		V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , V _{INC_} = 0 or V _{DD} , V _{INN_} = V _{INP_} , f = 5MHz, V _{CC_} = 12V, V _{DD} = 3V, only one channel switching		36		

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

MAX4810/MAX4811/MAX4812

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+6V$, $V_{CC_} = +4.75V$ to $+12.6V$, $V_{EE_} = -12.6V$ to $-4.75V$, $V_{NN_} = -200V$ to $0V$, $V_{PP_} = 0$ to ($V_{NN_} + 200V$), $V_{SS} \leq$ the lower of V_{NN1} or V_{NN2} , $T_A = T_J$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3) (See Figures 8, 9, and 10.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{EE} _ Supply Current	I _{EE} _	V _{SHDN} = 0, CH1 and CH2		25		μA
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , CH1 and CH2		1		
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , V _{INC} _ = 0 or V _{DD} , V _{NN} _ = V _{INP} _, f = 5MHz, V _{EE} _ = -5V, only one channel switching		200		
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , V _{INC} _ = 0 or V _{DD} , V _{NN} _ = V _{INP} _, f = 5MHz, V _{EE} _ = -12V, only one channel switching		200		
V _{PP} _ Supply Current	I _{PP} _	V _{SHDN} = 0, CH1 and CH2		1		μA
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , CH1 and CH2	90	160		
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , V _{INC} _ = 0 or V _{DD} , V _{NN} _ = V _{INP} _, f = 5MHz, V _{PP} _ = +5V, V _{NN} _ = -5V, no load, only one channel switching		9		
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , V _{INC} _ = 0 or V _{DD} , V _{PP} _ = +80V, V _{NN} _ = -80V, pulse repetition frequency = 10kHz, f = 10MHz, 4 periods, no load, only one channel switching		0.6		
V _{NN} _ Supply Current	I _{NN} _	V _{SHDN} = 0, CH1 and CH2		1		μA
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , CH1 and CH2	40	80		
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , V _{INC} _ = 0 or V _{DD} , V _{NN} _ = V _{INP} _, f = 5MHz, V _{NN} _ = -5V, V _{PP} _ = +5V, no load, only one channel switching		9		
		V _{EN} _ = V _{DD} , V _{SHDN} = V _{DD} , V _{INC} _ = 0 or V _{DD} , V _{PP} _ = +80V, V _{NN} _ = -80V, pulse repetition frequency = 10kHz, f = 10MHz, 4 periods, no load, only one channel switching		0.6		
LOGIC INPUTS (EN__, SHDN, INN__, INP__, INC__)						
Low-Level Input Voltage	V _{IL}			0.25 x V _{DD}		V
High-Level Input Voltage	V _{IH}		0.75 x V _{DD}			V
Logic-Input Capacitance	C _{IN}		5			pF
Logic-Input Leakage	I _{IN}	V _{IN} = 0 or V _{DD}		±1		μA
OUTPUT (OUT__)						
OUT __ Output-Voltage Range	V _{OUT} _	No load at OUT __	V _{NN} _	V _{PP} _		V
		Unprotected outputs (see the Ordering Information/Selector Guide), 100mA load	V _{NN} _ + 1.5	V _{PP} _ - 1.5		
		Protected outputs (see the Ordering Information/Selector Guide), 100mA load	V _{NN} _ + 2.5	V _{PP} _ - 2.5		
Low-Side Small-Signal Output Impedance	R _{OLS}	I _{OP} _ = -100mA, V _{CC} _ = +12V ±5%, DC-coupled	9	17		Ω
		I _{OP} _ = -100mA, V _{CC} _ = +5V ±5%, DC-coupled	9.5	18		

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7\text{V}$ to $+6\text{V}$, $V_{CC_} = +4.75\text{V}$ to $+12.6\text{V}$, $V_{EE_} = -12.6\text{V}$ to -4.75V , $V_{NN_} = -200\text{V}$ to 0V , $V_{PP_} = 0\text{V}$ to ($V_{NN_} + 200\text{V}$), $V_{SS} \leq$ the lower of V_{NN1} or V_{NN2} , $T_A = T_J$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 3) (See Figures 8, 9, and 10.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High-Side Small-Signal Output Impedance	RoHS	$I_{OP_} = -100\text{mA}$, $V_{CC_} = +12\text{V} \pm 5\%$, DC-coupled	10.5	17		Ω
		$I_{OP_} = -100\text{mA}$, $V_{CC_} = +5\text{V} \pm 5\%$, DC-coupled	12	18		
Low-Side Output Current	I_{OL}	$V_{CC_} = +12\text{V} \pm 5\%$, $V_{OUT_} - V_{NN_} = 100\text{V}$	1.3			A
High-Side Output Current	I_{OH}	$V_{CC_} = +12\text{V} \pm 5\%$, $V_{OUT_} - V_{PP_} = 100\text{V}$	1.3			A
Off-Output Capacitance	Co(OFF)	OP __ , ON __ , OCP __ and OCN __ connected together, $V_{PP_} = +100\text{V}$, $V_{NN_} = -100\text{V}$	MAX4810	45		pF
			MAX4811	75		
Off-Output Leakage Current	I_{LK}	$V_{NN_} = -100\text{V}$, $V_{PP_} = 100\text{V}$, $EN_ = 0$, $OUT = -100\text{V}$ to $+100\text{V}$	-1	+1		μA
Low-Side Signal-Clamp Output Impedance	RCLS	$I_{OCN_} = -100\text{mA}$, DC-coupled, $V_{CC_} = +12\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$		22	50	Ω
		$I_{OCN_} = -100\text{mA}$, DC-coupled, $V_{CC_} = +5\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$		24	65	
High-Side Signal-Clamp Output Impedance	RCHS	$I_{OCP_} = -100\text{mA}$, DC-coupled, $V_{CC_} = +12\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$		28	50	Ω
		$I_{OCP_} = -100\text{mA}$, DC-coupled, $V_{CC_} = +5\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$		38	65	
Low-Side Gate Short Impedance	RLSH	$V_{CC_} = +12\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$, $I_{CGN} = 10\text{mA}$, $EN_ = 0$			100	Ω
		$V_{CC_} = +12\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$, $I_{CGN} = 10\text{mA}$, $EN_ = V_{DD}$	5	7.5	10	k Ω
High-Side Gate Short Impedance	RHSH	$V_{CC_} = +12\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$, $I_{CGN} = 10\text{mA}$, $EN_ = 0$			100	Ω
		$V_{CC_} = +12\text{V} \pm 5\%$, $V_{EE_} = -V_{CC_}$, $I_{CGN} = 10\text{mA}$, $EN_ = V_{DD}$	5	7.5	10	k Ω
THERMAL SHUTDOWN						
Thermal Shutdown	T_{SHDN}	Junction temperature rising		150		°C
Thermal-Shutdown Hysteresis				20		°C
DYNAMIC CHARACTERISTICS ($R_L = 100\Omega$, $C_L = 100\text{pF}$, unless otherwise noted)						
Logic Input to Output Rise Propagation Delay	t_{PLH}	$V_{CC_} = +12\text{V}$, $V_{PP_} = +5\text{V}$, $V_{NN_} = -5\text{V}$, Figure 4		15		ns
Logic Input to Output Fall Propagation Delay	t_{PHL}	$V_{CC_} = +12\text{V}$, $V_{PP_} = +5\text{V}$, $V_{NN_} = -5\text{V}$, Figure 4		15		ns
Logic Input to Output Rise Propagation Delay	t_{POH}	$V_{CC_} = +12\text{V}$, $V_{PP_} = +5\text{V}$, $V_{NN_} = -5\text{V}$, Figure 4		15		ns
Logic Input to Output Fall Propagation Delay	t_{POL}	$V_{CC_} = +12\text{V}$, $V_{PP_} = +5\text{V}$, $V_{NN_} = -5\text{V}$, Figure 4		15		ns
Logic Input to Output-Rise Propagation Delay Clamp	t_{PLO}	$V_{CC_} = +12\text{V}$, $V_{PP_} = +5\text{V}$, $V_{NN_} = -5\text{V}$, Figure 4		15		ns

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

MAX4810/MAX4811/MAX4812

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+6V$, $V_{CC_} = +4.75V$ to $+12.6V$, $V_{EE_} = -12.6V$ to $-4.75V$, $V_{NN_} = -200V$ to $0V$, $V_{PP_} = 0$ to ($V_{NN_} + 200V$), $V_{SS} \leq$ the lower of V_{NN1} or V_{NN2} , $T_A = T_J = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3) (See Figures 8, 9, and 10.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic Input to Output-Fall Propagation Delay Clamp	t_{PHO}	$V_{CC_} = +12V$, $V_{PP_} = +5V$, $V_{NN_} = -5V$, Figure 4		15		ns
OUT_ Rise Time (GND to $V_{PP_}$)	t_{ROP}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4		9	20	ns
OUT_ Rise Time ($V_{NN_}$ to GND)	t_{RNO}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4		17	35	ns
OUT_ Rise Time ($V_{NN_}$ to $V_{PP_}$)	t_{RNP}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4		10.5	35	ns
OUT_ Fall Time (GND to $V_{NN_}$)	t_{FON}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4		9	20	ns
OUT_ Fall Time ($V_{PP_}$ to GND)	t_{FP0}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4		17	35	ns
OUT_ Fall Time ($V_{PP_}$ to $V_{NN_}$)	t_{FPN}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4		10.5	35	ns
OUT Enable Time from EN (Figure 5)	t_{EN}	$V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		100		ns
		$V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$		150		
OUT Disable Time from EN (Figure 5)	t_{DI}	$V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		100		ns
		$V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$		150		
Clamp Enable Time from INC (Figure 6)	t_{EN-CL}	$V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		150		ns
		$V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$		180		
Clamp Disable Time from INC (Figure 6)	t_{DI-CL}	$V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		150		ns
		$V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$		150		
Short Enable Time from EN (Figure 7)	t_{EN_SH}	$V_{PP_} = 12V$, $V_{NN_} = 0$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		1000		ns
		$V_{PP_} = 5V$, $V_{NN_} = 0$, $V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$		1000		
Short Disable Time from EN (Figure 7)	t_{DI_SH}	$V_{PP_} = 12V$, $V_{NN_} = 0$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		250		ns
		$V_{PP_} = 5V$, $V_{NN_} = 0$, $V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$		250		
INP_ to INN_ Overlap Tolerance				I_3		ns
Crosstalk		$V_{PP_} = V_{CC_} = +5V$, $V_{NN_} = V_{EE_} = -5V$, $f = 5MHz$		69		dB
2nd Harmonic Distortion	2HD	$V_{PP_} = V_{NN_} = 100V$, $f_{OUT} = 5MHz$, $V_{CC_} = 12V$		-48		dB
RMS Output Jitter	t_J	$V_{CC_} = 12V$		9		ps

Note 3: Specifications are guaranteed for the stated global conditions, unless otherwise noted and are 100% production tested at $T_A = +25^\circ C$ and $T_A = +70^\circ C$. Specifications at $T_A = 0^\circ C$ are guaranteed by design.

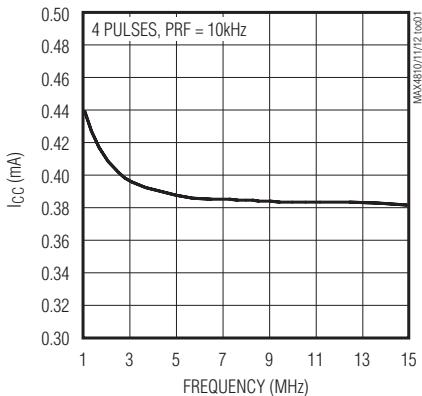
Note 4: 100% production tested at $T_A = +25^\circ C$. Specifications over temperature are guaranteed by design.

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

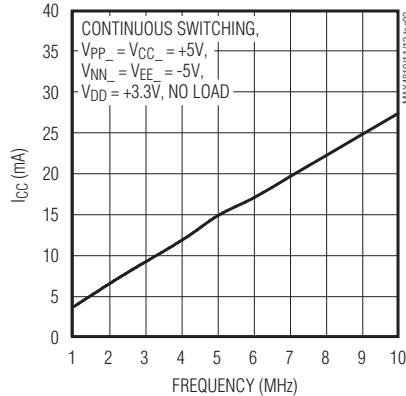
標準動作特性

($V_{DD} = +3.3V$, $V_{CC_} = +12V$, $V_{EE_} = -12V$, $V_{SS} = -100V$, $V_{PP_} = +100V$, $V_{NN_} = -100V$, $f_{OUT} = 5MHz$, $T_A = +25^\circ C$, unless otherwise noted.)

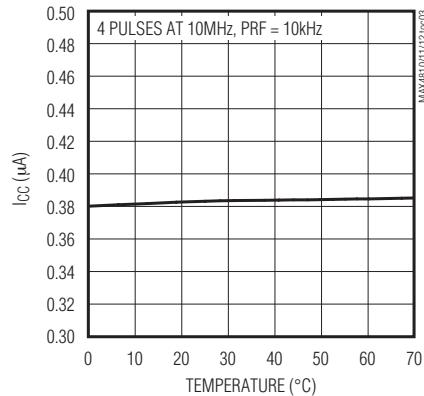
I_{CC} vs. OUTPUT FREQUENCY



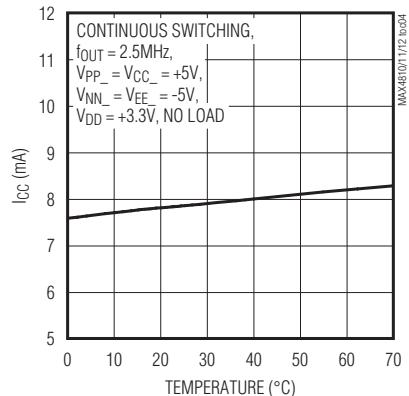
I_{CC} vs. OUTPUT FREQUENCY



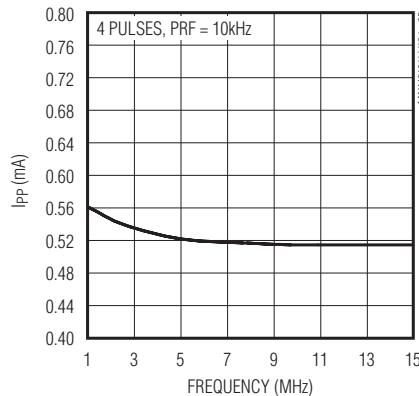
I_{CC} vs. TEMPERATURE



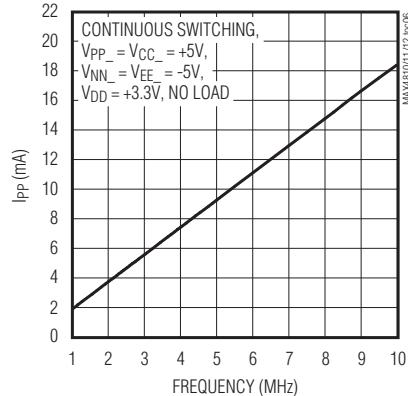
I_{CC} vs. TEMPERATURE



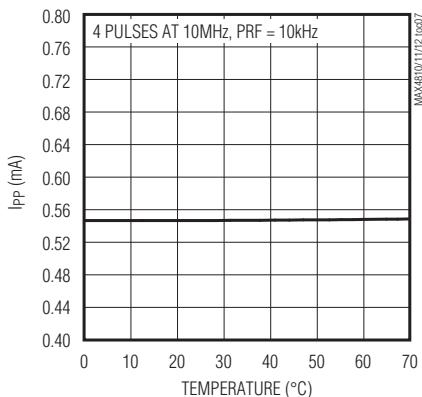
I_{PP} vs. OUTPUT FREQUENCY



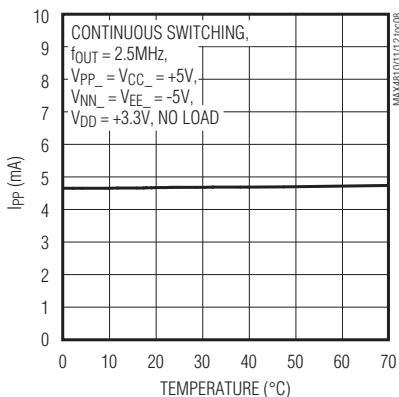
I_{PP} vs. OUTPUT FREQUENCY



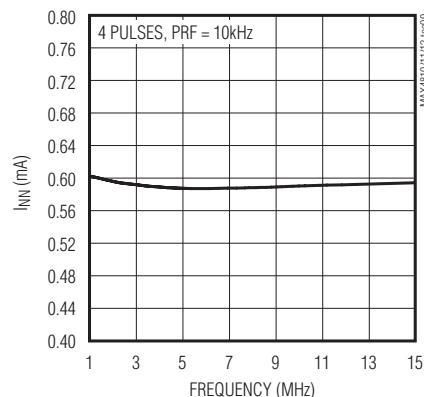
I_{PP} vs. TEMPERATURE



I_{PP} vs. TEMPERATURE



I_{NN} vs. OUTPUT FREQUENCY



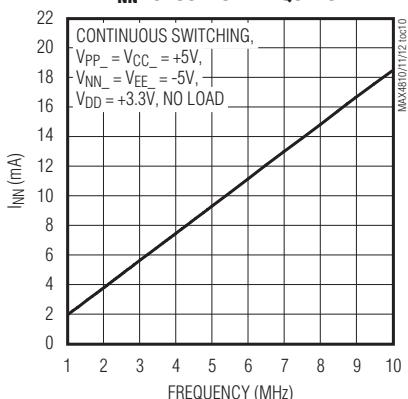
デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

標準動作特性(続き)

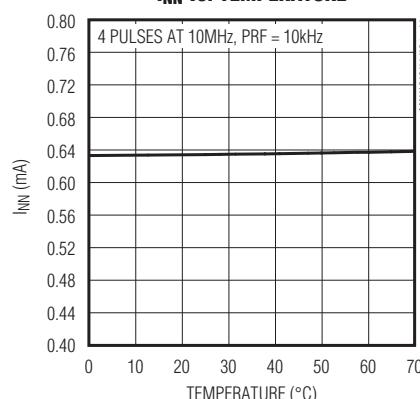
($V_{DD} = +3.3V$, $V_{CC_} = +12V$, $V_{EE_} = -12V$, $V_{SS} = -100V$, $V_{PP_} = +100V$, $V_{NN_} = -100V$, $f_{OUT} = 5MHz$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX4810/MAX4811/MAX4812

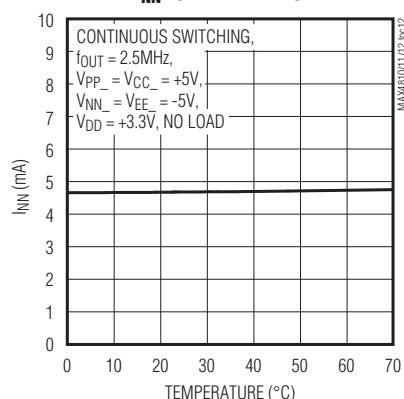
I_{INN} vs. OUTPUT FREQUENCY



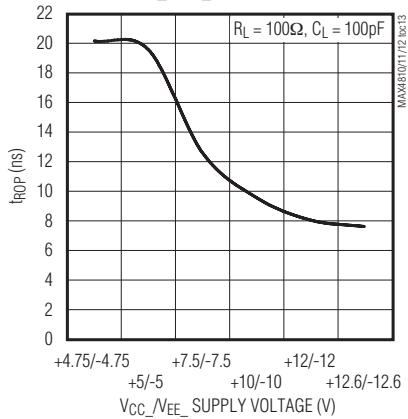
I_{INN} vs. TEMPERATURE



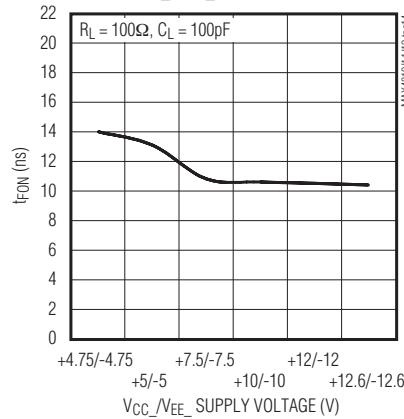
I_{INN} vs. TEMPERATURE



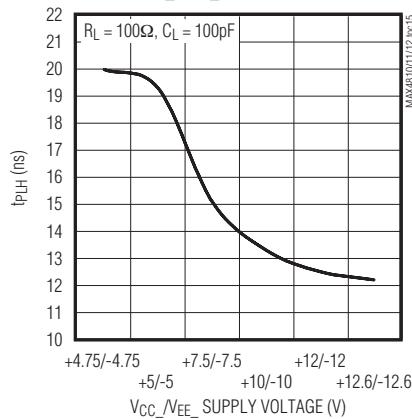
OUT RISE TIME (GND TO $V_{PP_}$) vs. $V_{CC_}/V_{EE_}$ SUPPLY VOLTAGE



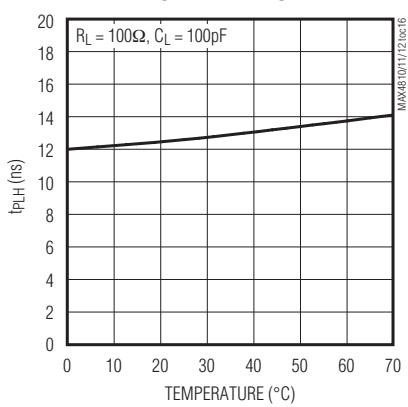
OUT FALL TIME (GND TO $V_{NN_}$) vs. $V_{CC_}/V_{EE_}$ SUPPLY VOLTAGE



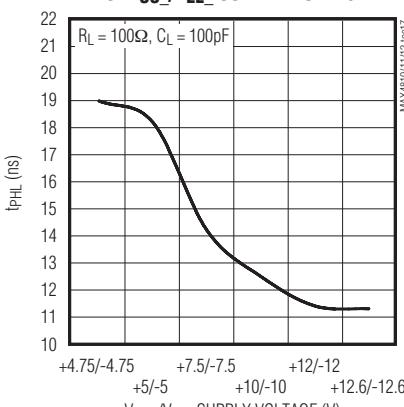
INP-TO-OUT RISE PROPAGATION DELAY vs. $V_{CC_}/V_{EE_}$ SUPPLY VOLTAGE



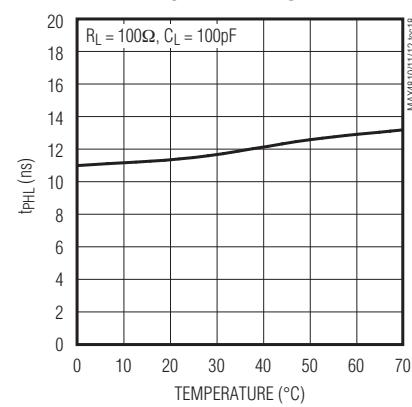
INP-TO-OUT RISE PROPAGATION DELAY vs. TEMPERATURE



INP-TO-OUT FALL PROPAGATION DELAY vs. $V_{CC_}/V_{EE_}$ SUPPLY VOLTAGE



INP-TO-OUT FALL PROPAGATION DELAY vs. TEMPERATURE



デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

端子説明

端子	名称	機能
1	C _{GP1}	チャネル1のハイサイドゲート入力。C _{DP1} とC _{GP1} の間で、できる限りデバイス近くに1nF～10nFのコンデンサを接続してください。
2, 3	V _{PP1}	チャネル1の正のハイサイド電源電圧入力。できる限りデバイス近くにV _{PP1} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
4, 10, 33, 39	N.C.	接続なし。内部で接続されていません。
5	OP1	チャネル1のハイサイドドレイン出力
6	OCP1	チャネル1のハイサイドクランプ出力
7, 15, 28, 36, 44, 55	GND	グランド
8	OCN1	チャネル1のローサイドクランプ出力
9	ON1	チャネル1のローサイドドレイン出力
11, 12	V _{NN1}	チャネル1の負のローサイド電源電圧入力。できる限りデバイス近くに、V _{NN1} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
13	C _{GN1}	チャネル1のローサイドゲート入力。C _{DN1} とC _{GN1} の間で、できる限りデバイス近くに1nF～10nFのコンデンサを接続してください。
14	C _{DN1}	チャネル1のローサイドドライバ出力。C _{DN1} とC _{GN1} の間で、できる限りデバイス近くに1nF～10nFのコンデンサを接続してください。
16, 54	V _{CC1}	チャネル1のゲートドライブ電源電圧入力。できる限りデバイス近くにV _{CC1} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
17	INN1	チャネル1のローサイドロジック入力(表1)
18	INC1	チャネル1のクランプロジック入力。クランプOCP1とOCN1はINC1がハイのとき、およびINP1とINN1がローのときにオンになります(表1を参照)。
19	INP1	チャネル1のハイサイドロジック入力(表1)
20	EN1	チャネル1のイネーブルロジック入力。OP1とON1をイネーブルするには、EN1をハイに駆動してください。ゲート-ソース間の短絡をオンにするには、EN1をローにプルダウンしてください(表1を参照)。
21	SHDN	シャットダウンロジック入力(表1)
22	AGND	アナロググランド。コモンGNDに接続する必要があります。
23	EN2	チャネル2のイネーブルロジック入力。OP2とON2をイネーブルするには、EN2をハイに駆動してください。ゲート-ソース間の短絡をオンにするには、EN2をローにプルダウンしてください。表1を参照。
24	INP2	チャネル2のハイサイドロジック入力(表1)
25	INC2	チャネル2のクランプロジック入力。クランプOCP2とOCN2はINC2がハイのとき、およびINP2とINN2がローのときにオンになります。表1を参照。
26	INN2	チャネル2のローサイドロジック入力(表1)
27, 45	V _{CC2}	チャネル2のゲートドライブ電源電圧入力。できる限りデバイス近くにV _{CC2} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
29	C _{DN2}	チャネル2のローサイドドライバ出力。C _{DN2} とC _{GN2} の間で、できる限りデバイス近くに1nF～10nFのコンデンサを接続してください。
30	C _{GN2}	チャネル2のローサイドゲート入力。C _{DN2} とC _{GN2} の間で、できる限りデバイス近くに1nF～10nFのコンデンサを接続してください。

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

端子説明(続き)

端子	名称	機能
31, 32	V _{NN2}	チャネル2の負のローサイド電源電圧入力。できる限りデバイス近くにV _{NN2} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
34	ON2	チャネル2のローサイドドレイン出力
35	OCN2	チャネル2のローサイドクランプ出力
37	OCP2	チャネル2のハイサイドクランプ出力
38	OP2	チャネル2のハイサイドドレイン出力
40, 41	V _{PP2}	チャネル2のハイサイド正電源電圧入力。できる限りデバイス近くにV _{PP2} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
42	C _{GP2}	チャネル2のハイサイドゲート入力。C _{DP2} とC _{GP2} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
43	C _{DP2}	チャネル2のハイサイドドライバ出力。C _{DP2} とC _{GP2} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
46	C _{GC2}	チャネル2のハイサイドクランプゲート入力。C _{DC2} とC _{GC2} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
47	C _{DC2}	チャネル2のハイサイドクランプドライバ出力。C _{DC2} とC _{GC2} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
48	V _{EE2}	チャネル2の負電源入力。 V _{EE2} ≤ V _{CC2} 。OCP2クランプのためのゲートドライブ電源電圧。できる限りデバイス近くにV _{EE2} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
49	V _{DD}	ロジックの電源電圧入力。できる限りデバイス近くにV _{DD} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
50	V _{SS}	サブストレートの電圧。V _{SS} は、V _{NN1} またはV _{NN2} と同じか、またはそれより低い電圧に接続してください。
51	V _{EE1}	チャネル1の負電源入力。 V _{EE1} ≤ V _{CC1} 。OCP1クランプのためのゲートドライブ電源電圧。できる限りデバイス近くにV _{EE1} を0.1μFでGNDにバイパスしてください。「電源およびバイパス」の項を参照してください。出力に応じてバイパスの追加が必要な場合があります。
52	C _{DC1}	チャネル1のハイサイドクランプドライバ出力。C _{DC1} とC _{GC1} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
53	C _{GC1}	チャネル1のハイサイドクランプゲート入力。C _{DC1} とC _{GC1} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
56	C _{DP1}	チャネル1のハイサイドドライバ出力。C _{DP1} とC _{GP1} の間で、できる限りデバイス近くに1nF~10nFのコンデンサを接続してください。
—	EP	エクスポートドパッド。エクスポートドパッド(EP)は、V _{SS} に接続する必要があります。エクスポートドパッドをデバイスの唯一のV _{SS} 接続として使用しないでください。

詳細

MAX4810/MAX4811/MAX4812は、ユニポーラまたはバイポーラのいずれかのパルス出力でも独立して構成可能なデュアル、高電圧、高速パルサーです。これらのデバイスは、完全パルス制御のための独立したロジック入力と独立したアクティブクランプを備えています。クランプ入力INC_をハイに設定することで、正または負の高電圧源に対してもデバイスがパルスを生成していないときに自動的にクランプを起動することができます。

ロジック入力(INP_、INN_、INC_、EN_、SHDN)

MAX4810/MAX4811/MAX4812は、合計で9個のロジック入力信号を備えています。SHDNはデバイスのパワーアップおよびパワーダウンを制御します。2組のINP_、INN_、INC_、およびEN_信号があり、各チャネルに1組備わっています。INP_はハイサイドFETのオンとオフの状態を制御、INN_はローサイドFETのオンとオフの状態を制御、INC_はアクティブクランプを制御、EN_はゲート-ソース間の短絡を制御します。これらの信号によって、各ドライバの出力段を完全に制御することができます(すべてのロジックの組み合わせについてについては、表1を参照)。

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

表1. 真理値表

INPUTS					OUTPUTS			STATE
SDHN	EN_	INP_	INN_	INC_	OP_	ON_	OCP_, OCN_	
0	X	X	X	0	High impedance	High impedance	High impedance	Powered down, INP_/INN_ disabled, gate-source short disabled
0	X	X	X	1	High impedance	High impedance	GND	Powered down, INP_/INN_ disabled, gate-source short disabled
1	0	X	X	0	High impedance	High impedance	High impedance	Powered up, INP_/INN_ disabled, gate-source short enabled
1	0	X	X	1	High impedance	High impedance	GND	Powered up, INP_/INN_ disabled, gate-source short enabled
1	1	0	0	0	High impedance	High impedance	High impedance	Powered up, all inputs enabled, gate-source short disabled
1	1	0	0	1	High impedance	High impedance	GND	Powered up, all inputs enabled, gate-source short disabled
1	1	0	1	X	High impedance	V _{NN} _	High impedance	Powered up, all inputs enabled, gate-source short disabled
1	1	1	0	X	V _{PP} _	High impedance	High impedance	Powered up, all inputs enabled, gate-source short disabled
1	1	1	1	X	V _{PP} _	V _{NN} _	High impedance	Not allowed (3ns maximum overlap)

X = 任意

0 = ロジックロー

1 = ロジックハイ

MAX4810/MAX4811/MAX4812ロジック入力は、CMOSロジックに対応しており、ロジックレベルは、最大限の柔軟性を得るためにV_{DD}を基準としています。ロジック入力の入力容量は5pF (typ)という低容量であるため、負荷が低減され、スイッチング速度が向上します。

高電圧出力保護(MAX4811のみ)

MAX4811の高電圧出力は、過電圧保護回路を内蔵しており、ユーザは、複数のパルサーチャネルの出力を並列に接続することによってマルチレベルのパルス機能を実現することができます。ON_とOP_の出力に直列に配置した内蔵ダイオードによって、V_{NN}_またはV_{PP}_を超える電圧が出力された場合、ハイサイドとローサイドのFETのボディダイオードがオンに切り替わるのを防ぎます。図2を参照してください。

アクティブクランプ

MAX4810/MAX4811/MAX4812はアクティブクランプ回路を備えており、パルス品質を向上させ、2次高調波出力を低減します。クランプ回路は、Nチャネル(DC結合)とPチャネル(ACとDCの遅延結合)の高電圧FETで

構成され、ロジッククランプ入力(INC_)によってオンまたはオフに切り替えられます。MAX4810/MAX4811は、保護クランプデバイスを備えており、バイポーラパルス回路でクランプ回路を使用することができます(図1および図2を参照)。OCN_出力に直列のダイオードによって、GNDより低い電圧が出力された場合、ローサイドFETのボディダイオードがオンになるのを防ぎます。OCP_出力に直列のもう1つのダイオードによって、グランドより高い電圧が出力された場合、ハイサイドFETのボディダイオードがオンになるのを防ぎます。MAX4812は、クランプ出力上にダイオードの保護がありません。したがって、このデバイスはユニポーラパルスのみ要求される回路での使用に適しています。

ユーザは、アクティブクランプ入力(INC_)をロジックハイ電圧に接続してINP_とINN_の入力のみを駆動することで、デバイスを駆動するのに使用する信号の数を最小限に抑えることができます。この場合、INP_とINN_の入力がともにローで、INC_入力がハイのときは必ず、アクティブクランプ回路はOCP_とOCN_の出力を介して出力をGNDにプルダウンします(詳細については表1を参照)。

デュアル、ユニポーラ/バイポーラ、高電圧ディジタルパルサー

電源電圧のランピングとゲート-ソース間の短絡

MAX4810/MAX4811/MAX4812は、イネーブル入力(*EN_*)によって制御されるゲート-ソース間の短絡を備えています。*SHDN*がハイで、*EN_*がローのとき、60Ωスイッチがハイサイド出力FETのゲートとソースをともに短絡します。同時に、同様のスイッチがローサイド出力FETのゲートとソースをともに短絡します(表1)。ゲート-ソース間の短絡回路は、*V_{PP}*と*V_{NN}*上の電圧のランピングによって出力FETが誤ってオンになるのを防ぎ、ランピング速度を速くでき、パルスモード間の遅延時間を小さくすることができます。

シャットダウンモード

*SHDN*はチャネル1とチャネル2の両方に共通で、デバイスの電源をオン/オフします。すべての内部回路をパワーダウンするには、*SHDN*をローにします(クランプ回路は除く)。*SHDN*をローにすると、デバイスは最も低い電力消費(1μA)になり、ゲート-ソース間の短絡回路は無効になります。*SHDN*をディセーブルすると、デバイスがアクティブになるまで1μs(typ)かかります。

サーマル保護

+150°Cの標準スレッショルドを備えたサーマルシャットダウン回路は、過度の電力消費による損傷を防ぎます。接合部温度がT_J = +150°Cを超えると、すべての出力がディセーブルされます。一般に、ICの接合部温度が+130°C未満に降下すると通常の動作が再開されます。

アプリケーション情報

AC結合コンデンサの選択

すべてのAC結合コンデンサの値(*C_{DP}*と*C_{GP}*の間、および*C_{DN}*と*C_{GN}*の間)は、1nF~10nFでなければなりません。コンデンサの電圧定格は、少なくとも*V_{PP}*と同じだけ高くする必要があります。コンデンサは、できる限りデバイス近くに配置する必要があります。

*INP_*と一部の*INC_*は、出力デバイスにAC結合されているため、デバイスがアクティブのとき、いつまでもハイに駆動することはできません。

電力消費

MAX4810/MAX4811/MAX4812の電力消費は、*V_{CC}*、*V_{PP}*、および*V_{NN}*の消費電流によって生じる3つの主要な要素で構成されます。これらの要素の総和(*P_{VCC}*、*P_{VPP}*、および*P_{VNN}*)は、電力消費の最大限界値未満に維持する必要があります。標準消費電流

対スイッチング周波数の詳細については、「標準動作特性」を参照してください。

デバイスは、大部分の消費電流を*V_{CC}*電源から消費して、ハイサイドFET (*C_P*)およびローサイドFET (*C_N*)のゲート容量などの内部ノードを充電および放電します。わずかな自己消費電流と、内部ゲートクランプFETの充電と放電に使用するわずかな電流を無視すると、消費電力は、次式で推定することができます。

$$P_{VCC} = \left[(C_N \times V_{CC_}^2 \times f_{IN}) + (C_P \times V_{CC_}^2 \times f_{IN}) \right] \times (BRF \times BTD)$$

$$f_{IN} = f_{INN} + f_{INP}$$

ここで、*f_{INN}*と*f_{INP}*は、それぞれINNとINPの入力のスイッチング周波数であり、BRFはバースト繰り返し周波数、BTDはバースト継続時間です。パワーFETのゲート容量の標準値は、*C_N* = 0.2nF、*C_P* = 0.4nFです。

抵抗が*R_L*で容量が*C_L*の出力負荷の場合、MAX4810/MAX4811/MAX4812の電力消費は次式で推定することができます(方形波出力であるものと想定し、スイッチの抵抗は無視できます)。

$$P_{VPP} = \left[(C_O + C_L) \times f_{IN} \times (V_{PP_} - V_{NN_})^2 \right] + \left[\frac{V_{PP_}^2}{R_L} \times \frac{1}{2} \right] \times (BRF \times BTD)$$

ここで、*C_O*はデバイスの出力容量です。

電源およびバイパス

MAX4810/MAX4811/MAX4812は、独立した電源電圧セット(*V_{DD}*と*V_{SS}*だけが両方のチャネルに共通)で動作します。ロジック入力回路は、+2.7V~+6Vの単一電源(*V_{DD}*)で動作します。レベルシフトドライバのデュアル電源*V_{CC}/V_{EE}*は、±4.75V~±12.6Vで動作します。

*V_{PP}/V_{NN}*のハイサイドとローサイドの電源は、最大+220Vの単一正電源、最大-200Vの単一負電源、または±110Vデュアル電源で駆動されます。*V_{PP}*または*V_{NN}*のいずれかを0に設定することができます。各電源入力は、できる限りデバイス近くに0.1μFコンデンサで接地してください。

入力の負荷によっては、出力の遷移中に*V_{NN}*と*V_{PP}*の出力を安定させるために追加のバイパスが必要になる場合があります。たとえば、*C_{OUT}* = 100pFで*R_{OUT}* = 100Ω負荷の場合、10μF (typ)コンデンサの追加を推奨します。*V_{SS}*はサブストレートの電圧であり、*V_{NN1}*または*V_{NN2}*と同じか、またはそれより低い電圧に接続する必要があります。

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

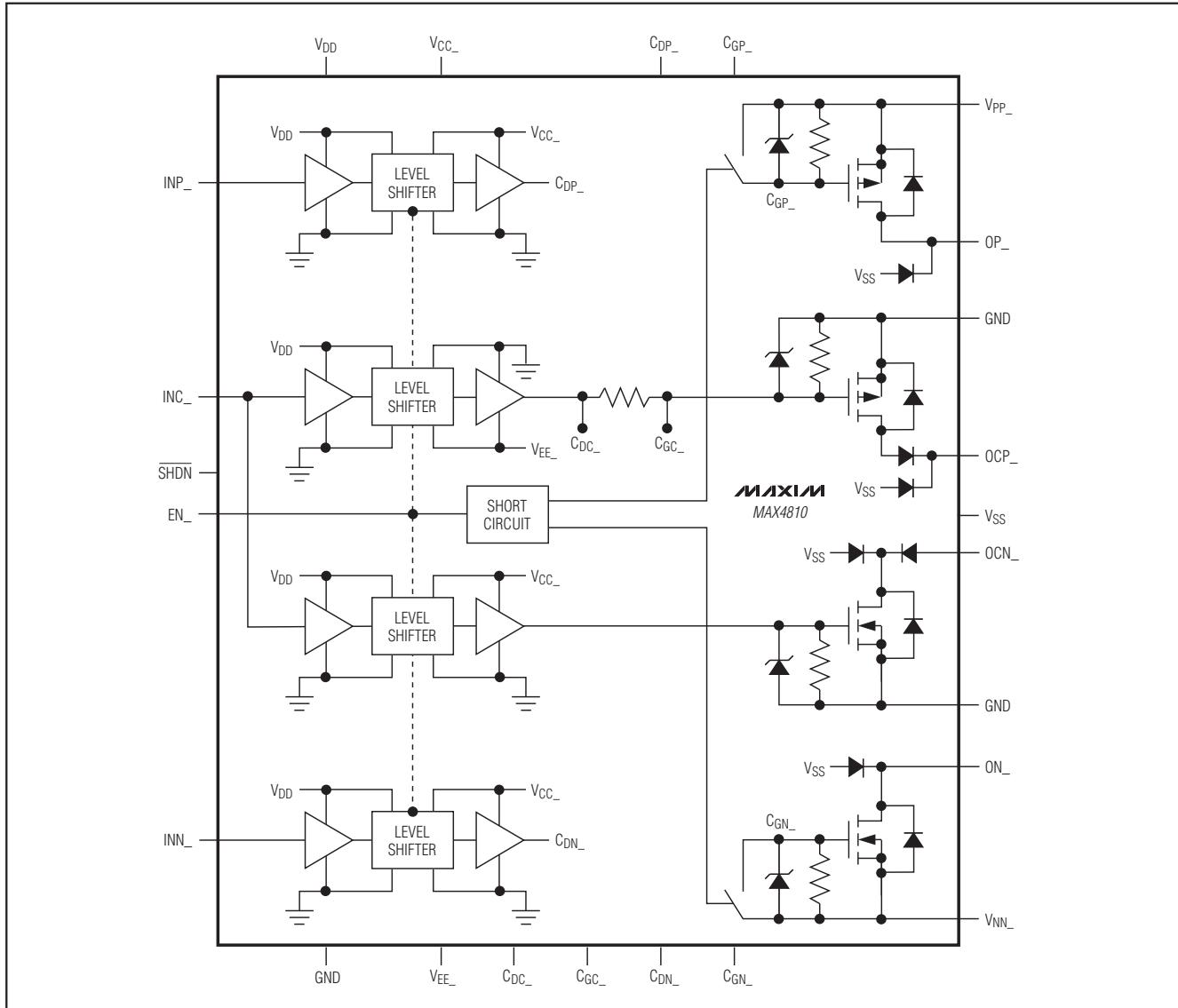


図1. MAX4810の1チャネルについて簡略化したファンクションダイアグラム

エクスポートドパッドとレイアウトの問題

MAX4810/MAX4811/MAX4812は、放熱性能を向上するためにTQFNパッケージの下側にエクスポートドパッド(EP)が用意されています。エクスポートドパッドは、内部でV_{SS}に接続されています。エクスポートドパッドを外部でV_{SS}に接続し、短絡を防ぐためにパッケージの下側にトレースをレイアウトしないでください。熱を放散しやすくするために、PCB部品面のエクスポートドパッドと同形状のパッドへ接続してください。このパッドは、メッキされたいくつかのスルーホール

によって半田面の広い熱拡散銅領域に接続して、熱をデバイスの外に伝導する必要があります。

MAX4810/MAX4811/MAX4812高速パルサーは、電源入力への低インダクタンスのバイパスコンデンサを必要とします。高速PCBのトレース設計を実施することを推奨します。トレース長が最短となるように特に注意を払い、またインダクタンスを低減するため十分に広いトレース幅を使用してください。表面実装部品の使用も推奨します。

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

MAX4810/MAX4811/MAX4812

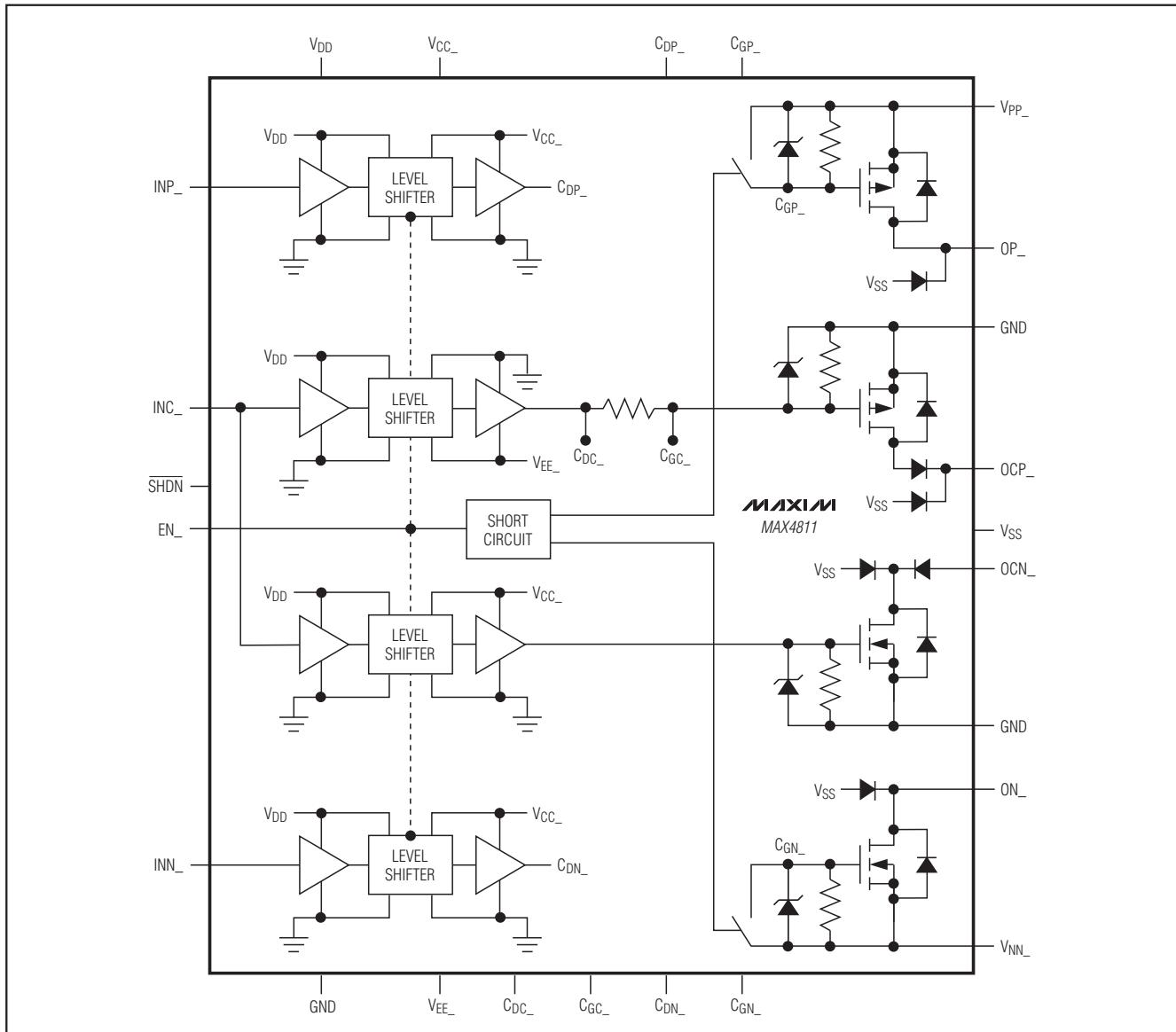


図2. MAX4811の1チャネルについて簡略化したファンクションダイアグラム

電源シーケンシング

V_{SS} は常に、 V_{NN1} または V_{NN2} のうちどちらか低い方の電圧と同じかそれ以下でなければなりません。MAX4810/MAX4811/MAX4812では、それ以外の電源シーケンシングは不要です。

標準動作回路

図8、図9、および図10は、MAX4810/MAX4811/MAX4812の標準動作を示します。図8は、バイポーラパルス接続で使用されるMAX4810を示します。図9は、5段階パルス動作でのMAX4811を示し、図10はユニポーラ動作でのMAX4812を示します。

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

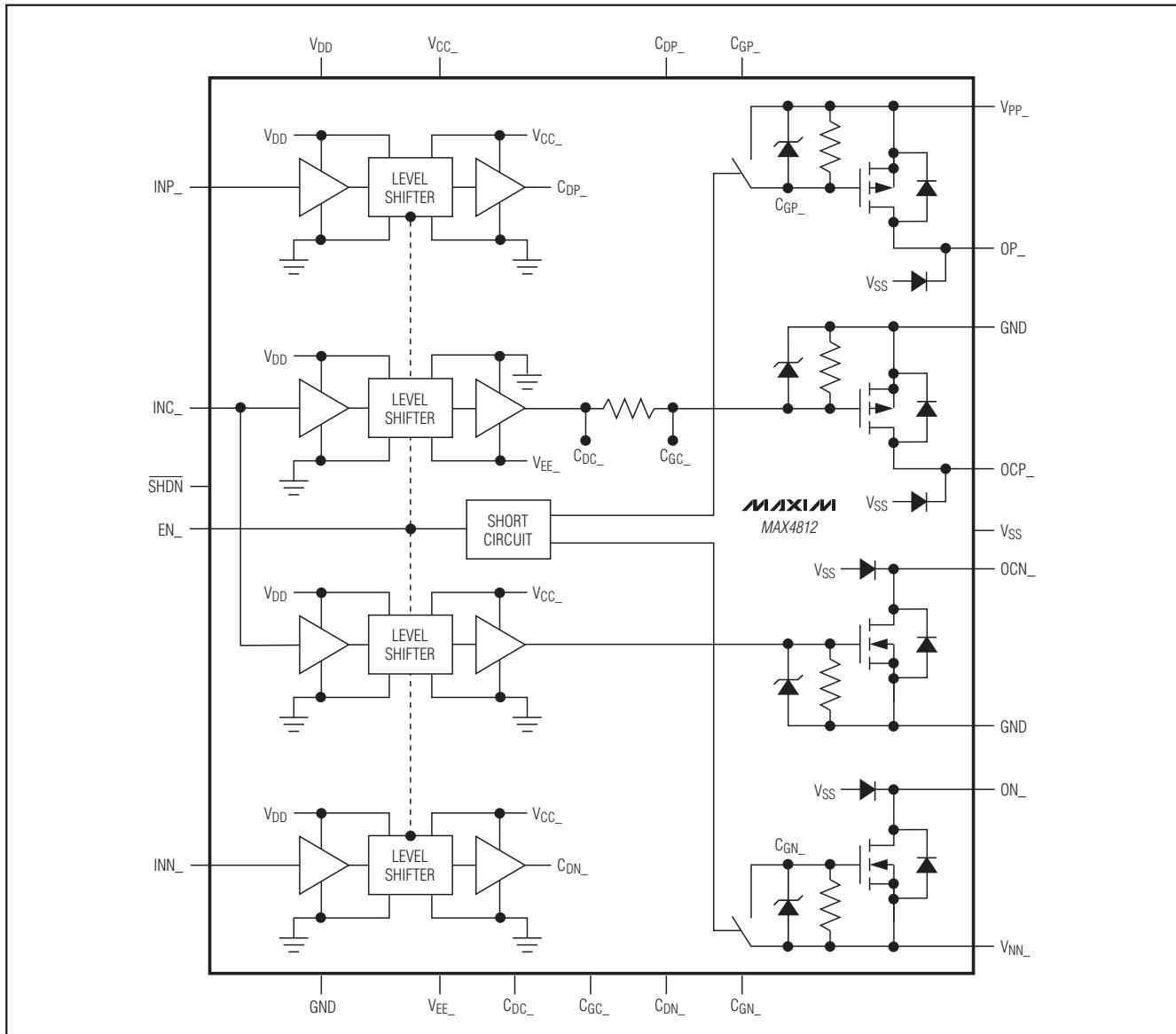


図3. MAX4812の1チャネルについて簡略化したファンクションダイアグラム

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

MAX4810/MAX4811/MAX4812

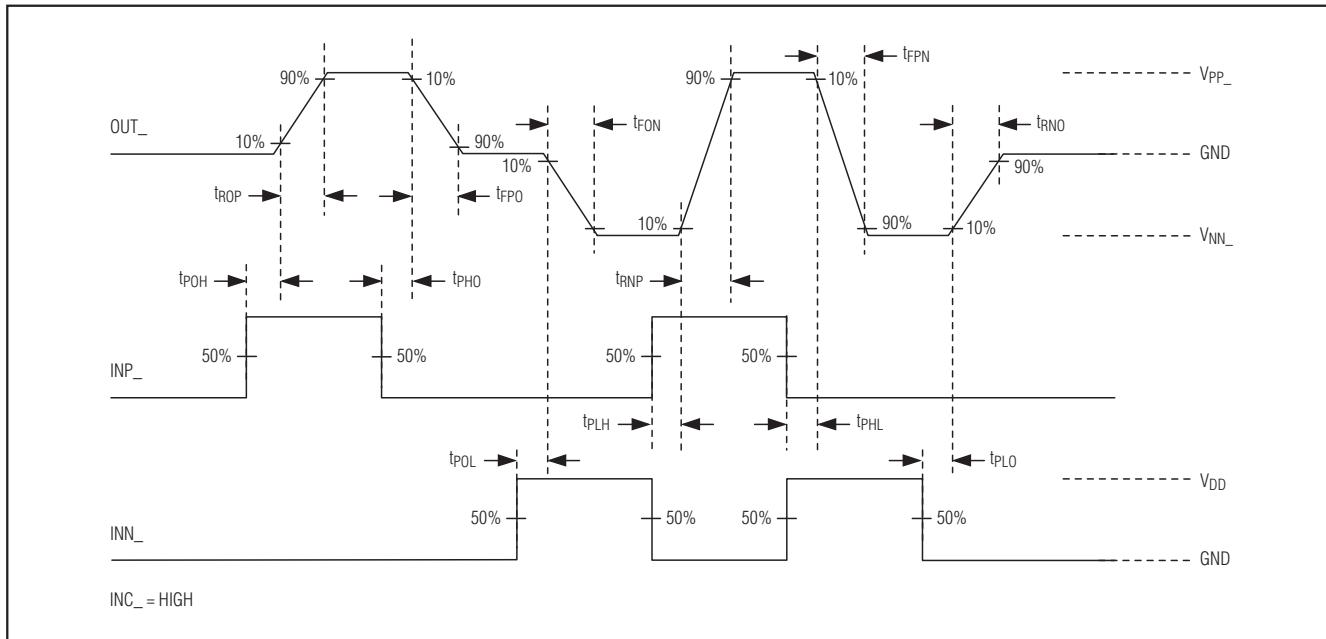


図4. タイミングの詳細($R_L = 100\Omega$ 、 $C_L = 100\text{pF}$)

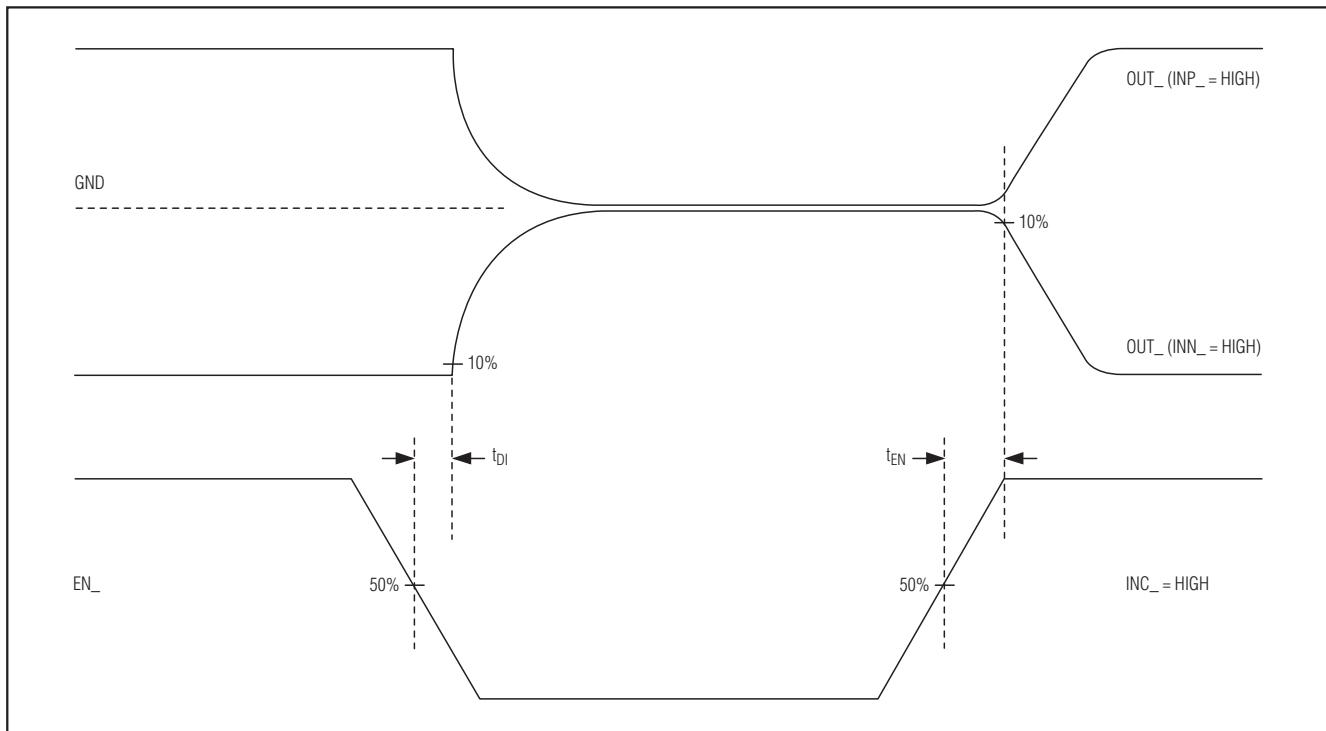


図5. イネーブルのタイミング($R_L = 100\Omega$ 、 $C_L = 100\text{pF}$)

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

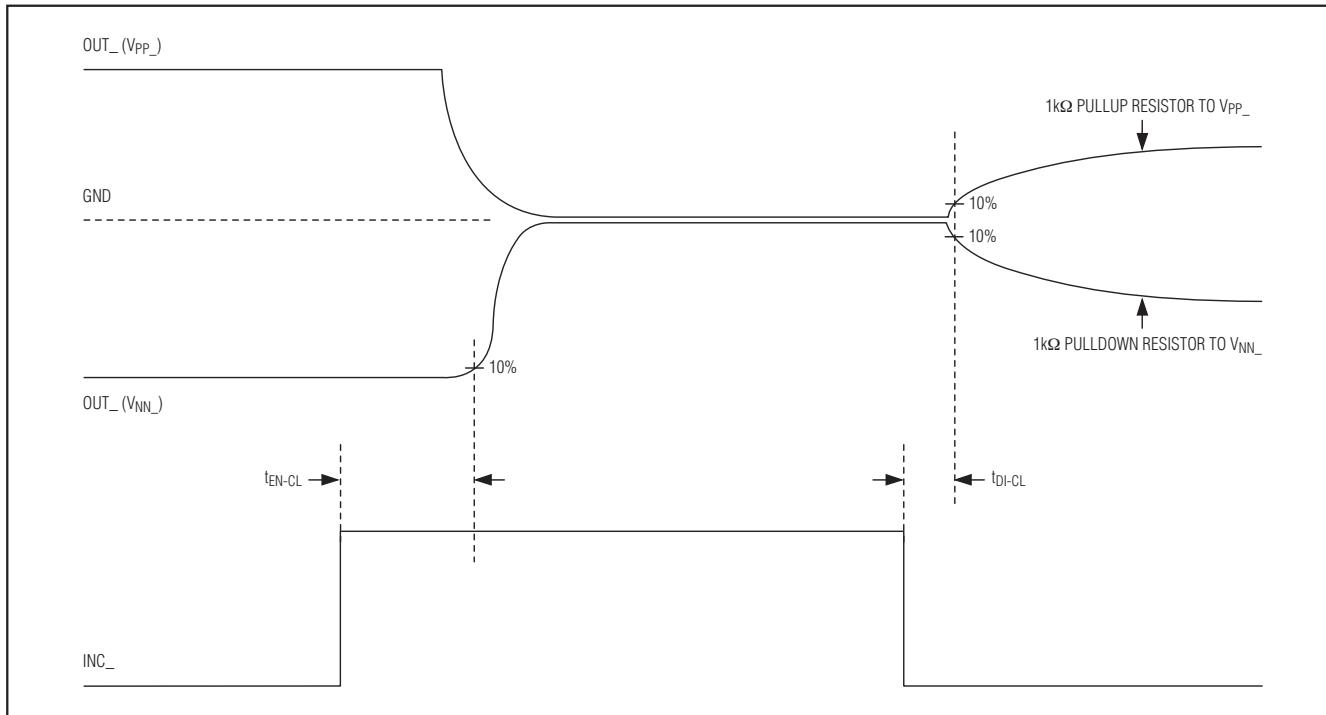


図6. アクティブクランプのタイミング

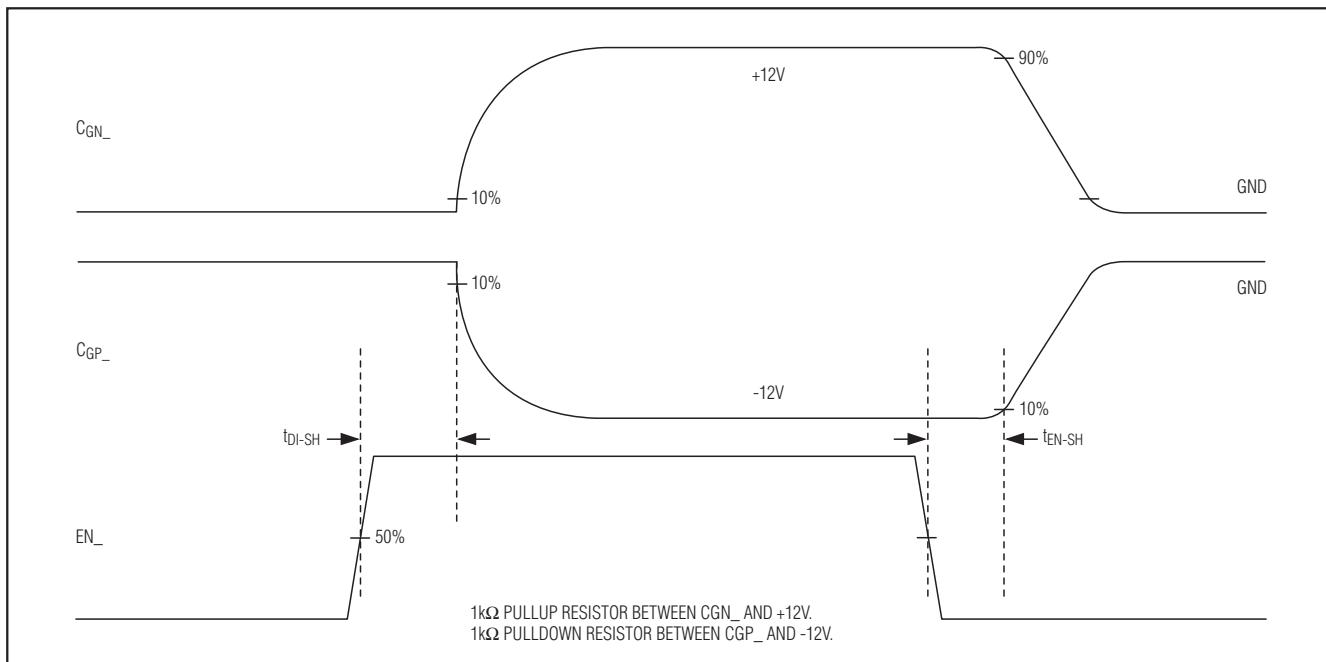


図7. 短絡のタイミング

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

MAX4810/MAX4811/MAX4812

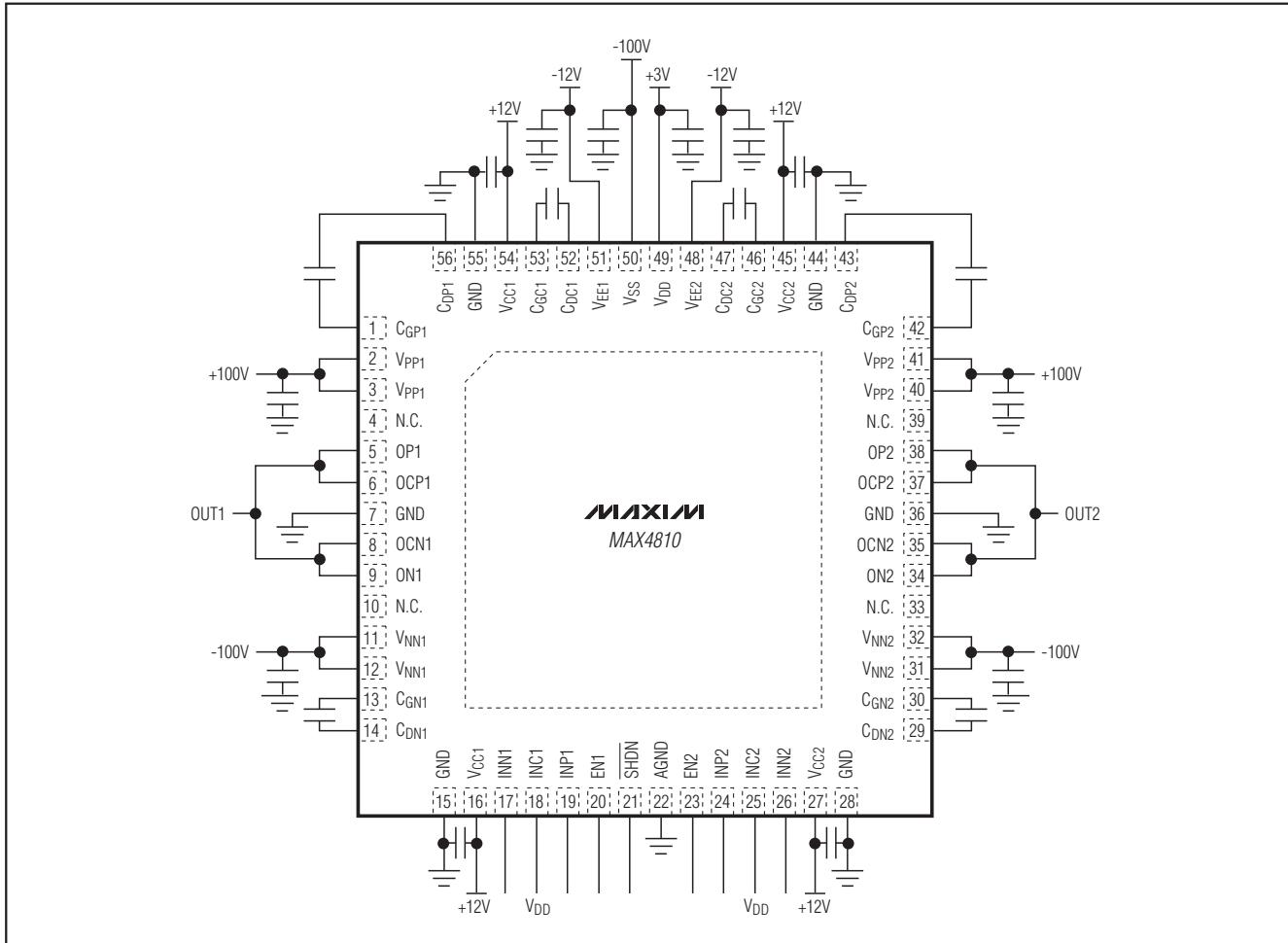


図8. MAX4810 : デュアルバイポーラパルス、±100V、GND

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

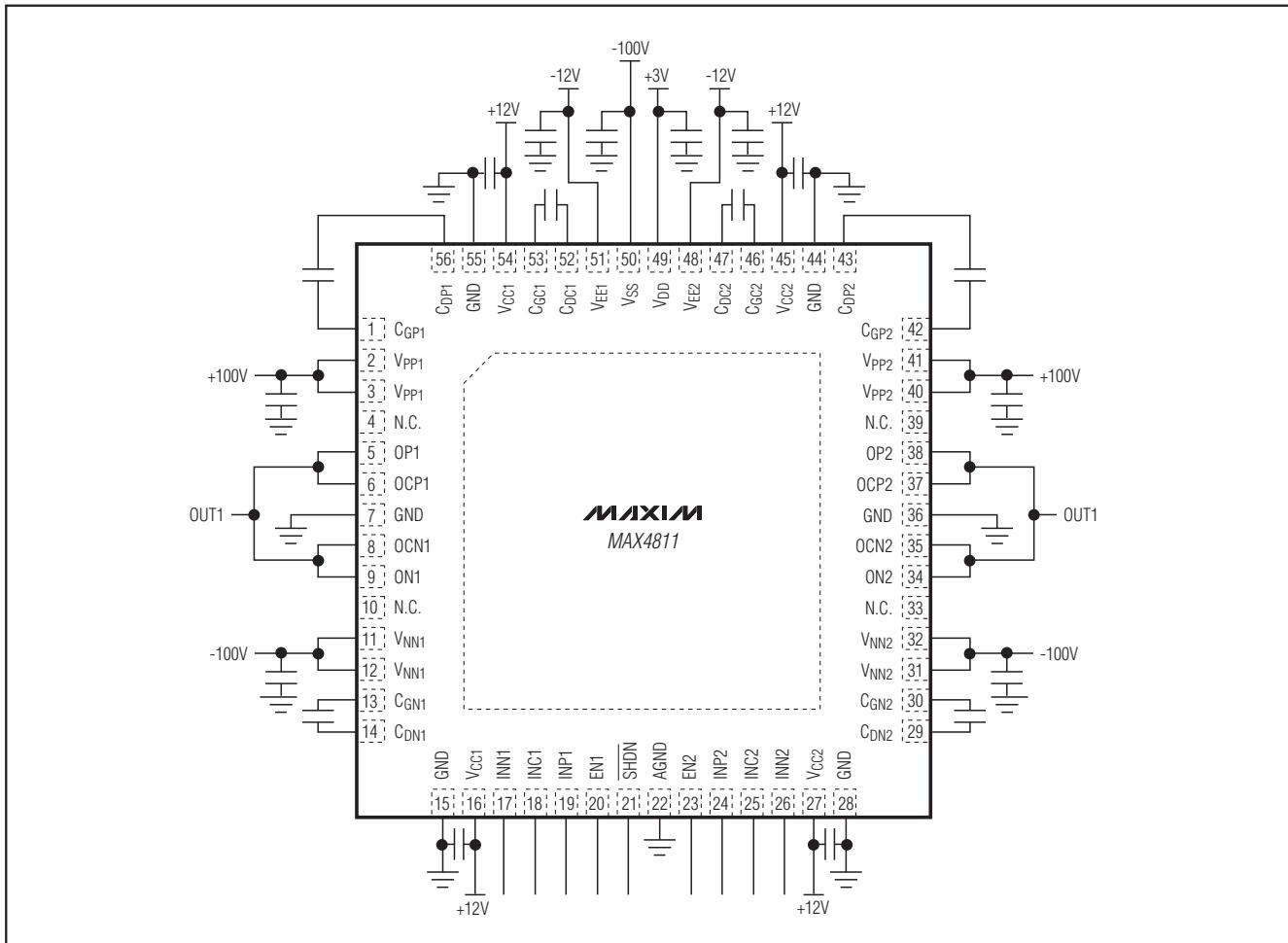


図9. MAX4811 : 5段階パレス、±100V、±50V、GND

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

MAX4810/MAX4811/MAX4812

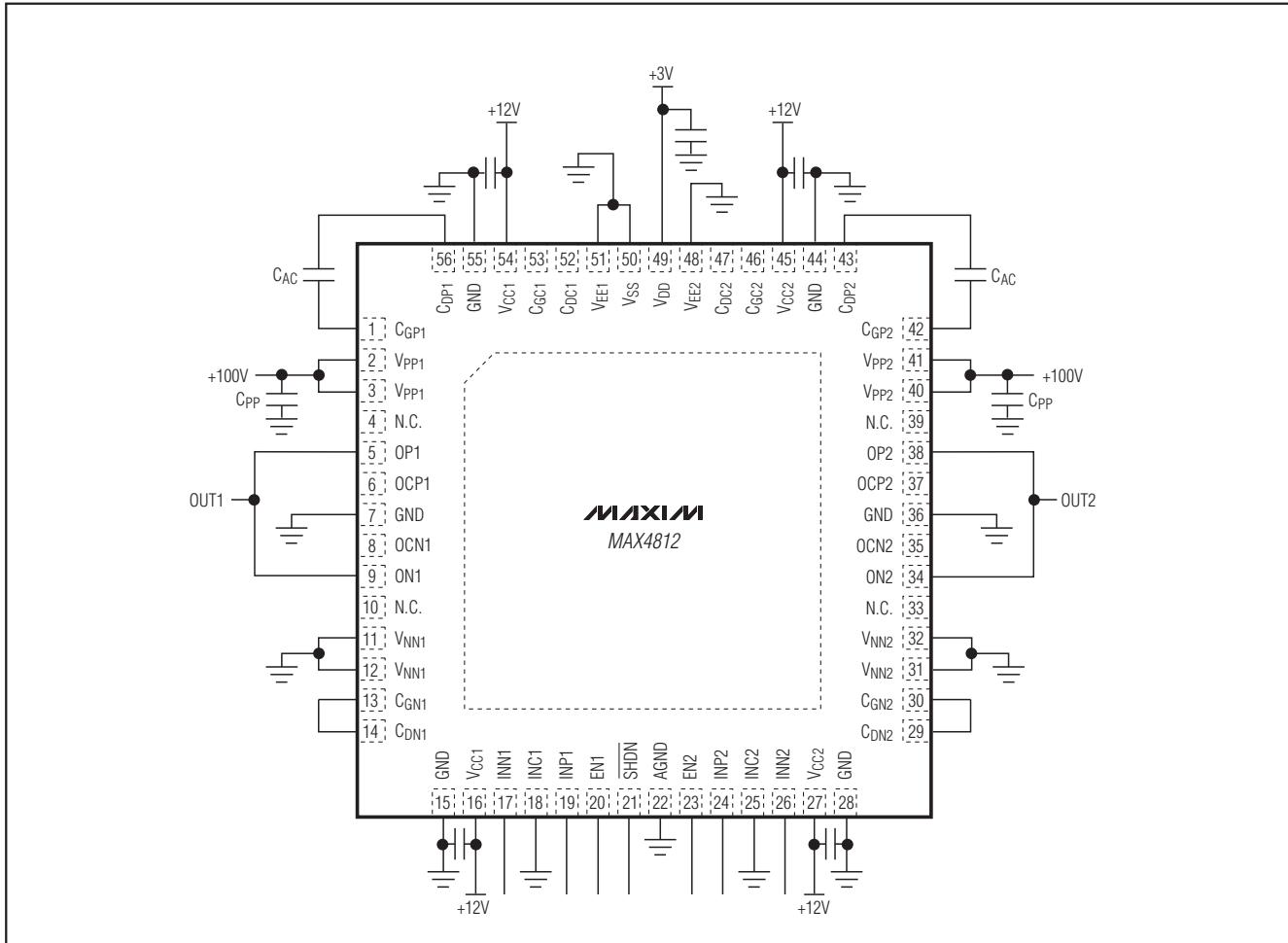


図10. MAX4812 : デュアルユニポーラパルス、+100V、GND

デュアル、ユニポーラ/バイポーラ、 高電圧ディジタルパルサー

パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
56 TQFN	T5677-1	21-0144

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。
マキシムは隨時予告なく回路及び仕様を変更する権利を留保します。

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2008 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products, Inc.