

EVALUATION KIT
AVAILABLE

MAXIM

デュアル、ユニポーラ/バイポーラ、
高電圧デジタルパルサ

概要

MAX4806/MAX4807/MAX4808の集積回路は、低電圧のロジック入力から高電圧で高周波数のユニポーラパルスまたはバイポーラパルスを生成します。これらのデュアルパルサは、独立したロジック入力、アクティブクランプ付きの独立した高電圧パルサ出力、および独立した高電圧電源入力を特長としています。

また、MAX4806/MAX4807/MAX4808は、高電圧出力については6Ω出力インピーダンス、およびアクティブクランプについては20Ωインピーダンスを備えています。高電圧出力は、2Aの出力電流を供給することが保証されています。

すべてのデバイスは、チャンネルごとに3つのロジック入力を使用して、正および負のパルスとアクティブクランプを制御します。さらに2つの独立したイネーブル入力が含まれます。EN_をディセーブルにすることで、電源電圧の高速なランピング時に出力MOSFETが誤ってオンにならないようにしています。これによって、ランピングの高速化やパルスモード間の短い遅延に対応することができるようになります。低電力のシャットダウンモードによって消費電力が1μA未満に低減されます。すべてのデジタル入力はCMOS互換です。

MAX4806はクランプ出力の過電圧保護を備えており、MAX4807はパルサ出力とクランプ出力の両方の過電圧保護を備えています。MAX4808には過電圧保護はありません（「型番/選択ガイド」を参照）。

MAX4806/MAX4807/MAX4808は、56ピン(7mm x 7mm)のTQFNエクスポーズドパッドパッケージで提供されており、0°C~+70°Cの民生用温度範囲で仕様が定められています。

アプリケーション

| | |
|--------|--------|
| 超音波医療 | 欠陥検出 |
| 画像処理 | 圧電ドライバ |
| 産業用センサ | テスト装置 |

型番/選択ガイド

| PART | PROTECTED OUTPUTS | OUTPUT CURRENT (A) | PIN-PACKAGE |
|--------------|----------------------|--------------------|--------------|
| MAX4806CTN+ | OCP_, OCN_ | 2 | 56 TQFN-EP** |
| MAX4807CTN+ | OCP_, OCN_, OP_, ON_ | 2 | 56 TQFN-EP** |
| MAX4808CTN+* | None | 2 | 56 TQFN-EP** |

注：すべてのデバイスは、0°C~+70°Cの動作温度範囲で仕様が定められています。

+は鉛フリー/RoHS準拠のパッケージを示します。

*開発中。入手性についてはお問い合わせください。

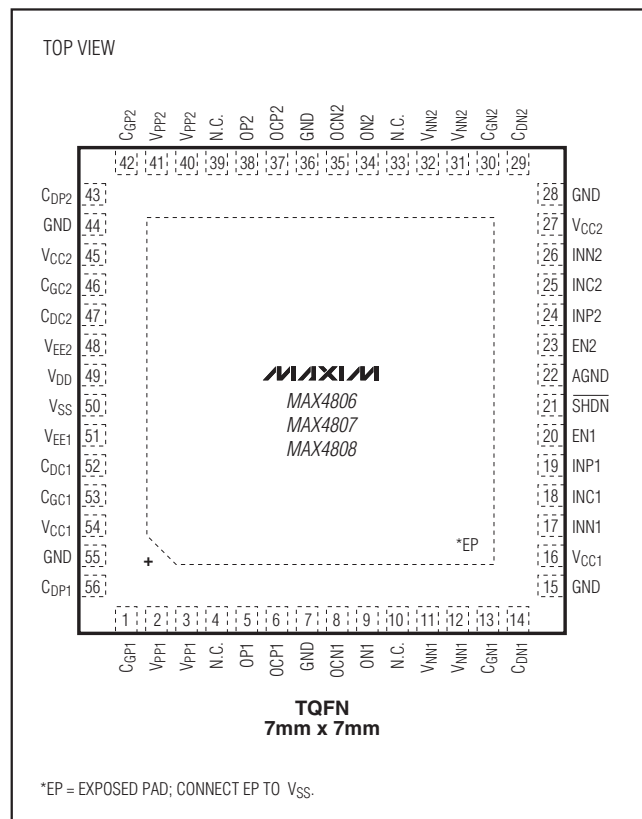
**EP = エクスポーズドパッド

警告：MAX4806/MAX4807/MAX4808は、高電圧で動作するように設計されています。注意が必要です。

特長

- ◆ 高集積、高電圧、高周波数、ユニポーラ/バイポーラパルサ
- ◆ 6Ωの出力インピーダンスおよび2A (min)の出力電流
- ◆ 20Ωのアクティブクランプ
- ◆ パルサとクランプの過電圧保護 (MAX4806/MAX4807)
- ◆ 0~+220Vのユニポーラ出力または±110Vのバイポーラ出力
- ◆ 立上り/立下り時間の整合、および伝播遅延の整合
- ◆ CMOS互換のロジック入力
- ◆ 7mm x 7mmの56ピンTQFNパッケージ

ピン配置



MAX4806/MAX4807/MAX4808

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND.)

| | |
|--|---|
| V _{DD} Logic Supply Voltage | -0.3V to +6V |
| V _{CC_} Output Driver Positive Supply Voltage | -0.3V to +15V |
| V _{EE_} Output Driver Negative Supply Voltage | -15V to +0.3V |
| V _{PP_} High Positive Supply Voltage | -0.3V to +230V |
| V _{NN_} High Negative Supply Voltage | -230V to +0.3V |
| V _{SS} Voltage | (V _{PP_} - 250V) to V _{NN_} |
| V _{PP1} - V _{NN1} , V _{PP2} - V _{NN2} Supply Voltage | -0.3V to +250V |
| INP_ , INN_ , INC_ , EN_ , SHDN Logic Input | -0.3V to (V _{DD} + 0.3V) |
| OP_ , OCP_ , OCN_ , ON_ | (-0.3V + V _{NN_}) to (-0.3V to V _{PP_}) |
| C _{GN_} Voltage | (-0.3V + V _{NN_}) to (+15V + V _{NN_}) |
| C _{GP_} Voltage | (+0.3V + V _{PP_}) to (-15V + V _{PP_}) |
| C _{GC_} Voltage | -15V to +15V |

| | |
|--|---------------------------|
| CDC_ , CDP_ , CDN_ Voltage | -0.3V to V _{CC_} |
| Peak Current per Output Channel | ±3.0A |
| Continuous Power Dissipation (T _A = +70°C) (Note 1) | |
| 56-Pin TQFN (derate 40mW/°C above +70°C) | 3200mW |
| Thermal Resistance (Note 2) | |
| θ _{JA} | +25°C/W |
| θ _{JC} | +0.8°C/W |
| Operating Temperature Range | 0°C to +70°C |
| Junction Temperature | +150°C |
| Storage Temperature Range | -65°C to +150°C |
| Lead Temperature (soldering, 10s) | +300°C |

Note 1: This specification is based on the thermal characteristic of the package, the maximum junction temperature, and the setup described by JEDEC 51. The maximum power dissipation for the MAX4806/MAX4807/MAX4808 might be limited by the thermal protection included in the device.

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +6V, V_{CC_} = +4.75V to +12.6V, V_{EE_} = -12.6V to -4.75V, V_{NN_} = -200V to 0V, V_{PP_} = 0V to (V_{NN_} + 200V), V_{SS} ≤ the lower of V_{NN1} or V_{NN2}, T_A = T_J = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 3)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|------------------|--|-------|-----|------------------------|-------|
| POWER SUPPLY (V_{DD}, V_{CC_}, V_{EE_}, V_{PP_}, V_{NN_}) | | | | | | |
| Logic Supply Voltage | V _{DD} | | +2.7 | +3 | +6 | V |
| Positive Drive Supply Voltage | V _{CC_} | | +4.75 | +12 | +12.6 | V |
| Negative Drive Supply Voltage | V _{EE_} | | -12.6 | -12 | -4.75 | V |
| High-Side Supply Voltage | V _{PP_} | | 0 | | V _{NN_} + 220 | V |
| Low-Side Supply Voltage | V _{NN_} | | -200 | | 0 | V |
| V _{PP_} - V _{NN_} Supply Voltage | | | 0 | | +220 | V |
| SUPPLY CURRENT (Single Channel) | | | | | | |
| V _{DD} Supply Current | I _{DD} | V _{INN_} = V _{INP_} = 0, V _{SHDN} = 0 | | | 1 | μA |
| | | V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , V _{INC_} = 0 or V _{DD} , V _{INN_} = V _{INP_} , f = 5MHz | | 100 | 350 | |
| V _{CC_} Supply Current | I _{CC_} | V _{SHDN} = 0, channel 1 and channel 2 | | | 1 | μA |
| | | V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , channel 1 and channel 2 | | 130 | 200 | |
| | | V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , V _{INC_} = 0 or V _{DD} , V _{INN_} = V _{INP_} , f = 5MHz, V _{CC_} = 5V, V _{DD} = 3V, only one channel switching | | 18 | | mA |
| | | V _{EN_} = V _{DD} , V _{SHDN} = V _{DD} , V _{INC_} = 0 or V _{DD} , V _{INN_} = V _{INP_} , f = 5MHz, V _{CC_} = 12V, V _{DD} = 3V, only one channel switching | | 44 | | |

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+6V$, $V_{CC_} = +4.75V$ to $+12.6V$, $V_{EE_} = -12.6V$ to $-4.75V$, $V_{NN_} = -200V$ to $0V$, $V_{PP_} = 0V$ to ($V_{NN_} + 200V$), $V_{SS} \leq$ the lower of V_{NN1} or V_{NN2} , $T_A = T_J = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS | |
|---|-------------------------------|---|-----|-----|-----------------------------------|-----------------------------------|----------|
| V _{EE_} Supply Current | I _{EE_} | $\overline{VSHDN} = 0$, channel 1 and channel 2 | | | 1 | μA | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, channel 1 and channel 2 | | | 1 | | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, $V_{INC_} = 0$ or V_{DD} , $V_{INN_} = V_{INP_}$, $f = 5MHz$, $V_{EE_} = -5V$, only 1 channel switching | | | 200 | | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, $V_{INC_} = 0$ or V_{DD} , $V_{INN_} = V_{INP_}$, $f = 5MHz$, $V_{EE_} = -12V$, only 1 channel switching | | | 200 | | |
| V _{PP_} Supply Current | I _{PP_} | $\overline{VSHDN} = 0$, channel 1 and channel 2 | | | 1 | μA | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, channel 1 and channel 2 | | 90 | 160 | | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, $V_{INC_} = 0$ or V_{DD} , $V_{INN_} = V_{INP_}$, $f = 5MHz$, $V_{PP_} = +5V$, $V_{NN_} = -5V$, no load, only 1 channel switching | | | 13 | mA | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, $V_{INC_} = 0$ or V_{DD} , $V_{PP_} = +80V$, $V_{NN_} = -80V$, pulse repetition frequency = 10kHz, $f = 10MHz$, four periods, no load, only 1 channel switching | | | 0.65 | | |
| V _{NN_} Supply Current | I _{NN_} | $\overline{VSHDN} = 0$, channel 1 and channel 2 | | | 1 | μA | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, channel 1 and channel 2 | | 40 | 80 | | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, $V_{INC_} = 0$ or V_{DD} , $V_{INN_} = V_{INP_}$, $f = 5MHz$, $V_{NN_} = -5V$, $V_{PP_} = +5V$, no load, only 1 channel | | | 13 | mA | |
| | | $V_{EN_} = V_{DD}$, $\overline{VSHDN} = V_{DD}$, $V_{INC_} = 0$ or V_{DD} , $V_{PP_} = +80V$, $V_{NN_} = -80V$, pulse repetition frequency = 10kHz, $f = 10MHz$, four periods, no load, only 1 channel switching | | | 0.65 | | |
| LOGIC INPUTS ($\overline{EN_}$, \overline{SHDN}, $\overline{INN_}$, $\overline{INP_}$, $\overline{INC_}$) | | | | | | | |
| Low-Level Input Voltage | V _{IL} | | | | 0.25 x V _{DD} | V | |
| High-Level Input Voltage | V _{IH} | | | | 0.75 x V _{DD} | V | |
| Logic-Input Capacitance | C _{IN} | | | | 5 | pF | |
| Logic-Input Leakage | I _{IN} | V _{IN} = 0 or V _{DD} | | | ±1 | μA | |
| OUTPUT (OUT__) | | | | | | | |
| OUT __ Output Voltage Range | V _{OUT__} | No load at OUT __ | | | V _{NN__} | V _{PP__} | V |
| | | Unprotected outputs (see the <i>Ordering Information/Selector Guide</i>), 100mA load | | | V _{NN__} + 1.5 | V _{PP__} - 1.5 | |
| | | Protected outputs (see the <i>Ordering Information/Selector Guide</i>), 100mA load | | | V _{NN__} + 2.5 | V _{PP__} - 2.5 | |
| Low-Side Small-Signal Output Impedance (MAX4806) | R _{OUT_{LS}} | I _{OP__} = -100mA, V _{CC__} = +12V ±5%, DC-coupled | | | 5 | 12 | Ω |
| | | I _{OP__} = -100mA, V _{CC__} = +5V ±5%, DC-coupled | | | 5 | 12 | |

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+6V$, $V_{CC_} = +4.75V$ to $+12.6V$, $V_{EE_} = -12.6V$ to $-4.75V$, $V_{NN_} = -200V$ to $0V$, $V_{PP_} = 0V$ to ($V_{NN_} + 200V$), $V_{SS} \leq$ the lower of V_{NN1} or V_{NN2} , $T_A = T_J = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|---------------------|--|---------|------|-----|-------|
| Low-Side Small-Signal Output Impedance (MAX4807) | R _{OUT_LS} | I _{OP_} = -100mA, V _{CC_} = +12V ±5%, DC-coupled | | 6 | 13 | Ω |
| | | I _{OP_} = -100mA, V _{CC_} = +5V ±5%, DC-coupled | | 6 | 13 | |
| High-Side Small-Signal Output Impedance (MAX4806) | R _{OUT_HS} | I _{OP_} = -100mA, V _{CC_} = +12V ±5%, DC-coupled | | 6 | 12 | Ω |
| | | I _{OP_} = -100mA, V _{CC_} = +5V ±5%, DC-coupled | | 8 | 15 | |
| High-Side Small-Signal Output Impedance (MAX4807) | R _{OUT_HS} | I _{OP_} = -100mA, V _{CC_} = +12V ±5%, DC-coupled | | 7 | 13 | Ω |
| | | I _{OP_} = -100mA, V _{CC_} = +5V ±5%, DC-coupled | | 9 | 17 | |
| Low-Side Output Current | I _{OL} | V _{CC_} = +12V ±5%, V _{OUT_} - V _{NN_} = 100V | 2 | | | A |
| High-Side Output Current | I _{OH} | V _{CC_} = +12V ±5%, V _{OUT_} - V _{PP_} = 100V | 2 | | | A |
| Off-Output Capacitance | C _{O(OFF)} | OP_ , ON_ , OCP_ and OCN_ connected together; V _{PP_} = +100V, V _{NN_} = -100V | | 110 | | pF |
| | | | MAX4806 | 70 | | |
| Off-Output Leakage Current | I _{LK} | V _{NN_} = -100V, V _{PP_} = 100V, EN_ = 0, OUT_ = -100V to +100V | -1 | | +1 | μA |
| Low-Side Signal-Clamp Output Impedance | R _{CLS} | I _{OCN_} = -30mA, DC-coupled, V _{CC_} = +12V ±5%, V _{EE_} = -V _{CC_} | | 20 | 40 | Ω |
| | | I _{OCN_} = -30mA, DC-coupled, V _{CC_} = +5V ±5%, V _{EE_} = -V _{CC_} | | 20 | 50 | |
| High-Side Signal-Clamp Output Impedance | R _{CHS} | I _{OCP_} = -30mA, DC-coupled, V _{CC_} = +12V ±5%, V _{EE_} = -V _{CC_} | | 20 | 40 | Ω |
| | | I _{OCP_} = -30mA, DC-coupled, V _{CC_} = +5V ±5%, V _{EE_} = -V _{CC_} | | 33 | 50 | |
| Low-Side Gate Short Impedance | R _{LSH} | V _{CC_} = +12V ±5%, V _{EE_} = -V _{CC_} , I _{CGN} = 10mA, V _{EN_} = 0 | | | 100 | Ω |
| | | V _{CC_} = +12V ±5%, V _{EE_} = -V _{CC_} , I _{CGN} = 10mA, EN_ = V _{DD} | 5 | 7.5 | 10 | kΩ |
| High-Side Gate Short Impedance | R _{HSH} | V _{CC_} = +12V ±5%, V _{EE_} = -V _{CC_} , I _{CGN} = 10mA, V _{EN_} = 0 | | | 100 | Ω |
| | | V _{CC_} = +12V ±5%, V _{EE_} = -V _{CC_} , I _{CGN} = 10mA, EN_ = V _{DD} | 5 | 7.5 | 10 | kΩ |
| THERMAL SHUTDOWN | | | | | | |
| Thermal Shutdown | T _{SHDN} | Junction temperature rising | | +155 | | °C |
| Thermal-Shutdown Hysteresis | | | | 20 | | °C |
| DYNAMIC CHARACTERISTICS (R_L = 100Ω, C_L = 100pF, unless otherwise noted. See Figures 4–7.) | | | | | | |
| Logic Input to Output Rise Propagation Delay | t _{PLH} | V _{CC_} = +12V, V _{PP_} = +5V, V _{NN_} = -5V, Figure 4 | | 15 | | ns |
| Logic Input to Output Fall Propagation Delay | t _{PHL} | V _{CC_} = +12V, V _{PP_} = +5V, V _{NN_} = -5V, Figure 4 | | 15 | | ns |
| Logic Input to Output Rise Propagation Delay | t _{POH} | V _{CC_} = +12V, V _{PP_} = +5V, V _{NN_} = -5V, Figure 4 | | 15 | | ns |
| Logic Input to Output Fall Propagation Delay | t _{POL} | V _{CC_} = +12V, V _{PP_} = +5V, V _{NN_} = -5V, Figure 4 | | 15 | | ns |

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+6V$, $V_{CC_} = +4.75V$ to $+12.6V$, $V_{EE_} = -12.6V$ to $-4.75V$, $V_{NN_} = -200V$ to $0V$, $V_{PP_} = 0V$ to ($V_{NN_} + 200V$), $V_{SS} \leq$ the lower of V_{NN1} or V_{NN2} , $T_A = T_J = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|--------|---|-----|------|------|-------|
| Logic Input to Output-Rise Propagation Delay Clamp | tPLO | $V_{CC_} = +12V$, $V_{PP_} = +5V$, $V_{NN_} = -5V$, Figure 4 | | 15 | | ns |
| Logic Input to Output-Fall Propagation Delay Clamp | tPHO | $V_{CC_} = +12V$, $V_{PP_} = +5V$, $V_{NN_} = -5V$, Figure 4 | | 15 | | ns |
| OUT_ Rise Time (GND to $V_{PP_}$) | tR0P | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4 | | | 20 | ns |
| OUT_ Rise Time ($V_{NN_}$ to GND) | tRN0 | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4 | | | 35 | ns |
| OUT_ Rise Time ($V_{NN_}$ to $V_{PP_}$) | tRNP | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4 | | | 35 | ns |
| OUT_ Fall Time (GND to $V_{NN_}$) | tF0N | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4 | | | 20 | ns |
| OUT_ Fall Time ($V_{PP_}$ to GND) | tF0P | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4 | | | 35 | ns |
| OUT_ Fall Time ($V_{PP_}$ to $V_{NN_}$) | tFPN | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 4 | | | 35 | ns |
| OUT_ Enable Time from EN_ (Figure 5) | tEN | $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$ | | | 100 | ns |
| | | $V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$ | | | 150 | |
| OUT_ Disable Time from EN_ (Figure 5) | tDI | $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$ | | | 100 | ns |
| | | $V_{CC_} = +5V \pm 5\%$, $V_{EE_} = -V_{CC_}$ | | 0 | 150 | |
| Clamp Enable Time from INC_ | tEN-CL | $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 6 | | | 150 | ns |
| Clamp Disable Time from INC_ | tDI-CL | $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 6 | | 0 | 150 | ns |
| Short Enable Time from EN_ | tEN_SH | $V_{PP_} = +12V$, $V_{NN_} = -12V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 7 | | | 1000 | ns |
| Short Disable Time from EN_ | tDI_SH | $V_{PP_} = +12V$, $V_{NN_} = -12V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$, Figure 7 | | | 250 | ns |
| Recovery Time from \overline{SHDN} | | $V_{PP_} = +12V$, $V_{NN_} = -12V$, $V_{CC_} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$ | | 36.8 | | ns |
| Crosstalk | | $V_{PP_} = V_{CC_} = +5V$, $V_{NN_} = V_{EE_} = -5V$, $f = 5MHz$ | | 69 | | dB |
| 2nd Harmonic Distortion | 2HD | $V_{PP_} = +100V$, $V_{NN_} = -100V$, $f_{OUT} = 5MHz$, $V_{CC_} = +12V$ | | 40 | | dB |
| RMS Output Jitter | tJ | $V_{CC_} = +12V$ | | 9 | | ps |

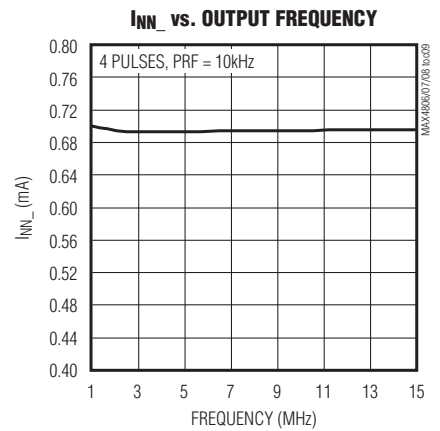
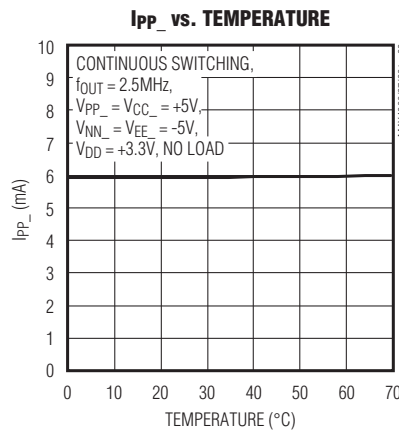
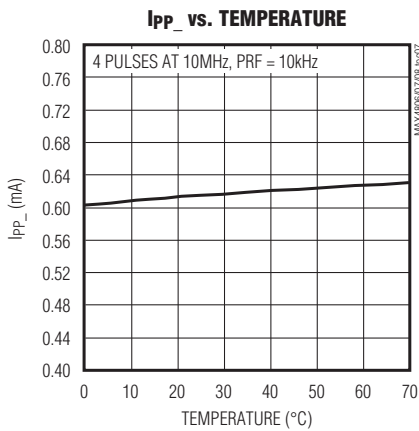
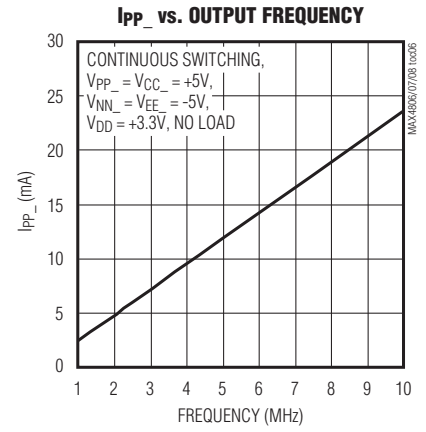
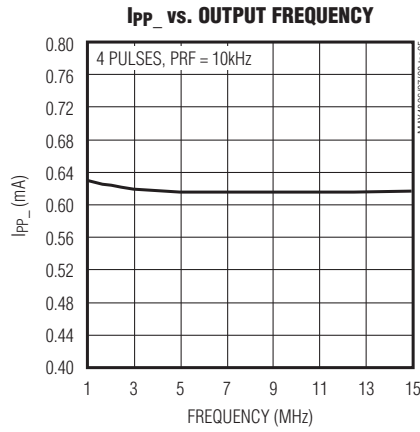
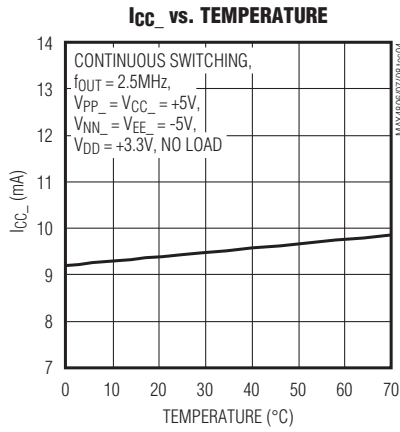
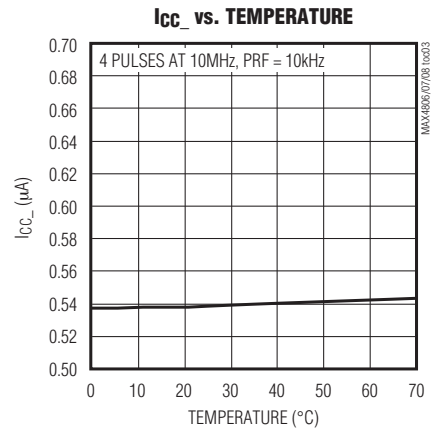
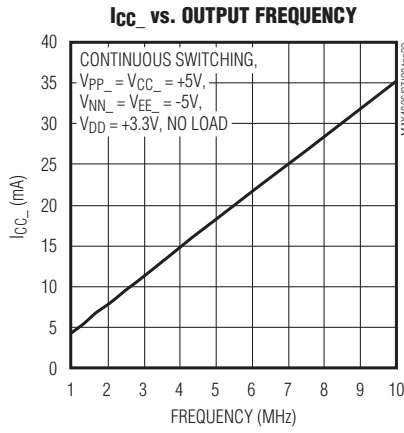
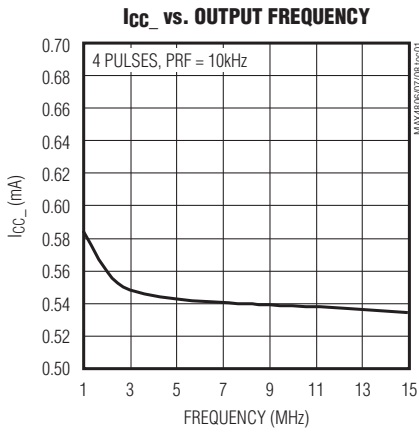
Note 3: Specifications are guaranteed for the stated global conditions, unless otherwise noted and are 100% production tested at $T_A = +25^\circ C$ and $T_A = +70^\circ C$. Specifications at $T_A = 0^\circ C$ are guaranteed by design.

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

標準動作特性

($V_{DD} = +3.3V$, $V_{CC-} = +12V$, $V_{EE-} = -12V$, $V_{SS} = -100V$, $V_{PP-} = +100V$, $V_{NN-} = -100V$, $f_{OUT} = 5MHz$, $T_A = +25^{\circ}C$, unless otherwise noted.)

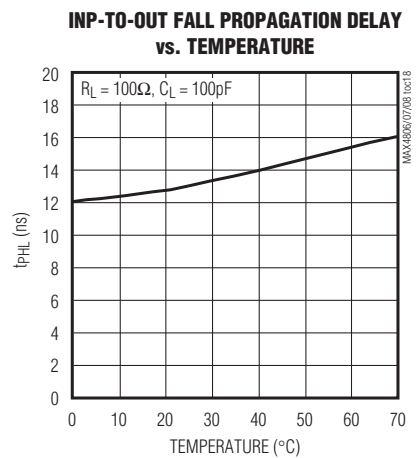
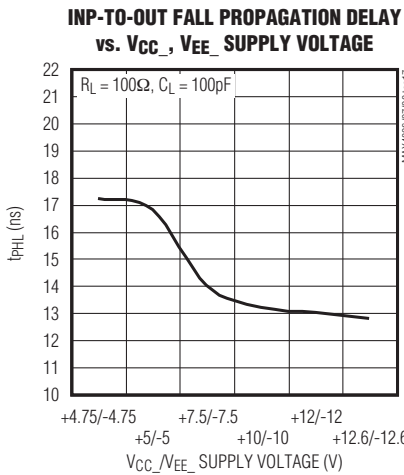
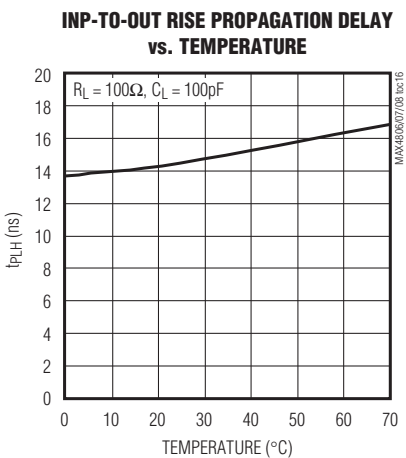
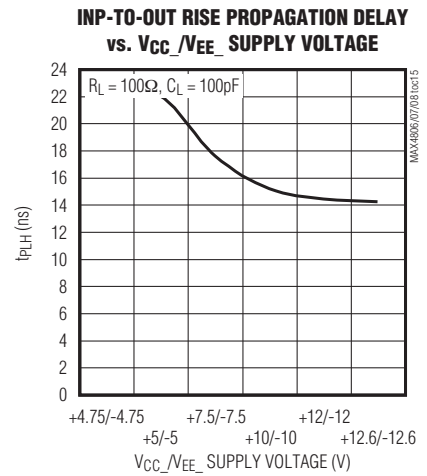
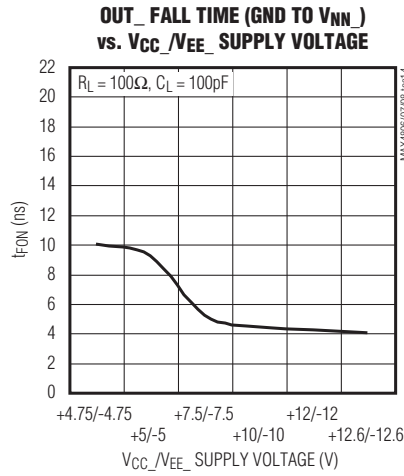
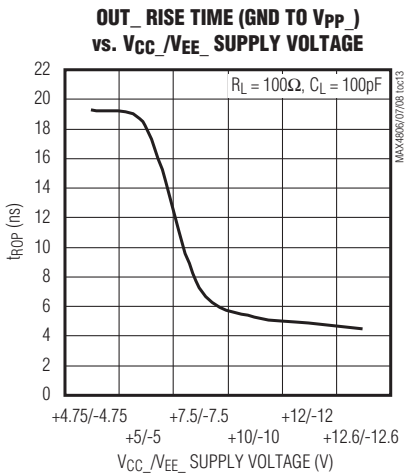
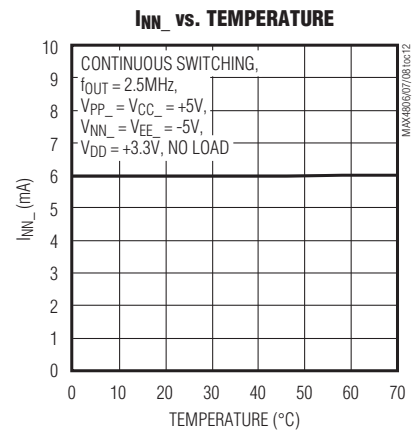
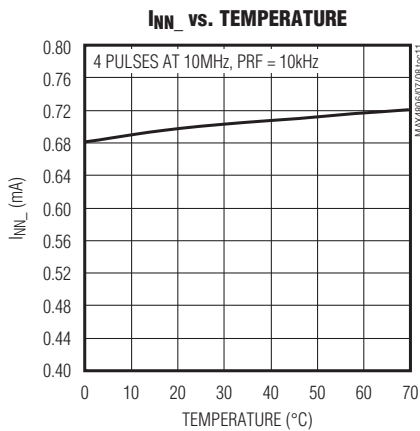
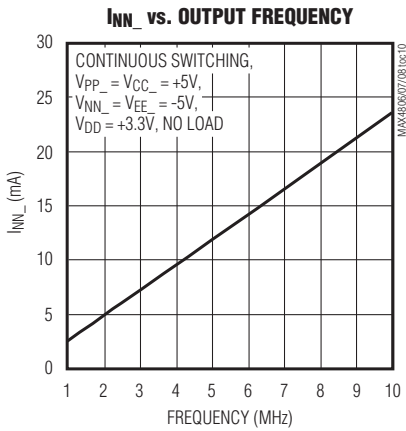


デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

標準動作特性(続き)

($V_{DD} = +3.3V$, $V_{CC-} = +12V$, $V_{EE-} = -12V$, $V_{SS} = -100V$, $V_{PP-} = +100V$, $V_{NN-} = -100V$, $f_{OUT} = 5MHz$, $T_A = +25^{\circ}C$, unless otherwise noted.)



デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

端子説明

| 端子 | 名称 | 機能 |
|-----------------------|------------------|---|
| 1 | C _{GP1} | チャンネル1のハイサイドゲート入力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DP1} とC _{GP1} の間に接続してください。 |
| 2, 3 | V _{PP1} | チャンネル1のハイサイド正電源電圧入力。V _{PP1} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 4, 10, 33, 39 | N.C. | 接続なし。内部で接続されていません。 |
| 5 | OP1 | チャンネル1のハイサイドドレイン出力 |
| 6 | OCP1 | チャンネル1のハイサイドクランプ出力 |
| 7, 15, 28, 36, 44, 55 | GND | グラウンド |
| 8 | OCN1 | チャンネル1のローサイドクランプ出力 |
| 9 | ON1 | チャンネル1のローサイドドレイン出力 |
| 11, 12 | V _{NN1} | チャンネル1のローサイド負電源電圧入力。V _{NN1} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 13 | C _{GN1} | チャンネル1のローサイドゲート入力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DN1} とC _{GN1} の間に接続してください。 |
| 14 | C _{DN1} | チャンネル1のローサイドドライバ出力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DN1} とC _{GN1} の間に接続してください。 |
| 16, 54 | V _{CC1} | チャンネル1のゲートドライブ電源電圧入力。V _{CC1} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。出力によっては、追加のバイパス処理が必要な場合があります。 |
| 17 | INN1 | チャンネル1のローサイドロジック入力(表1を参照) |
| 18 | INC1 | チャンネル1のクランプロジック入力。INC1がハイで、かつINP1とINN1がローのとき、クランプOCP1とOCN1はオンになります(表1を参照)。 |
| 19 | INP1 | チャンネル1のハイサイドロジック入力(表1を参照) |
| 20 | EN1 | チャンネル1のイネーブルロジック入力。OP1とON1をイネーブルするには、EN1をハイにしてください。ゲート-ソース間の短絡回路をオンにするには、EN1をローにプルダウンしてください(表1を参照)。 |
| 21 | SHDN | シャットダウンロジック入力(表1を参照) |
| 22 | AGND | アナロググラウンド。共通GNDに接続する必要があります。 |
| 23 | EN2 | チャンネル2のイネーブルロジック入力。OP2とON2をイネーブルするには、EN2をハイにしてください。ゲート-ソース間の短絡をオンにするには、EN2をローにプルダウンしてください(表1を参照)。 |
| 24 | INP2 | チャンネル2のハイサイドロジック入力(表1を参照) |
| 25 | INC2 | チャンネル2のクランプロジック入力。INC2がハイで、かつINP2とINN2がローのとき、クランプOCP2とOCN2はオンになります(表1を参照)。 |
| 26 | INN2 | チャンネル2のローサイドロジック入力(表1を参照) |
| 27, 45 | V _{CC2} | チャンネル2のゲートドライブ電源電圧入力。V _{CC2} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 29 | C _{DN2} | チャンネル2のローサイドドライバ出力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DN2} とC _{GN2} の間に接続してください。 |
| 30 | C _{GN2} | チャンネル2のローサイドゲート入力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DN2} とC _{GN2} の間に接続してください。 |

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

端子説明(続き)

| 端子 | 名称 | 機能 |
|--------|------------------|--|
| 31, 32 | V _{NN2} | チャンネル2のローサイド負電源電圧入力。V _{NN2} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 34 | ON2 | チャンネル2のローサイドドレイン出力 |
| 35 | OCN2 | チャンネル2のローサイドクランプ出力 |
| 37 | OCP2 | チャンネル2のハイサイドクランプ出力 |
| 38 | OP2 | チャンネル2のハイサイドドレイン出力 |
| 40, 41 | V _{PP2} | チャンネル2のハイサイド正電源電圧入力。V _{PP2} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 42 | C _{GP2} | チャンネル2のハイサイドゲート入力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DP2} とC _{GP2} の間に接続してください。 |
| 43 | C _{DP2} | チャンネル2のハイサイドドライバ出力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DP2} とC _{GP2} の間に接続してください。 |
| 46 | C _{GC2} | チャンネル2のハイサイドクランプゲート入力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DC2} とC _{GC2} の間に接続してください。 |
| 47 | C _{DC2} | チャンネル2のハイサイドクランプドライバ出力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DC2} とC _{GC2} の間に接続してください。 |
| 48 | V _{EE2} | チャンネル2の負電源入力。OCP2クランプのゲートドライブ電源電圧。V _{EE2} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 49 | V _{DD} | ロジック電源電圧入力。V _{DD} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 50 | V _{SS} | 基板電圧。V _{NN1} とV _{NN2} のうち負の値の大きい方に等しいか、あるいはさらに負の値の大きい電圧をV _{SS} に接続してください。 |
| 51 | V _{EE1} | チャンネル1の負電源入力。OCP1クランプのゲートドライブ電源電圧。V _{EE1} は、デバイスのできる限り近くで、0.1μFのコンデンサでGNDにバイパスしてください(「アプリケーション情報」の項の「電源とバイパス処理」を参照)。アプリケーションによっては、追加のバイパス処理が必要な場合があります。 |
| 52 | C _{DC1} | チャンネル1のハイサイドクランプドライバ出力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DC1} とC _{GC1} の間に接続してください。 |
| 53 | C _{GC1} | チャンネル1のハイサイドクランプゲート入力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DC1} とC _{GC1} の間に接続してください。 |
| 56 | C _{DP1} | チャンネル1のハイサイドドライバ出力。デバイスのできる限り近くで、1nF~10nFのコンデンサをC _{DP1} とC _{GP1} の間に接続してください。 |
| — | EP | エクスポーズパッド。EPIはV _{SS} に接続する必要があります。EPをデバイスの唯一のV _{SS} 接続として使用しないでください。 |

詳細

MAX4806/MAX4807/MAX4808は、高電圧で高速なデュアルパルサであり、ユニポーラまたはバイポーラのパルス出力用に独立して構成することができます。これらのデバイスは、完全なパルス制御が行えるように独立したロジック入力と、独立したアクティブクランプを備えています。デバイスが正または負の高電圧電源についてパルス動作していないとき、クランプ入力INC_{_}をハイに設定してクランプを自動的に起動することができます(図1、2、および3を参照)。

ロジック入力(INP_{_}、INN_{_}、INC_{_}、EN_{_}、SHDN)

MAX4806/MAX4807/MAX4808には、合計9つのロジック入力信号があります。SHDNは、デバイスのパワーアップとパワーダウンを制御します。チャンネルごとに1セット、計2セットのINP_{_}、INN_{_}、INC_{_}、およびEN_{_}信号があります。INP_{_}はハイサイドFETのオン/オフ状態を、INN_{_}はローサイドFETのオン/オフ状態を、INC_{_}はアクティブクランプを、EN_{_}はゲートソース間の短絡を制御します。これらの信号は、各ドライバの出力段を完全に制御します(ロジックのすべての組み合わせについては、表1を参照)。

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

表1. 真理値表

| INPUTS | | | | | OUTPUTS | | | STATE |
|--------|-----|------|------|------|------------------|------------------|----------------|--|
| SHDN | EN_ | INP_ | INN_ | INC_ | OP_ | ON_ | OCP_, OCN_ | |
| 0 | X | X | X | 0 | High Impedance | High Impedance | High Impedance | Powered down, INP_/INN_ disabled, gate-source short disabled |
| 0 | X | X | X | 1 | High Impedance | High Impedance | GND | Powered down, INP_/INN_ disabled, gate-source short disabled |
| 1 | 0 | X | X | 0 | High Impedance | High Impedance | High Impedance | Powered up, INP_/INN_ disabled, gate-source short enabled |
| 1 | 0 | X | X | 1 | High Impedance | High Impedance | GND | Powered up, INP_/INN_ disabled, gate-source short enabled |
| 1 | 1 | 0 | 0 | 0 | High Impedance | High Impedance | High Impedance | Powered up, all inputs enabled, gate-source short disabled |
| 1 | 1 | 0 | 0 | 1 | High Impedance | High Impedance | GND | Powered up, all inputs enabled, gate-source short disabled |
| 1 | 1 | 0 | 1 | X | High Impedance | V _{NN_} | High Impedance | Powered up, all inputs enabled, gate-source short disabled |
| 1 | 1 | 1 | 0 | X | V _{PP_} | High Impedance | High Impedance | Powered up, all inputs enabled, gate-source short disabled |
| 1 | 1 | 1 | 1 | X | V _{PP_} | V _{NN_} | High Impedance | Not allowed (3ns maximum overlap) |

X = 任意
0 = ロジックロー
1 = ロジックハイ

MAX4806/MAX4807/MAX4808のロジック入力はCMOSロジック互換であり、またロジックレベルはV_{DD}を基準としているため、極めて柔軟な対応が可能です。ロジック入力の入力容量は5pF (typ)と低いため、負荷が低減され、スイッチング速度が速くなります。

高電圧出力保護(MAX4807のみ)

MAX4807の高電圧出力は、複数のパルサチャネル出力を並列に接続することでマルチレベルパルスシングの装備を可能にする過電圧保護回路を内蔵しています。ON_とOP_出力に直列の内部ダイオードは、V_{NN_}またはV_{PP_}よりも高い電圧が出力上に存在するときにハイサイドFETとローサイドFETのボディダイオードがオンに切り替わらないようにしています(図9を参照)。

アクティブクランプ

MAX4806/MAX4807/MAX4808は、パルスの品質を改善して2次高調波出力を低減するアクティブクランプ回路を備えています。クランプ回路は、ロジッククランプ入力(INC_)によってオン/オフが切り替わる、nチャネル(DC結合)とpチャネル(ACおよびDCの遅延

結合)の高電圧FETで構成されています。MAX4806とMAX4807は保護クランプデバイスを備え、バイポーラパルス回路でクランプ回路を使用することができます(図1および2を参照)。OCN_出力と直列のダイオードは、GNDよりも低い電圧が存在するときにローサイドFETのボディダイオードがオンにならないようにしています。OCP_出力と直列のもう1つのダイオードは、グランドよりも高い電圧が存在するときにハイサイドFETのボディダイオードがオンにならないようにしています。MAX4808には、クランプ出力に対するダイオード保護はありません。したがって、このデバイスはユニポーラパルスのみを必要とする回路に適しています。

アクティブクランプ入力(INC_)をロジックハイの電圧に接続してINP_とINN_の入力のみを駆動することで、デバイスの駆動に使用する信号の数を最小限に抑えることができます。この場合、INP_とINN_の入力がどちらもロー、INC_入力がハイのときは必ず、アクティブクランプ回路は、OCP_およびOCN_出力を通じて出力をGNDにプルダウンします(詳細については、表1を参照)。

デュアル、ユニポーラ/バイポーラ、高電圧デジタルパルサ

電源電圧のランピングとゲート-ソース間の短絡回路

MAX4806/MAX4807/MAX4808には、イネーブル入力(EN₋)で制御するゲート-ソース間の短絡回路が備わっています。SHDNがハイでEN₋がローのとき、60Ωのスイッチはハイサイド出力FETのゲートとソースを短絡します。同時に、類似のスイッチがローサイド出力FETのゲートとソースを短絡します(表1)。ゲート-ソース間の短絡回路は、V_{PP}とV_{NN}でのランピング電圧によって出力FETが誤ってオンになることを防止しており、ランピングの高速化やパルスモード間の短い遅延に対応することができますようになります。

シャットダウンモード

SHDNはチャンネル1とチャンネル2に共通であり、デバイスのパワーアップとパワーダウンを行います。SHDNをローに駆動すると、すべての内部回路がパワーダウンされます(クランプ回路を除く)。SHDNがローのとき、デバイスは最小電力状態(1μA)になり、ゲート-ソース間の短絡回路はディセーブルになります。SHDNがディセーブルになると、デバイスがアクティブになるのに36.8ns (typ)かかります。

熱保護

標準スレッショルドが+155°Cのサーマルシャットダウン回路は、過剰な電力消費によって生じる損傷を防ぎます。接合部温度がT_J = +150°Cを超えると、すべての出力はディセーブルになります。ICの接合部温度が+130°C未満に低下すれば、通常の動作が再開されます。

アプリケーション情報

ACカップリングコンデンサの選択

ACカップリングコンデンサ(C_{DP}とC_{GP}の間、およびC_{DN}とC_{GN}の間)の値は、1nF~10nFにする必要があります。コンデンサの定格電圧は、V_{PP}およびV_{NN}よりも大きくする必要があります。コンデンサはデバイスのできる限り近くに配置する必要があります。

INPおよびINCの一部は、出力デバイスにAC結合されているため、デバイスがアクティブのときに無制限にハイにすることはできません。

電力消費

MAX4806/MAX4807/MAX4808の電力消費は、V_{CC}、V_{PP}、およびV_{NN}の電流消費によって生じる3つの主要な要素で構成されます。これらの要素(P_{VCC}、P_{VPP}、およびP_{VNN})の合計を電力消費の最大許容限度よりも低く抑える必要があります。標準消費電流 対 スイッ

チング周波数の詳細については、「標準動作特性」の項を参照してください。

デバイスは、V_{CC}電源の供給電流の大部分を、ハイサイドFET (C_P)とローサイドFET (C_N)のゲート容量などの内部ノードの充放電に消費します。少量の自己消費電流と内部ゲートクランプFETの容量の充放電で使用する少量の電流を無視すれば、消費電力は、次式で概算することができます。

$$P_{VCC} = \left[(C_N \times V_{CC}^2 \times f_{IN}) + (C_P \times V_{CC}^2 \times f_{IN}) \right] \times (BRF \times BTD)$$
$$f_{IN} = f_{INN} = f_{INP}$$

ここで、f_{INN}とf_{INP}は、それぞれINN₋とINP₋の入カスイッチング周波数、BRFはバースト繰り返し周波数、およびBTDはバースト継続時間です。パワーFETのゲート容量の標準値は、C_N = 0.3μFおよびC_P = 0.6μFです。

抵抗分がR_Lで容量分がC_Lの出力負荷の場合、MAX4806/MAX4807/MAX4808の電力消費は、次式で概算することができます(出力が方形波であるものと仮定し、スイッチの抵抗分を無視します)。

$$P_{VPP} = \left\{ (C_O + C_L) \times f_{IN} \times (V_{PP} - V_{NN})^2 + \left[\frac{V_{PP}^2}{R_L} \times \frac{1}{2} \right] \times (BRF \times BTD) \right\}$$

ここで、C_Oはデバイスの出力容量です。

電源とバイパス処理

MAX4806/MAX4807/MAX4808は、独立した電源電圧のセットで動作します(V_{DD}とV_{SS}のみ、両方のチャンネルに共通です)。ロジック入力回路は、+2.7V~+6Vの単一電源(V_{DD})で動作します。レベルシフトドライバのデュアル電源V_{CC}/V_{EE}は、±4.75V~±12.6Vで動作します。

V_{PP}/V_{NN}のハイサイドとローサイドの電源は、最大+220Vの単一正電源、最大-200Vの単一負電源、または±110Vのデュアル電源です。V_{PP}またはV_{NN}のいずれかは、0Vに設定することができます。各電源入力は、デバイスのできる限り近くで、0.1μFのコンデンサでグラウンドにバイパスしてください。

出力遷移の間V_{NN}とV_{PP}の両方の入力を安定させるため、アプリケーションによっては、追加のバイパス処理が必要な場合があります。たとえば、C_{OUT} = 100pFおよびR_{OUT} = 100Ωの負荷では、10μF (typ)の電解コンデンサを追加することをお勧めします。V_{SS}はサブストレートの電圧です。V_{NN1}とV_{NN2}の電圧のうち低い方に等しいか、あるいはさらに負の値の大きい方にV_{SS}を接続します。

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

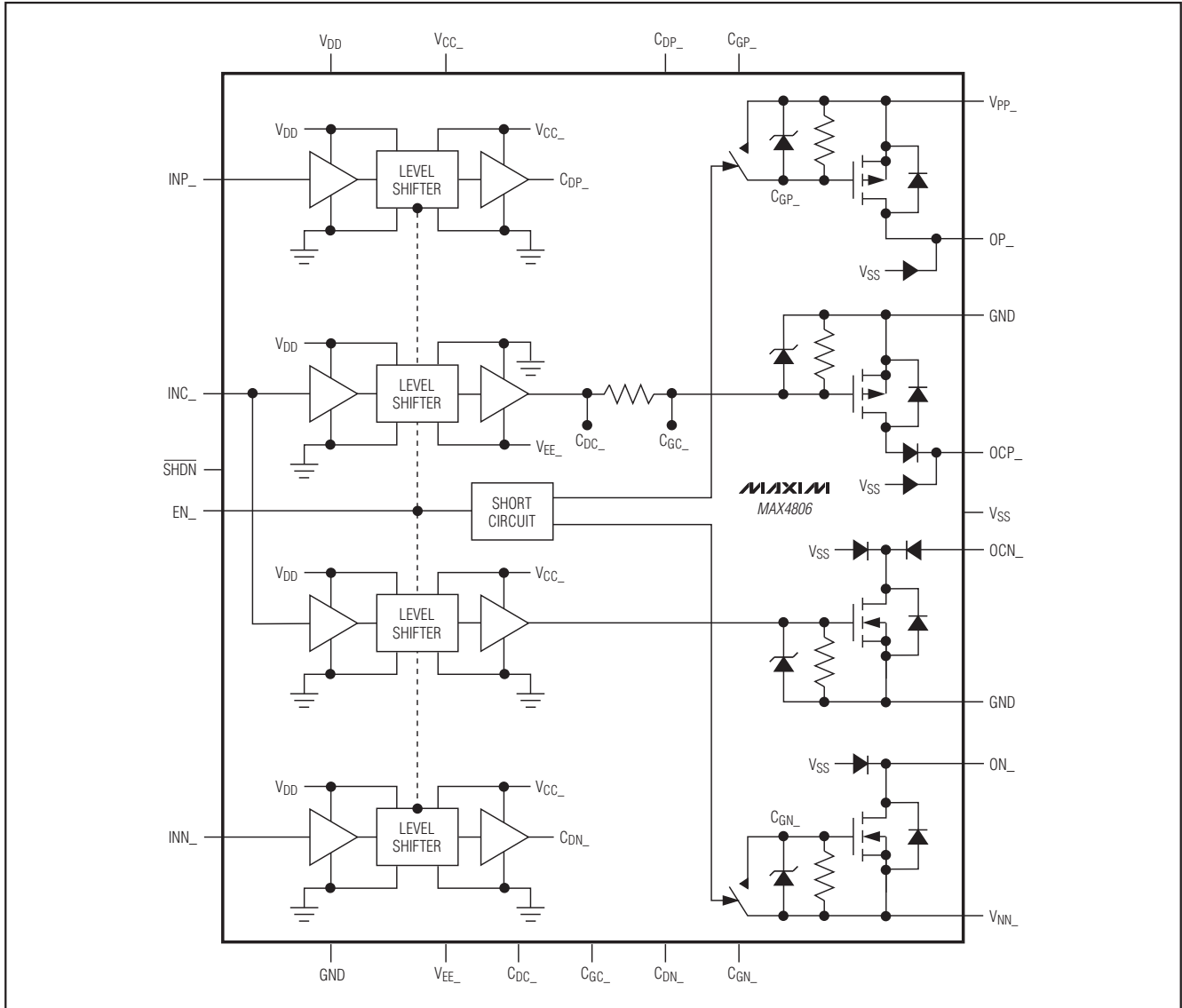


図1. MAX4806の簡略化ファンクションダイアグラム(1チャンネルの場合)

エクスポーズドパッドとレイアウトについて

MAX4806/MAX4807/MAX4808では、放熱性能を改善するために、TQFNパッケージの底にエクスポーズドパッド(EP)が設けられています。EPは、内部でV_{SS}に接続されています。外部でEPをV_{SS}に接続します。放熱を促進するため、PCBの部品面にあるほぼ同じサイズのパッドにEPを接続します。デバイスから伝導で熱を取り除くために、このパッドは、熱拡散用の広い銅領域に通じるメッキ処理された複数のスルーホールを通して、半田面の銅に接続する必要があります。

MAX4806/MAX4807/MAX4808の高速パルサでは、電源入力への低インダクタンスのバイパスコンデンサが必要になります。高速PCBのトレース設計を実施することをお勧めします。インダクタンスを低減するため、トレース長を最小限にして十分なトレース幅を使用するよう特に注意してください。表面実装部品のお勧めします。

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

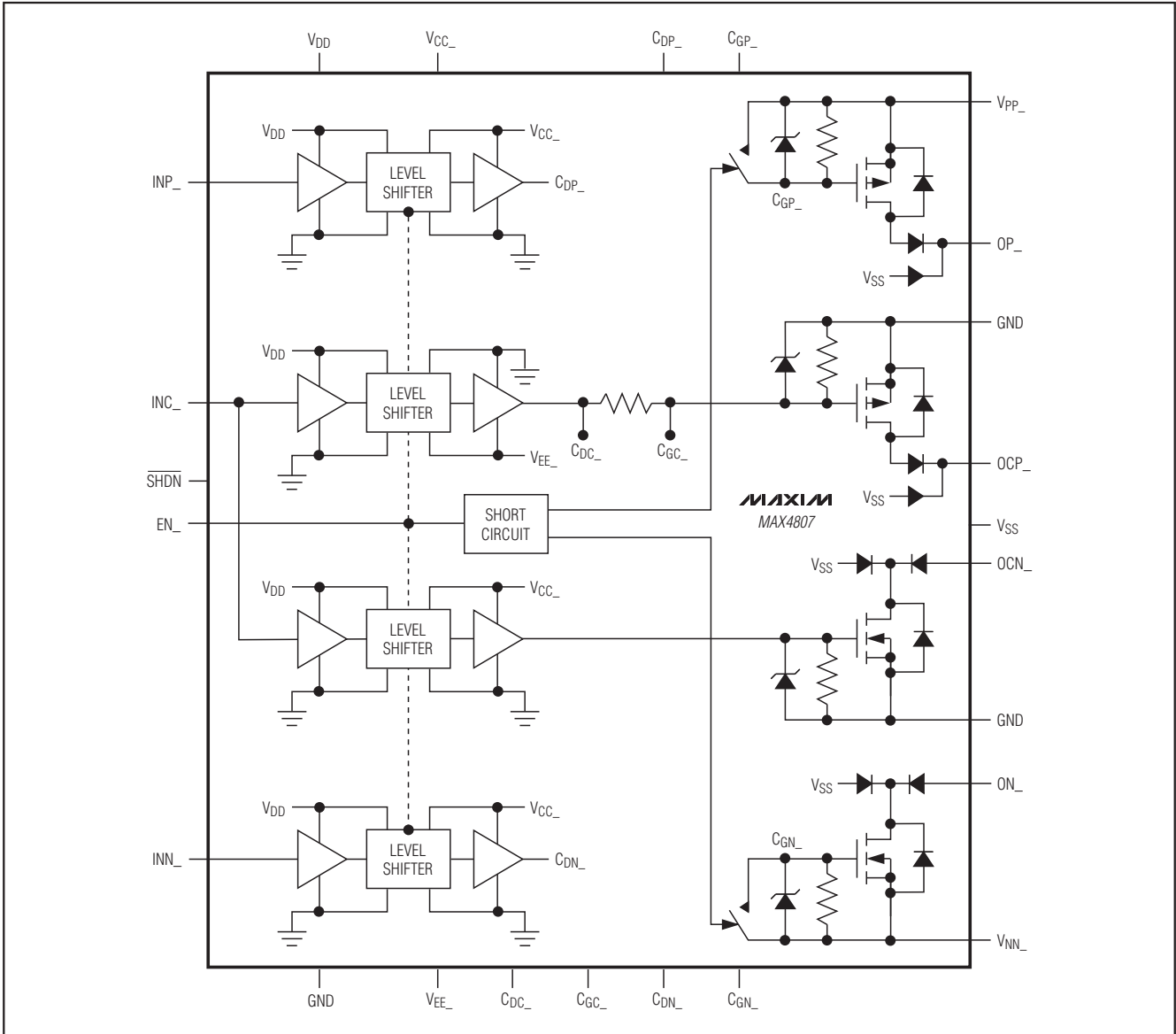


図2. MAX4807の簡略化ファンクションダイアグラム(1チャンネルの場合)

電源シーケンシング

V_{SS}は常に、V_{NN1}とV_{NN2}のうち負の値の大きい方の電圧以下でなければなりません。また、他の電源電圧の前にオンにする必要があります。MAX4806/MAX4807/MAX4808では、その他の電源シーケンシングは必要ありません。

標準アプリケーション回路

図8、9、および10は、MAX4806/MAX4807/MAX4808の標準アプリケーション回路を示しています。図8は、バイポーラパルス接続で使用されるMAX4806を示しています。図9は、5レベルのパルスアプリケーションにおけるMAX4807を、図10は、ユニポーラアプリケーションで使用されるMAX4808を示しています。

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

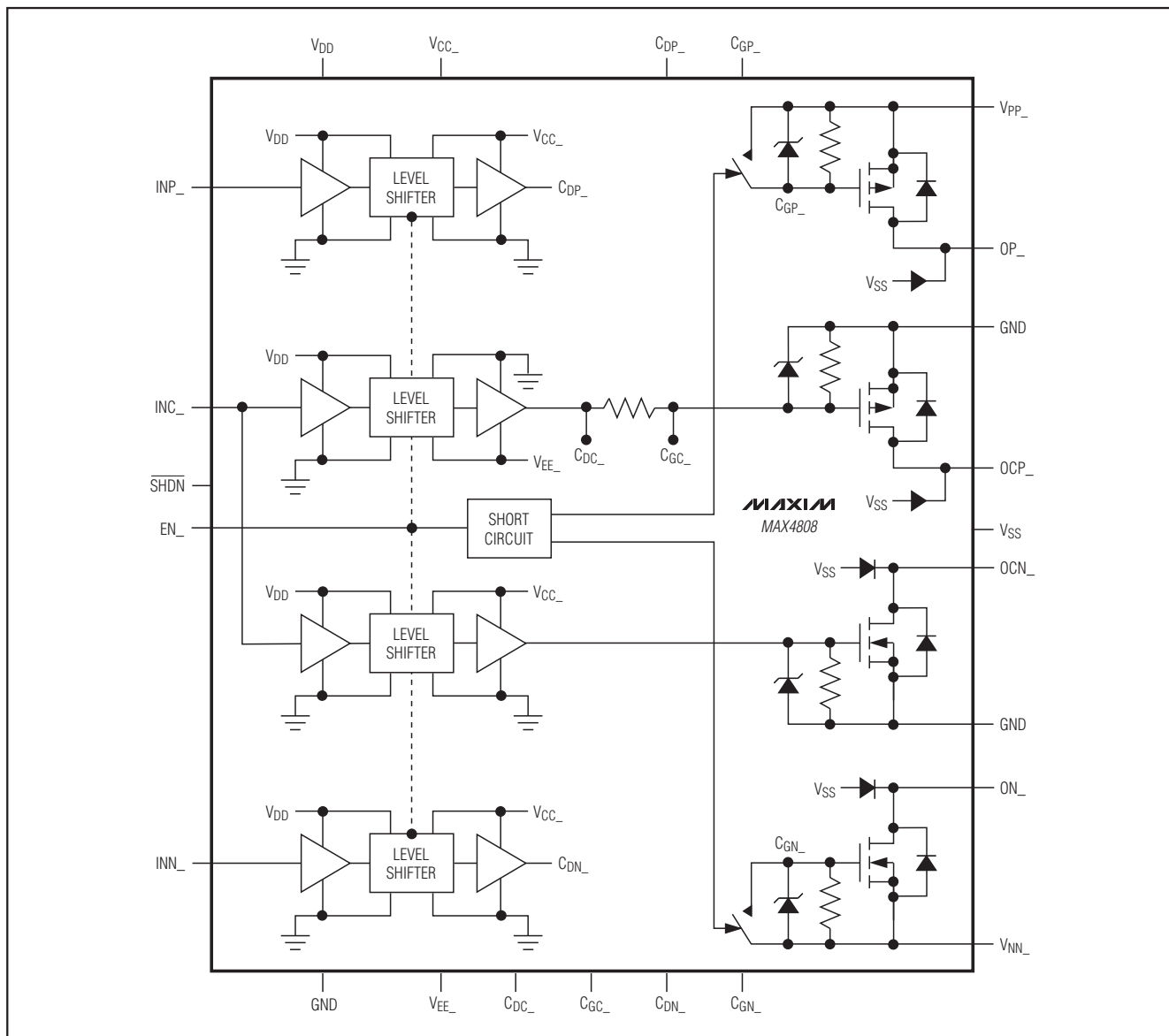


図3. MAX4808の簡略化ファンクションダイアグラム(1チャンネルの場合)

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

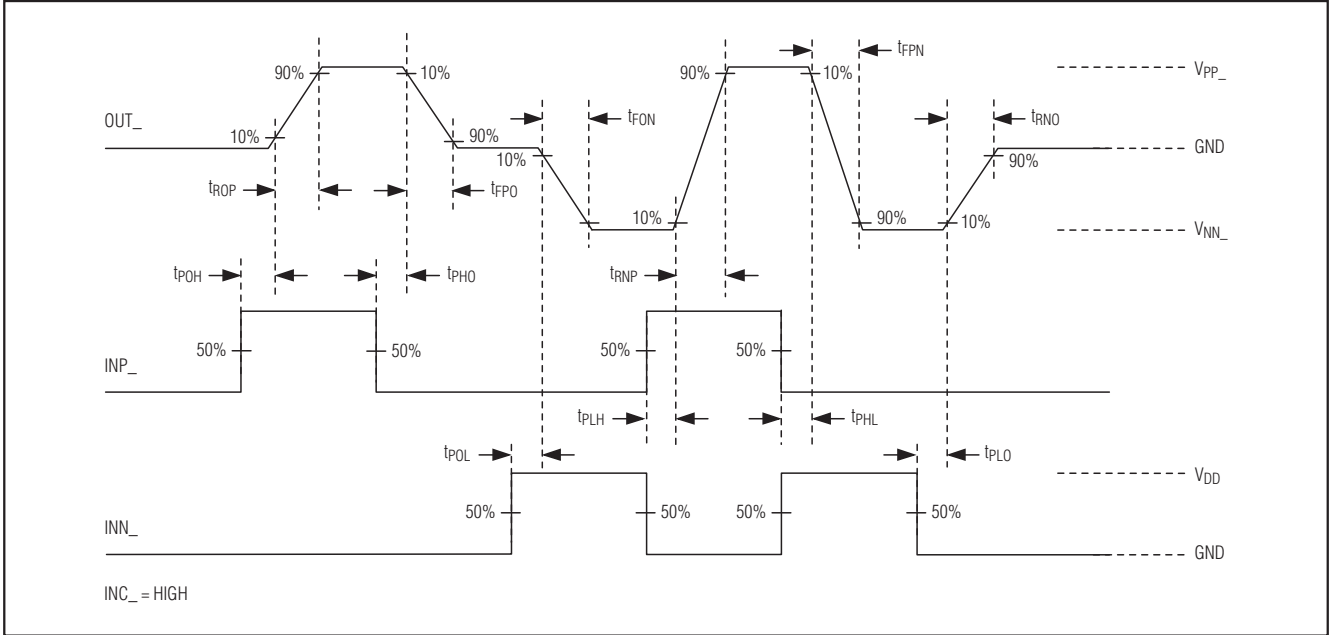


図4. タイミングの詳細($R_L = 100\Omega$ 、 $C_L = 100\text{pF}$)

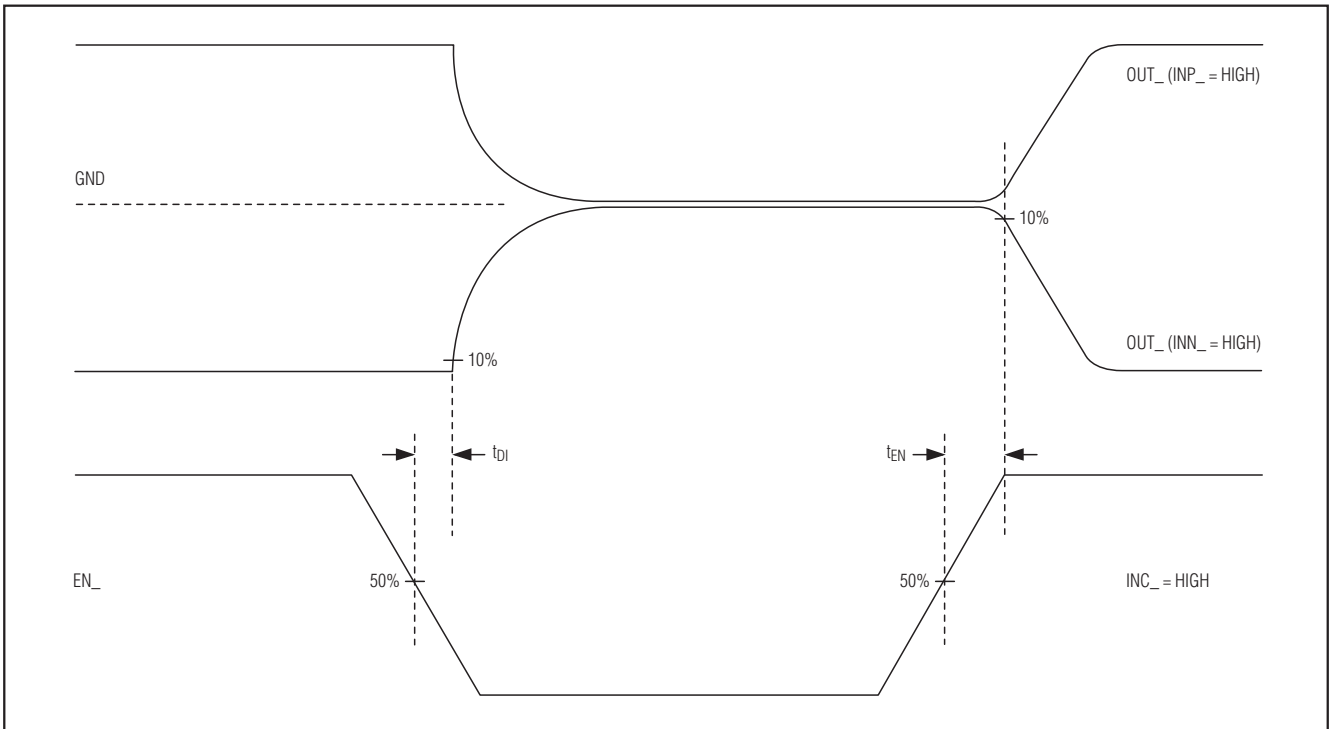


図5. イネーブルのタイミング($R_L = 100\Omega$ 、 $C_L = 100\text{pF}$)

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

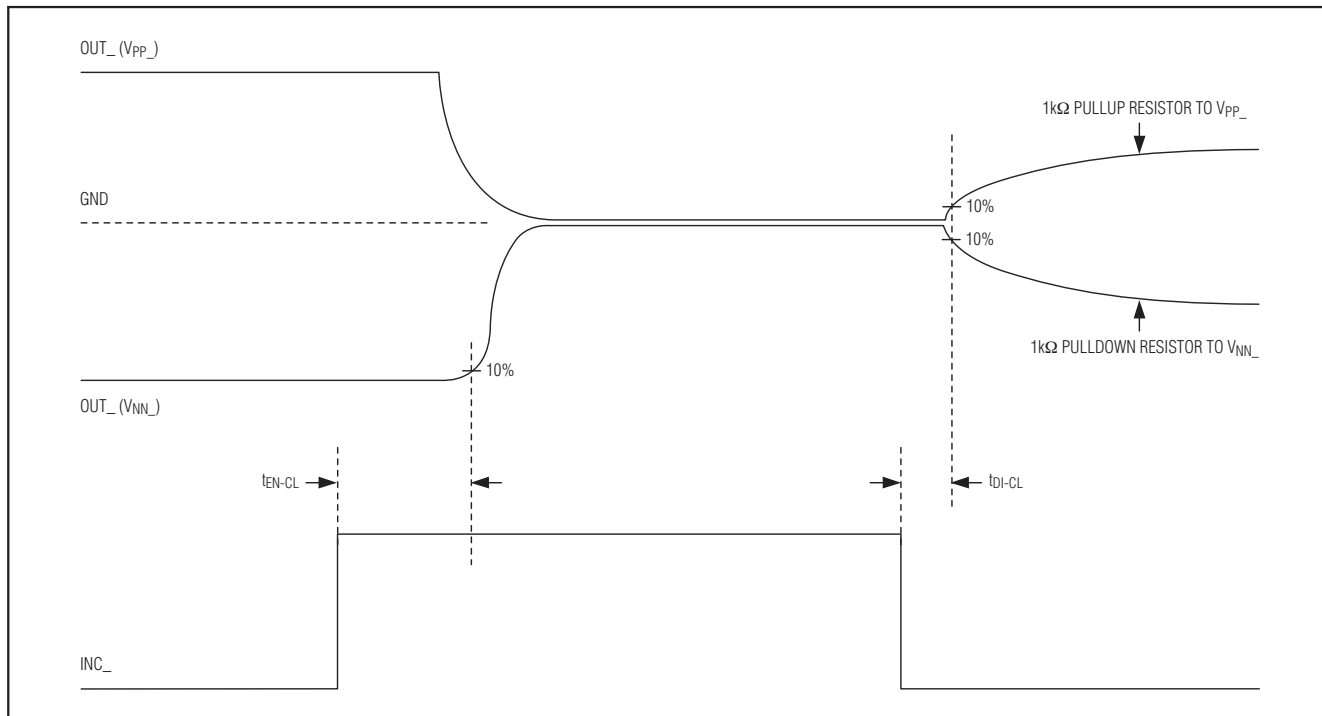


図6. アクティブクランプのタイミング

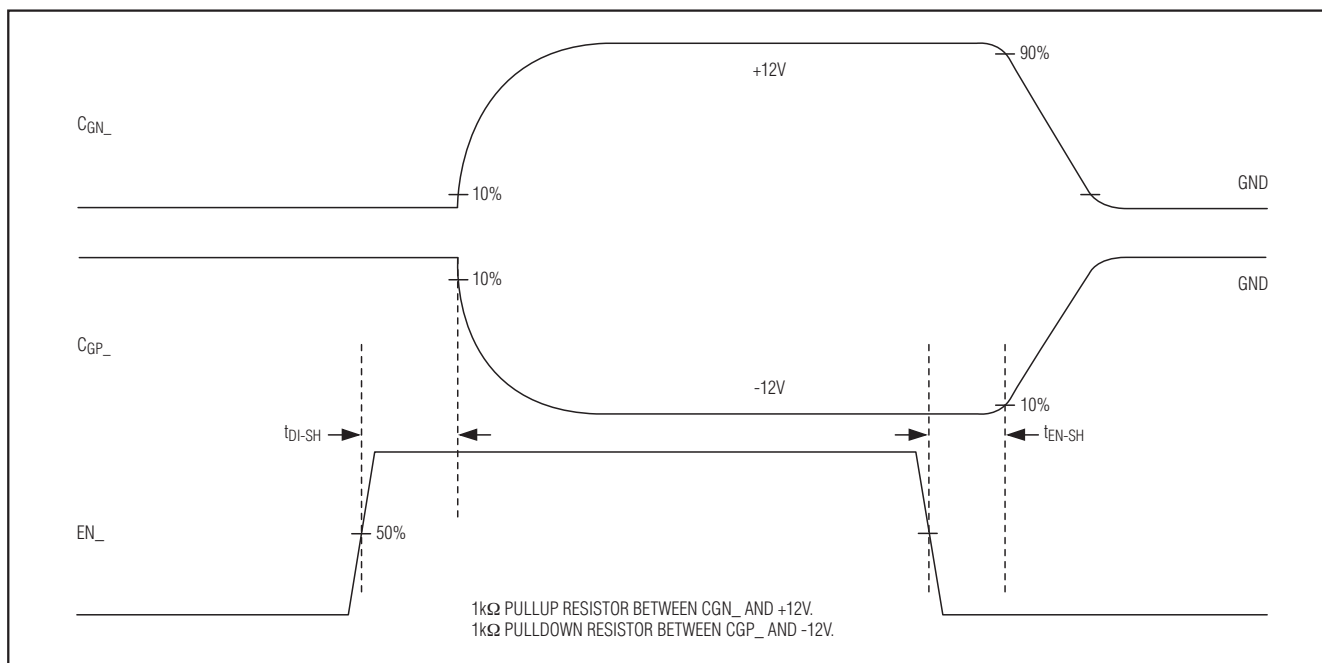


図7. 短絡のタイミング

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

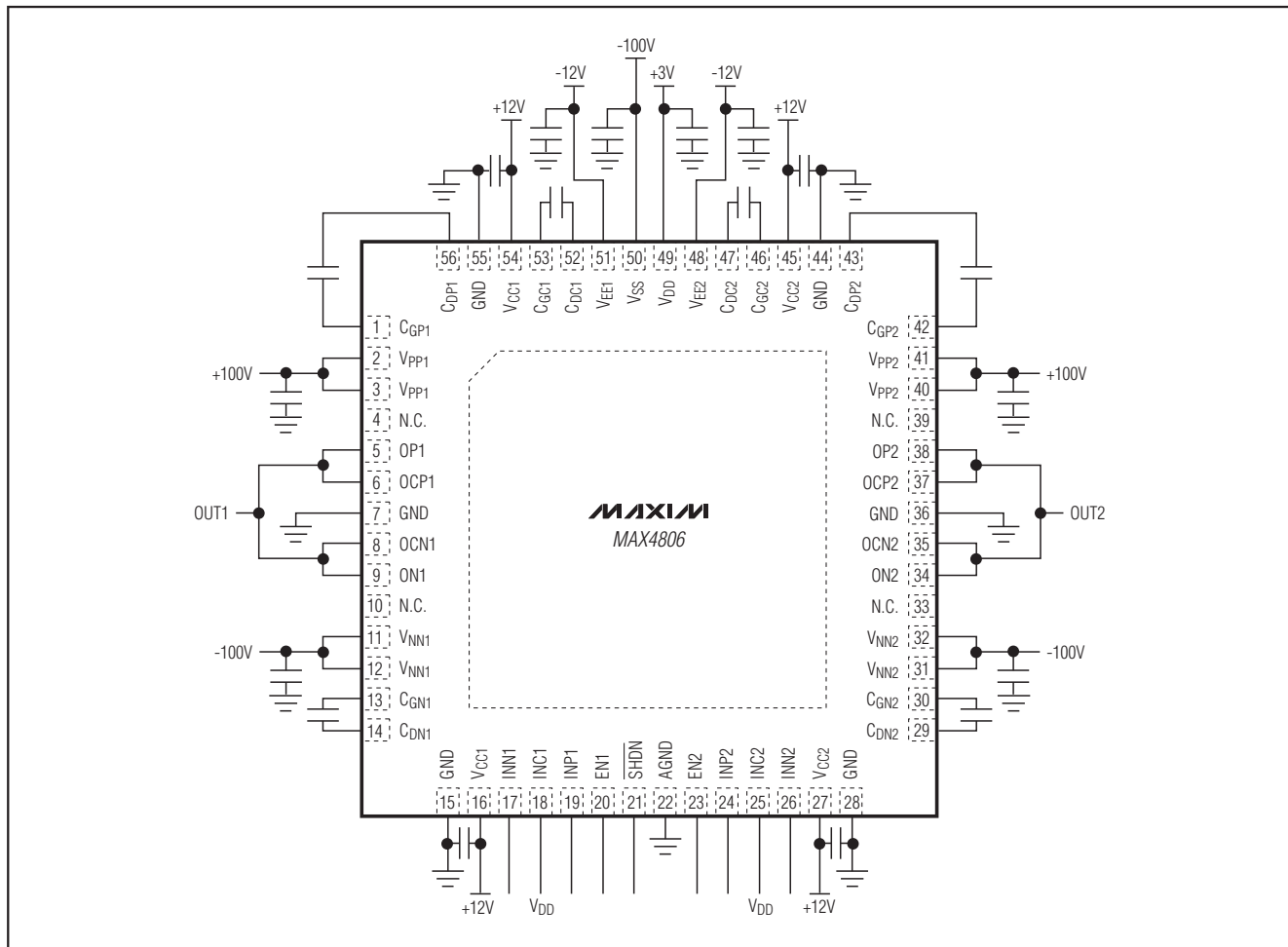


図8. MAX4806 : デュアルバイポーラパルス、±100V、GND

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

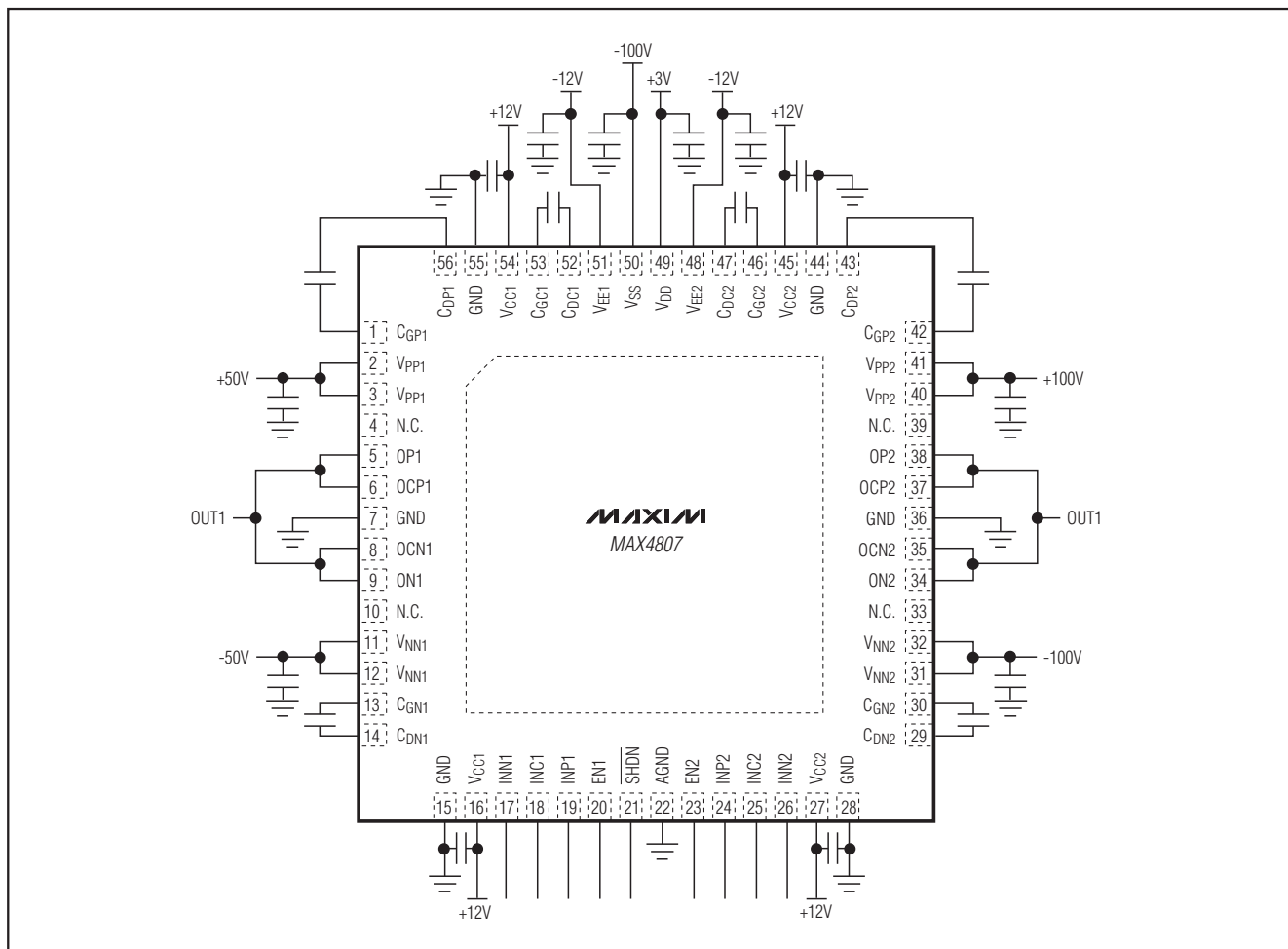


図9. MAX4807 : 5レベルのパルス、±100V、±50V、GND

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

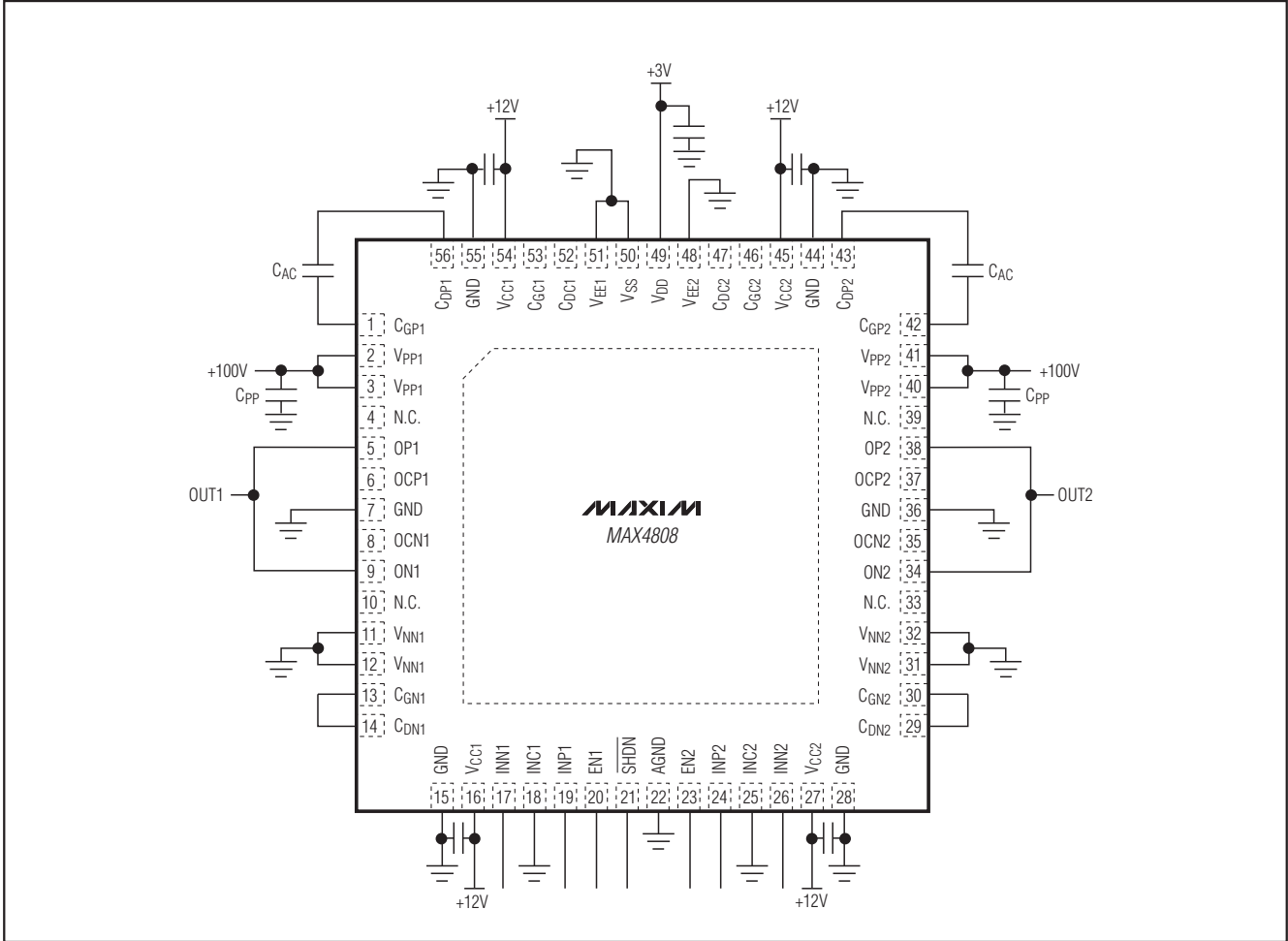


図10. MAX4808 : デュアルユニポーラパルス、+100V、GND

デュアル、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4806/MAX4807/MAX4808

パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

| パッケージタイプ | パッケージコード | ドキュメントNo. |
|----------|----------|----------------|
| 56 TQFN | T5677-1 | 21-0144 |

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**