

# MAXIM

## MAX3984の評価キット

Evaluates: MAX3984

### 概要

MAX3984の評価キット(EVキット)は、受信イコライザ付き1Gbps~10GbpsプリアンファシストライバであるMAX3984の総合的評価を提供する完全実装および試験済み検証用ボードです。

### 特長

- ◆ 完全実装および試験済み
- ◆ 完全な電氣的評価を提供

### 型番

PART	TEMP RANGE	IC PACKAGE
MAX3984EVKIT+	0°C to +85°C	16 TQFN-EP

+は鉛フリー/RoHS準拠パッケージを示します。

### 部品リスト

DESIGNATION	QTY	DESCRIPTION
C1	1	33 $\mu$ F $\pm$ 10% tantalum capacitor (B case)
C2, C3, C8	3	0.1 $\mu$ F $\pm$ 10% ceramic capacitors (0402)
C4-C7, C9, C10	6	0.01 $\mu$ F $\pm$ 5% ceramic capacitors (0402)
J1-J4	4	SMA connectors (edge-mount, tab-contact)
J6, J10, TP1, TP2, TP3, TP5	6	Test points

DESIGNATION	QTY	DESCRIPTION
JU1, JU2 JU4-JU7	6	3-pin headers (0.1in centers)
JU3	1	2-pin header (0.1in centers)
None	6	Shunts
L1	1	4.7 $\mu$ H $\pm$ 10% inductor (1008)
R1	1	4.7k $\Omega$ $\pm$ 5% resistor (0402)
U1	1	MAX3984UTE+ 16-pin TQFN-EP
None	1	PCB: MAX3984 EV kit circuit board, Rev A

### クイックスタート

クイックリファレンスには、図1を参照してください。

- 1) JU2からシャントを取り外します。
- 2) JU3にシャントを取り付けます。これによって、スケルチがディセーブルになります。スケルチをイネーブルにするには、VCCとセンタ端子の間にJU2を接続し、JU3を取り外します。
- 3) TX\_DISABLE (JU4)のGND (ロジック0)とセンタ端子の間にシャントを取り付けます。これによって、チップの出力がイネーブルになります。
- 4) IN\_LEV (JU1)のGND (ロジック0)とセンタ端子の間にシャントを取り付けます。これによってチップの入力のイコライズがディセーブルになります。
- 5) PE0 (JU5)およびPE1 (JU6)のGND (ロジック0)とセンタ端子の間にシャントを取り付けます。これに

よって、出力プリアンファシスが最小値に設定されます。設定値の完全リストについては、表1を参照してください。

- 6) OUT\_LEV (JU7)のGND (ロジック0)とセンタ端子の間にシャントを取り付けます。これによって、出力振幅が低レベルに設定されます。
- 7) +3.3V電源で+3.3V (J6)終端とGND (J10)終端に接続します。電流制限を150mAに設定します。VCC (TP2)の電源電圧を監視します。これはチップに給電する電源です。
- 8) 500mV<sub>p-p</sub>の差動信号をIN+ (J1)とIN- (J2)に印加します。
- 9) 50 $\Omega$ ケーブルを使用して、OUT+ (J3)とOUT- (J4)を50 $\Omega$ 入力終端のオシロスコープに接続します。

# MAX3984の評価キット

Evaluates: MAX3984

調整および制御の説明(先に「クイックスタート」を参照してください)

COMPONENT	NAME	FUNCTION
J1, J2	IN+, IN-	Data Input. CML input that is internally terminated with 50Ω to VCC - 1.5V.
J3, J4	OUT+, OUT-	Data Output. CML output that is internally terminated with 50Ω to VCC.
J6, J10	+3.3V, GND	Connection for a +3.3V or +3.6V Power Supply. Set the current limit to 150mA.
JU1	IN_LEV	Receive Equalization Control Input. Set to VCC (logic 1) for higher LOS assert/deassert levels and 10in FR-4 compensation. Set to GND (logic 0) for lower LOS assert/deassert levels and to bypass the FR-4 equalization.
JU2	—	LOS Pullup Termination. Connected to VCC terminates the LOS through a 4.7kΩ resistor to VCC. Connected to TP5 terminates the LOS through a 4.7kΩ resistor to +5.5V.
JU3	—	LOS Disable. Installing jumper disable the LOS. Remove jumper for normal LOS operation.
JU4	TX_DISABLE	Transmitter Disable. Set to GND (logic 0) for normal operation. Set to VCC (logic 1) or open to reduce the differential output to less than 10mV <sub>P-P</sub> .
JU5	PE0	Preemphasis Control Least Significant Bit. See Table 1 for controls.
JU6	PE1	Preemphasis Control Most Significant Bit. See Table 1 for controls.
JU7	OUT_LEV	Output-Swing Control. Set to VCC (logic 1) or open for maximum output swing. Set to GND (logic 0) for reduced swing.
TP1	LOS	Loss-of-Signal Output. Monitor with high-impedance probe.
TP2, TP3	VCC, GND	Connection for Monitoring VCC and GND
TP5	+5.5V	Connection for Alternate Pullup Voltage for LOS

表1. プリエンファシスの設定

PE1	PE0	PREEMPHASIS (dB)
0	0	3.5
0	1	6.5
1	0	9.5
1	1	13

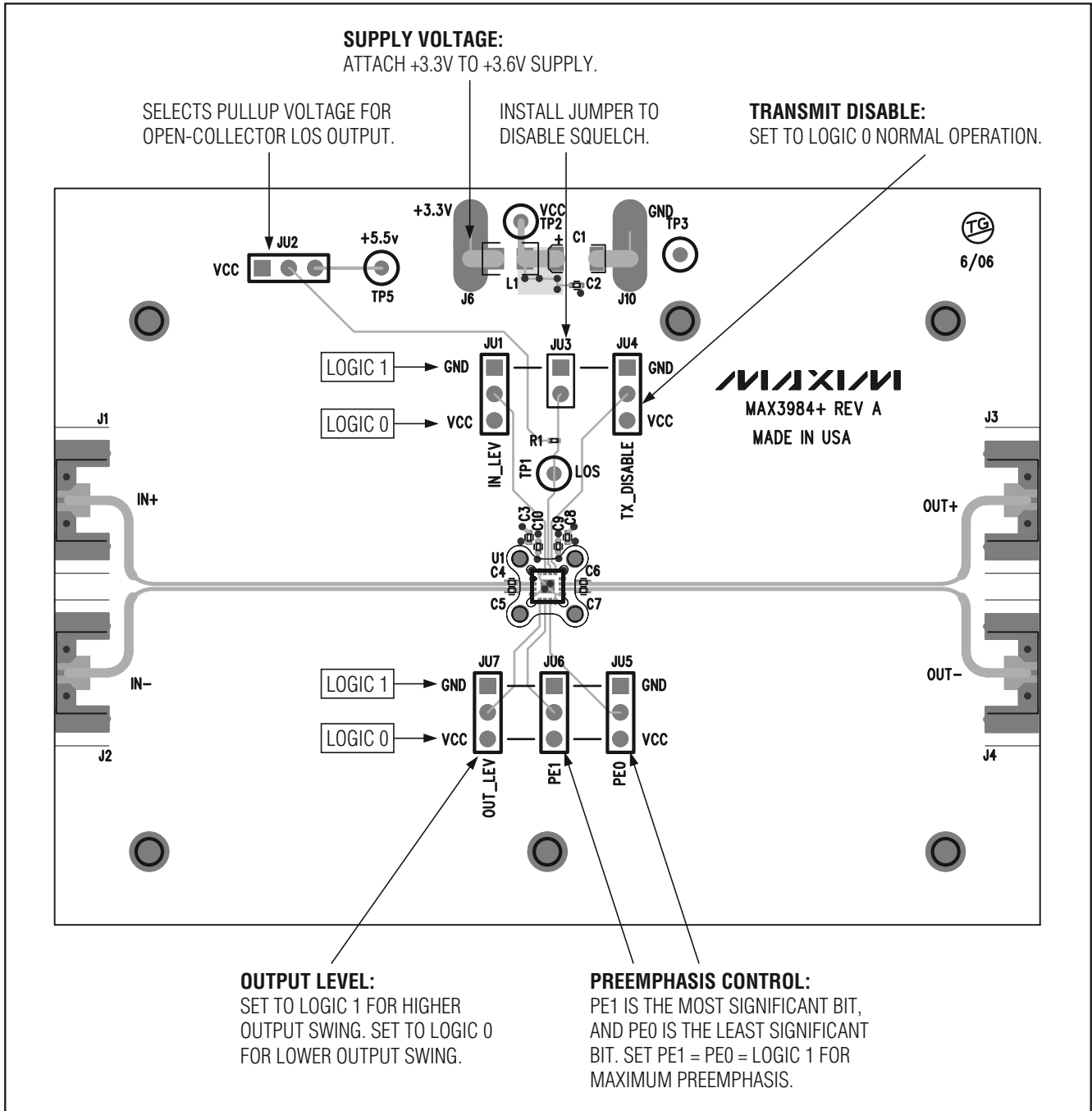


図1. MAX3984のEVキットクイックリファレンス

# MAX3984の評価キット

Evaluates: MAX3984

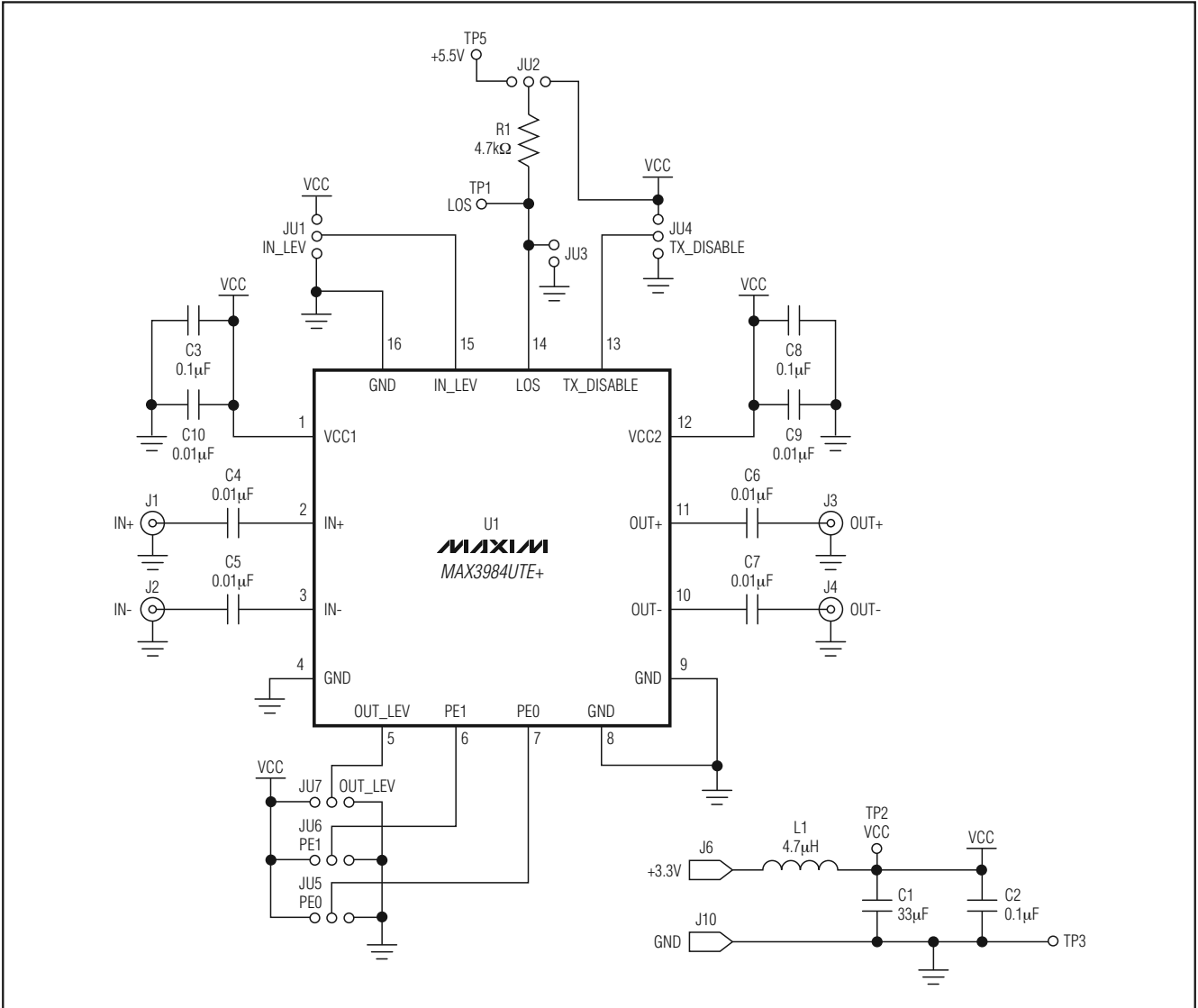


図2. MAX3984のEVキット回路図

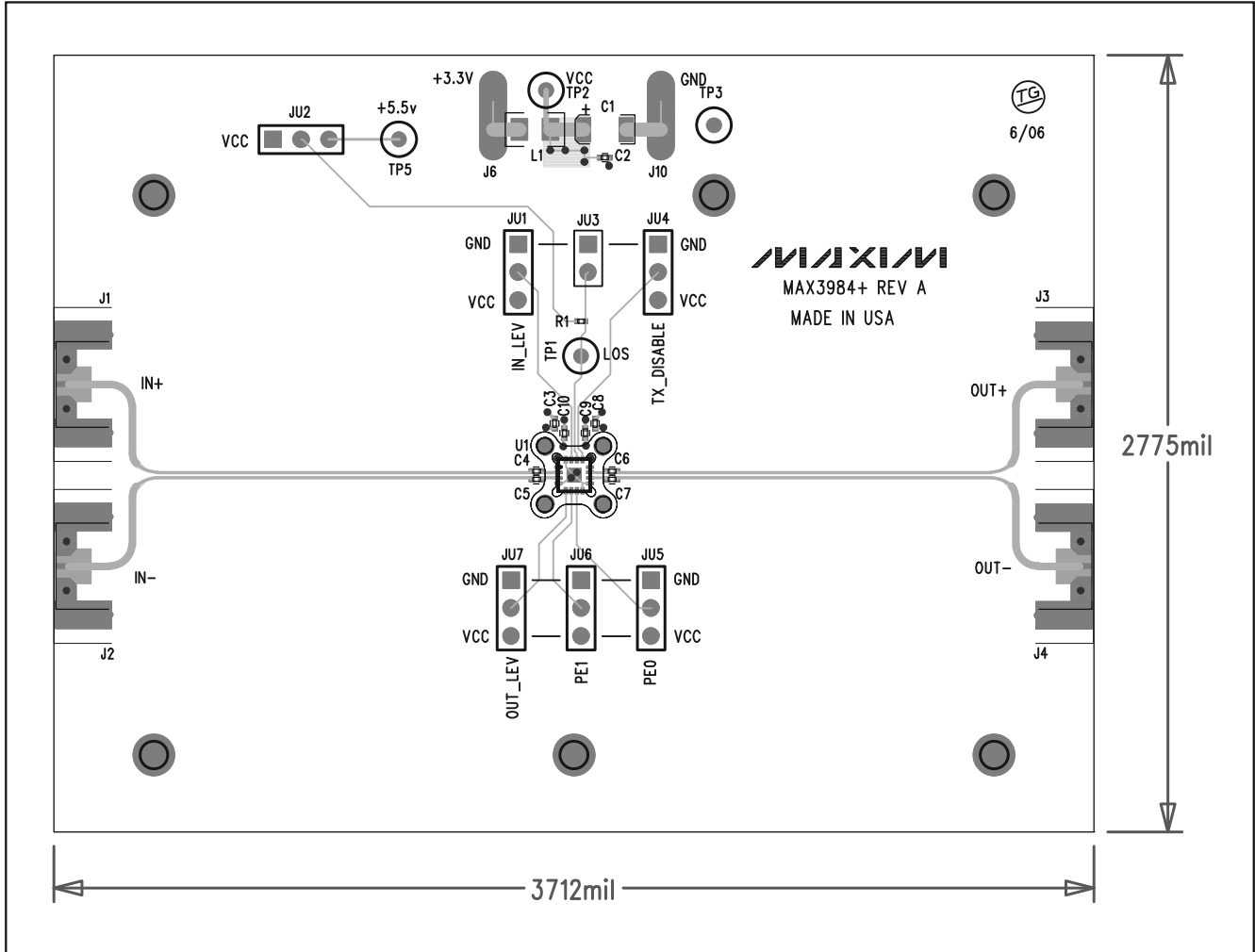


図3. MAX3984のEVキットの部品配置ガイド—部品面側

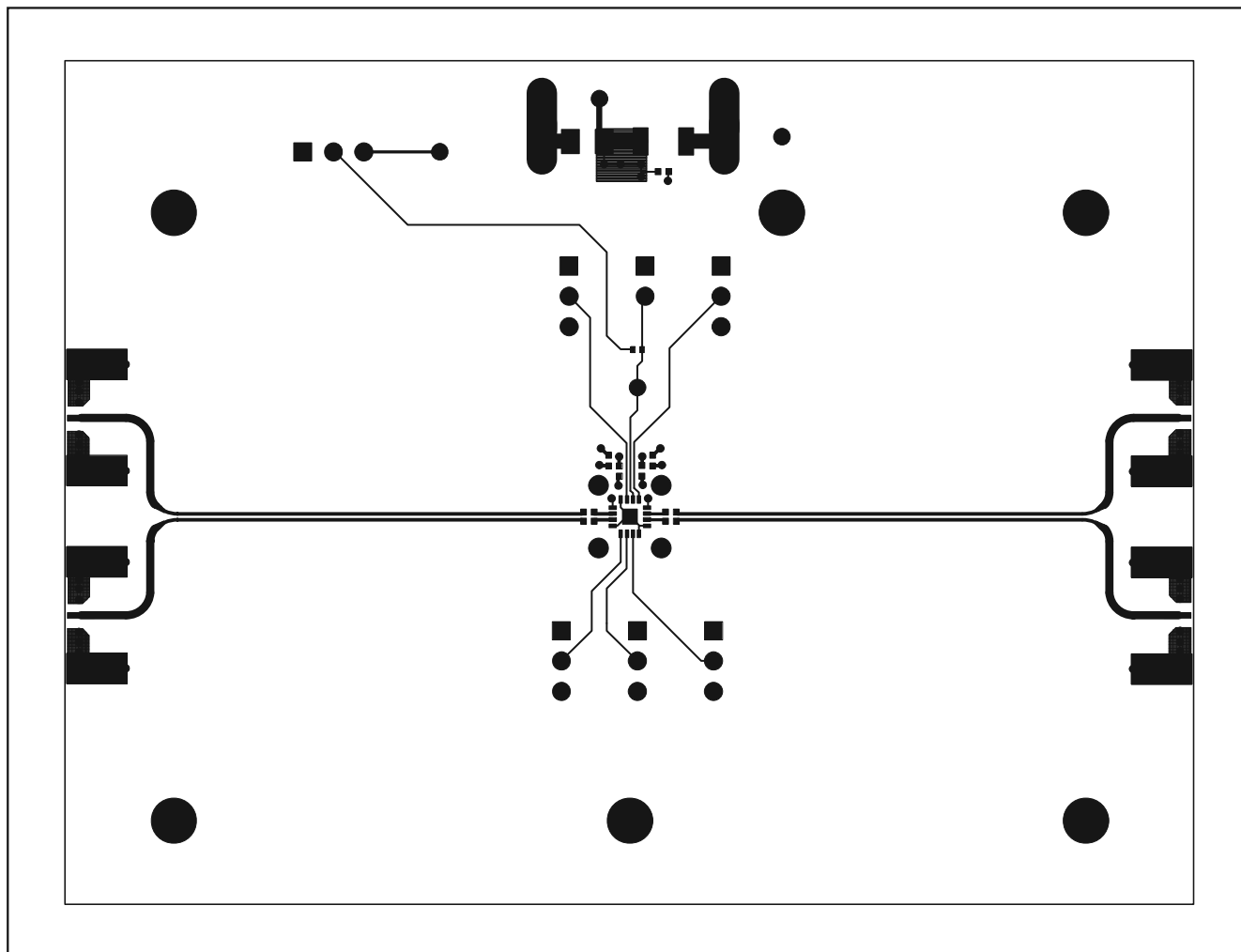


図4. MAX3984のEVキットのPCBレイアウト—部品面側、第1層

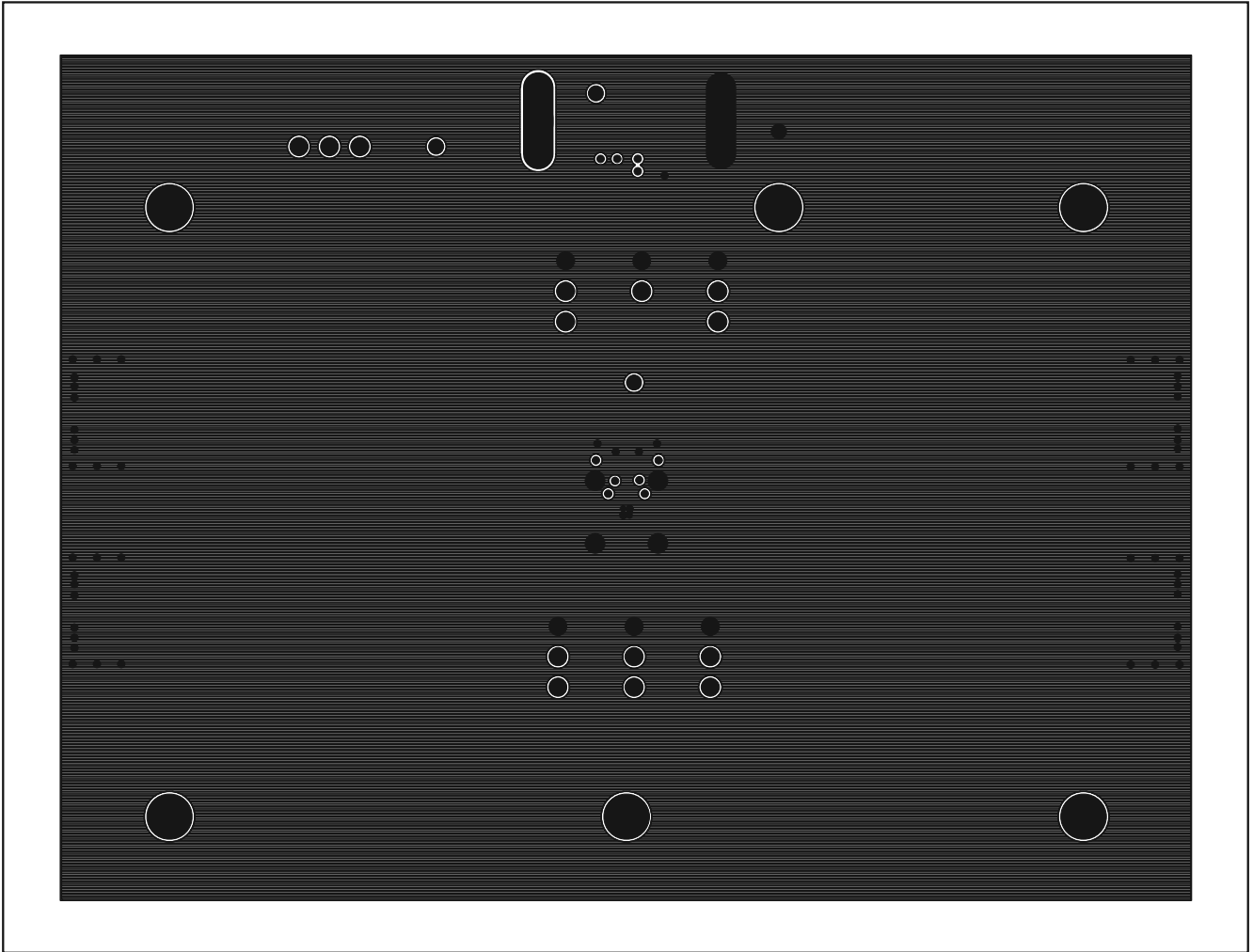


図5. MAX3984のEVキットのPCBレイアウト—グランドプレーン、第2層

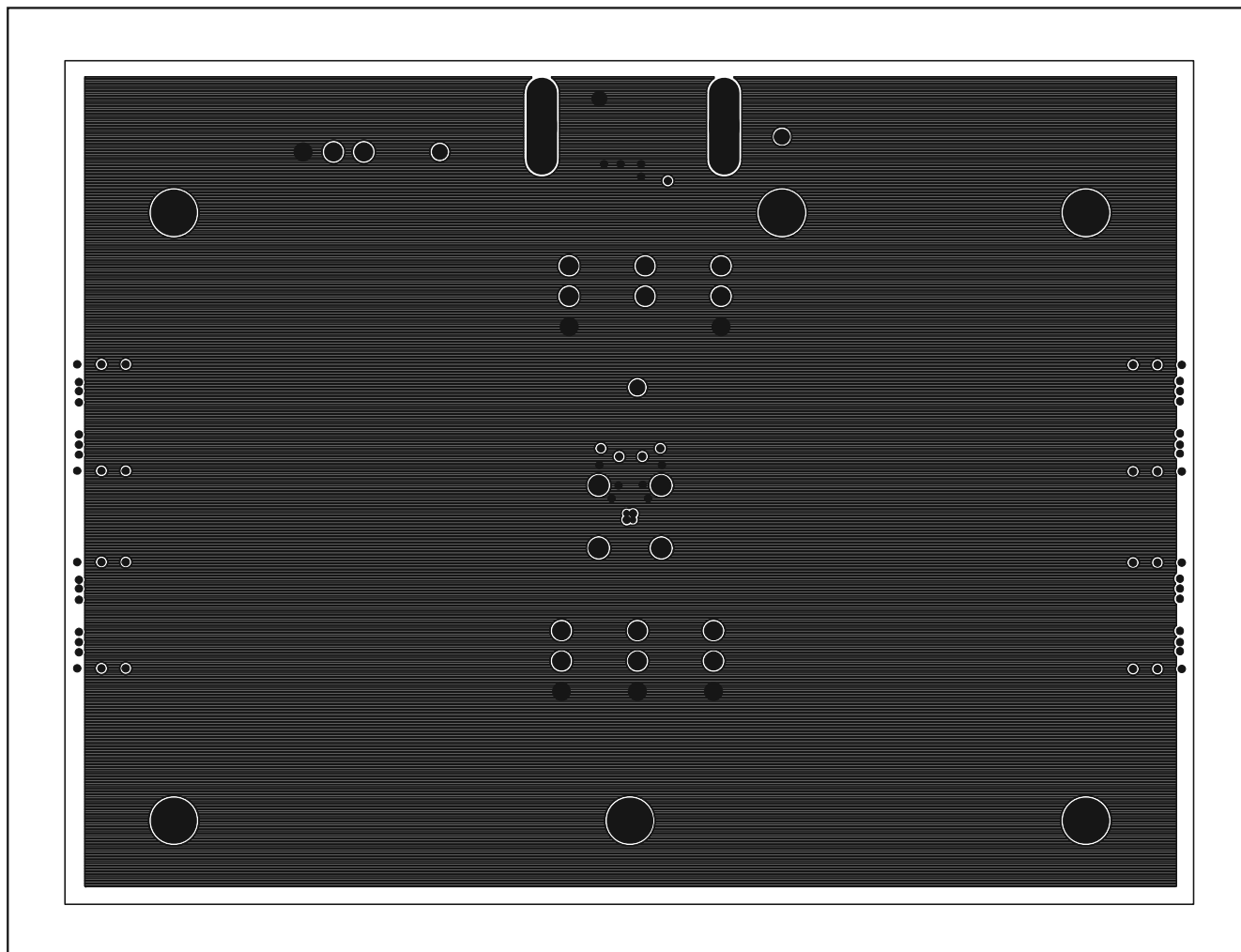


図6. MAX3984のEVキットのPCBレイアウト—電源プレーン、第3層



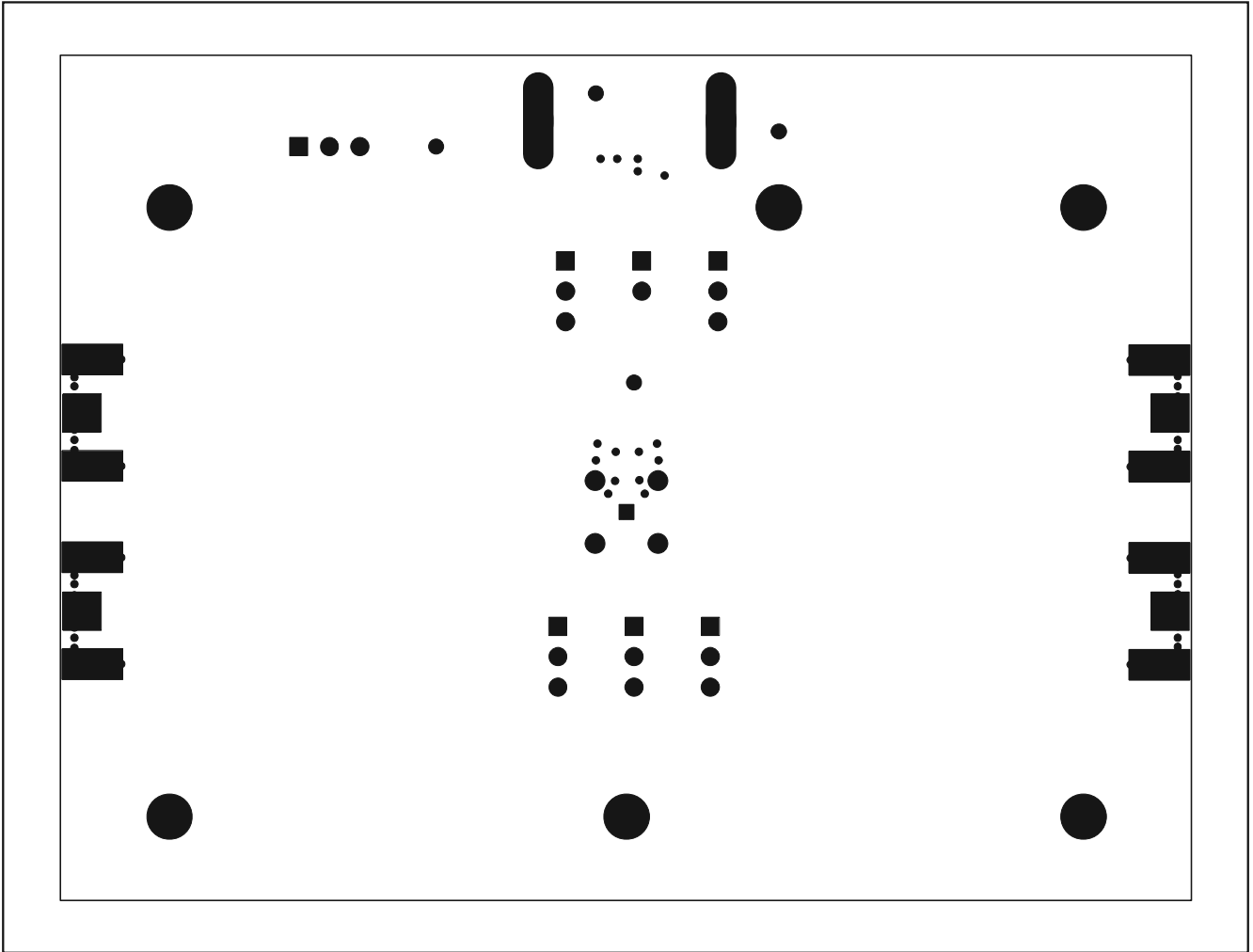


図7. MAX3984のEVキットのPCBレイアウト—下面、第4層

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ 9