19-5144; Rev 0; 2/10

EVALUATION KIT AVAILABLE

# 1.0625Gbps～11.3Gbps、SFP+デュアルパスリミティングアンプ

MAX3945

## 概要

MAX3945は、+3.3V、マルチレート、低電力リミティングアンプであり、最大11.3Gbpsのデータレートのファイバチャネルおよびイーサネット伝送システム向けに最適化されています。この高感度リミティングアンプは、トランスインピーダンスアンプによって生成される信号をCMLレベルの差動出力信号に制限します。すべての差動入出力(I/O)は、50Ω伝送ラインのPCB設計に最適な逆終端を備えています。MAX3945のデュアルパスリミティングアンプは、多様なデータレート向けに感度を最適化し、一部の光システムで発生する可能性のある緩和発振を抑制するためのプログラマブルフィルタを備えています。MAX3945は、2組のロスオブシグナル(LOS)回路と、LOS出力用のプログラマブルなタイムマスクを内蔵しています。

3線式ディジタルインタフェースによってピン数が減少するとともに、外付け部品を必要とせずに、LOSスレッショルド、LOS極性、LOSモード、CML出力レベル、入力オフセット補正、受信(Rx)極性、Rx入力フィルタ、およびRxデエンファシスの制御が可能になっています。

MAX3945は、3mm×3mmの16ピンTQFNパッケージに封止されています。

## アプリケーション

1x/2x/4x/8x SFF/SFP/SFP+ MSAファイバチャネル光トランシーバ

10GBASE-SR/LR SFP+光トランシーバ

10G PON ONU

## 型番

| PART | TEMP RANGE | PIN-PACKAGE |
|---|---|---|
| MAX3945ETE+ | -40°C to +85°C | 16 TQFN-EP* |

+は鉛(Pb)フリー/RoHS準拠パッケージを示します。
*EP = エクスポーズドパッド

**標準アプリケーション回路はデータシートの最後に記載されています。**

## 特長

- 130mWの消費電力によって1W以下のSFP+モジュールを実現可能
- 単一モジュール設計での1000BASE-SX/LXおよび10GBASE-SR/LR仕様への準拠が可能
- 光感度：-25.3dBm (1.25Gbps、10.32Gbps ROSA使用時)
- RATE_SEL = 0設定時に1GHz/2.1GHz/2.5GHz/3GHzの入力フィルタを選択可能
- SFF-8431 SFP+ MSAおよびSFF-8472のディジタル診断をサポート
- 総消費電力：130mW (3.3V電源、RSSIモニタベースのLOS)
- 総消費電力：154mW (3.3V電源、Rx入力ベースのLOS)
- 入力感度：4mV$_{P-P}$ (11.3Gbps)
- 11.3GbpsでのDJ：4ps$_{P-P}$ (RATE_SEL = 1)
- 8.5GbpsでのDJ：4ps$_{P-P}$ (RATE_SEL = 1)
- 4.25GbpsでのDJ：5ps$_{P-P}$ (RATE_SEL = 0、BW1 = 1、BW0 = 1)
- 1.25GbpsでのDJ：9.0ps$_{P-P}$ (RATE_SEL = 0、BW1 = 0、BW0 = 0)
- 立上り/立下り時間：26ps (RATE_SEL = 1)
- 立上り/立下り時間：52ps (RATE_SEL = 0)
- レベル調整とスケルチモードを備えたCML出力
- プログラマブルなCML出力デエンファシス
- CML出力極性選択
- LOS極性選択
- LOS出力用のプログラマブルなマスキング時間
- LOSアサート/アサート解除レベル調整
- Rx入力ベースのLOSまたはRSSIモニタベースのLOSを選択可能
- MaximのSFP+製品ファミリと互換性のある3線式ディジタルインタフェース

# 1.0625Gbps～11.3Gbps、SFP+デュアルパスリミティングアンプ

## ABSOLUTE MAXIMUM RATINGS

$V_{CC}$ .....-0.3V to +4.0V
Voltage Range at SDA, SCL, CSEL, LOS, CAZ, RPMIN..... -0.3V to ($V_{CC}$ + 0.3V)
Voltage Range at ROUT+, ROUT-.....($V_{CC}$ - 2V) to ($V_{CC}$ + 0.3V)
Voltage Range at RIN+, RIN-.....($V_{CC}$ - 1.7V) to ($V_{CC}$ + 0.3V)
Current Range Into LOS..... -1mA to +5mA
Current Range Into SDA ..... -1mA to +1mA
Current Out of ROUT+, ROUT- .....40mA
Continuous Power Dissipation ($T_A$ = +70°C)
16-Pin TQFN (derate 14.7mW/°C above +70°C).....1.176W
Operating Junction Temperature Range ..... -55°C to +150°C
Storage Temperature Range..... -65°C to +160°C
Lead Temperature (soldering, 10s) .....+300°C
Soldering Temperature (reflow) .....+260°C

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## ELECTRICAL CHARACTERISTICS

($V_{CC}$ = 2.85V to 3.63V, CML receiver output is AC-coupled to differential 100Ω load, $C_{CAZ}$ = 0.1µF, $T_A$ = -40°C to +85°C. Registers are set to default values, unless otherwise noted. Typical values are at $V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| **POWER SUPPLY** | | | | | | |
| Power-Supply Current | $I_{CC}$ | Includes the CML output current, $V_{DIFF\_ROUT}$ = 400m$V_{P-P}$, RXDE_EN = 0, LOS1_EN = 1, LOS2_EN = 0 | | 46.6 | 62 | mA |
| | | Includes the CML output current, $V_{DIFF\_ROUT}$ = 400m$V_{P-P}$, RXDE_EN = 0, LOS1_EN = 0, LOS2_EN = 1 | | 39.4 | 52.5 | |
| Power-Supply Voltage | $V_{CC}$ | | 2.85 | | 3.63 | V |
| Power-Supply Noise | | f < 10MHz | | | 100 | m$V_{P-P}$ |
| | | 10MHz < f < 20MHz | | | 10 | |
| **GENERAL** | | | | | | |
| Input Data Rate | | | 1.06 | 10.32 | 11.3 | Gbps |
| Input/Output SNR | | | 14.1 | | | |
| BER | | | | | 10E-12 | |
| **POWER-ON RESET (POR)** | | | | | | |
| POR Deassert Threshold | | | | 2.55 | 2.75 | V |
| POR Assert Threshold | | | 2.3 | 2.45 | | V |
| **INPUT SPECIFICATIONS** | | | | | | |
| Differential Input Resistance RIN+/RIN- | $R_{IN\_DIFF}$ | | 75 | 100 | 125 | Ω |
| Input Sensitivity (Note 1) | $V_{INMIN}$ | RATE_SEL = 1, input transition time 25ps, 10.32Gbps, PRBS23-1 pattern | | 4 | 8 | m$V_{P-P}$ |
| | | RATE_SEL = 0, input transition time 260ps, 1.25Gbps, K28.5 pattern | | 1 | 2 | |
| Input Overload | $V_{INMAX}$ | | 1.2 | | | $V_{P-P}$ |
| Input Return Loss | SDD11 | DUT is powered on, f ≤ 5GHz | | 10 | | dB |
| | | DUT is powered on, f ≤ 16GHz | | 7 | | |
| | SCC11 | DUT is powered on, 1GHz < f ≤ 5GHz | | 13 | | dB |
| | | DUT is powered on, 1GHz < f ≤ 16GHz | | 5 | | |
| RPMIN Input-Current High | $I_{IH}$ | LOS1_EN = 0 and LOS2_EN = 1, $V_{RPMIN}$ = 2V | | 50 | | nA |

## ELECTRICAL CHARACTERISTICS (continued)

($V_{CC}$ = 2.85V to 3.63V, CML receiver output is AC-coupled to differential 100Ω load, $C_{CAZ}$ = 0.1µF, $T_A$ = -40°C to +85°C. Registers are set to default values, unless otherwise noted. Typical values are at $V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| External RPMIN Filter Capacitor | | | 100 | | | pF |
| **OUTPUT SPECIFICATIONS** | | | | | | |
| Differential Output Resistance ROUT+/ROUT- | $R_{OUTDIFF}$ | | 75 | 100 | 125 | Ω |
| Output Return Loss | SDD22 | DUT is powered on, f ≤ 5GHz | | 13 | | dB |
| | | DUT is powered on, f ≤ 16GHz | | 7 | | |
| | SCC22 | DUT is powered on, 1GHz < f ≤ 5GHz | | 10 | | |
| | | DUT is powered on, 1GHz < f ≤ 16GHz | | 6 | | |
| Differential Output-Voltage High | | $5mV_{P-P} \le V_{IN} \le 1200mV_{P-P}$, RATE_SEL = 0, SET_CML[7:0] = 169d (decimal) | 595 | 800 | 1005 | $mV_{P-P}$ |
| | | $10mV_{P-P} \le V_{IN} \le 1200mV$, RATE_SEL = 1, SET_CML[7:0] = 181d | 595 | 800 | 1005 | |
| Differential Output-Voltage Medium | | $10mV_{P-P} \le V_{IN} \le 1200mV_{P-P}$, RATE_SEL = 1, SET_CML[7:0] = 91d | 300 | 400 | 515 | $mV_{P-P}$ |
| SET_CML DAC Range | | | 60 | | 255 | Decimal |
| Differential Output Signal When Squelched (Note 1) | | Outputs AC-coupled, SET_CML[7:0] = 181d, at 8.5Gbps, SQ_EN = 1 | | 6 | 15 | $mV_{P-P}$ |
| Data Output Transition Time (20% to 80%) (Note 1) | $t_R/t_F$ | $60mV_{P-P} \le V_{IN} \le 400mV_{P-P}$ at 10.32Gbps, RATE_SEL = 1, $V_{DIFF\_ROUT} = 400mV_{P-P}$, RXDE_EN = 0, input transition time 25ps, pattern 11110000 | | 26 | 35 | ps |
| | | $10mV_{P-P} \le V_{IN} \le 1200mV_{P-P}$ at 1.25Gbps, RATE_SEL = 0, $V_{DIFF\_ROUT} = 800mV_{P-P}$, input transition time 260ps, pattern 11110000 | | 52 | 90 | |
| **TRANSFER CHARACTERISTICS** | | | | | | |
| Deterministic Jitter (Notes 1, 2) | DJ | $10mV_{P-P} \le V_{IN} \le 1200mV_{P-P}$ at 8.5Gbps, RATE_SEL = 1, $V_{DIFF\_ROUT} = 400mV_{P-P}$, RXDE_EN = 0, input transition time 28ps | | 4 | 8 | $ps_{P-P}$ |
| | | $60mV_{P-P} \le V_{IN} \le 400mV_{P-P}$ at 10.32Gbps, RATE_SEL = 1, $V_{DIFF\_ROUT} = 400mV_{P-P}$, RXDE_EN = 0, input transition time 28ps | | 4 | 9 | |
| | | $60mV_{P-P} \le V_{IN} \le 400mV_{P-P}$ at 11.3Gbps, RATE_SEL = 1, $V_{DIFF\_ROUT} = 400mV_{P-P}$, RXDE_EN = 0, input transition time 28ps | | 4 | 9 | |
| | | $10mV_{P-P} \le V_{IN} \le 1200mV_{P-P}$ at 1.25Gbps, RATE_SEL = 0, BW1 = 0, BW0 = 0, $V_{DIFF\_ROUT} = 800mV_{P-P}$, input transition time 260ps | | 9 | 30 | |
| | | $10mV_{P-P} \le V_{IN} \le 1200mV_{P-P}$ at 4.25Gbps, RATE_SEL = 0, BW1 = 1, BW0 = 1, $V_{DIFF\_ROUT} = 800mV_{P-P}$, input transition time 28ps | | 5 | 10 | |

## ELECTRICAL CHARACTERISTICS (continued)

($V_{CC}$ = 2.85V to 3.63V, CML receiver output is AC-coupled to differential 100Ω load, $C_{CAZ}$ = 0.1µF, $T_A$ = -40°C to +85°C. Registers are set to default values, unless otherwise noted. Typical values are at $V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| Random Jitter (Note 1) | RJ | Input = 60mVP-P at 10.32Gbps, RATE_SEL = 1, RXDE_EN = 0, input transition time 28ps, pattern 11110000, $V_{DIFF\_ROUT}$ = 800mVP-P | | 0.28 | 0.51 | psRMS |
| Low-Frequency Cutoff (Simulated Value) | | RATE_SEL = 0, $C_{CAZ}$ = 0.1µF | | 2 | | kHz |
| | | RATE_SEL = 1, $C_{CAZ}$ = 0.1µF | | 0.7 | | |
| Small-Signal Bandwidth (Simulated Value) | $f_{3dB}$ | RATE_SEL = 0, BW1 = 0, BW0 = 0 | | 1.0 | | GHz |
| | | RATE_SEL = 0, BW1 = 0, BW0 = 1 | | 2.1 | | |
| | | RATE_SEL = 0, BW1 = 1, BW0 = 0 | | 2.5 | | |
| | | RATE_SEL = 0, BW1 = 1, BW0 = 1 | | 3.0 | | |
| | | RATE_SEL = 1 | | 9 | | |
| **Rx INPUT-BASED LOS SPECIFICATIONS (LOS1_EN = 1 and LOS2_EN = 0) (Note 1)** | | | | | | |
| LOS Assert Sensitivity Range | | (Note 3) | 14 | | 77 | mVP-P |
| SET_LOS DAC Range | | | 7 | | 63 | Decimal |
| LOS Hysteresis | | 10log($V_{DEASSERT}$/$V_{ASSERT}$) | 1.25 | 2.1 | | dB |
| LOS Assert/Deassert Time | | (Note 4) | 2.3 | 20 | 80 | µs |
| Low Assert Level | | SET_LOS[5:0] = 7d (Note 3) | 8 | 11 | 14 | mVP-P |
| Low Deassert Level | | | 14 | 18 | 22 | |
| Medium Assert Level | | SET_LOS[5:0] = 32d (Note 3) | 39 | 49 | 58 | mVP-P |
| Medium Deassert Level | | | 65 | 82 | 95 | |
| High Assert Level | | SET_LOS[5:0] = 63d (Note 3) | 77 | 96 | 112 | mVP-P |
| High Deassert Level | | | 127 | 158 | 182 | |
| LOS Output Masking Time Range | | SET_LOSTIMER[6:0] = 0d for minimum and SET_LOSTIMER[6:0] = 127d for maximum | 0 | | 2920 | µs |
| LOS Output Masking DAC Resolution | | SET_LOSTIMER[6:0] = 1d to 127d | 23 | 35 | 50 | µs |
| **RSSI MONITOR-BASED LOS SPECIFICATIONS (LOS1_EN = 0 and LOS2_EN = 1) (Note 1)** | | | | | | |
| LOS Assert Sensitivity Range | | (Note 5) | 8.3 | | 90 | mV |
| SET_LOS DAC Range | | | 4 | | 63 | Decimal |
| LOS Hysteresis | | 10log($V_{DEASSERT}$/$V_{ASSERT}$) | 1.25 | 2.1 | | dB |
| LOS Assert/Deassert Time | | (Note 4) | 2.3 | 20 | 80 | µs |
| Low Assert Level | | SET_LOS[5:0] = 4d (Note 5) | 5.1 | 6.7 | 8.3 | mV |
| Low Deassert Level | | | 9.0 | 10.8 | 12.7 | |
| Medium Assert Level | | SET_LOS[5:0] = 32d (Note 5) | 45 | 50 | 55 | mV |
| Medium Deassert Level | | | 77 | 85 | 92 | |
| High Assert Level | | SET_LOS[5:0] = 63d (Note 5) | 90 | 98 | 106 | mV |
| High Deassert Level | | | 153 | 167 | 180 | |
| LOS Output Masking Time Range | | SET_LOSTIMER[6:0] = 0d for minimum and SET_LOSTIMER[6:0] = 127d for maximum | 0 | | 2920 | µs |
| LOS Output Masking DAC Resolution | | SET_LOSTIMER[6:0] = 1d to 127d | 23 | 35 | 50 | µs |

## ELECTRICAL CHARACTERISTICS (continued)

($V_{CC}$ = 2.85V to 3.63V, CML receiver output is AC-coupled to differential 100Ω load, $C_{CAZ}$ = 0.1µF, $T_A$ = -40°C to +85°C. Registers are set to default values, unless otherwise noted. Typical values are at $V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| **OUTPUT LEVEL VOLTAGE DAC (SET_CML)** | | | | | | |
| Full-Scale Voltage | $V_{FS}$ | 100Ω differential resistive load, RXDE_EN = 0 | | 1192 | | $mV_{P-P}$ |
| | | 100Ω differential resistive load, RATE_SEL = 1, RXDE_EN = 1, RXDE1 = 1, RXDE0 = 1 (maximum deemphasis) | | 828 | | |
| Resolution | | 100Ω differential resistive load, RXDE_EN = 0 | | 4.5 | | $mV_{P-P}$ |
| | | 100Ω differential resistive load, RATE_SEL = 1, RXDE_EN = 1, RXDE1 = 1, RXDE0 = 1 (maximum deemphasis) | | 3.3 | | |
| Integral Nonlinearity | INL | SET_CML[7:0] > 60d | | ±0.9 | | LSB |
| **LOS THRESHOLD VOLTAGE DAC (SET_LOS)** | | | | | | |
| Full-Scale Voltage | $V_{FS}$ | LOS1_EN = 1, LOS2_EN = 0 | | 96 | | $mV_{P-P}$ |
| | | LOS1_EN = 0, LOS2_EN = 1 | | 98 | | mV |
| Resolution | | LOS1_EN = 1, LOS2_EN = 0 | | 1.52 | | $mV_{P-P}$ |
| | | LOS1_EN = 0, LOS2_EN = 1 | | 1.56 | | mV |
| Integral Nonlinearity | INL | SET_LOS[5:0] > 3d | | ±0.7 | | LSB |
| **CONTROL I/O SPECIFICATIONS** | | | | | | |
| LOS Output High Voltage | $V_{OH}$ | $R_{LOS}$ = 4.7kΩ to 10kΩ to $V_{CC}$ | $V_{CC}$ - 0.5 | | $V_{CC}$ | V |
| LOS Output Low Voltage | $V_{OL}$ | $R_{LOS}$ = 4.7kΩ to 10kΩ to $V_{CC}$ | 0 | | 0.4 | V |
| **3-WIRE DIGITAL I/O SPECIFICATIONS (SDA, CSEL, SCL)** | | | | | | |
| Input High Voltage | $V_{IH}$ | | 2.0 | | $V_{CC}$ | V |
| Input Low Voltage | $V_{IL}$ | | | | 0.8 | V |
| Input Hysteresis | $V_{HYST}$ | | | 0.082 | | V |
| Input Leakage Current | $I_{IL,IH}$ | $V_{IN}$ = 0V or $V_{CC}$, internal pullup or pulldown (75kΩ typ) | | | 85 | µA |
| Output High Voltage | $V_{OH}$ | External pullup of 4.7kΩ to $V_{CC}$ | $V_{CC}$ - 0.5 | | $V_{CC}$ | V |
| Output Low Voltage | $V_{OL}$ | External pullup of 4.7kΩ to $V_{CC}$ | 0 | | 0.4 | V |
| **3-WIRE DIGITAL INTERFACE TIMING CHARACTERISTICS (see Figure 5)** | | | | | | |
| SCL Clock Frequency | $f_{SCL}$ | | 0 | 400 | 1000 | kHz |
| SCL Pulse-Width High | $t_{CH}$ | | 500 | | | ns |
| SCL Pulse-Width Low | $t_{CL}$ | | 500 | | | ns |
| SDA Setup Time | $t_{DS}$ | | | 100 | | ns |
| SDA Hold Time | $t_{DH}$ | | | 100 | | ns |
| SCL Rise to SDA Propagation Time | $t_D$ | | | 5 | | ns |
| CSEL Pulse-Width Low | $t_{CSW}$ | | 500 | | | ns |

## ELECTRICAL CHARACTERISTICS (continued)

($V_{CC}$ = 2.85V to 3.63V, CML receiver output is AC-coupled to differential 100Ω load, $C_{CAZ}$ = 0.1µF, $T_A$ = -40°C to +85°C. Registers are set to default values, unless otherwise noted. Typical values are at $V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| CSEL Leading Time Before the First SCL Edge | $t_L$ | | | 500 | | ns |
| CSEL Trailing Time After the Last SCL Edge | $t_T$ | | | 500 | | ns |
| SDA, SCL External Load | $C_B$ | Total bus capacitance on one line with 4.7kΩ to $V_{CC}$ | | | 20 | pF |

**Note 1:** Guaranteed by design and characterization, $T_A$ = -40°C to +95°C.

**Note 2:** Deterministic jitter is measured with a repeating K28.5 pattern [00111110101100000101] for 1.25Gbps to 8.5Gbps data. At 10.32Gbps and 11.3Gbps, a repeating K28.5 plus 59 0s and K28.5 plus 59 1s pattern is used. Deterministic jitter is defined as the arithmetic sum of pulse-width distortion (PWD) and pattern-dependent jitter (PDJ).

**Note 3:** LOS1_EN = 1, data rates of 1.25Gbps to 8.5Gbps with K28.5 pattern, and 6.4GHz input filter. For data rates of 10.32Gbps to 11.3Gbps, the input filter is 12.5GHz and the pattern is PRBS23-1.

**Note 4:** Measurement includes an input AC-coupling capacitor of 100nF and $C_{CAZ}$ of 100nF. The signal at the RIN or RPMIN input is switched between two amplitudes: Signal_ON and Signal_OFF.

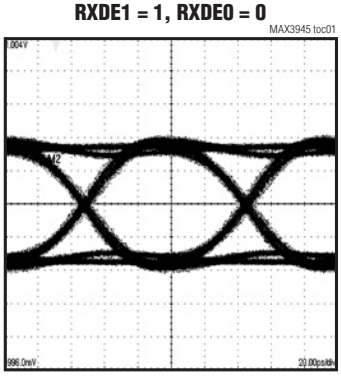
1) Receiver operates at sensitivity level plus 1dB power penalty
   a) Signal_OFF = 0
      Signal_ON = (+8dB) + 10log(min_assert_level)
   b) Signal_ON = (+1dB) + 10log(max_deassert_level)
      Signal_OFF = 0
2) Receiver operates at overload
   Signal_OFF = 0
   Signal_ON = $1.2V_{P-P}$
   max_deassert_level and min_assert_level are measured for one SET_LOS setting

**Note 5:** LOS1_EN = 0, LOS2_EN = 1, DC voltage applied to the RPMIN input.

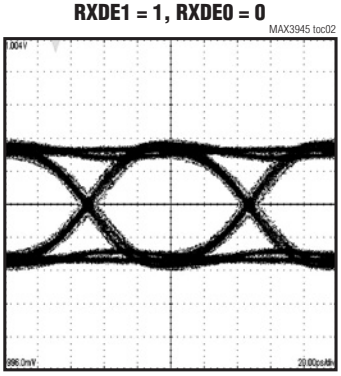
## 標準動作特性

($V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted. Registers are set to default values, unless otherwise noted, and the 3-wire interface is static during measurements.)

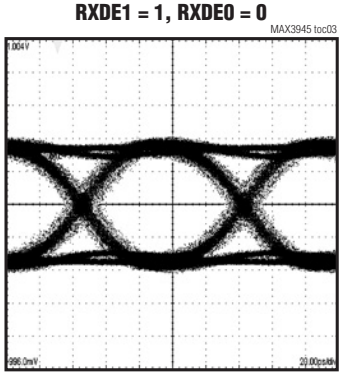
**RECEIVE OUTPUT FROM OPTICAL SYSTEM, 10.32Gbps, OPTICAL INPUT -10dBm, RXDE1 = 1, RXDE0 = 0**



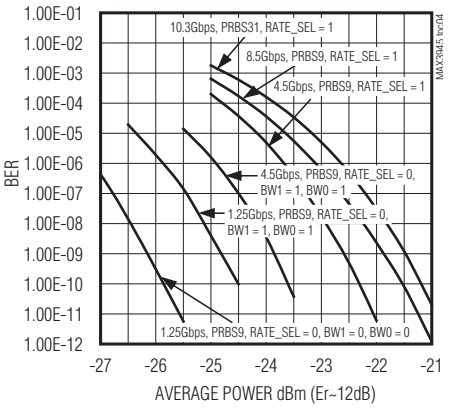

**RECEIVE OUTPUT FROM OPTICAL SYSTEM, 10.32Gbps, OPTICAL INPUT -15dBm, RXDE1 = 1, RXDE0 = 0**



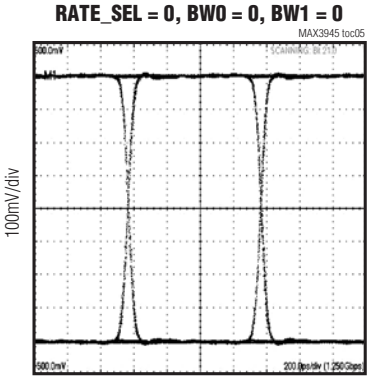

**RECEIVE OUTPUT FROM OPTICAL SYSTEM, 10.32Gbps, OPTICAL INPUT -20dBm, RXDE1 = 1, RXDE0 = 0**



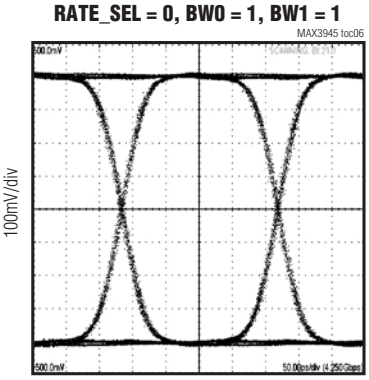

**OPTICAL BER CURVES (NEC NR3312)**



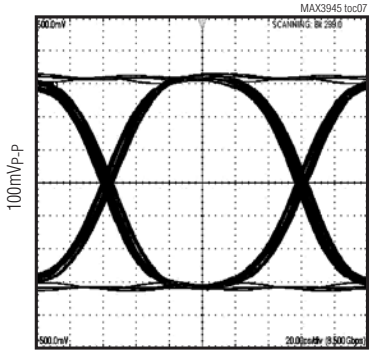

**K28.5 PATTERN AT 1.25Gbps, SET_CML[7:0] = 169d, RATE_SEL = 0, BW0 = 0, BW1 = 0**



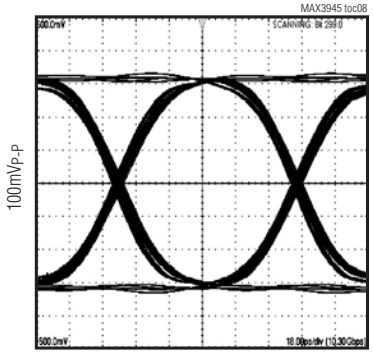

**K28.5 PATTERN AT 4.25Gbps, SET_CML[7:0] = 169d, RATE_SEL = 0, BW0 = 1, BW1 = 1**



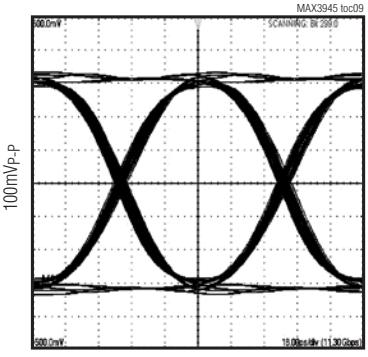

**K28.5 PATTERN AT 8.5Gbps, SET_CML[7:0] = 148d, RATE_SEL = 1, RXDE_EN = 0**




**K28.5 PATTERN AT 10.3Gbps, SET_CML[7:0] = 148d, RATE_SEL = 1, RXDE_EN = 0**




**K28.5 PATTERN AT 11.3Gbps, SET_CML[7:0] = 148d, RATE_SEL = 1, RXDE_EN = 0**

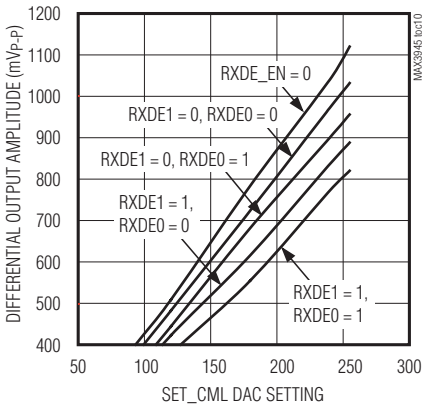


# 1.0625Gbps～11.3Gbps、SFP+デュアルパスリミティングアンプ

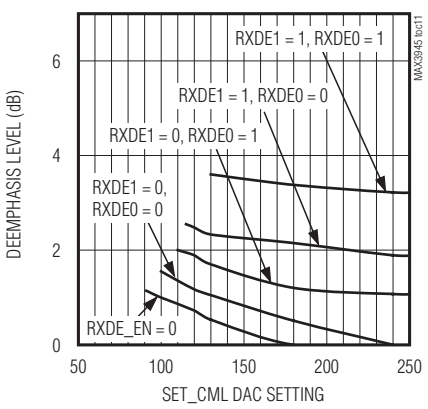
## 標準動作特性(続き)

($V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted. Registers are set to default values, unless otherwise noted, and the 3-wire interface is static during measurements.)

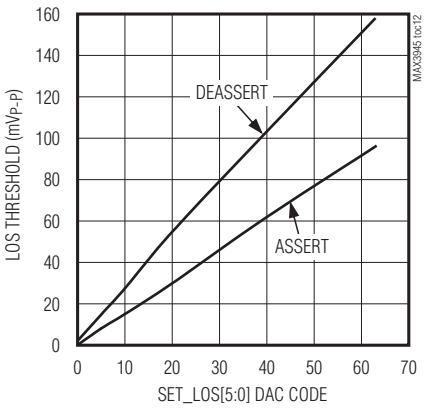
**DIFFERENTIAL OUTPUT SIGNAL LEVEL vs. SET_CML DAC SETTING**



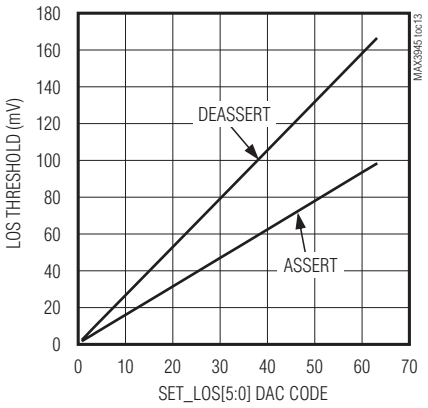

**DEEMPHASIS VALUE vs. SET_CML DAC SETTING (RATE_SEL = 1)**



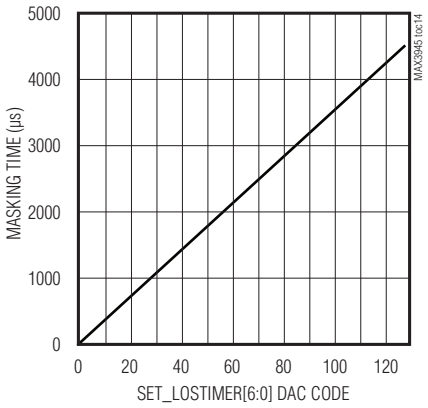

**Rx INPUT-BASED LOS THRESHOLD vs. DAC CODE (LOS1_EN = 1 AND LOS2_EN = 0)**



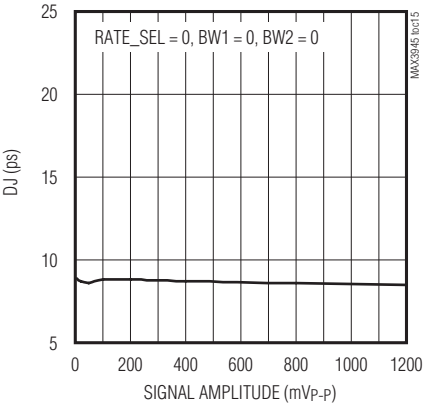

**RSSI MONITOR-BASED LOS THRESHOLDS (LOS1_EN = 0 AND LOS2_EN = 1)**



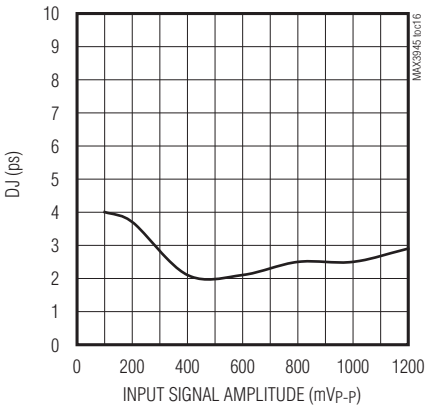

**LOS MASKING TIME vs. DAC SETTING**



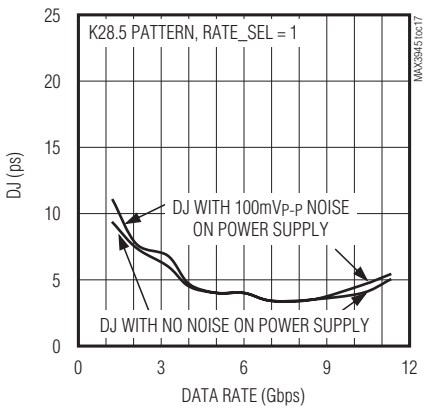

**DETERMINISTIC JITTER vs. INPUT AMPLITUDE AT 1.25Gbps (K28.5 PATTERN, 933MHz INPUT FILTER)**



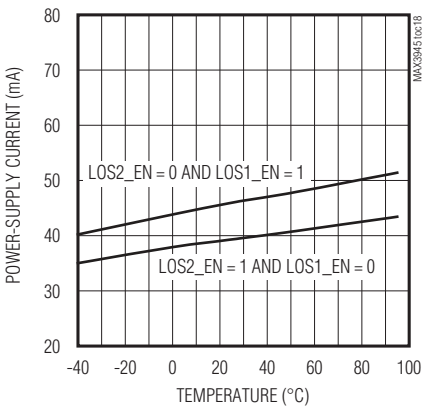

**DETERMINISTIC JITTER AT 10.32Gbps (PRBS7 PATTERN WITH 100 CIDs, RATE_SEL = 1)**




**DETERMINISTIC JITTER vs. DATA RATE (INPUT = 100mVP-P)**



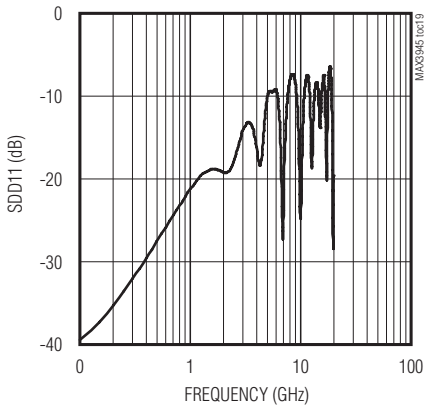

**POWER-SUPPLY CURRENT vs. TEMPERATURE (SET_CML[7:0] = 91d)**



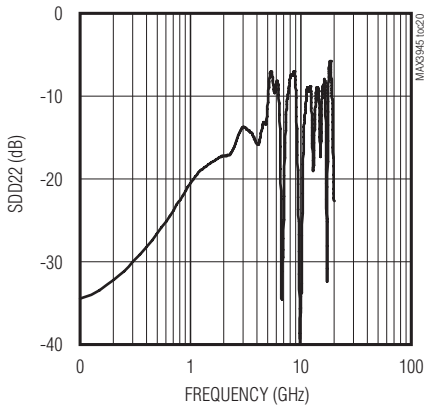
## 標準動作特性(続き)

($V_{CC}$ = 3.3V, $T_A$ = +25°C, unless otherwise noted. Registers are set to default values, unless otherwise noted, and the 3-wire interface is static during measurements.)

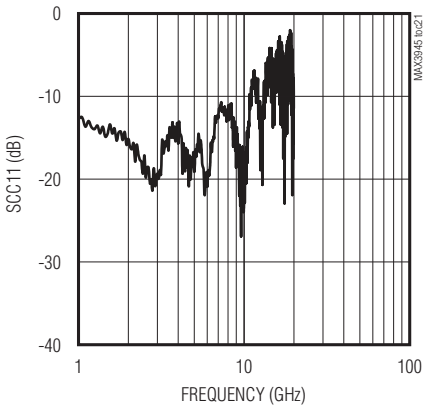
**INPUT RETURN GAIN (SDD11)
(INPUT POWER OF 0dBm, ENABLED)**



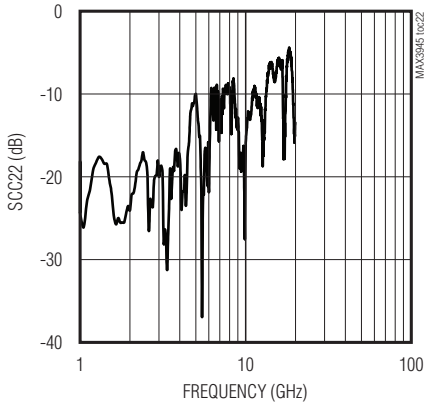

**OUTPUT RETURN GAIN (SDD22)
(INPUT POWER OF 0dBm, ENABLED)**



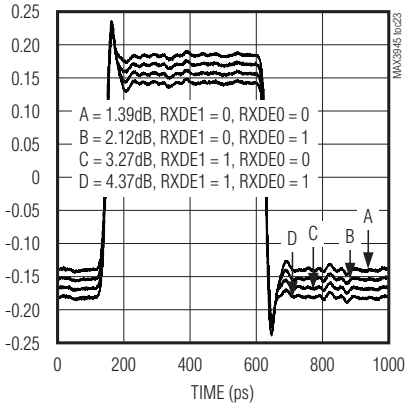

**INPUT COMMON-MODE RETURN GAIN (SCC11)
(INPUT POWER OF 0dBm, ENABLED)**



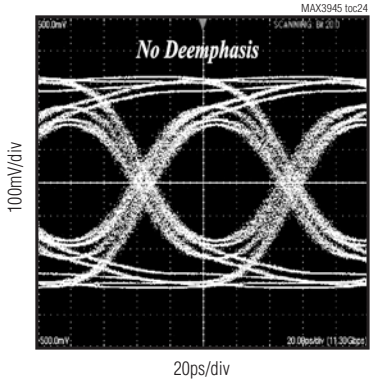

**OUTPUT COMMON-MODE RETURN GAIN (SCC22)
(INPUT POWER OF 0dBm, ENABLED)**



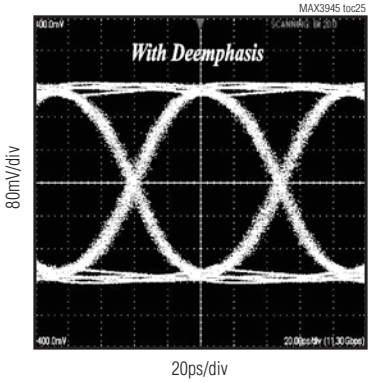

**TRANSIENT RESPONSE (10.3Gbps,
10 ONES 10 ZEROS PATTERN, SET_CML[7:0] = 92d)**




**ELECTRICAL EYE DIAGRAM AFTER 6in OF FR4
AND 72in OF CABLE WITH NO DEEMPHASIS (11.3Gbps K28.5,
RATE_SEL = 1, SET_CML[7:0] = 160d, RXDE_EN = 0)**

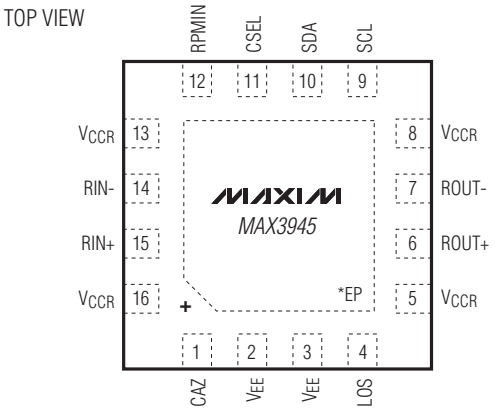



**ELECTRICAL EYE DIAGRAM AFTER 6in OF FR4
AND 72in OF CABLE WITH DEEMPHASIS (11.3Gbps K28.5, RATE_SEL = 1,
SET_CML[7:0] = 160d, RXDE_EN = 1, RXDE0 = 1, RXDE1 = 1)**



# 1.0625Gbps～11.3Gbps、SFP+デュアルパスリミティングアンプ

## ピン配置




**THIN QFN**
**(3mm × 3mm)**

*THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

## 端子説明

| 端子 | 名称 | 機能 |
|---|---|---|
| 1 | CAZ | オフセット補正ループコンデンサ。この端子と、隣接する$V_{EE}$端子との間に接続するコンデンサで、オフセット補正ループの時定数を設定します。ディジタルインタフェースを介してAZ_ENビット = 0にセットすること、およびこの端子をグランドに接続することによって、オフセット補正をディセーブルすることができます。 |
| 2, 3 | $V_{EE}$ | リミティングアンプ用グランド |
| 4 | LOS | ロスオブシグナル(信号喪失)出力。この出力はオープンドレイン出力です。SET_LOS[5:0]で設定されているプリセット済みスレッショルドを入力信号のレベルが下回った場合、LOSがアサートされます。信号レベルがスレッショルドを上回っている場合、LOSのアサートが解除されます。LOS_POL = 0にセットすることによって、LOS出力の極性を反転することができます。LOS1_EN = 0およびLOS2_EN = 0にセットすることによって、LOS回路をディセーブルすることができます。表8を参照してください。 |
| 5, 8, 13, 16 | $V_{CCR}$ | 電源。リミティングアンプに電源電圧を供給します。すべての端子を電源電圧に接続する必要があります。 |
| 6 | ROUT+ | 非反転出力、CML。50Ω負荷に対して逆終端されています。 |
| 7 | ROUT- | 反転出力、CML。50Ω負荷に対して逆終端されています。 |
| 9 | SCL | シリアルクロック入力、TTL/CMOS。この端子は75kΩの内部プルダウンを備えています。 |
| 10 | SDA | シリアルデータ双方向I/O。TTL/CMOS入力およびオープンドレイン出力。この端子は75kΩの内部プルアップを備えていますが、3線式ディジタルのタイミング仕様に適合するために外付けの4.7kΩのプルアップ抵抗を必要とします(データラインの衝突保護が実装されています)。 |
| 11 | CSEL | チップセレクト入力、TTL/CMOS。75kΩの抵抗によって内部でプルダウンされています。CSEL = 1でSPIサイクルが開始され、CSEL = 0でSPIサイクルが終了して制御のステートマシンがリセットされます。 |
| 12 | RPMIN | ハイインピーダンス受信電力モニタ入力。使用しない場合はグランドに接続してください。 |
| 14 | RIN- | 反転データ入力、CML、50Ω終端内蔵 |
| 15 | RIN+ | 非反転データ入力、CML、50Ω終端内蔵 |
| — | EP | エクスポーズドパッド。回路のグランドにはんだ付けする必要があります。 |

## 詳細

MAX3945は、1.0625Gbps～11.3Gbpsで動作するように設計されており、デュアルパスリミッタ、オフセット補正回路、CML出力段、およびLOS回路で構成されています。MAX3945の特性は、内蔵の3線式インタフェースを通して制御することができます。デバイスの機能を制御するレジスタは、RXCTRL1、RXCTRL2、RXSTAT、SET_CML、SET_LOS、MODECTRL、およびSET_LOSTIMERです。MAX3945はDACを内蔵しているため、低コストのコントローラICを使用することができます。図1に、簡略化した入力および出力の構造を示します。

### デュアルパスリミッタ

このリミティングアンプは、低データレート経路(1.0625Gbps～4.25Gbps)と高データレート経路(最大11.3Gbps)を備えており、システム全体としての最適化が可能です。図2に、ファンクションダイアグラムを示します。データ経路の選択は、RATE_SELビットによって制御します。低データレート経路は、さらにプログラマブルフィルタを備えており、1.0625Gbps、1.25Gbps、2.125Gbps、および4.25Gbps動作向けの最適化を提供します。最高の受信感度を実現し、所定のデータレートに対する最大受信帯域幅を減少させるため、初段の帯域幅を調整することが重要です。表1に、RATE_SEL、BW1、およびBW0制御ビットの機能をまとめます。最大11.3Gbpsまでの動作には、高データレートモード(RATE_SEL = 1)が推奨されます。

表2に示すように、RIN+/RIN-に対するROUT+/ROUT-の極性は、RX_POLビットによって設定されます。

### オフセット補正回路

差動アンプ段に固有のオフセット電圧によって発生するPWDを除去するため、オフセット補正回路が提供されています。CAZ端子とグランドの間に外付けの0.1µFのコンデンサを接続することによって、オフセット補正ループのカットオフ周波数が、RATE_SEL = 0の場合で約2kHz、RATE_SEL = 1の場合で約0.7kHzに設定されます。表3に示すように、AZ_ENビットを使用してオフセット補正ループをディセーブルすることが可能です。

### CML出力段

#### CML出力イネーブルおよびスケルチ

CML出力段は、差動100Ω負荷向けに最適化されています。この出力段は、RX_ENビットとSQ_ENビットの組合せと内部のLOSステータスによって制御されます。表4を参照してください。

### 表1. レートの選択と帯域幅の制御

| RXCTRL1[3:1] | | | OPERATION MODE DESCRIPTION | | |
|---|---|---|---|---|---|
| BW1 | BW0 | RATE_SEL | DATA RATE (Gbps) | FILTER BANDWIDTH (MHz) | RISE/FALL TIME (ps) |
| 0 | 0 | 0 | 1.0625 to 1.25 | 1000 | 52 |
| 0 | 1 | 0 | 2.125 | 2100 | 52 |
| 1 | 0 | 0 | 2.125 | 2500 | 52 |
| 1 | 1 | 0 | 4.25 | 3000 | 52 |
| X | X | 1 | 11.3 | 9000 | 26 |

### 表2. 信号極性の制御

| RX_POL | OPERATION MODE DESCRIPTION |
|---|---|
| 0 | Inversed polarity of the differential signal path |
| 1 | Normal polarity of the differential signal path |

### 表3. オフセット補正のイネーブル/ディセーブル制御

| AZ_EN | OPERATION MODE DESCRIPTION |
|---|---|
| 0 | Autozero loop is disabled |
| 1 | Autozero loop is enabled |

### 表4. CML出力段の動作モード

| RX_EN | SQ_EN | LOS STATUS | OPERATION MODE DESCRIPTION |
|---|---|---|---|
| 0 | X | X | CML output disabled |
| 1 | 0 | X | CML output enabled |
| 1 | 1 | 0 | CML output enabled |
| 1 | 1 | 1 | CML output disabled |

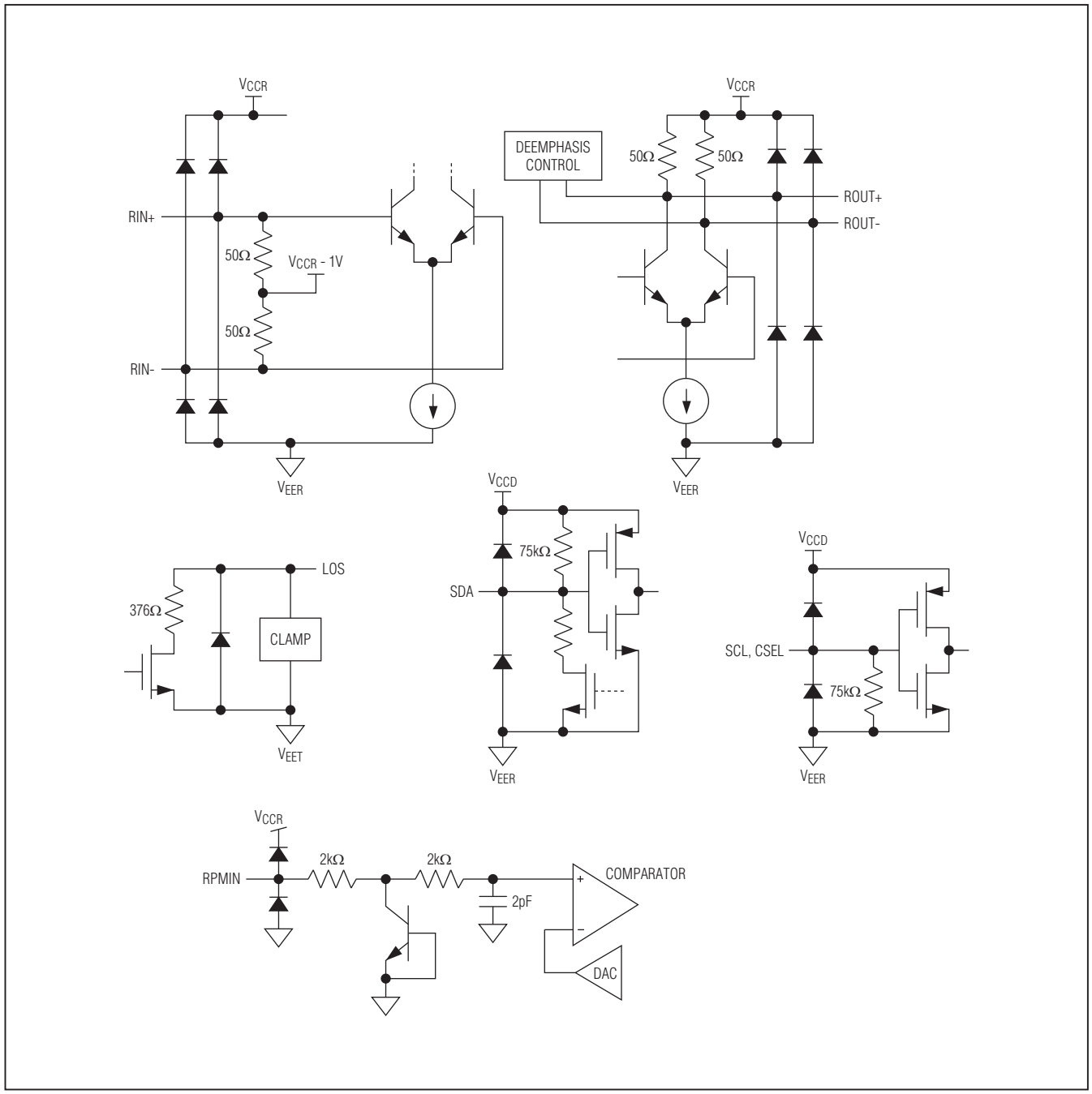



図1. 入出力構造の簡略図

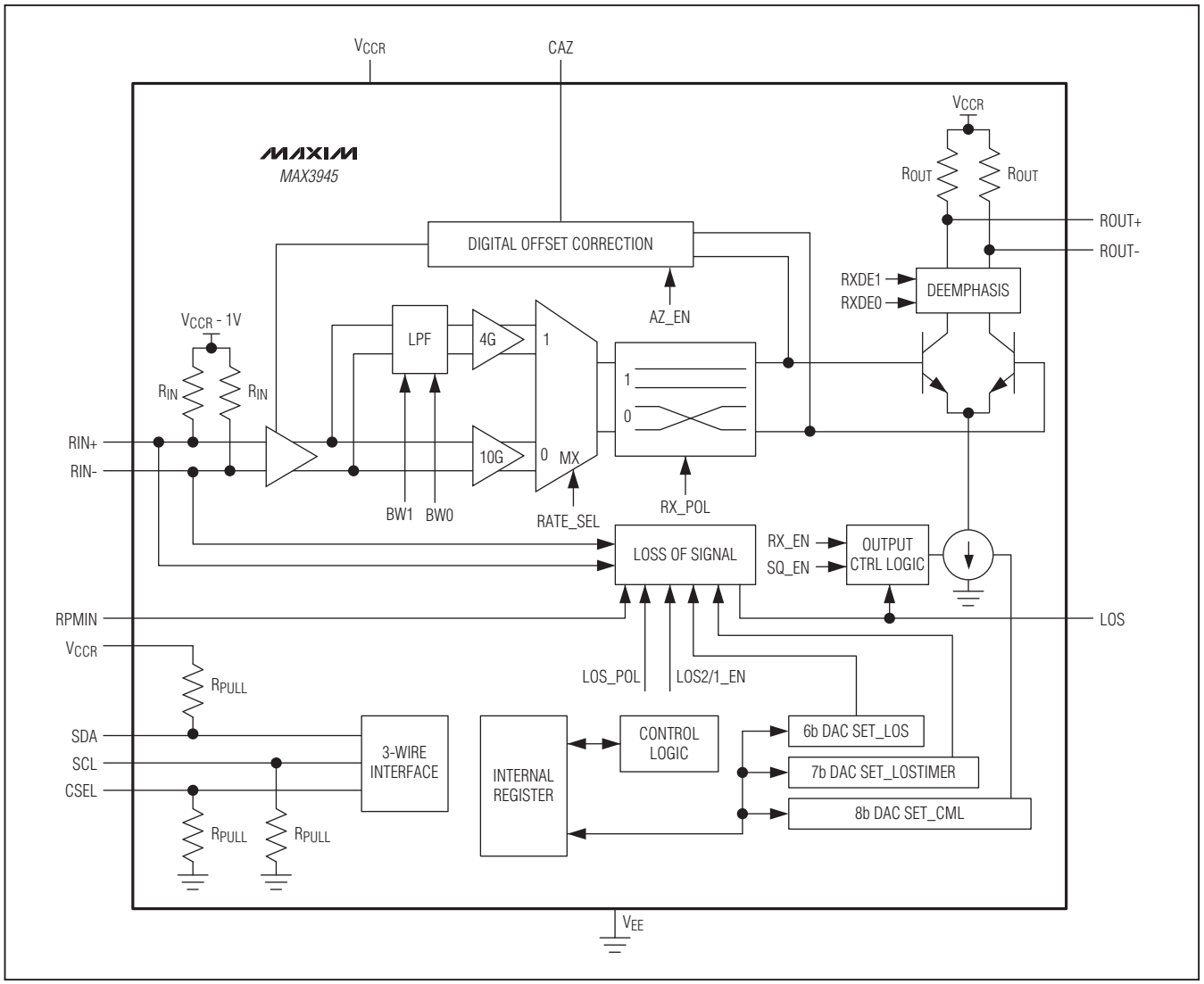



図2. ファンクションダイアグラム

### CML出力デエンファシス

CML出力段は、標準FR4基板上の差動100Ω伝送ライン向けに最適化されています。RXDE1およびRXDE0ビットによって、FR4基板の損失とSFPコネクタの損失を補償するためのプログラマブルなアナログ出力デエンファシスが付加されます。表5に、デエンファシス制御の設定を示します。

### プログラマブルなCML出力振幅

8ビットのSET_CMLレジスタで、CML出力段の振幅を制御します。設定可能な最大出力レベルは、MAX3945の動作モードに依存します。それらの出力レベル(理想的な100Ω差動負荷を想定した値)および対応する制御ビットを表6に示します。表7に、出力DACの分解能の依存性を示します。

### 表5. 出力信号デエンファシス制御

| RXCTRL2[1] | RXCTRL1[7:6] | | OPERATION MODE DESCRIPTION | |
|---|---|---|---|---|
| RXDE_EN | RXDE1 | RXDE0 | MODE | DEEMPHASIS (dB) |
| 0 | X | X | Deemphasis block is disabled | 0 |
| 1 | 0 | 0 | Deemphasis block is enabled Level 1 | 0.3 |
| 1 | 0 | 1 | Deemphasis block is enabled Level 2 | 1.1 |
| 1 | 1 | 0 | Deemphasis block is enabled Level 3 | 2.1 |
| 1 | 1 | 1 | Deemphasis block is enabled Level 4 | 4.3 |

### 表6. CML出力振幅範囲(標準値)

| RXCTRL1[1] | RXCTRL2[1] | RXCTRL1[7:6] | | MODE | OUTPUT AMPLITUDE ($mV_{P-P}$) |
|---|---|---|---|---|---|
| RATE_SEL | RXDE_EN | RXDE1 | RXDE0 | | |
| 0 | X | X | X | Low data-rate path | 400 to 1192 |
| 1 | 0 | X | X | High data-rate path | 400 to 1147 |
| 1 | 1 | 0 | 0 | High data-rate path with deemphasis | 400 to 1041 |
| 1 | 1 | 0 | 1 | High data-rate path with deemphasis | 400 to 987 |
| 1 | 1 | 1 | 0 | High data-rate path with deemphasis | 400 to 908 |
| 1 | 1 | 1 | 1 | High data-rate path with deemphasis | 400 to 828 |

### 表7. CML出力DAC分解能(標準値)

| RXCTRL1[1] | RXCTRL2[1] | RXCTRL1[7:6] | | MODE | RESOLUTION ($mV_{P-P}$) |
|---|---|---|---|---|---|
| RATE_SEL | RXDE_EN | RXDE1 | RXDE0 | | |
| 0 | X | X | X | Low data-rate path | 4.5 |
| 1 | 0 | X | X | High data-rate path | 4.5 |
| 1 | 1 | 0 | 0 | High data-rate path with deemphasis | 4.1 |
| 1 | 1 | 0 | 1 | High data-rate path with deemphasis | 3.9 |
| 1 | 1 | 1 | 0 | High data-rate path with deemphasis | 3.6 |
| 1 | 1 | 1 | 1 | High data-rate path with deemphasis | 3.3 |

## 表8. LOSの制御

| LOS2_EN | LOS1_EN | OPERATION MODE DESCRIPTION |
|---|---|---|
| 0 | 0 | LOS circuitry is disabled and powered down |
| X | 1 | LOS circuitry is enabled and Rx input amplitude is detected |
| 1 | 0 | LOS circuitry is enabled and RPMIN input amplitude is detected |

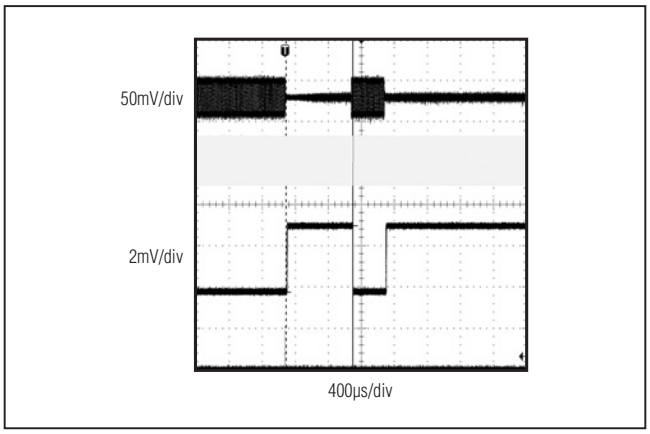



図3. 入力信号の短時間のバーストに対するLOSの応答

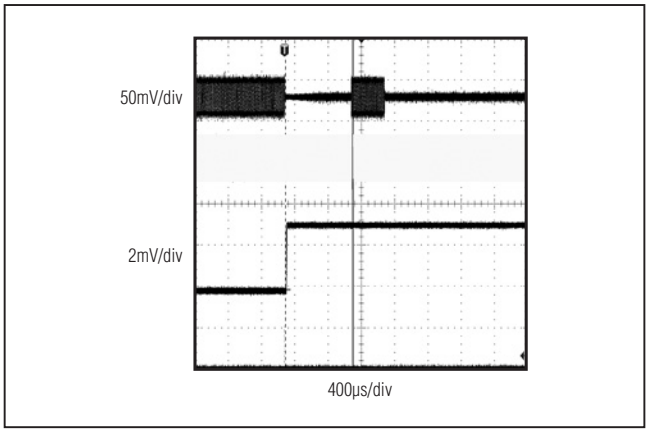



図4. 入力信号の短時間のバーストに対するLOSの応答(LOSマスキング期間の終了までLOSの変化がマスクされます)

### LOS回路

LOS回路には2つの動作モードがあり、LOS1_ENおよびLOS2_ENビットによって制御されます(表8を参照)。第1のモードでは、LOSブロックが入力信号の差動振幅を検出して、6ビットのSET_LOSレジスタによって制御されるプリセットされたスレッショルドと比較します。第2のモードでは、LOSブロックがRPMIN端子の電圧と、6ビットのSET_LOSレジスタで制御されるプリセットされたスレッショルドとを比較します。第2のモードの場合、平均フォトダイオード電流に基づく低電力のLOS検出が可能です。

LOSのアサートスレッショルドは、約1.5$mV_{P-P}$ x SET_LOS[5:0]です。LOSのチャタリングを防止するため、LOSのアサート解除レベルはアサートレベルの約1.6倍になっています。LOSの極性、スケルチ、およびLOSのマスキング時間は、LOS1_ENまたはLOS2_ENの選択による影響を受けません。

#### プログラマブルなLOS出力マスキング時間

この機能は、光ファイバリンクの光信号遮断後に発生する可能性のある間違った入力信号をマスクします。これらの間違った入力信号は一部のトランスインピーダンスアンプの実装方式に起因するものであり、LOS出力を誤動作させてシステムレベルのリンク診断エラーの原因となる可能性があります。

LOS出力マスキング時間は、7ビットのSET_LOSTIMER[6:0]レジスタを使用して35µsステップで0～4500µsに設定可能です。LOS信号の最初の遷移で出力マスクタイマーが始動して、設定されたLOSマスキング期間の終了までLOS出力信号のそれ以上の変化を防止します。LOS出力マスキング時間は、想定されるどのような入力グリッチよりも長くなるよう慎重に選択する必要があります。図3は、LOS出力マスキング時間の機能を使用していない場合に、約800µs後の入力信号の変化に対してLOS信号が変化する様子を示しています。図4は、LOS出力マスキング時間の機能によって、入力信号の変化に対するLOS信号のマスキングが行われる様子を示しています。

### 表9. ディジタル通信のワード構造

| BIT | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Register Address | | | | | | | RWN | Data that is written or read. | | | | | | | |

### 表10. レジスタの説明およびアドレス

| ADDRESS | NAME | FUNCTION |
|---|---|---|
| H0x00 | RXCTRL1 | Receiver Control Register 1 |
| H0x01 | RXCTRL2 | Receiver Control Register 2 |
| H0x02 | RXSTAT | Receiver Status Register |
| H0x03 | SET_CML | CML Output Level Setting Register |
| H0x04 | SET_LOS | LOS Threshold Assert Level Setting Register |
| H0x0E | MODECTRL | General Control Register |
| H0x12 | SET_LOSTIMER | LOS Timer Setting Register |

## 3線式ディジタル通信

### 全般

MAX3945は独自規格の3線式ディジタルインタフェースを実装しています。外部のコントローラがクロックを生成します。この3線式インタフェースは、双方向データラインSDA、クロック信号入力SCL、およびチップセレクト入力CSEL（アクティブハイ)で構成されます。外部のマスターがCSEL端子をアサートすることによってデータ転送を開始します。CSELが1に設定された後、マスターはクロック信号の生成を開始します。すべてのデータ転送は、最上位ビット(MSB)から順に行われます。

### プロトコル

個々の操作は、16ビットの転送で構成されます(15ビットのアドレス/データ、1ビットのRWN)。バスマスターはSCL上で16個のクロックサイクルを生成します。すべての操作で8ビットのデータがMAX3945に送信されます。RWNビットによって、そのサイクルが読取りか書込みかが決定されます。表9を参照してください。

### レジスタアドレス

MAX3945は、プログラミングに使用可能な7個のレジスタを内蔵しています。表10に、レジスタおよびアドレスを示します。

### 書込みモード(RWN = 0)

マスターはSCL上で合計16個のクロックサイクルを生成します。マスターは、合計16ビットを(MSBから順に)クロックの立下りエッジでSDAラインに出力します。マスターは、CSELを0に設定することによって伝送をクローズします。図5にインタフェースのタイミングを、また表11にさまざまなタイミングパラメータの定義を示します。

### 読取りモード(RWN = 1)

マスターはSCL上で合計16個のクロックサイクルを生成します。マスターは、合計8ビットを(MSBから順に)クロックの立下りエッジでSDAラインに出力します。RWNビットの送信が完了した後、SDAラインが開放されます。スレーブは、8ビットのデータを(MSBから順に)クロックの立上りエッジで出力します。マスターは、CSELを0に設定することによって伝送をクローズします。図5に、インタフェースのタイミングを示します。

### モード制御

ノーマルモードでは、MODECTRLを除くすべてのレジスタについて読取り専用命令を使用することができます。ノーマルモードがデフォルトのモードです。

セットアップモードでは、マスターはRXSTATレジスタを除く任意のレジスタに制限なしのデータを書き込むことができます。セットアップモードに遷移するには、MODECTRLレジスタ(アドレス = H0x0E)にH0x12をセットする必要があります。MODECTRLレジスタにH0x12がセットされた後、次の操作は制限なしになります。次の操作の完了後、セットアップモードは自動的に終了します。さらに制限なしの設定を行う必要がある場合は、このシーケンスを繰り返す必要があります。

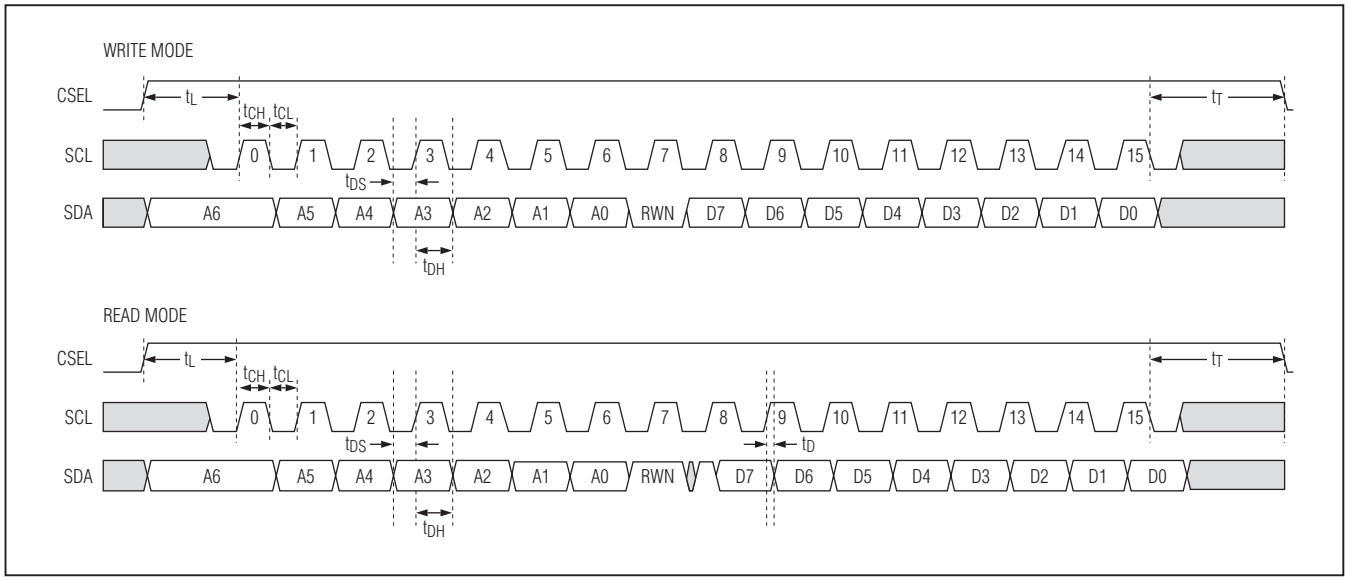



図5. 3線式ディジタルインタフェースのタイミング

## 表11. インタフェースのタイミングパラメータ

| SYMBOL | DEFINITION |
|---|---|
| $t_L$ | CSEL leading time before the first SCL edge |
| $t_{CH}$ | SCL pulse-width high |
| $t_{CL}$ | SCL pulse-width low |
| $t_D$ | SCL rise to SDA propagation time |
| $t_{DS}$ | SDA setup time |
| $t_{DH}$ | SDA hold time |
| $t_T$ | CSEL trailing time after last SCL edge |

### レジスタの説明

Receiver Controlレジスタ1 (RXCTRL1)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | RXDE1 | RXDE0 | X* | SOFTRES | BW1 | BW0 | RATE_SEL | X* | H0x00 |
| Default Value | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | |

*デフォルトの設定を変更しないでください。

**ビット7および6：RXDE[1:0]。**これらの2ビットは、出力波形のデエンファシスを制御するために使用します。ビットの設定および対応するデエンファシスレベルについては、表5を参照してください。

**ビット4：SOFTRES。**3線式インタフェースの書込み操作時にこのビットに1が設定されている場合、CSELがローになる時点ですべてのレジスタがデフォルト状態にセットされます。

**ビット3および2：BW[1:0]。**RATE_SEL = 0の場合、これらの2ビットでリミティングアンプの帯域幅を制御します。設定および対応するフィルタの選択については、表1を参照してください。

**ビット1：RATE_SEL。**RATE_SELは、低帯域のデータ経路(1.0625Gbps～4.25Gbps)と高帯域のデータ経路(4.25Gbps～11.3Gbps)の選択を行います。RATE_SELに1がセットされている場合、高帯域の経路が選択されます。RATE_SELに0がセットされている場合、低帯域の経路が選択されます。

Receiver Controlレジスタ2 (RXCTRL2)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | LOS2_EN | LOS1_EN | LOS_POL | RX_POL | SQ_EN | RX_EN | RXDE_EN | AZ_EN | H0x01 |
| Default Value | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | |

**ビット7：LOS2_EN。**LOS1_ENビットとの組合せで、RSSIモニタベースのLOS回路をイネーブルまたはディセーブルします。次の表で、どのような場合にRSSIモニタベースのLOSがディセーブルされ、どのような場合にイネーブルされるかを示します。

| LOS2_EN | LOS1_EN | RX_EN | Rx INPUT-BASED LOS | RSSI MONITOR-BASED LOS |
|---|---|---|---|---|
| 0 | 0 | X | Disabled and powered down | Disabled and powered down |
| 0 | 1 | 1 | Enabled | Disabled and powered down |
| X | 1 | 0 | Disabled and powered down | Disabled and powered down |
| 1 | 1 | 1 | Enabled | Disabled and powered down |
| 1 | 0 | 0 | Disabled and powered down | Enabled |
| 1 | 0 | 1 | Disabled and powered down | Enabled |

**ビット6:LOS1_EN。**Rx入力ベースのLOS回路を制御します。RX_ENに0がセットされている場合、LOS検出器もディセーブルされます。

0 = ディセーブル

1 = イネーブル

**ビット5：LOS_POL。**LOS端子の極性を制御します。

0 = 反転

1 = 非反転

**ビット4：RX_POL。**CML出力の極性を制御します。

0 = 反転

1 = 非反転

**ビット3：SQ_EN。**SQ_EN = 1の場合、LOSのアサート時にCML出力のスケルチが行われます。

0 = ディセーブル

1 = イネーブル

**ビット2：RX_EN。**受信回路をイネーブルまたはディセーブルします。

0 = ディセーブル

1 = イネーブル

**ビット1：RXDE_EN。**CML出力のデエンファシスをイネーブルまたはディセーブルします。

0 = ディセーブル

1 = イネーブル

**ビット0：AZ_EN。**オートゼロ回路をイネーブルまたはディセーブルします。

0 = ディセーブル

1 = イネーブル

### Receiver Statusレジスタ(RXSTAT)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 (STICKY) | 0 (STICKY) | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | X | X | X | X | X | X | POR_2d | LOS_2d | H0x02 |
| Default Value | X | X | X | X | X | X | X | X | |

**ビット1：POR_2d。**$V_{CC}$の電源電圧が2.3V以下の場合、POR回路によってPOR_2dにハイがセットされます。電源電圧が2.75Vを上回った時点でPOR回路のアサートが解除されますが、POR_2dビットは読取りが行われるまでハイのままになります。

**ビット0：LOS_2d。**LOSステータスのコピーです。これはスティッキービットであり、すなわち読取りによってクリアされます。マスターによってこのビットの読取りが行われるか、またはPORが発生するまで、最初の0から1への遷移がラッチされます。

### CML Output Level Settingレジスタ(SET_CML)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | SET_CML[7] (MSB) | SET_CML[6] | SET_CML[5] | SET_CML[4] | SET_CML[3] | SET_CML[2] | SET_CML[1] | SET_CML[0] (LSB) | H0x03 |
| Default Value | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | |

**ビット7～0：SET_CML[7:0]。**SET_CMLレジスタは8ビットのレジスタであり、CMLの最大出力振幅として最大255をセットすることができます。CMLの出力レベルとSET_CMLの関係を決定する式については、表13を参照してください。

### LOS Threshold Assert Level Settingレジスタ(SET_LOS)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | X | X | SET_LOS[5] (MSB) | SET_LOS[4] | SET_LOS[3] | SET_LOS[2] | SET_LOS[1] | SET_LOS[0] (LSB) | H0x04 |
| Default Value | X | X | 0 | 0 | 1 | 1 | 0 | 0 | |

**ビット5～0：SET_LOS[5:0]。**SET_LOSレジスタは、LOSスレッショルドの設定に使用する6ビットのレジスタです。Rx入力ベースのLOSとRSSIモニタベースのLOSの両方についての標準的なLOSスレッショルド電圧とDACコードの関係については、「標準動作特性」の項を参照してください。

General Controlレジスタ(MODECTRL)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | MODECTRL[7] (MSB) | MODECTRL[6] | MODECTRL[5] | MODECTRL[4] | MODECTRL[3] | MODECTRL[2] | MODECTRL[1] | MODECTRL[0] (LSB) | H0x0E |
| Default Value | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

**ビット7～0：MODECTRL[7:0]。**MODECTRLレジスタは、ノーマルモードとセットアップモードの間の切替えを可能にします。セットアップモードは、このレジスタにH0x12をセットすることによって実現されます。MODECTRLは個々の書込み操作の前に更新する必要があります。

LOS Timer Settingレジスタ(SET_LOSTIMER)

| Bit # | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | ADDRESS |
|---|---|---|---|---|---|---|---|---|---|
| Name | X | SET_ LOSTIMER[6] (MSB) | SET_ LOSTIMER[5] | SET_ LOSTIMER[4] | SET_ LOSTIMER[3] | SET_ LOSTIMER[2] | SET_ LOSTIMER[1] | SET_ LOSTIMER[0] (LSB) | H0x12 |
| Default Value | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

**ビット6～0：SET_LOSTIMER[6:0]。**SET_LOSTIMERレジスタは7ビットのレジスタであり、0～127をセットすることができます。標準的なタイマー時間とDACコードの関係については、「標準動作特性」の項を参照してください。

## 表12. レジスタマップ

| REGISTER FUNCTION/ ADDRESS | REGISTER NAME | NORMAL MODE | SETUP MODE | BIT NUMBER/ TYPE | BIT NAME | DEFAULT VALUE | NOTES |
|---|---|---|---|---|---|---|---|
| Receiver Control Register 1 Address = H0x00 | RXCTRL1 | R | RW | 7 | RXDE1 | 0 | Rx deemphasis MSB control with RXDE_EN = 1 |
| | | R | RW | 6 | RXDE0 | 0 | Rx deemphasis LSB control with RXDE_EN = 1 |
| | | R | RW | 5 | X | 1 | Must be set to 1 |
| | | R | RW | 4 | SOFTRES | 0 | Soft reset control bit |
| | | R | RW | 3 | BW1 | 1 | Input bandwidth control with RATE_SEL = 0: 00: 1GHz 01: 2.1GHz 10: 2.5GHz 11: 3GHz |
| | | R | RW | 2 | BW0 | 1 | |
| | | R | RW | 1 | RATE_SEL | 1 | Rate-select control 0: 1G/4G mode 1: fast mode |
| | | R | RW | 0 | X | 1 | Must be set to 1 |

**表12. レジスタマップ(続き)**

| REGISTER FUNCTION/ ADDRESS | REGISTER NAME | NORMAL MODE | SETUP MODE | BIT NUMBER/ TYPE | BIT NAME | DEFAULT VALUE | NOTES |
|---|---|---|---|---|---|---|---|
| Receiver Control Register 2 Address = H0x01 | RXCTRL2 | R | RW | 7 | LOS2_EN | 0 | RSSI monitor-based LOS<br>0: disabled<br>1: enabled when LOS1_EN = 0 |
| | | R | RW | 6 | LOS1_EN | 1 | Rx input-based LOS<br>0: disabled<br>1: enabled |
| | | R | RW | 5 | LOS_POL | 1 | LOS polarity<br>0: inverse<br>1: normal |
| | | R | RW | 4 | RX_POL | 1 | Rx polarity<br>0: inverse<br>1: normal |
| | | R | RW | 3 | SQ_EN | 0 | Squelch<br>0: disabled<br>1: enabled |
| | | R | RW | 2 | RX_EN | 1 | Rx control<br>0: disabled<br>1: enabled |
| | | R | RW | 1 | RXDE_EN | 0 | Rx deemphasis<br>0: disabled<br>1: enabled |
| | | R | RW | 0 | AZ_EN | 1 | Rx autozero control<br>0: disabled<br>1: enabled |
| Receiver Status Register Address = H0x02 | RXSTAT | R | R | 1 (sticky) | POR_2d | X | POR -> $V_{CC}$ low limit violation |
| | | R | R | 0 (sticky) | LOS_2d | X | Copy of LOS status |

**表12. レジスタマップ(続き)**

| REGISTER FUNCTION/ ADDRESS | REGISTER NAME | NORMAL MODE | SETUP MODE | BIT NUMBER/ TYPE | BIT NAME | DEFAULT VALUE | NOTES |
|---|---|---|---|---|---|---|---|
| CML Output Level Setting Register Address = H0x03 | SET_CML | R | RW | 7 | SET_CML[7] | 0 | MSB output level DAC |
| | | R | RW | 6 | SET_CML[6] | 1 | |
| | | R | RW | 5 | SET_CML[5] | 0 | |
| | | R | RW | 4 | SET_CML[4] | 1 | |
| | | R | RW | 3 | SET_CML[3] | 1 | |
| | | R | RW | 2 | SET_CML[2] | 1 | |
| | | R | RW | 1 | SET_CML[1] | 0 | |
| | | R | RW | 0 | SET_CML[0] | 0 | LSB output level DAC |
| LOS Threshold Assert Level Setting Register Address = H0x04 | SET_LOS | R | RW | 5 | SET_LOS[5] | 0 | MSB LOS threshold DAC |
| | | R | RW | 4 | SET_LOS[4] | 0 | |
| | | R | RW | 3 | SET_LOS[3] | 1 | |
| | | R | RW | 2 | SET_LOS[2] | 1 | |
| | | R | RW | 1 | SET_LOS[1] | 0 | |
| | | R | RW | 0 | SET_LOS[0] | 0 | LSB LOS threshold DAC |
| General Control Register Address = H0x0E | MODECTRL | RW | RW | 7 | MODECTRL[7] | 0 | MSB mode control |
| | | RW | RW | 6 | MODECTRL[6] | 0 | |
| | | RW | RW | 5 | MODECTRL[5] | 0 | |
| | | RW | RW | 4 | MODECTRL[4] | 0 | |
| | | RW | RW | 3 | MODECTRL[3] | 0 | |
| | | RW | RW | 2 | MODECTRL[2] | 0 | |
| | | RW | RW | 1 | MODECTRL[1] | 0 | |
| | | RW | RW | 0 | MODECTRL[0] | 0 | LSB mode control |
| LOS Timer Setting Register Address = H0x12 | SET_LOSTIMER | R | RW | 6 | SET_LOSTIMER[6] | 0 | MSB LOS timer |
| | | R | RW | 5 | SET_LOSTIMER[5] | 0 | |
| | | R | RW | 4 | SET_LOSTIMER[4] | 0 | |
| | | R | RW | 3 | SET_LOSTIMER[3] | 0 | |
| | | R | RW | 2 | SET_LOSTIMER[2] | 0 | |
| | | R | RW | 1 | SET_LOSTIMER[1] | 0 | |
| | | R | RW | 0 | SET_LOSTIMER[0] | 0 | LSB LOS timer |

## 設計手順

### CML出力レベルの設定

表13および14を参照してください。表13のRXDE1およびRXDE0ビットの個々の値に対応するデエンファシスの値は、SET_CML[7:0]の設定によって変化します。表13では、SET_CML[7:0] = 120dという設定についてデエンファシスの値を記載しています。その他のSET_CML[7:0]の値に対するデエンファシスの変化については、「標準動作特性」で示されています(「Deemphasis Value vs. SET_CML DAC Setting (デエンファシスの値とSET_CML DACの設定の関係) (RATE_SEL = 1)」のグラフを参照)。RATE_SEL = 1で振幅制御の値がSET_CML[7:0] = 170d以下の場合、たとえRXDE_EN = 0でも多少のデエンファシスが存在することに注意してください。

### カップリングコンデンサの選択

ACカップリングについては、レシーバの決定性ジッタが最小化されるようにカップリングコンデンサ$C_{IN}$および$C_{OUT}$を選択する必要があります。ジッタは、入力低周波数カットオフ($f_{IN}$)の低下とともに減少します($f_{IN} = 1/[2\pi(50)(C_{IN})]$)。MAX3945の場合、$C_{IN}$および$C_{OUT}$の推奨値は0.1µFです。

### オフセット補正コンデンサの選択

CAZとグランドの間に接続するコンデンサによって、信号経路のDCオフセット補正ループの時定数が決定されます。MAX3945の場合、CAZとグランドの間に0.1µFのコンデンサを接続することが推奨されます。

## アプリケーション情報

### レイアウトについて

EMIとクロストークを最小化するため、優れた高周波数のレイアウト技法と、連続したグランドプレーンを備えた多層基板を使用してください。

### エクスポーズドパッドパッケージ

16ピンTQFNのエクスポーズドパッドは、ICからの放熱のための非常に低熱抵抗の経路を提供します。このパッドはMAX3945上の電気的グランドにもなっており、適正な熱的および電気的性能を得るために回路基板のグランドにはんだ付けする必要があります。詳細については、アプリケーションノート862「HFAN-08.1: Thermal Considerations of QFN and Other Exposed-Paddle Packages」(英文)を参照してください。

## 表13. CML出力振幅の式(標準値)

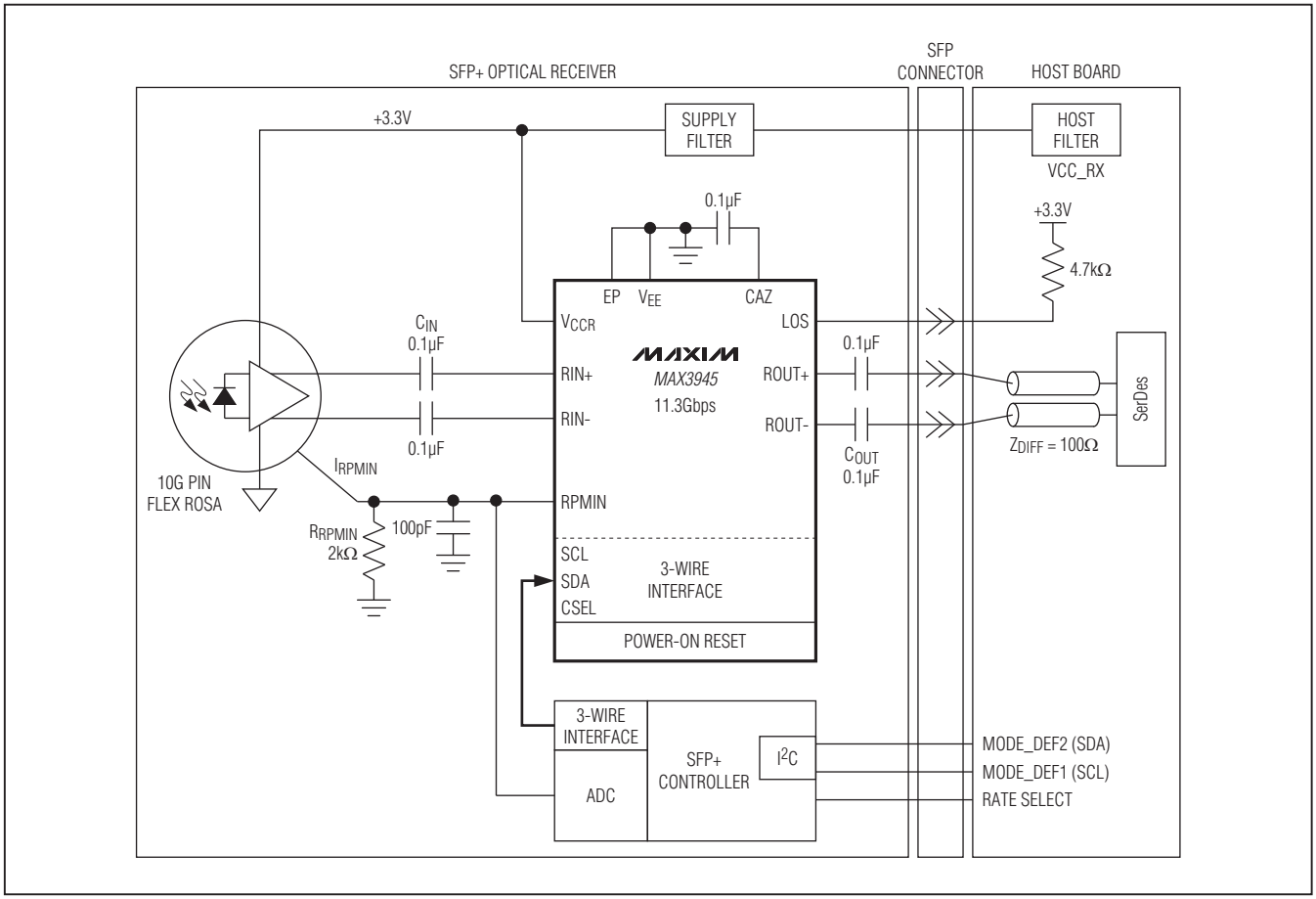
| RXCTRL1[1] | RXCTRL2[1] | RXCTRL1[7:6] | | DEEMPHASIS (dB) (SET_CML[7:0] = 120d) | EQUATION FOR ($V_{ROUT+}$ - $V_{ROUT-}$) |
|---|---|---|---|---|---|
| RATE_SEL | RXDE_EN | RXDE1 | RXDE0 | | |
| 0 | X | X | X | 0 | 45m$V_{P-P}$ + 4.5m$V_{P-P}$ x SET_CML |
| 1 | 0 | X | X | 0.72 | 4.5m$V_{P-P}$ x SET_CML |
| 1 | 1 | 0 | 0 | 1.17 | -4m$V_{P-P}$ + 4.1m$V_{P-P}$ x SET_CML |
| 1 | 1 | 0 | 1 | 1.89 | -7m$V_{P-P}$ + 3.9m$V_{P-P}$ x SET_CML |
| 1 | 1 | 1 | 0 | 2.48 | -10m$V_{P-P}$ + 3.6m$V_{P-P}$ x SET_CML |
| 1 | 1 | 1 | 1 | 3.86 | -13m$V_{P-P}$ + 3.3m$V_{P-P}$ x SET_CML |

## 表14. 出力レベル400m$V_{P-P}$と800m$V_{P-P}$の場合のSET_CMLのDACコード

| RXCTRL1[1] | RXCTRL2[1] | RXCTRL1[7:6] | | SET_CML DAC CODE | |
|---|---|---|---|---|---|
| RATE_SEL | RXDE_EN | RXDE1 | RXDE0 | 400m$V_{P-P}$ | 800m$V_{P-P}$ |
| 0 | X | X | X | 80 | 169 |
| 1 | 0 | X | X | 91 | 181 |
| 1 | 1 | 0 | 0 | 98 | 194 |
| 1 | 1 | 0 | 1 | 106 | 208 |
| 1 | 1 | 1 | 0 | 115 | 225 |
| 1 | 1 | 1 | 1 | 126 | 245 |

# 1.0625Gbps～11.3Gbps、SFP+デュアルパスリミティングアンプ

## 標準アプリケーション回路




## パッケージ

最新のパッケージ図面情報およびランドパターンは**japan.maxim-ic.com/packages**を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

| パッケージタイプ | パッケージコード | ドキュメントNo. |
|---|---|---|
| 16 TQFN-EP | T1633+5 | **21-0136** |

マキシム・ジャパン株式会社　〒141-0032　東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F　TEL: 03-6893-6600