

+3.3V、2.488Gbps、SDH/SONET 1:16デシリアライザクロックリカバリ付

概要

MAX3880は、SDH/SONETアプリケーションにおいて2.488Gbpsシリアルデータを16ビット幅の155Mbpsパラレルデータに変換するために最適のクロックリカバリ付デシリアライザです。本デバイスは+3.3V単一電源で動作し、高速シリアルデータ入力を受けて、デジタル回路とのインタフェース用の低電圧差動信号(LVDS)パラレルクロック及びデータ出力を供給します。

MAX3880は、2.488Gbpsアプリケーション用の低電力クロックリカバリ及びデータリタイミング機能を備えています。完全集積化位相ロックループ(PLL)が、シリアルNRZデータ入力から同期クロック信号を再生します。次に、再生されたクロックによってこの信号のタイミングが調節されます。MAX3880のジッタ性能は、全てのSDH/SONET規格を超えています。システムループバック診断テスト用に予備の2.488Gbpsシリアル入力が用意されています。又、TTLコンパチブルのロスオブロック(LOL)モニタ及びデータのリアライメント及びリフレーミングを可能にするLVDS同期入力も備えています。

MAX3880は拡張工業用(-40 ~ +85)温度範囲のものが用意されており、パッケージは64ピンTQFP EP(エクスポーズドパッド)です。

アプリケーション

- 2.488Gbps SDH/SONET伝送システム
- アッド/ドロップマルチプレクサ
- デジタルクロスコネクタ

特長

- ◆ 電源：+3.3V単一
- ◆ 動作電力：910mW
- ◆ 完全集積化クロックリカバリ及びデータリタイミング
- ◆ ANSI、ITU及びBellcore規格を超越
- ◆ 予備の高速入力によりシステムループバック診断テストが容易
- ◆ 2.488Gbpsシリアルから155Mbpsパラレルへの変換
- ◆ LVDSデータ出力及び同期入力
- ◆ 2000以上の連続同一デジットを許容
- ◆ ロスオブロックインジケータ

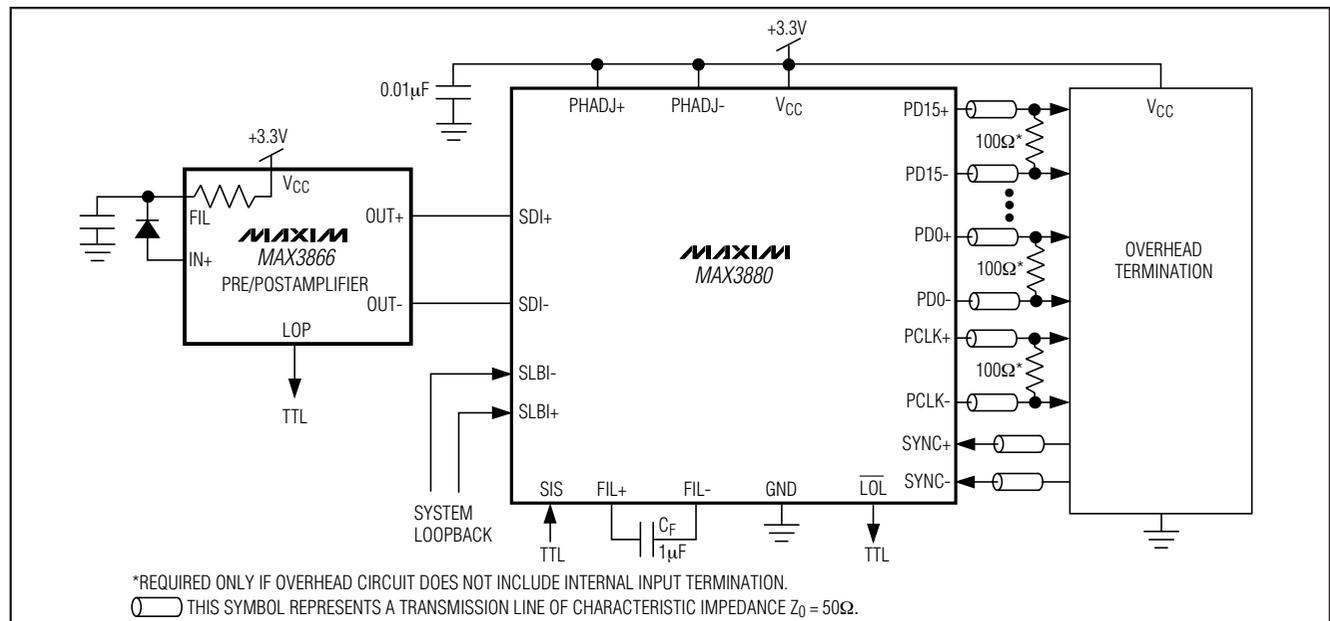
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3880ECB	-40°C to +85°C	64 TQFP EP*

*Exposed pad

ピン配置はデータシートの最後に記載されています

標準動作回路



+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザクロックリカバリ付

MAX3880

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage (V_{CC}).....-0.5V to +7.0V
 Input Voltage Level (SDI+, SDI-, SLBI+, SLBI-,
 SYNC+, SYNC-)..... ($V_{CC} - 0.5V$) to ($V_{CC} + 0.5V$)
 Input Current Level (SDI+, SDI-, SLBI+, SLBI-)..... $\pm 10mA$
 Voltage at $\overline{L}OL$, SIS, PHADJ+, PHADJ-,
 FIL+, FIL-.....-0.5V to ($V_{CC} + 0.5V$)
 Output Current LVDS Outputs10mA

Continuous Power Dissipation ($T_A = +85^\circ C$)
 TQFP (derate 33.3mW/ $^\circ C$ above +85 $^\circ C$).....1.44W
 Operating Temperature Range-40 $^\circ C$ to +85 $^\circ C$
 Storage Temperature Range-55 $^\circ C$ to +150 $^\circ C$
 Lead Temperature (soldering, 10sec).....+300 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to +3.6V, differential loads = 100 $\Omega \pm 1\%$, $T_A = -40^\circ C$ to +85 $^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{CC}			275	380	mA
SERIAL DATA INPUTS (SDI\pm, SLBI\pm)						
Differential Input Voltage	V_{ID}	Figure 1	50		800	mVp-p
Single-Ended Input Voltage	V_{IS}		$V_{CC} - 0.4$		$V_{CC} + 0.2$	V
Input Termination to Vcc	R_{IN}			50		Ω
LVDS INPUTS AND OUTPUTS (SYNC\pm, PCLK\pm, PD\pm)						
Input Voltage Range	V_I	Differential input voltage = 100mV	0		2.4	V
Differential Input Threshold	V_{IDTH}	Common-mode voltage = 50mV	-100		100	mV
Threshold Hysteresis	V_{HYST}			78		mV
Differential Input Resistance	R_{IN}		85	100	115	Ω
Output High Voltage	V_{OH}				1.475	V
Output Low Voltage	V_{OL}		0.925			V
Differential Output Voltage	$ V_{OD} $	Figure 2	250		400	mV
Change in Magnitude of Differential Output Voltage for Complementary States	$\Delta V_{OD} $				± 25	mV
Output Offset Voltage	V_{OS}		1.125		1.275	V
Change in Magnitude of Output Offset Voltage for Complementary States	ΔV_{OS}				± 25	mV
Single-Ended Output Resistance	R_O		40	95	140	Ω
Change in Magnitude of Single-Ended Output Resistance for Complementary Outputs	ΔR_O			± 2.5	± 10	%
TTL INPUTS AND OUTPUTS (SIS, $\overline{L}OL$)						
Input High Voltage	V_{IH}		2.0			V
Input Low Voltage	V_{IL}				0.8	V
Input Current			-10		+10	μA
Output High Voltage	V_{OH}		2.4		V_{CC}	V
Output Low Voltage	V_{OL}				0.4	V

+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザクロックリカバリ付

MAX3880

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, differential loads = $100\Omega \pm 1\%$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Data Rate	SDI			2.488		Gbps
Parallel Output Data Rate				155.52		Mbps
Parallel Clock-to-Data Output Delay	t_{CLK-Q}	Figure 5	200	450	900	ps
Jitter Tolerance		$f = 70kHz$ (Note 2)	2.31	3.3		Ulp-p
		$f = 100kHz$	1.74	2.41		
		$f = 1MHz$	0.38	0.57		
		$f = 10MHz$	0.28	0.46		
Tolerated Consecutive Identical Digits				>2,000		Bits
Input Return Loss (SDI \pm , SLBI \pm)		100kHz to 2.5GHz		-18		dB
		2.5GHz to 4.0GHz		-11		

Note 1: AC characteristics are guaranteed by design and characterization.

Note 2: At jitter frequencies $<70kHz$, the jitter tolerance characteristics exceed the ITU/Bellcore specifications. The low-frequency jitter tolerance outperforms the instrument's measurement capability.

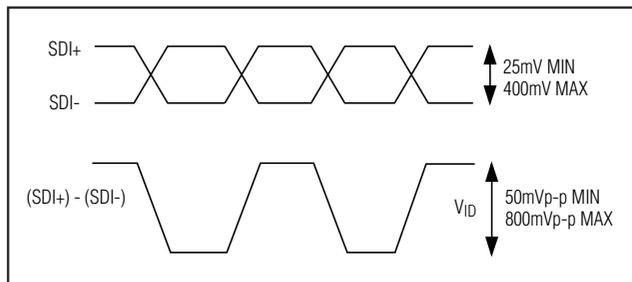


図1. 入力振幅

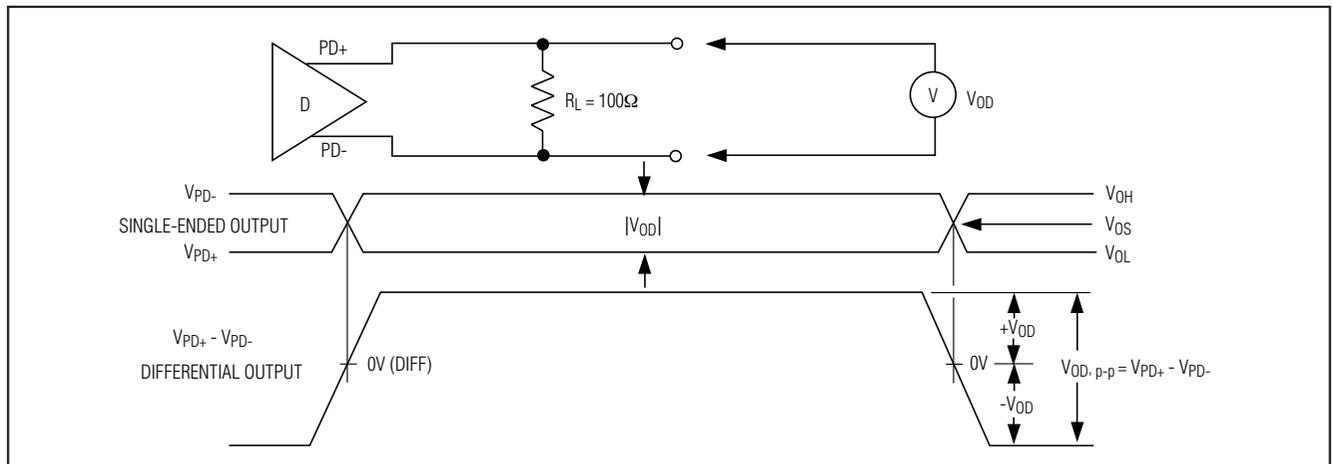


図2. ドライバ出力レベル

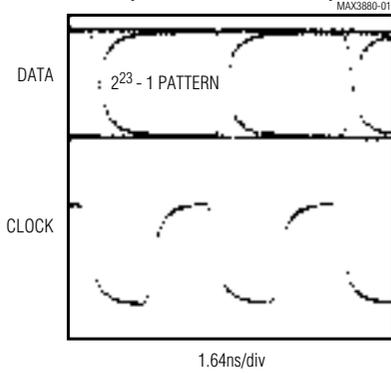
+3.3V、2.488Gbps、SDH/SONET 1:16デシリアライザクロックリカバリ付

MAX3880

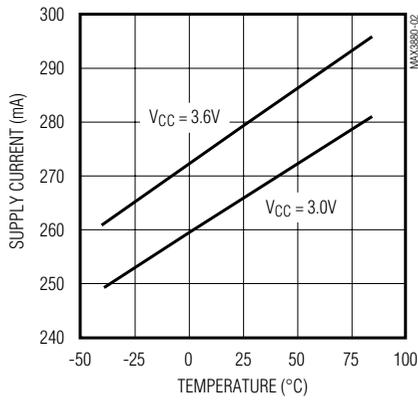
標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

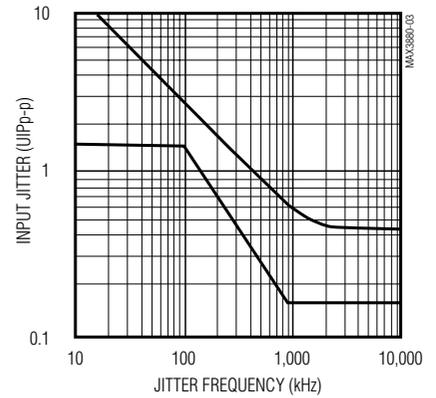
**RECOVERED DATA AND CLOCK
(DIFFERENTIAL OUTPUT)**



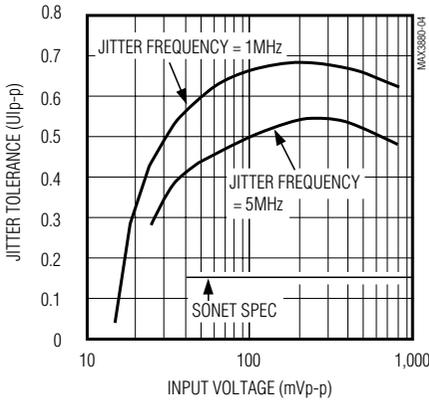
SUPPLY CURRENT vs. TEMPERATURE



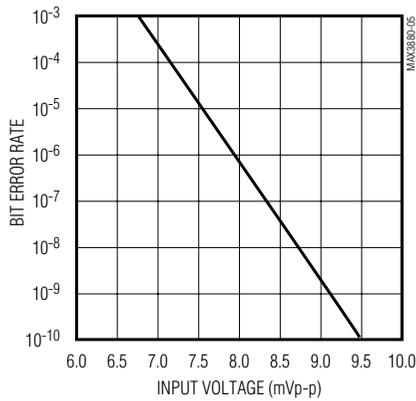
JITTER TOLERANCE



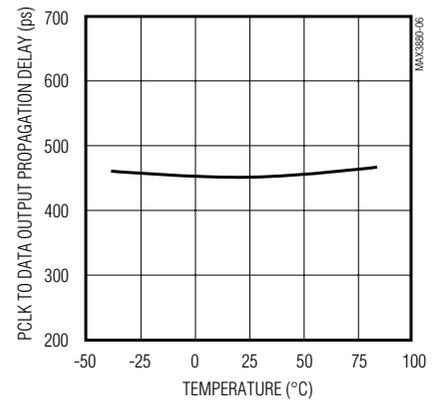
JITTER TOLERANCE vs. INPUT VOLTAGE



BIT ERROR RATE vs. INPUT VOLTAGE



**PARALLEL CLOCK TO DATA OUTPUT
PROPAGATION DELAY vs. TEMPERATURE**



+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザクロックリカバリ付

MAX3880

端子説明

端子	名称	機能
1, 17, 25, 33, 41, 49, 56, 62, 64	GND	グラウンド
2	FIL+	正のフィルタ入力。PLLループフィルタ接続。FIL+とFIL-の間に1.0μFコンデンサを接続してください。
3	FIL-	負のフィルタ入力。PLLループフィルタ接続。FIL+とFIL-の間に1.0μFコンデンサを接続してください。
4, 7, 10, 13, 24, 32, 40, 48, 57	VCC	+3.3V電源電圧
5	PHADJ+	正の位相調整入力。内部PLL位相を最適に調整するために使用します。使用しない場合はVCCに接続してください。
6	PHADJ-	負の位相調整入力。内部PLL位相を最適に調整するために使用します。使用しない場合はVCCに接続してください。
8	SDI+	正のシリアルデータ入力。2.488Gbpsデータストリーム。
9	SDI-	負のシリアルデータ入力。2.488Gbpsデータストリーム。
11	SLBI+	正のシステムループバック入力。2.488Gbpsデータストリーム。
12	SLBI-	負のシステムループバック入力。2.488Gbpsデータストリーム。
14	SIS	信号入力選択。通常のデータ入力(SDI)の場合はTTLロー。システムループバック入力(SLBI)の場合はTTLハイ。
15	SYNC-	負の同期パルスLVDS入力。1ビットを落としデータアライメントをシフトさせるには、SYNC信号を少なくともシリアルデータ4ビット間(1.6ns)、ハイにパルス入力してください。
16	SYNC+	正の同期パルスLVDS入力。1ビットを落としデータアライメントをシフトさせるには、SYNC信号を少なくともシリアルデータ4ビット間(1.6ns)、ハイにパルス入力してください。
18	PCLK-	負のパラレルクロックLVDS出力
19	PCLK+	正のパラレルクロックLVDS出力
20, 22, 26, 28, 30, 34, 36, 38, 42, 44, 46, 50, 52, 54, 58, 60	PD0- to PD15-	負のパラレルデータLVDS出力。データはPCLK信号の負の遷移で更新されます(図5)。
21, 23, 27, 29, 31, 35, 37, 39, 43, 45, 47, 51, 53, 55, 59, 61	PD0+ to PD15+	正のパラレルデータLVDS出力。データはPCLK信号の負の遷移で更新されます(図5)。
63	$\overline{\text{LOL}}$	ロスオブロック出力。PLLロスオブロックモニタ。TTLアクティブロー(内部10kΩプルアップ抵抗)。 $\overline{\text{LOL}}$ モニタは、データストリームがMAX3880の入力に存在する時にだけ有効です。
EP	Exposed Paddle	グラウンド。適正な熱的性能を発揮させるには、この端子を基板にハンダ付けする必要があります(「パッケージ」を参照)。

+3.3V、2.488Gbps、SDH/SONET 1:16デシリアライザクロックリカバリ付

MAX3880

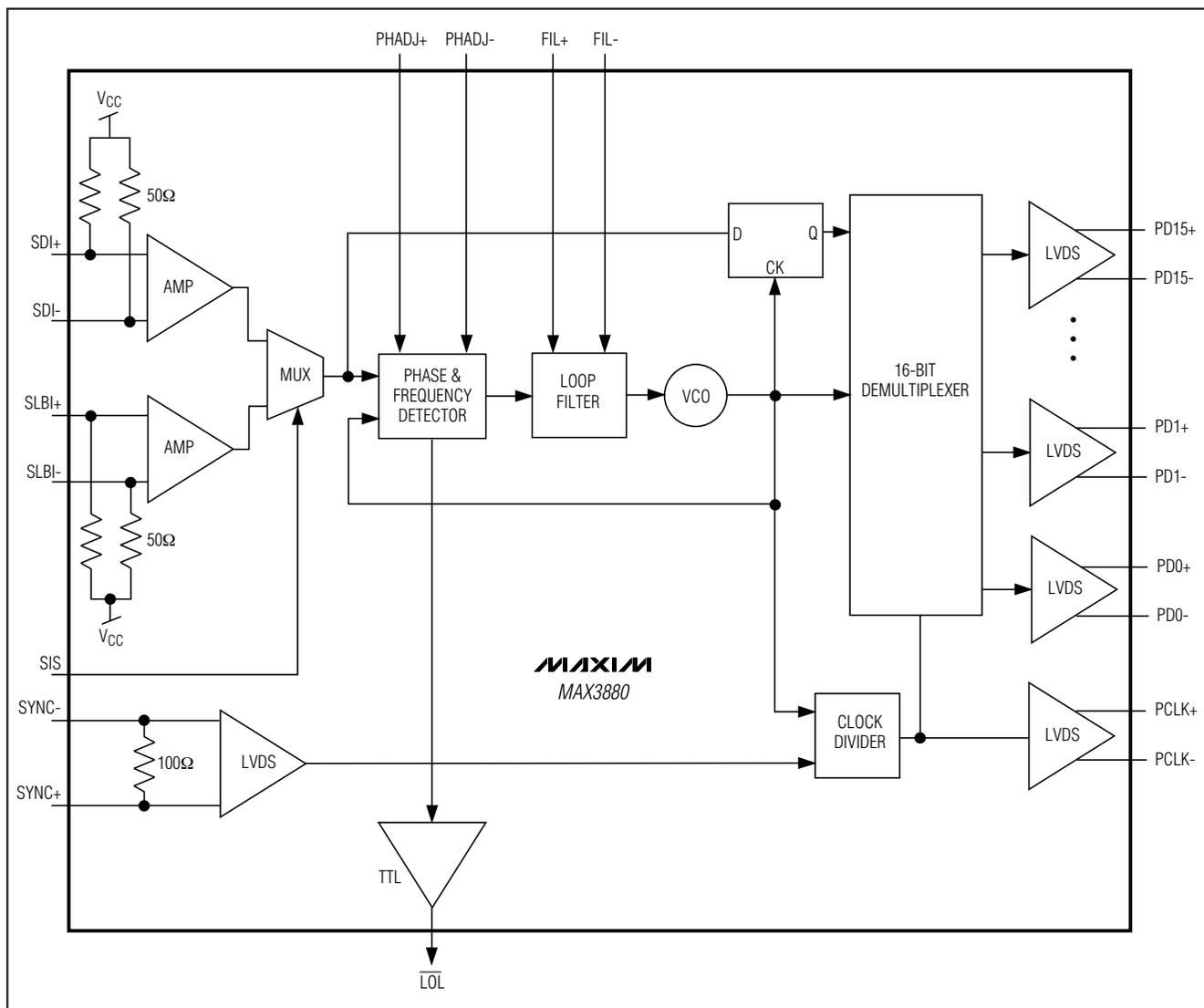


図3. MAX3880のファンクションダイアグラム

詳細

MAX3880デシリアライザ(クロックリカバリ付)は、2.488Gbpsのシリアルデータを16ビット幅の155Mbpsパラレルデータに変換します。本デバイスには完全集積化位相ロックループ(PLL)、入力アンプ、データリタイミングブロック、16ビットデマルチプレクサ、クロックデバイダ及びLVDS出力バッファが組み込まれています(図3)。PLLは位相/周波数ディテクタ(PFD)、ループフィルタ及び電圧制御発振器(VCO)で構成されています。MAX3880は、完全差動信号構造及び低ノイズ設計技術により、ジッタ性能と電力消費の最高の組み合わせを実現するように設計されています。PLLは、シリアル入力データストリームからシリアルクロック

を再生します。デマルチプレクサは、16ビット幅の155Mbpsパラレルデータ出力を生成します。

同期入力(SYNC+、SYNC-)は出力データワードの再アラインメントを実現します。再アラインメントは、SYNC信号の正の遷移から2つの完全PCLKサイクル以内に起こることが保証されています。同期進行中、そのPCLKサイクルの最初の着信データビットが落とされてPCLKとデータの間のアラインメントが1ビットだけシフトします。SYNC信号は少なくとも4つのシリアルビット周期(4 x 402ps)の幅を持っている必要があります。図4にタイミング図、図5にタイミングパラメータ図を示します。

+3.3V、2.488Gbps、SDH/SONET 1:16デシリアライザクロックリカバリ付

MAX3880

入力アンプ

メインデータ及びシステムループバックの両入力アンプは、差動入力振幅50mVp-p~800mVp-pを受け付けます。ビットエラーレート(BER)は、最小9.5mVp-pの入力信号に対して 1×10^{-10} よりも良好です(ただしジッタ許容性能は劣化します)。PECL信号レベルとのインタフェースについては、「アプリケーション情報」を参照してください。

位相ディテクタ

MAX3880の位相ディテクタは、入力データと内部クロックの間の位相差に比例する電圧を生成します。フィードバックの性質により、PLLはリタイミングのため再生クロックを入力データアイの中心に合うように、エラー電圧をゼロにドライブします。外部位相調整ピン(PHADJ+、PHADJ-)により、内部位相アラインメントを可変できます。

周波数ディテクタ

デジタル周波数ディテクタ(FD)は、スタートアップ状態での周波数の補捉を補助します。受信データとVCOクロックの間の周波数差は、データ入力信号の両エッジにおける同相及び直交VCO出力をサンプリングすることによって得られます。FDは、周波数差の極性

に従って差分周波数がゼロに減少するまでVCOを駆動します。一旦周波数が取り込まれると、FDはニュートラル状態に戻ります。疑似ロッキングは、このデジタル周波数ディテクタによって完全に排除されます。

ループフィルタ及びVCO

位相ディテクタ及び周波数ディテクタの出力は、加算されてループフィルタに入ります。PLLダンピング比を設定するために、1.0 μ Fコンデンサ(C_F)が必要です。

ループフィルタ出力は、2.488GHzで動作するオンチップLC VCOを制御します。VCOは低位相ノイズを提供し、適正な周波数にトリミングされています。

ロスオブロックモニタ

ロスオブロック($\overline{\text{LOL}}$)モニタは、MAX3880の周波数ディテクタに含まれています。ロスオブロック条件が発生すると、ただちにTTLローによって知らされます。PLLが周波数ロックされると、 $\overline{\text{LOL}}$ は約800nsでTTLハイになります。

$\overline{\text{LOL}}$ モニタは、MAX3880の入力にデータストリームが存在するときのみ有効であることに注意してください。このため、 $\overline{\text{LOL}}$ は着信信号の喪失に起因するロスオブパワー条件は検出しないことに注意してください。

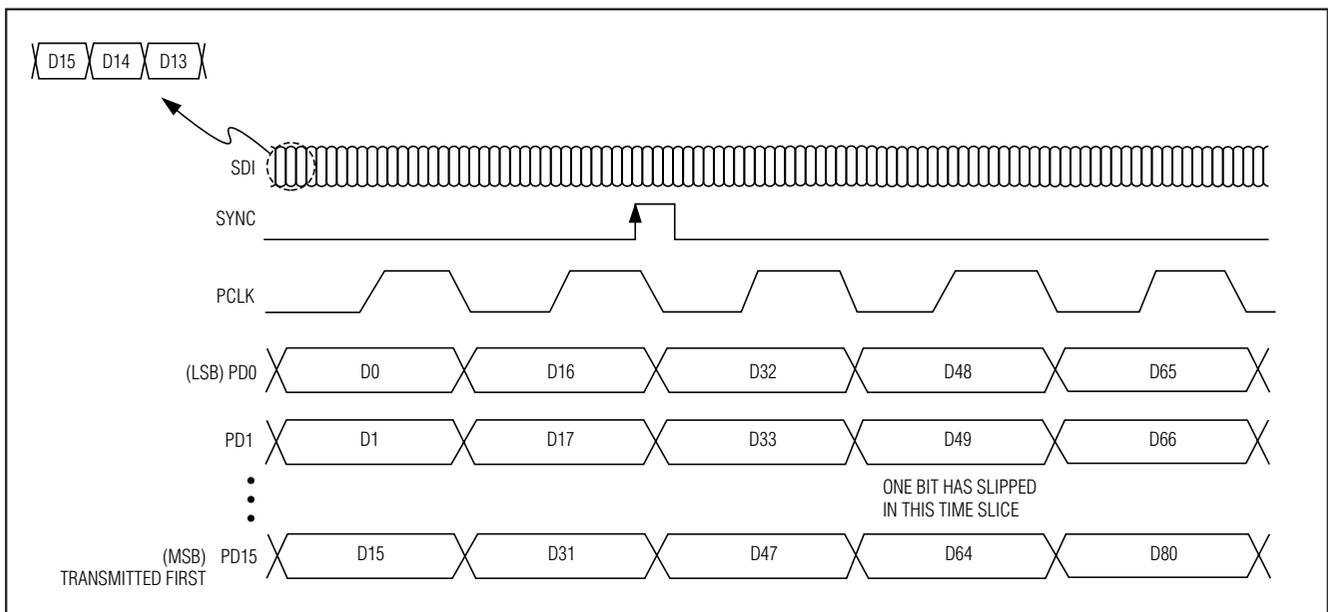


図4. タイミング図

+3.3V、2.488Gbps、SDH/SONET 1:16デシリアライザクロックリカバリ付

MAX3880

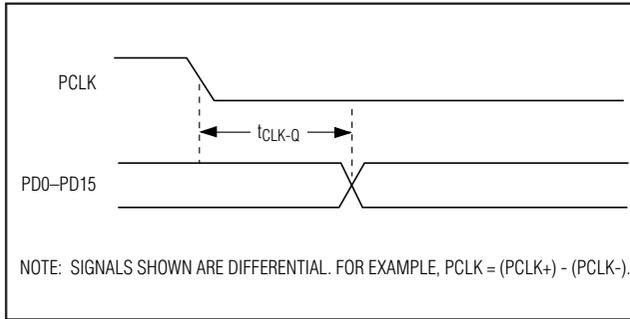


図5. タイミングパラメータ

低電圧差動信号(LVDS)入出力

MAX3880は、高速デジタル回路とのインタフェースを目的としたLVDS入出力を備えています。LVDS標準は、IEEE 1596.3 LVDS規格に基づいています。この技術では500mVp-p ~ 800mVp-pの差動低電圧スイングを使用することにより、高速トランジション、低消費電力、及びノイズ耐性を実現しています。パラレルクロック及びデータLVDS出力(PCLK+, PCLK-, PD+, PD-)が適正に動作するには、正出力と負出力間に100の差動DC終端処理を必要とします。これらの出力は、グランドに対して終端処理しないでください。同期LVDS入力(SYNC+, SYNC-)は100の内部差動入力抵抗で終端処理されているため、外部で終端処理する必要はありません。

設計手順

ジッタ耐性と入力感度の妥協点

受信データ振幅が50mVp-p以上の時、MAX3880の標準ジッタ耐性は10MHz以上のジッタ周波数に対して0.46 UIです。SDH/SONETジッタ耐性規格は0.15 UIであるため、レシーバプリアンプとポストアンプの設計のために0.31 UIのジッタ許容があります。

BERは、9.5mVp-p以上の入力信号に対して 1×10^{-10} よりも良好です。25mVp-pにおいてはジッタ耐性が劣化しますが、それでもSDH/SONETの必要条件を上回っています。特定アプリケーションに従って、ジッタ耐性と入力感度間の妥協点を求めることができます。ジッタ耐性とBER対入力振幅のグラフは、「標準動作特性」に記載されています。

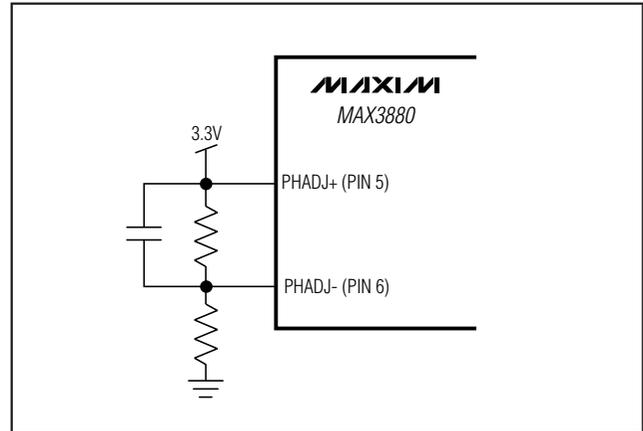


図6. 位相調整抵抗分圧器

アプリケーション情報

連続同一デジット(CID)

MAX3880は、データ遷移がない時の位相及び周波数ドリフトが小さくなっています。このため、 1×10^{-10} のBERを維持しつつ、連続ゼロ及び1の長い列に耐性があります。CID耐性のテストは、 $2^{13}-1$ の疑似ランダムビットストリーム(PRBS)を使用し、長いゼロの列で最悪条件をシミュレートします。CID耐性は標準的に2,000ビット以上です。

位相調整

内部クロックは、データアイの中心近くに調整されています。特定のアプリケーションによっては、BER性能を最適化するためにPHADJ入力を使用して、このサンプリング位置をシフトすることもできます。PHADJ入力は $\pm 1.5V$ までの差動入力で動作します。これらのレベルを設定するには、簡単な抵抗分圧器とバイパスコンデンサで十分です(図6)。PHADJ入力を使用しない場合は、 V_{CC} に直接接続してください。

システムループバック

MAX3880は、システムループバックテストができるように設計されています。ユーザは、トランシーバのシリアライザ出力(MAX3890)を直接MAX3880のSLBI+及びSLBI-入りに接続することにより、システム診断を行うことができます。SLBI \pm 入力を選択するには、SISピンにTTLロジックハイを印加してください。

+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザクロックリカバリ付

MAX3880

PECL入力レベルとのインタフェース

差動PECL入力レベルとインタフェースする場合は、50Ω 終端処理を維持しつつ信号を減衰させることが重要です(図7)。又、入力同相レベルを維持するためにACカップリングが必要です。

レイアウト技法

最高の性能を得るためには、良質の高周波レイアウト技法を使用してください。電圧電源をフィルタリングし、グランド接続を短くし、可能なところでは複数のビアを使用してください。MAX3880の高速入力及び出力とインタフェースする時は、インピーダンスが管理された調整された伝送ラインを使用してください。電源デカップリングはV_{CC}のできるだけ近くに配置してください。フィードスルーを小さくするため、入力信号を出力信号から分離するように注意してください。

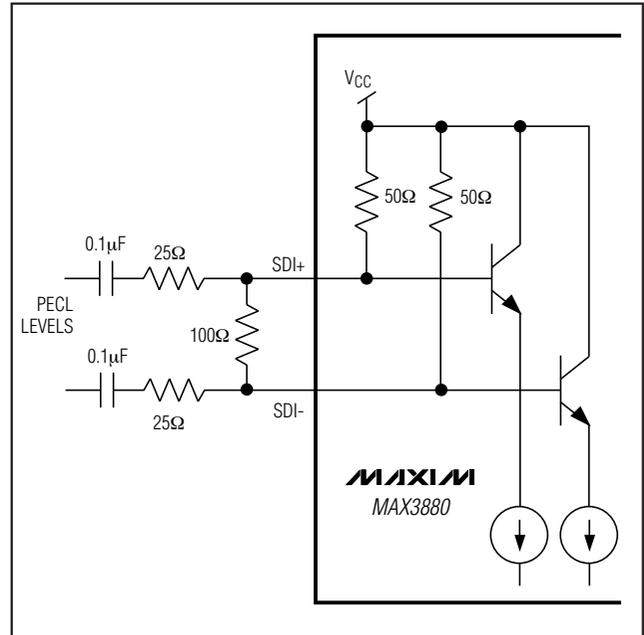


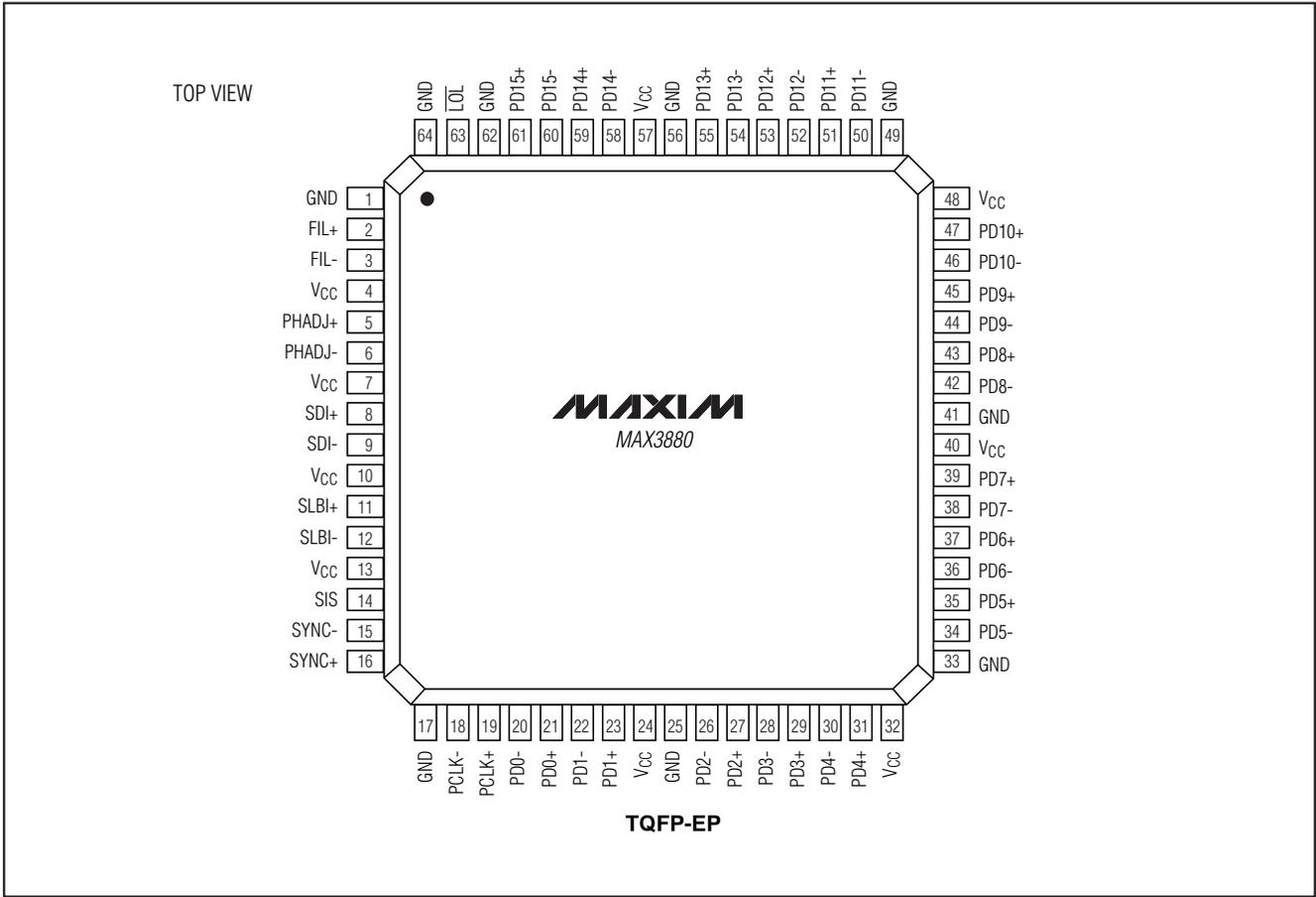
図7. PECL入力レベルとのインタフェース

チップ情報 _____

TRANSISTOR COUNT: 4102

+3.3V、2.488Gbps、SDH/SONET
1:16 デシリアライザクロックリカバリ付

ピン配置

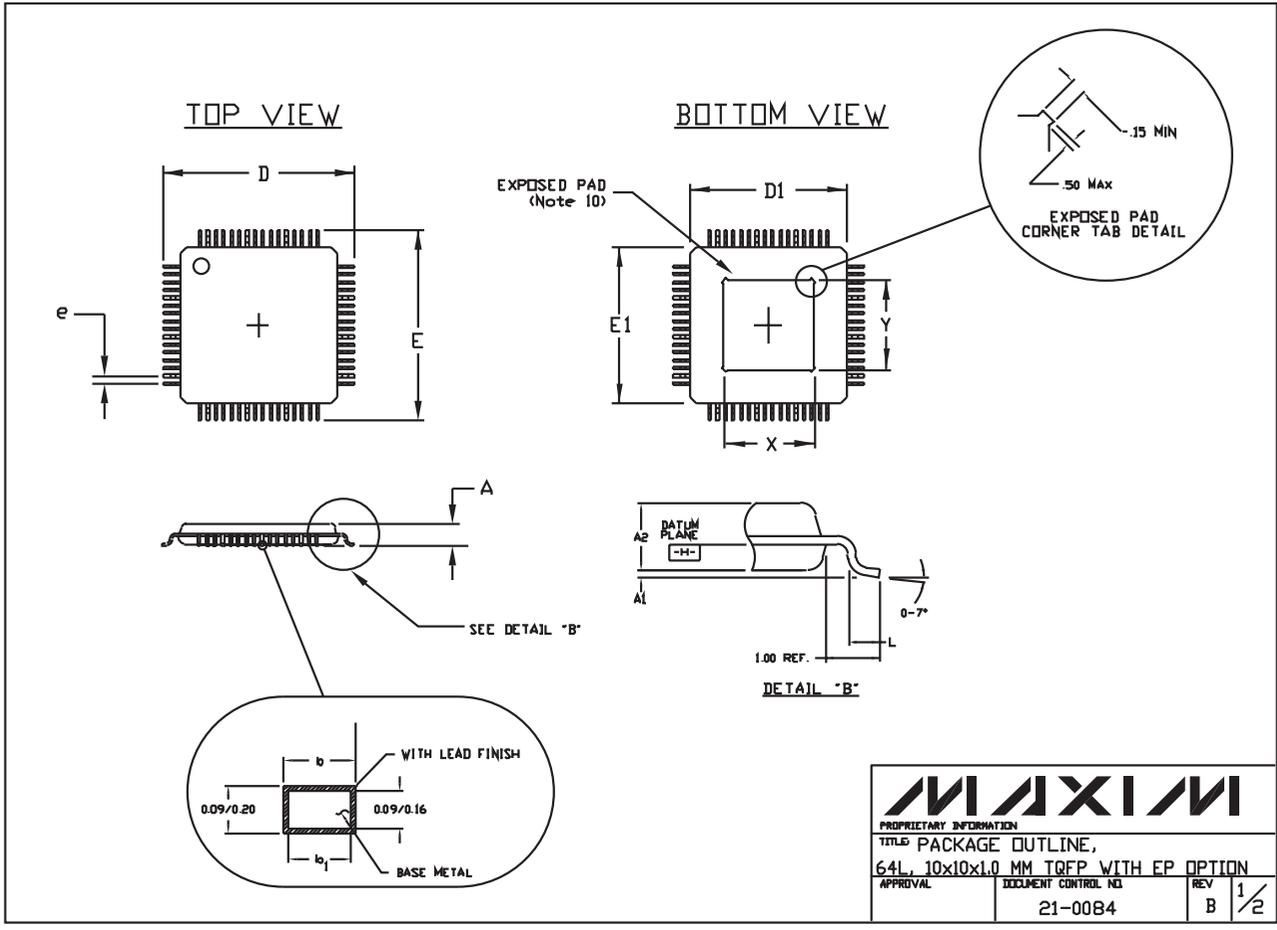


+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザクロックリカバリ付

パッケージ

MAX3880

64L, TQFP-EPS



+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザクロックリカバリ付

パッケージ(続き)

NOTES:

1. ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE \square -H- \square IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION: MILLIMETER.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATION AJ.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
10. DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

SYMBOL	JEDEC VARIATION	
	ALL DIMENSIONS IN MILLIMETERS	
	AJ	
	MIN.	MAX.
A	~	1.20
A ₁	0.05	0.15
A ₂	0.95	1.05
D	12.00 BSC.	
D ₁	10.00 BSC.	
E	12.00 BSC.	
E ₁	10.00 BSC.	
L	0.45	0.75
N	64	
e	0.50 BSC.	
b	0.17	0.27
b ₁	0.17	0.23
X	4.7	5.30
Y	4.70	5.30

* EXPOSED PAD (Note 10)

MAXIM			
<small>PROPRIETARY INFORMATION</small>			
TITLE: PACKAGE OUTLINE, 64L, 10x10x1.0 MM TQFP WITH EP OPTION			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small>	<small>REV</small>	<small>2/2</small>
	21-0084	B	

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**