

EVALUATION KIT
AVAILABLE

12.5Gbps、CML 2 x 2クロスポイントスイッチ

概要

MAX3841は、低消費電力の12.5Gbps、2×2クロスポイントスイッチICで、高速シリアルデータのループバック、冗長化、スイッチングなどのアプリケーションに使用します。MAX3841の電流モードロジック(CML)の入力と出力は、1.8V、2.5V、または3.3VのCML ICとDC結合インタフェースが可能な独立したV_{CC}接続を備えています。信号パスが完全に差動型であり、かつ、マキシムの第二世代SiGe技術を採用しているため、ジッタ、クロストーク、及びスキューを抑え、信号の完全性を可能な限り高めています。MAX3841は、OC-192、10GbEシリアル光モジュールやラインカード、スイッチファブリックといったアプリケーションに最適です。

MAX3841は、最小差動入力感度が150mV_{p-p}、公称差動出力振幅が500mV_{p-p}となっています。なお、不使用の出力を個別にパワーダウンし、消費電力を抑えることができます。MAX3841の構成は、2×2スイッチ以外に、2:1マルチプレクサ、1:2バッファ、またはデュアル1:1バッファがあります。MAX3841は4mm×4mmの24ピン薄型QFNパッケージで提供されており、両出力を使用しても消費電力は215mWに過ぎません。

アプリケーション

OC-192、10GbEスイッチ/ラインカード
OC-192、10GbE光モジュール
システム冗長化/セルフテスト
クロックファンアウト

特長

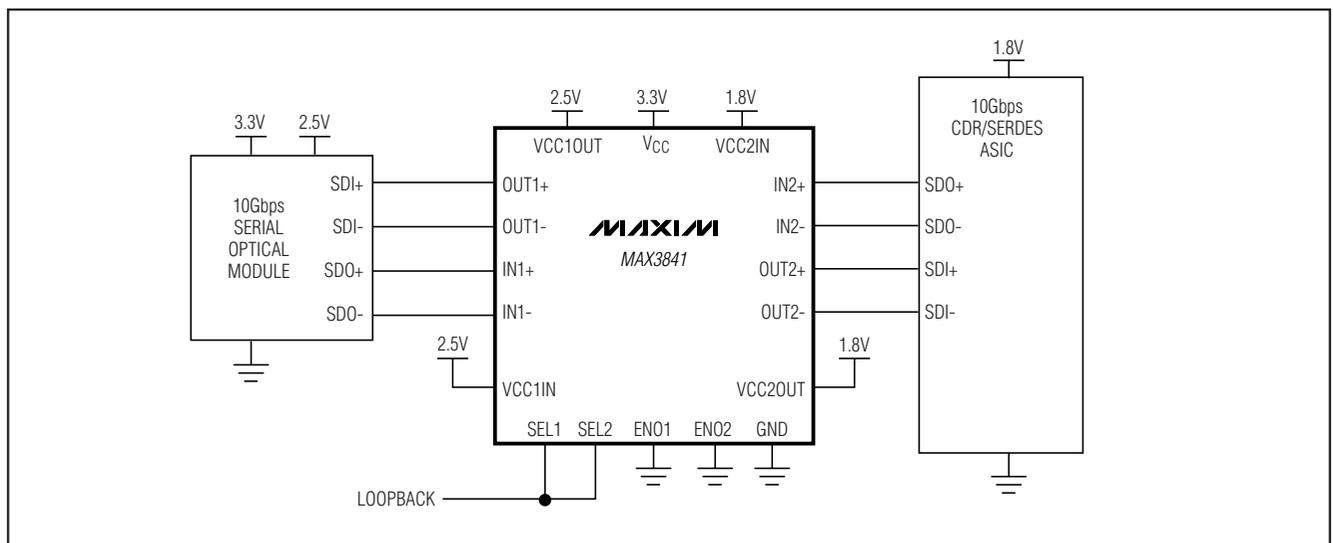
- ◆ 動作速度：最大12.5Gbps
- ◆ 確定ジッタ：10ps_{p-p}以下
- ◆ ランダムジッタ：0.7ps_{RMS}以下
- ◆ 1.8V、2.5V、または3.3VのDC結合CML I/O
- ◆ 個別に出力パワーダウン可能
- ◆ 4mm×4mmのThin QFNパッケージ
- ◆ 動作温度：-40°C~+85°C
- ◆ コア電源電圧：+3.3V
- ◆ 消費電力：215mW(終端電流は除く)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG. CODE
MAX3841ETG	-40°C to +85°C	24 Thin QFN	T2444-1

ピン配置はデータシートの最後に記載されています。

標準動作回路



12.5Gbps, CML 2 x 2クロスポイントスイッチ

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}	-0.5V to +4.0V	Continuous Power Dissipation ($T_A = +85^\circ\text{C}$)	
CML Supply Voltage (V_{CC_IN} , V_{CC_OUT}).....	-0.5V to +4.0V	24-Pin Thin QFN (derate 20.8mW/°C	
Continuous Output Current ($OUT1\pm$, $OUT2\pm$).....	$\pm 25\text{mA}$	above $+85^\circ\text{C}$).....	1352mW
CML Input Voltage ($IN1\pm$, $IN2\pm$).....	-0.5V to ($V_{CC_IN} + 0.5\text{V}$)	Operating Temperature Range	-40°C to $+85^\circ\text{C}$
LVC MOS Input Voltage (SEL1, SEL2, ENO1, ENO2).....	-0.5V to ($V_{CC} + 0.5\text{V}$)	Storage Temperature Range	-55°C to $+150^\circ\text{C}$
		Lead Temperature (soldering, 10s)	$+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0\text{V}$ to $+3.6\text{V}$, $V_{CC_IN} = +1.71\text{V}$ to V_{CC} , $V_{CC_OUT} = +1.71\text{V}$ to V_{CC} , $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$. Typical values are at $V_{CC} = +3.3\text{V}$, $V_{CC_IN} = V_{CC_OUT} = 1.8\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Core Supply Current	I_{CC}	Excluding CML termination currents		65	90	mA
Data Rate		(Note 1)	0		12.5	Gbps
CML Input Differential	V_{IN}	AC-coupled or DC-coupled (Note 2)	150		1200	mV _{P-P}
CML Input Common Mode		DC-coupled	$V_{CC_IN} - 0.3$		V_{CC_IN}	V
CML Input Termination		Single ended	42.5	50	57.5	Ω
CML Input Return Loss		Up to 10GHz		12		dB
CML Output Differential	V_{OUT}	(Note 2)	400	500	600	mV _{P-P}
CML Output Termination		Single ended	42.5	50	57.5	Ω
CML Output Transition Time	t_R , t_F	20% to 80% (Notes 1, 3)			30	ps
Deterministic Jitter		(Notes 1, 4)			10	ps _{P-P}
Random Jitter		$V_{IN} = 150\text{mV}_{P-P}$ (Notes 1, 5)		0.3	0.7	ps _{RMS}
Propagation Delay		Any input to output (Note 1)		100	140	ps
Channel-to-Channel Skew		(Note 1)			12	ps
Output Duty-Cycle Skew		50% input duty cycle (Notes 1, 3)			8	ps
LVC MOS Input Current	I_{IH} , I_{IL}		-10		+10	μA
LVC MOS Input High Voltage	V_{IH}		1.7			V

Note 1: Guaranteed by design and characterization.

Note 2: Differential swing is defined as $V_{IN} = (IN_{+}) - (IN_{-})$ and $V_{OUT} = (OUT_{+}) - (OUT_{-})$. See Figure 1.

Note 3: Measured using a 0000011111 pattern at 12.5Gbps, and $V_{IN} = 400\text{mV}_{P-P}$ differential.

Note 4: Measured at 9.953Gbps using a pattern of 100 ones, $2^7 - 1$ PRBS, 100 zeros, $2^7 - 1$ PRBS, and at 12.5Gbps using a $\pm K28.5$ pattern. $V_{CC_IN} = V_{CC_OUT} = 1.8\text{V}$, and $V_{IN} = 400\text{mV}_{P-P}$ differential.

Note 5: Refer to Maxim application note HFAN-04.5.1: *Measuring Random Jitter on a Digital Sampling Oscilloscope*.

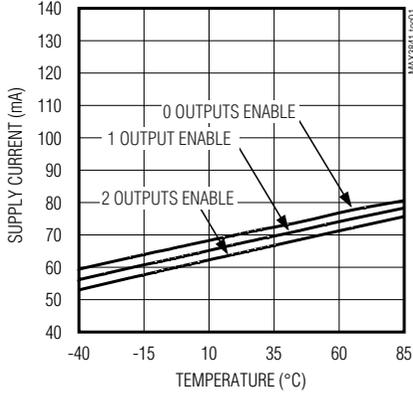
12.5Gbps、CML 2 x 2クロスポイントスイッチ

標準動作特性

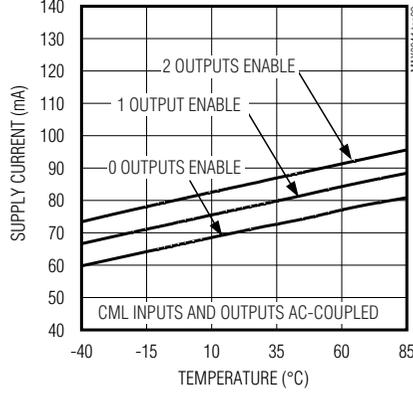
($V_{CC} = 3.3V$, V_{CC_IN} , $V_{CC_OUT} = 1.8V$, $V_{IN} = 500mV_{P-P}$, $T_A = +25^{\circ}C$, unless otherwise noted.)

MAX3841

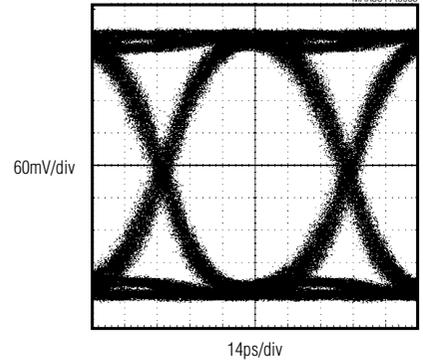
**CORE SUPPLY CURRENT vs. TEMPERATURE
(EXCLUDES CML I/O CURRENTS)**



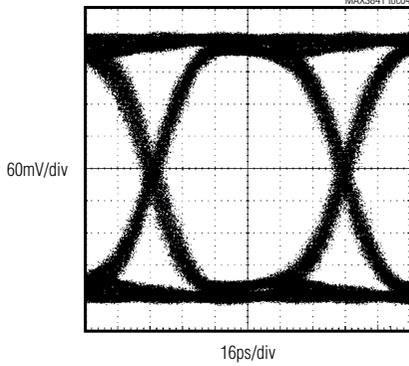
**SUPPLY CURRENT vs. TEMPERATURE
(CORE PLUS CML I/O CURRENTS)**



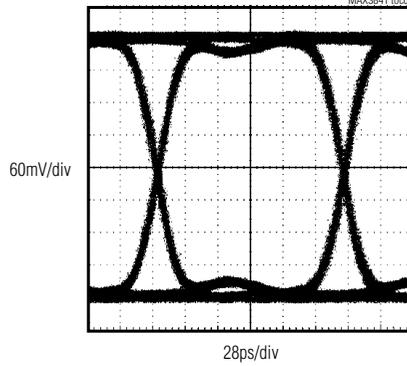
**OUTPUT EYE DIAGRAM
(12.5Gbps, $2^{23} - 1$ PRBS)**



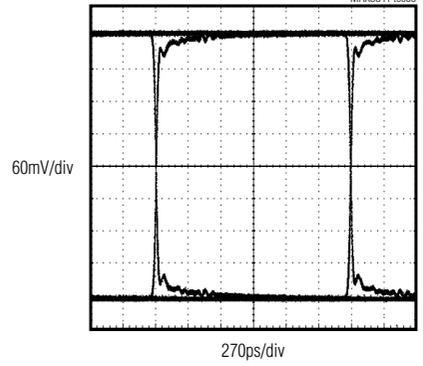
**OUTPUT EYE DIAGRAM
(10.7Gbps, $2^{23} - 1$ PRBS)**



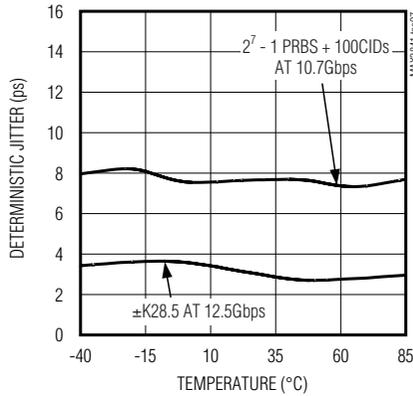
**OUTPUT EYE DIAGRAM
(6.25Gbps, $2^{23} - 1$ PRBS)**



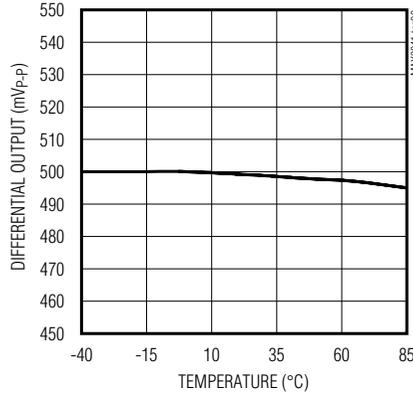
**OUTPUT EYE DIAGRAM
(622Mbps, $2^{23} - 1$ PRBS)**



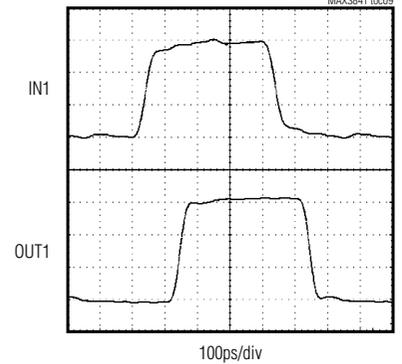
**DETERMINISTIC JITTER
vs. TEMPERATURE**



**DIFFERENTIAL OUTPUT SWING
vs. TEMPERATURE**



PROPAGATION DELAY



12.5Gbps、CML 2 x 2クロスポイントスイッチ

端子説明

端子	名称	機能
1, 12	VCC	コア電源電圧 (+3.3V)。
2, 5	VCC1IN	CML入力IN1用電源電圧。1.8V、2.5V、または3.3Vに接続。
3	IN1+	正シリアルデータ入力1、CML。
4	IN1-	負シリアルデータ入力1、CML。
6	SEL1	出力1選択、LVCMOS入力。表1参照。
7	SEL2	出力2選択、LVCMOS入力。表1参照。
8, 11	VCC2IN	CML入力IN2用電源電圧。1.8V、2.5V、または3.3Vに接続。
9	IN2+	正シリアルデータ入力2、CML。
10	IN2-	負シリアルデータ入力2、CML。
13, 24	GND	電源グランド。
14, 17	VCC1OUT	CML出力OUT1用電源電圧。1.8V、2.5V、または3.3Vに接続。
15	OUT1-	負シリアルデータ出力1、CML。
16	OUT1+	正シリアルデータ出力1、CML。
18	ENO1	出力1イネーブル、LVCMOS入力。表1参照。
19	ENO2	出力2イネーブル、LVCMOS入力。表1参照。
20, 23	VCC2OUT	CML出力OUT2用電源電圧。1.8V、2.5V、または3.3Vに接続。
21	OUT2-	負シリアルデータ出力2、CML。
22	OUT2+	正シリアルデータ出力2、CML。
EP	Exposed Pad	グランド。電氣的及び熱的動作を適切に行うには、エクスポーズドパッドを回路基板のグランドに半田付けする必要があります。

詳細

MAX3841は、2つの2:1マルチプレクサを駆動する一対のCML入力と独立した選択入力SEL1とSEL2、2x2クロスポイントデータパスを内蔵しています。各マルチプレクサの出力は、高性能CML出力を駆動し、CML出力は、ENO1/ENO2入力によってディセーブル(パワーダウン)することができます。データパスはすべて差動動作となっているため、ジッタ、クロストーク、及びスキューを最小限に抑えられます。MAX3841のファンクションダイアグラムを図1に示します。

CML入力及び出力バッファ

MAX3841の入力及び出力バッファは独立した電源ラインに対し50Ωで終端されており、100Ωの差動終端として使うことも可能です(図3と図4を参照)。コア、入力バッファ、及び出力バッファには独立した電源接続があり、1.8V、2.5V、または3.3VのCML ICとDC結合が可能です。必要であれば、CML入力及び出力をAC結合とすることもできます。

CML入力は、差動振幅が150mV_{p-p}~1200mV_{p-p}のシリアルNRZデータが入力できます(図2参照)。CML出力は公称差動振幅が500mV_{p-p}となっており、低消費電力が実現されています。

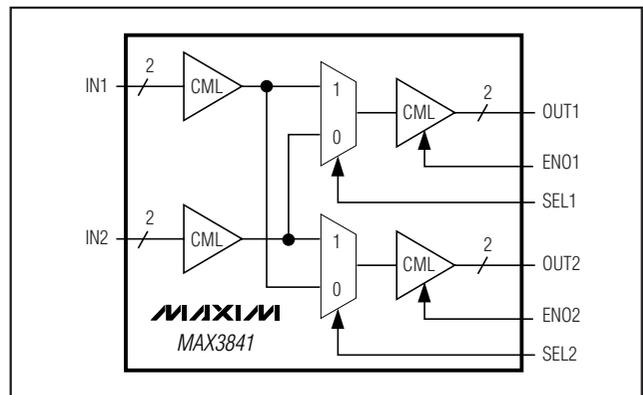


図1. ファンクションダイアグラム

12.5Gbps、CML 2 x 2クロスポイントスイッチ

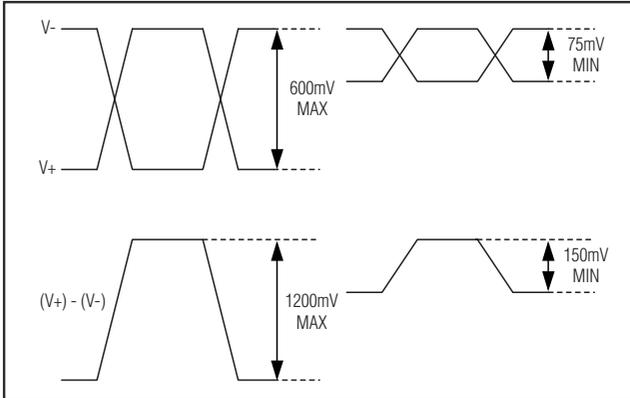


図2. 差動電圧振幅の定義

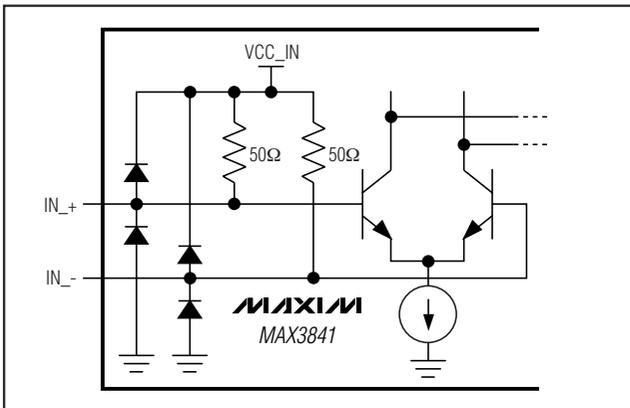


図3. CML入力等価回路

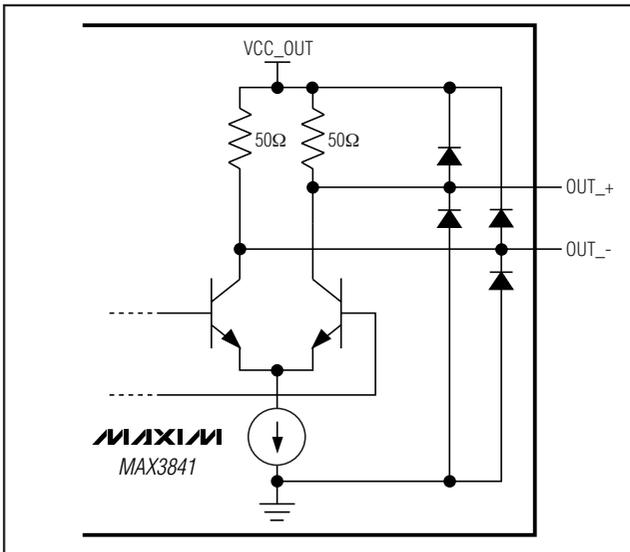


図4. CML出力等価回路

表1. 出力制御

ENO1	ENO2	SEL1	SEL2	OUT1	OUT2
0	0	0	0	IN2	IN1
0	0	0	1	IN2	IN2
0	0	1	0	IN1	IN1
0	0	1	1	IN1	IN2
1	1	X	X	Disabled	Disabled

アプリケーション情報

選択とイネーブル制御

MAX3841には、2つのLVCMOS互換の選択入力SEL1とSEL2があります。いずれのデータ入力も、データ出力のいずれか、または両方に接続できます。イネーブル入力は2つのLVCMOS互換ENO1とENO2があり、出力は個別にディセーブル化することが可能です。また、このLVCMOS制御入力の組み合わせにより、MAX3841は1:2ドライバ、2:1マルチプレクサ、またはデュアル1:1バッファとして使うことができます(表1参照)。

電源接続

各入力と出力電源接続(VCC1IN、VCC2IN、VCC1OUT、VCC2OUT)は独立しており、同電圧に接続する必要はありません。入力及び出力電源は1.8V、2.5V、または3.3Vに接続することができます。ただし、適切に動作させるためにコア電圧(V_{CC})は3.3Vに接続してください。

入力及び出力インタフェース

MAX3841の入力及び出力は、アプリケーションに応じてAC結合またはDC結合にすることができます。使用しない入出力は、適切な入力または出力電圧に50Ωで終端してください。ロジックファミリとのインタフェースについては、マキシムアプリケーションノート、"HFAN-01.0: Introduction to LVDS, PECL, and CML"(英語)をご覧ください。

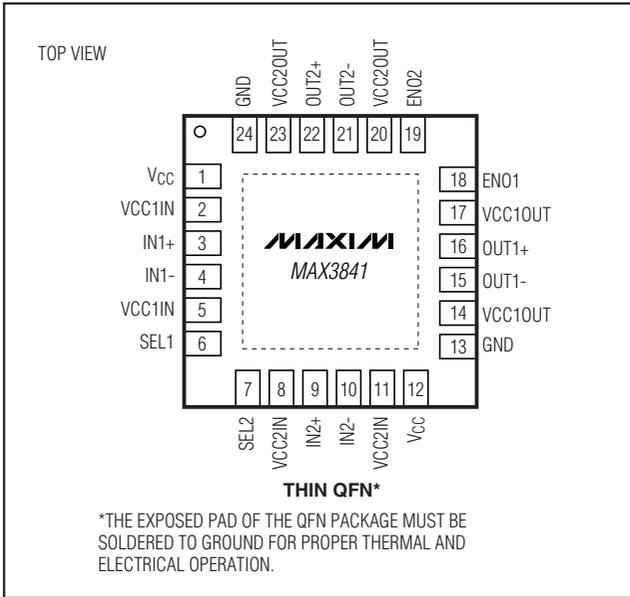
パッケージ及びレイアウトの考慮

MAX3841はエクスポーズドパッド付4mm×4mmの24ピン薄型QFNパッケージで提供されています。エクスポーズドパッドはICに対して熱的・電子的接続を行うためのものであり、高周波グランドプレーンに半田付けしておく必要があります。パッケージ下面のエクスポーズドパッドをプリント基板のグランドプレーンに接続する際には、複数のビアを使用してください。

10Gbpsプリント基板伝送線路には、優れたレイアウト技法を使用し、インピーダンスの不連続が最小になるようにICの近くにレイアウトしてください。電源デカップリングコンデンサは、ICの直近に配置してください。

12.5Gbps、CML 2 x 2クロスポイントスイッチ

ピン配置



チップ情報

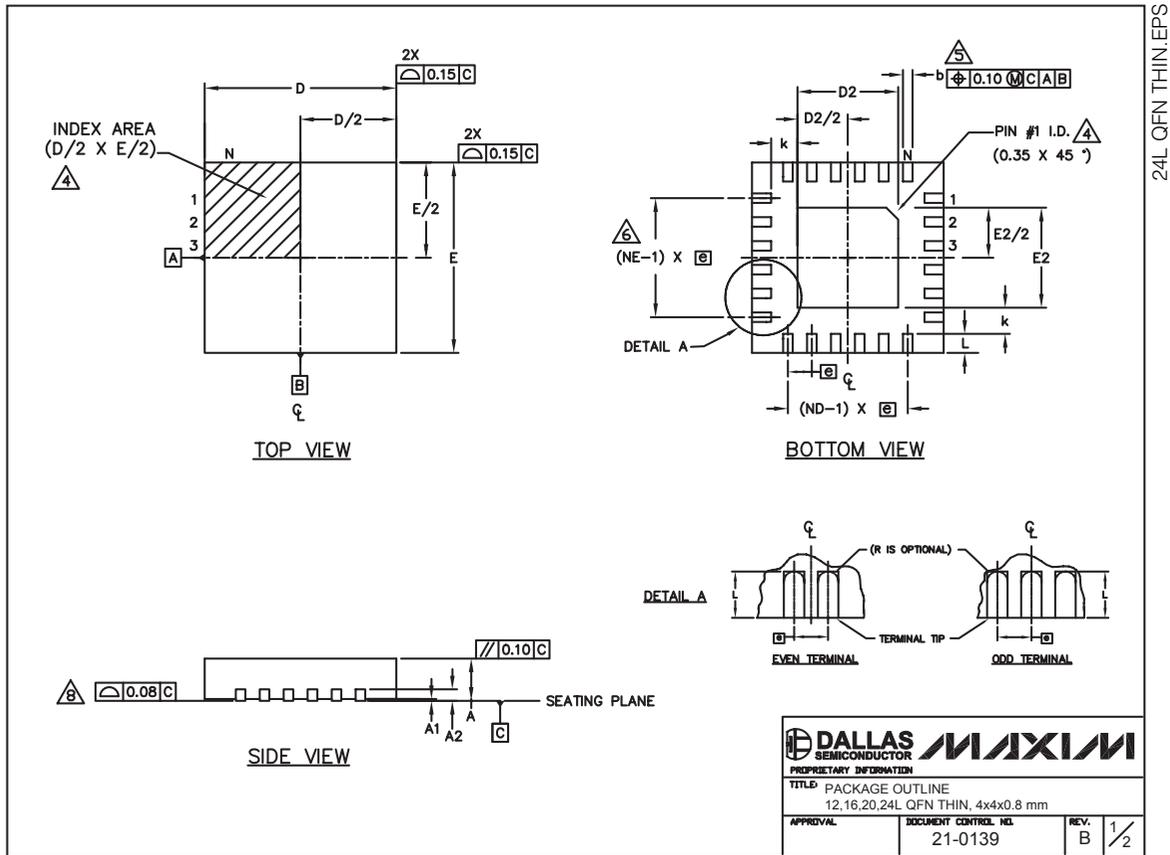
TRANSISTOR COUNT: 950

PROCESS: SiGe BiCMOS

12.5Gbps、CML 2 x 2クロスポイントスイッチ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



MAX3841

12.5Gbps、CML 2 x 2クロスポイントスイッチ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS							
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			PKG. CODES	D2			E2			
	MIN.	NDM.	MAX.		MIN.	NDM.	MAX.	MIN.	NDM.	MAX.										
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-2	1.95	2.10	2.25	1.95	2.10	2.25	
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1644-2	1.95	2.10	2.25	1.95	2.10	2.25	
A2	0.20 REF			T2044-1	1.95	2.10	2.25	1.95	2.10	2.25										
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10								
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.										
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-								
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50								
N	12			16			20			24										
ND	3			4			5			6										
NE	3			4			5			6										
Jedec Ver.	WGGB			WGGC			WGGD-1			WGGD-2										

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M0220, EXCEPT FOR T2444-1.

TITLE: PACKAGE OUTLINE 12,16,20,24L QFN THIN, 4x4x0.8 mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0139
REV. B	2/2

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 8