

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

概要

MAX3831/MAX3832は、自動チャンネルアサインメント付の4:1マルチプレクサ及び1:4デマルチプレクサです。+3.3V単一電源で動作するマルチプレクサは4つのパラレル622Mbps SDH/SONETチャンネルを受信します。これらのチャンネルはビットインタリーブされて、光又は電気的ドライバにインタフェースするための2.488Gbpsのシリアルデータストリームが生成されます。10ビット幅のエラスティックバッファは、任意のパラレルデータ入力とリファレンスクロックの間に±7.5nsまでのスキューを許容します。出力するデータストリームのタイミング用に内蔵PLLが高周波2.488GHzクロックを合成するために、外部155MHzリファレンスクロックが必要です。

MAX3831/MAX3832のデマルチプレクサは、2.488Gbpsのシリアルデータ及び2.488GHzのクロックを外部クロック/データリカバリ素子(MAX3876)から受けて、それを4つの622Mbps LVDS出力に変換します。MAX3831は622MHz LVDSクロック出力を供給し、MAX3832は155MHz LVDSクロックを供給します。内部フレームディテクタが622Mbps SDH/SONETフレーミングパターンを探し、デマルチプレクサをロールして出力における適正なチャンネル割当を維持します。

これらの素子は、フルスピード内蔵セルフテスト(BIST)を可能にする埋込型パターン発生器も備えています。2つの異なるループバックモードがシステムテストの融通性を提供します。TTLロスオブフレームモニタが含まれています。MAX3831/MAX3832は64ピンTQFP-EP(露出パドル)パッケージで提供されており、温度範囲は高温民生用(0 ~ +85)のものが用意されています。

ピン配置はデータシートの最後に記載されています。

特長

- ◆ 電源：+3.3V単一
- ◆ 電力消費：1.45W
- ◆ 4チャンネルマルチプレクサ/デマルチプレクサ、完全集積化2.488GHzクロック発生器付
- ◆ フレーム検出でチャンネル割当を維持
- ◆ エラスティックストア範囲：±7.5ns
- ◆ RMSシリアルデータ出力ランダムジッタ：2.5ps
- ◆ シリアルデータ出力確定的ジッタ：8ps
- ◆ LVDSパラレル入力/出力：622Mbps
- ◆ シリアルCML入力/出力：2.488Gbps
- ◆ 内蔵パターン発生器が高速BISTを提供
- ◆ システムテストの融通性：システムループバック、ラインループバック
- ◆ ロスオブフレームインジケータ

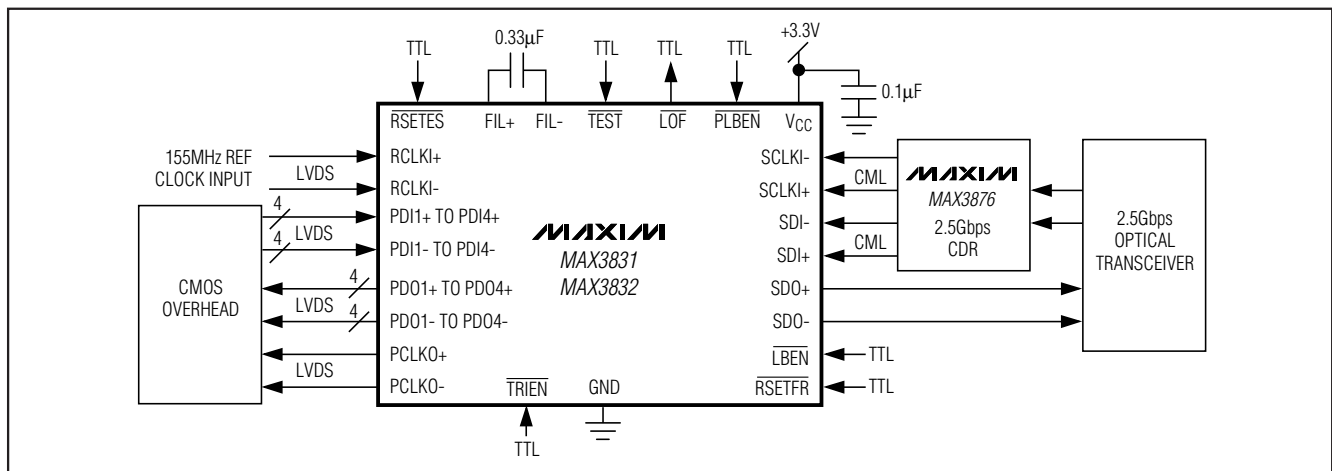
アプリケーション

| | |
|-----------------------|---------------------|
| SDH/SONET バックプレーン | ATMスイッチング ネットワーク |
| 高速パラレルリンク | ラインエクステンダ |
| イントラック/ サブトラック相互接続 | 高密度デジタル クロスコネクタ |

型番

| PART | TEMP. RANGE | PIN-PACKAGE |
|------------|--------------|-------------|
| MAX3831UCB | 0°C to +85°C | 64 TQFP-EP |
| MAX3832UCB | 0°C to +85°C | 64 TQFP-EP |

標準アプリケーション回路



+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

ABSOLUTE MAXIMUM RATINGS

| | | | |
|---|--|--|-----------------|
| Positive Supply Voltage (V _{CC})..... | -0.5V to +5.0V | Continuous Power Dissipation (T _A = +85°C) (Note 1) | |
| Input Voltage (LVDS, TTL)..... | -0.5V to (V _{CC} + 0.5V) | 64-Pin TQFP-EP (derate 40.0mW/°C above +85°C) | 2.6W |
| CML Input Voltage | (V _{CC} - 0.8V) to (V _{CC} + 0.5V) | Operating Temperature Range..... | 0°C to +85°C |
| FIL+, FIL- Voltage..... | -0.5V to (V _{CC} + 0.5V) | Storage Temperature Range | -60°C to +150°C |
| TTL Output Voltage | -0.5V to (V _{CC} + 0.5V) | Lead Temperature (soldering, 10sec) | +300°C |
| LVDS Output Voltage | -0.5V to (V _{CC} + 0.5V) | | |
| CML Output Currents..... | 22mA | | |

Note 1: Based on empirical data from the MAX3831/MAX3832 evaluation kit.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, LVDS differential load = 100Ω ±1%, CML load = 50Ω ±1% to V_{CC}, all TTL inputs are open, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C and V_{CC} = +3.3V.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--------------------|--|-----------------------|-----------------------|-----------------------|-------|
| Supply Current | I _{CC} | CML inputs and outputs open, LVDS input V _{OS} = 1.2V (Note 2) | MAX3831 | 440 | 580 | mA |
| | | | MAX3832 | 480 | 614 | |
| LVDS INPUTS AND OUTPUTS | | | | | | |
| Input Voltage Range | V _{IN} | | 0 | | 2400 | mV |
| Differential Input Threshold | V _{IDTH} | | -100 | | +100 | mV |
| Threshold Hysteresis | V _{HYST} | | | 90 | | mV |
| Input Impedance | R _{IN} | | 85 | 100 | 115 | Ω |
| Input Common-Mode Current | I _{OS} | LVDS input, V _{OS} = 1.2V | | 270 | | μA |
| Output Voltage High | V _{OH} | | | | 1.475 | V |
| Output Voltage Low | V _{OL} | | 0.925 | | | V |
| Differential Output Voltage | V _{OD} | Figure 1 | 250 | | 400 | mV |
| Change in Magnitude of Differential Output Voltage for Complementary States | Δ V _{OD} | | | | ±25 | mV |
| Output Offset Voltage | V _{OS} | | 1.125 | | 1.275 | V |
| Change in Magnitude of Output Offset Voltage for Complementary States | Δ V _{OS} | | | | ±25 | mV |
| Differential Output Impedance | | $\overline{\text{TRIEN}} = \text{GND}$ | | >1 | | MΩ |
| | | $\overline{\text{TRIEN}} = \text{V}_{\text{CC}}$ | 80 | | 120 | Ω |
| Output Current | | Short outputs together (Note 3) | | | 12 | mA |
| CML INPUTS AND OUTPUTS | | | | | | |
| Differential Output Voltage | V _{ODp-p} | | 640 | 800 | 1000 | mVp-p |
| Differential Output Impedance | | | 85 | 100 | 115 | Ω |
| Output Common-Mode Voltage | | | | V _{CC} - 0.2 | | V |
| Single-Ended Input Voltage Range | V _{IS} | | V _{CC} - 0.6 | | V _{CC} + 0.4 | V |
| Differential Input Voltage Swing | | Figure 2 | 400 | | 1200 | mVp-p |
| Differential Input Impedance | | | 85 | 100 | 115 | Ω |

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +3.0V$ to $+3.6V$, LVDS differential load = $100\Omega \pm 1\%$, CML load = $50\Omega \pm 1\%$ to V_{CC} , all TTL inputs are open, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$ and $V_{CC} = +3.3V$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|-------------------------------|----------|-------------------------|------|-----|------|-----------|
| TTL INPUTS AND OUTPUTS | | | | | | |
| Input Voltage High | V_{IH} | | 2.0 | | | V |
| Input Voltage Low | V_{IL} | | | | 0.8 | V |
| Input Current High | I_{IH} | $V_{IH} = 2.0V$ | -250 | | -50 | μA |
| Input Current Low | I_{IL} | $V_{IL} = 0$ | -550 | | -100 | μA |
| Output Voltage High | V_{OH} | $I_{OH} = 20\mu A$ | 2.4 | | | V |
| Output Voltage Low | V_{OL} | $I_{OL} = 2mA$ | | | 0.4 | V |
| Output Impedance | | $\overline{TEST} = GND$ | | 6 | | $k\Omega$ |

Note 2: When $\overline{TEST} = GND$, the pattern generator will consume an additional 30mA.

Note 3: Guaranteed by design and characterization.

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, LVDS differential load = $100\Omega \pm 1\%$, CML load = $50\Omega \pm 1\%$ to V_{CC} , all TTL inputs are open, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$ and $V_{CC} = +3.3V$.) (Note 4)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---------------|------------------------------|------|-----------|-----|------------|
| 4:1 MULTIPLEXER WITH CLOCK GENERATOR | | | | | | |
| Parallel Input Data Rate | | | | 622.08 | | Mbps |
| Maximum Parallel Input Skew | t_{es} | (Note 5) | | ± 7.5 | | ns |
| Serial-Data Output Rate | | | | 2.48832 | | Gbps |
| Serial-Data Output Rise/Fall Time | t_r, t_f | 20% to 80% | | | 120 | ps |
| Serial-Data Output Random Jitter | SRJ | (Note 6) | | | 3.5 | ps_{RMS} |
| | | | | | 40 | ps_{p-p} |
| Serial-Data Output Deterministic Jitter | SDJ | (Note 7) | | 8 | 18 | ps_{p-p} |
| 1:4 DEMULTIPLEXER | | | | | | |
| Serial-Data Input Rate | | | | 2.48832 | | Gbps |
| Serial-Data Setup Time | t_{SU} | Figure 3 | 100 | | | ps |
| Serial-Data Hold Time | t_H | Figure 3 | 100 | | | ps |
| Parallel-Data Output Rate | PDO_{\pm} | | | 622.08 | | Mbps |
| Parallel-Clock Output Frequency | $PCLKO_{\pm}$ | MAX3831 | | 622.08 | | MHz |
| | | MAX3832 | | 155.52 | | |
| PCLKO to PDO_{\pm} Delay | t_{CLK-Q} | MAX3831, Figure 3 | -100 | 90 | 300 | ps |
| LVDS Output Rise/Fall Time | | 20% to 80% | | | 350 | ps |
| LVDS Differential Skew | t_{SKEW1} | Any differential pair | | | 65 | ps |
| LVDS Channel-to-Channel Skew | t_{SKEW2} | $PDO1_{\pm}$ to $PDO4_{\pm}$ | | < 100 | | ps |
| LVDS Three-State Enable Time | | | | 30 | | ns |

Note 4: AC characteristics are guaranteed by design and characterization.

Note 5: Relative to the positive edge of the 155MHz reference clock. $PDI1$ to $PDI4$ aligned to $RCLKI$ at reset.

Note 6: Measured with a reference clock jitter of $< 1ps_{RMS}$.

Note 7: Deterministic jitter is the arithmetic sum of pattern-dependent jitter and pulse-width distortion.

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

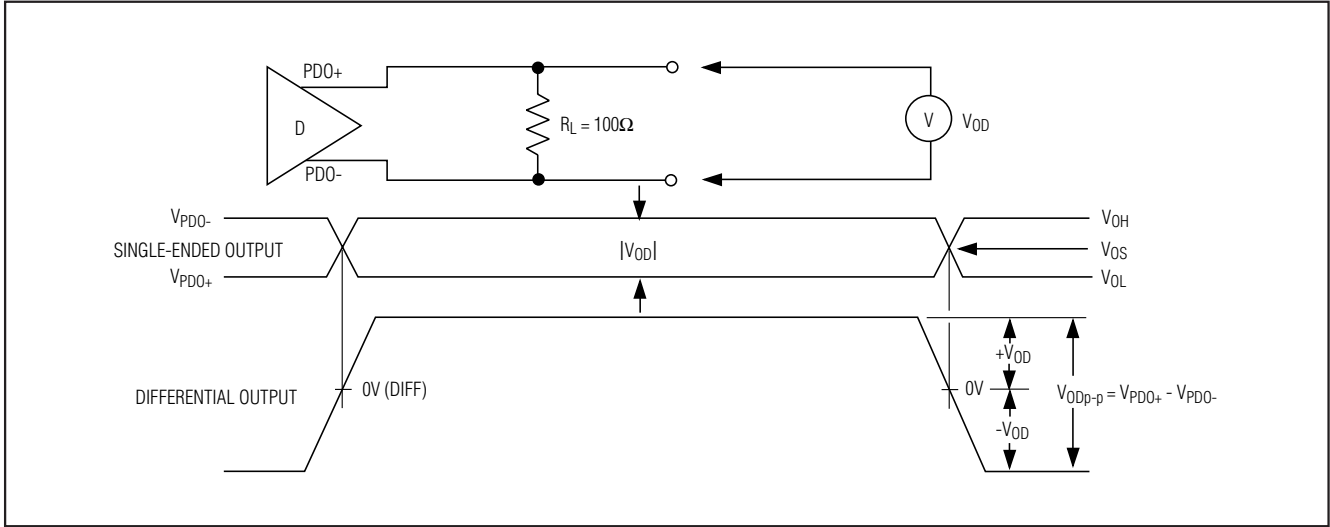


図1. LVDS出力の定義

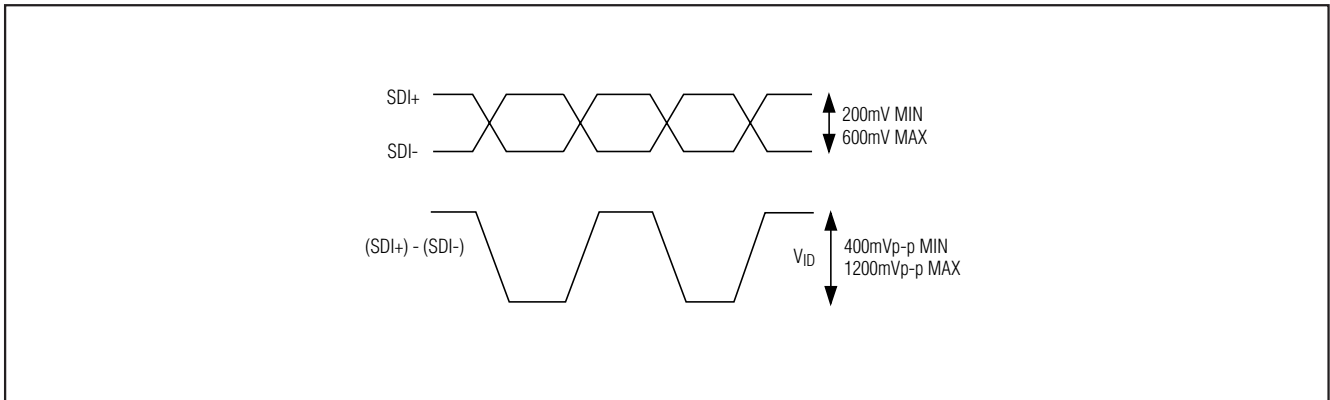


図2. CML入力の定義

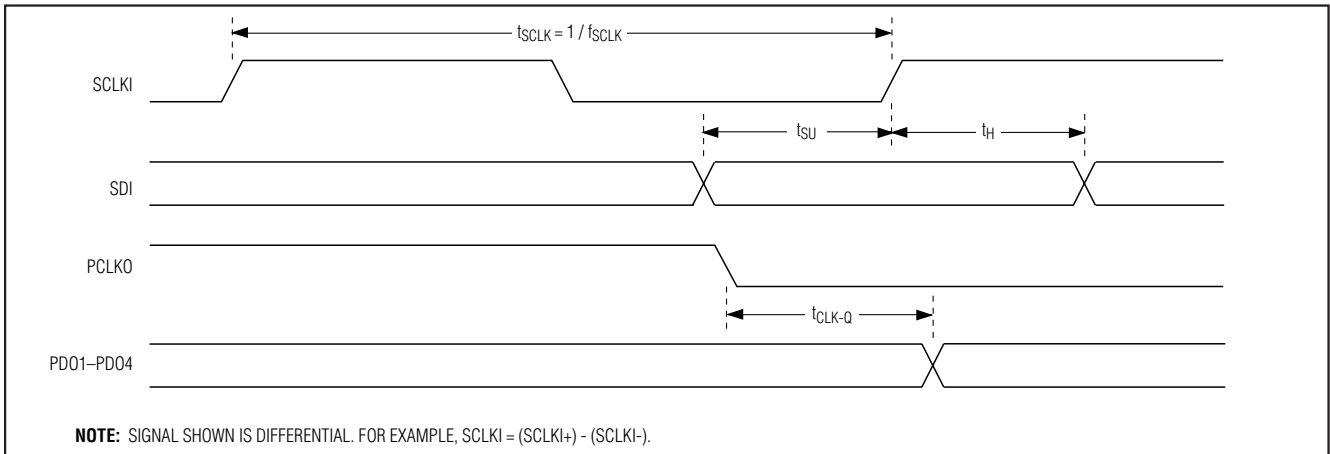


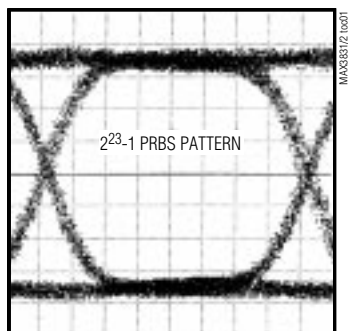
図3. タイミングパラメータ

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

標準動作特性

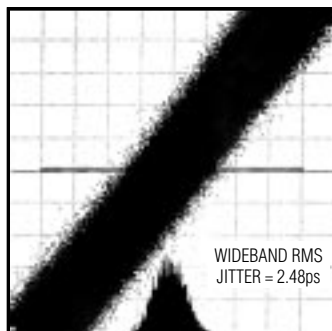
(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.)

SERIAL-DATA OUTPUT EYE DIAGRAM



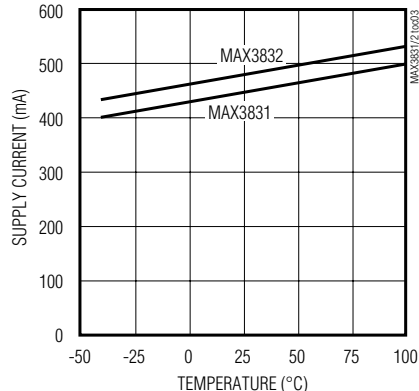
50ps/div

SERIAL-DATA OUTPUT JITTER

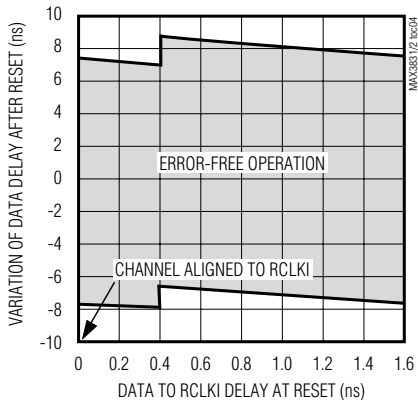


5ps/div

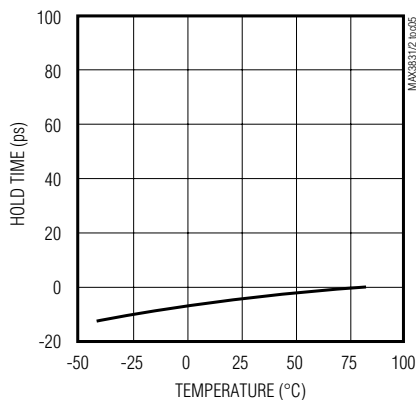
SUPPLY CURRENT vs. TEMPERATURE



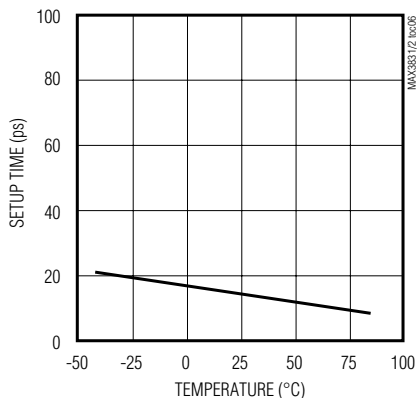
ELASTIC STORE RANGE



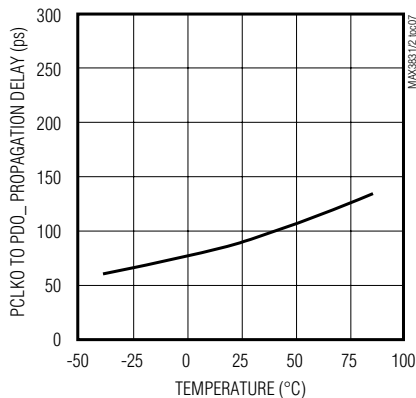
SERIAL-DATA HOLD TIME



SERIAL-DATA SETUP TIME



**MAX3831
PARALLEL CLOCK-TO-DATA OUTPUT
PROPAGATION DELAY vs. TEMPERATURE**



+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

端子説明

| 端子 | 名称 | 機能 |
|---|----------------------------|--|
| 1, 16, 25, 28, 29, 32, 43, 48, 49, 60, 63 | GND | 電源グランド |
| 2, 5, 10, 13, 17, 24, 38, 55, 59, 64 | Vcc | +3.3V電源電圧 |
| 3 | SDO- | 負CMLシリアルデータ出力(2.488Gbps) |
| 4 | SDO+ | 正CMLシリアルデータ出力(2.488Gbps) |
| 6 | $\overline{\text{LBEN}}$ | ラインループバックイネーブル。このTTL入力を強制的にローにすると、CMLシリアルデータ入力(SDI \pm)が直接CMLシリアルデータ出力(SDO \pm)に送られます。その他の入力又は出力は影響されません。通常動作では内部15k Ω プルアップ抵抗が $\overline{\text{LBEN}}$ をハイに引き上げます。「テストループバック」を参照。 |
| 7 | $\overline{\text{TEST}}$ | セルフトテストイネーブル。このTTL入力を強制的にローにすると、内蔵パターン発生器が標準OC-12 SONETライクなフレーム(12個のA1、12個のA2及び9696バイトの2 ⁷ -1疑似ランダムビット)を生成します。これはまた、内部シリアルシステムループバック経路をイネーブルします。このモードでは、CML入力(SDI \pm 及びSCLK \pm)及びLVDS入力は無視されます。通常動作では、内部15k Ω プルアップ抵抗が $\overline{\text{TEST}}$ をハイに引き上げます。 |
| 8 | SDI+ | 正CMLシリアルデータ入力(2.488Gbps) |
| 9 | SDI- | 負CMLシリアルデータ入力(2.488Gbps) |
| 11 | SCLKI+ | 正CMLシリアルクロック入力(2.488GHz) |
| 12 | SCLKI- | 負CMLシリアルクロック入力(2.488GHz) |
| 14 | PCLKO- | 負LVDSパラレルクロック出力、622.08MHz(MAX3831) ; 155.52MHz(MAX3832) |
| 15 | PCLKO+ | 正LVDSパラレルクロック出力、622.08MHz(MAX3831) ; 155.52MHz(MAX3832) |
| 18-23, 26, 27 | N.C. | 接続なし |
| 30 | $\overline{\text{RSETFR}}$ | フレームリセット。このTTL入力を強制的にローにすると、フレームディテクタとパターン発生器がリセットされます。 $\overline{\text{LOF}}$ 出力もローになります。通常動作では、内部15k Ω プルアップ抵抗が $\overline{\text{RSETFR}}$ をハイに引き上げます。 |
| 31 | $\overline{\text{LOF}}$ | TTLロスオブフレーム出力。ロスオブフレーム条件においてローになります。 |
| 33 | $\overline{\text{TRIEN}}$ | 3ステートイネーブル。このTTL入力を強制的にローにすると、全てのTTL及びLVDS出力がハイインピーダンス状態になります。通常動作では、内部15k Ω プルアップ抵抗が $\overline{\text{TRIEN}}$ をハイに引き上げます。 |
| 34, 36, 39, 41 | PDO4- to PDO1- | 負LVDSパラレルデータ出力(622Mbps) |
| 35, 37, 40, 42 | PDO4+ to PDO1+ | 正LVDSパラレルデータ出力(622Mbps) |
| 44, 46, 50, 52 | PDI4- to PDI1- | 負LVDSパラレルデータ入力(622Mbps) |
| 45, 47, 51, 53 | PDI4+ to PDI1+ | 正LVDSパラレルデータ入力(622Mbps) |
| 54 | $\overline{\text{PLBEN}}$ | パラレルシステムループバックイネーブル。このTTL入力を強制的にローにすると、LVDSパラレル入力はエラスティックストアを通り、LVDSパラレル出力に送られます。これは、高速マルチプレクサ及びデマルチプレクサをバイパスします。通常動作では、内部15k Ω プルアップ抵抗が $\overline{\text{PLBEN}}$ をハイに引き上げます。 |
| 56 | RCLKI- | 負LVDSリファレンスクロック入力(155.52MHz) |
| 57 | RCLKI+ | 正LVDSリファレンスクロック入力(155.52MHz) |

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

端子説明(続き)

| 端子 | 名称 | 機能 |
|----|----------------|---|
| 58 | RSETES | エラスティックストアリセット。エラスティックバッファはRESETSの立ち上がりエッジを中心にしています。これによってエラスティックストア範囲が最大限になります。少なくとも10nsのパルスを入力する10 μ s前にデータが存在していることが必要です。通常動作では、内部15k Ω プルアップ抵抗がRESETSをハイに引き上げます。 |
| 61 | FIL- | 負PLLフィルタコンデンサ入力。FIL+とFIL-の間に0.33 μ Fコンデンサを接続して下さい。 |
| 62 | FIL+ | 正PLLフィルタコンデンサ入力。FIL+とFIL-の間に0.33 μ Fコンデンサを接続して下さい。 |
| EP | Exposed Paddle | グランド。適正な熱的性能を実現するには、これを回路基板にハンダ付けする必要があります(「パッケージ」を参照)。 |

詳細

MAX3831/MAX3832は、エラスティックストアバッファ付の4:1マルチプレクサ及び1:4デマルチプレクサを使用することによりSDH/SONET相互接続I/Oルーティングを簡単にします。622Mbps LVDSパラレル入力は10ビットエラスティックストアバッファを通ります。このバッファは、任意のシングル入力について、155MHzのリファレンスクロック入力RCLKIに対して ± 7.5 nsのスキューを吸収します。このリファレンスクロックは、エラスティックストア及び4:1マルチプレクサを駆動するために使用される内部2.488GHzクロックを合成するために必要です。全てのTTL及びLVDS出力はハイインピーダンス状態にすることができます。図4にファンクションダイアグラムを示します。

4:1マルチプレクサはパラレルデータをビットインターリーブして、2.488Gbps CMLシリアル出力を光又は電気的ドライバに供給します。CMLシリアル入力は2.488Gbpsデータを受け取り、デマルチプレクサがそれを622Mbpsにデインターリーブして、そのデータをフレームディテクタに送ります。フレームディテクタはチャンネル割当が適正になるようにデマルチプレクサをロールします。MAX3831/MAX3832は高速内蔵セルフテスト(BIST)を備えています。この機能は又622Mbpsパラレルシステムループバック及び2.488Gbpsラインループバックのテストを可能にします。

エラスティックストアバッファ

各パラレルデータ入力(PDI1~PDI4)は、各々の10ビットエラスティックストアバッファを通ります。エラスティックストアリセットの後、このバッファは任意の入力について、155MHzリファレンスクロックに対して ± 7.5 nsのスキューを吸収します。図5に、エラスティックストアバッファのRCLKIとの関係を示します。「標準動作特性」のエラスティックストア範囲のグラフに、許容されるデータスキューの量が示されています。

10 μ sのパワーアップ期間の後、個々のデータチャンネルビット遷移の位置が取り込まれて、データの保全を保証します。このブロックの出力が直接4:1マルチプレクサ

に送られます。パワーアップの後、少なくとも10nsのローパルスをRSETESに入力し、エラスティックストアバッファをリセットする必要があります。

パラレルデータ入力同士のデータ遷移に固有の不確定性のため、これらの入力の間にはビット又はフレームアラインメントがありません。しかし、デマルチプレクサは正しいチャンネル割当が維持されることを保証します。

ビットインターリーブマルチプレクサ/ デマルチプレクサ

MAX3831/MAX3832は、ビット・インターリーブ/デインターリーブマルチプレクサ/デマルチプレクサを使用しています。チャンネル割当を保証するため、4つのチャンネルのうち1つは多重化の前に反転され、これによりデマルチプレクサ中のフレームディテクタのリファレンスを提供します。デマルチプレクサの後、同じチャンネルが反転されて元のデータフォーマットに戻されます。

フレームディテクタ

2.5Gbpsシリアルデータが4つの622Mbpsチャンネルにビットデインターリーブされた後、SDH/SONETフレームディテクタが第4のチャンネルを監視して、OC-12ヘッダ内の32ビットパターン(A1A1A2A2)を探します。適正なチャンネル割当を維持するために、32ビットオーバーヘッドパターンが確実に検出されるまでデマルチプレクサ出力は循環します。ロスオブフレーム出力($\overline{\text{LOF}}$)は、受信されたデータがフレームに収まっているかどうかを表示します。 $\overline{\text{LOF}}$ がハイになると、フレームパターンが検出されてデマルチプレクサ出力が正しく割り当てられます。 $\overline{\text{LOF}}$ がローの時、フレーム検出回路は正しいフレームを探しています。必要に応じてフレームディテクタをリセットできるように、RSETFR(TTL、アクティブロー)があります。

フレームディテクタは、インフレーム条件及びロスオブフレーム条件を検出するためにアルゴリズムを使用しています。このアルゴリズムは、SONETのインフレーム及び不正フレーム仕様に適合するようにできています。

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

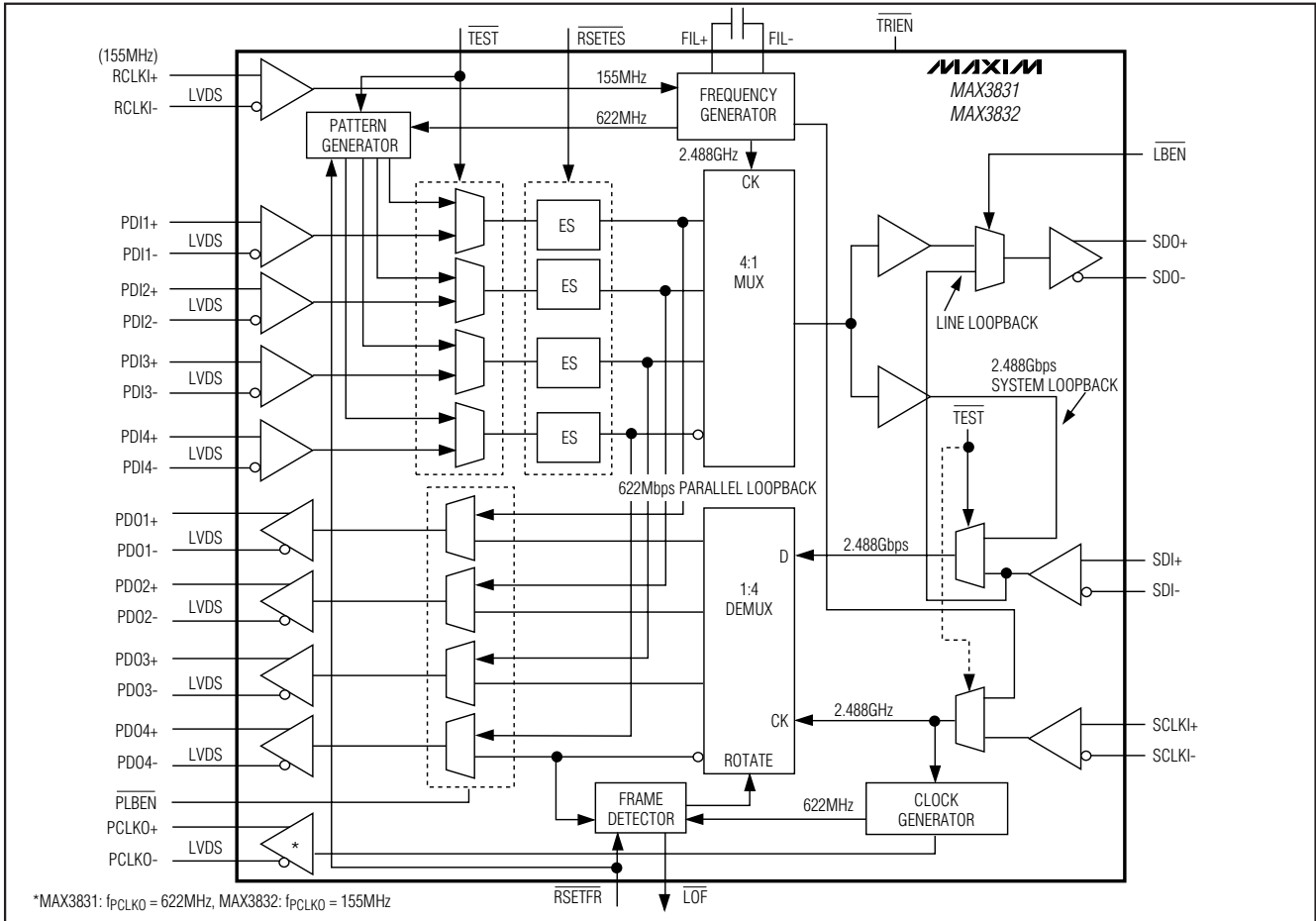


図4. ファンクションダイアグラム

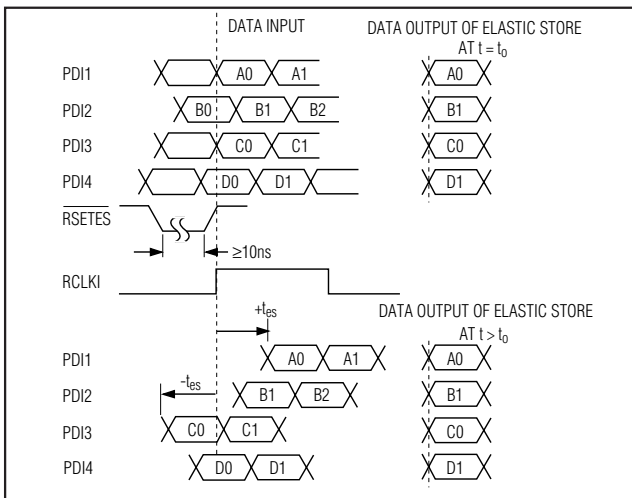


図5. エラスティックストア機能の例

スタートアップ又はリセット時にframe_search状態が発生します。この状態では、フレームディテクタが着信シリアルデータをスキャンして、デマルチプレクサのチャンネル4出力でフレーミングパターンを探します。この状態でフレーミングパターンが250 μ s以内に見つからないと、デマルチプレクサチャンネルがシフト(ロール)され、フレーム検出を続けます(図6)。

SONETフレーム(9720バイト)内の正しいバイト位置で2つの連続したフレーミングパターンが見つかり、インフレームが宣言されます。このパターンが正しい位置になれば(不正フレーム)、ステートマシンは上述のframe_search状態に戻ります。in_frame状態においては、各フレームで正しい位置にフレーミングパターンがあるかどうかチェックされます。不正フレームが4つ連続すると、ステートマシンは上述のframe_search状態に戻ります。連続する疑似フレームが3つ以下の場合、不正フレームカウンタがリセットされます。

オンチップシリアルループバック付の内蔵セルフテスト

オンチップパターン発生器をイネーブルして、622Mbps SDH/SONETライクなトランスポート

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

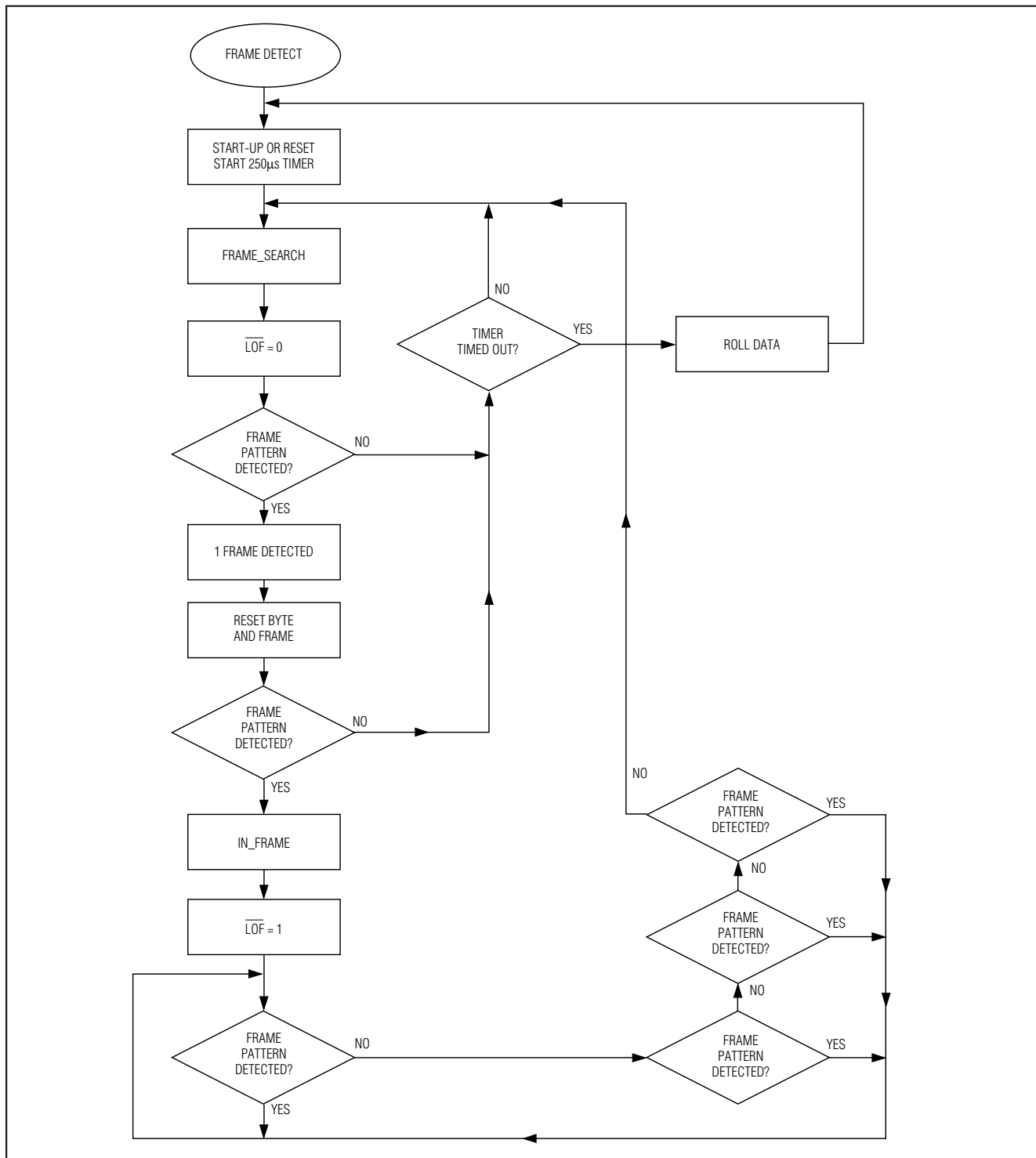


図6. フレーム検出のフローダイアグラム

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

オーバーヘッドとそれに続く疑似ランダムビットシーケンスを生成できます。これは12個のA1、12個のA2及び疑似ランダムビットストリーム(PRBS = $2^7 - 1$)からなっています。 $\overline{\text{TEST}}$ がローの時、このパターンは全ての平行入力に分配され、LVDS入力バッファをバイパスします。このパターンは各チャンネルの間で622MHzクロックサイクル1つ分だけスキューされることに注意して下さい。このテストモードにおいては、シリアルデータは内部でデマルチプレクサにループバックされます。全てのフレーム検出ロジックはこのモードで行われます。CML入力(SDI \pm 及びSCLK \pm)及びLVDS入力(PDI \pm)はこのモードでは無視されます。BISTモードがイネーブルされた後、ロスオブフレームフラグ $\overline{\text{LOF}}$ がハイになり、セルフテストに合格したことを知らせます。通常動作においては、 $\overline{\text{TEST}}$ はオープンのまま(内部でハイにプルアップ)となり、パターン発生器がディセーブルされ、平行入力チャンネルからデータを受け付けます。

テストループバック

平行システムループバック及びシリアルラインループバックの2つのテストループバックが提供されています。

平行システムループバック

平行システムループバックの場合、4つの622Mbps平行入力チャンネルは対応する10ビットエラストックストアによって位相アラインメントされ、出力LVDSバッファに送られます。このループバックは、 $\overline{\text{PLBEN}}$ をローにすることによって制御されます。 $\overline{\text{PLBEN}}$ がハイ(内部でハイにプルアップ)になると、通常のデータ伝送が再開します。

シリアルラインループバック

シリアルラインループバックは、光トランシーバ及び伝送リンクの性能をテストするために使用されます。受信された2.488Gbpsデータストリームは、送信CML出力バッファに送られます。ラインループバックは、 $\overline{\text{LBEN}}$ 出力がローになるとイネーブルされます。 $\overline{\text{LBEN}}$ がオープンのままにされると(内部でプルアップ)、通常シリアルデータ伝送が再開します。

LVDS平行インタフェース

MAX3831平行インタフェースは、4つのOC-12データ入力、155MHzリファレンスクロック入力、4つの622Mbps平行データ出力及び622MHz平行クロック出力(MAX3832、 $f_{\text{PCLKO}} = 155\text{MHz}$)を含んでいます。電力消費を最小限に抑え、遷移時間を短くし、ノイズ耐性を改善するため、全ての平行入出力は

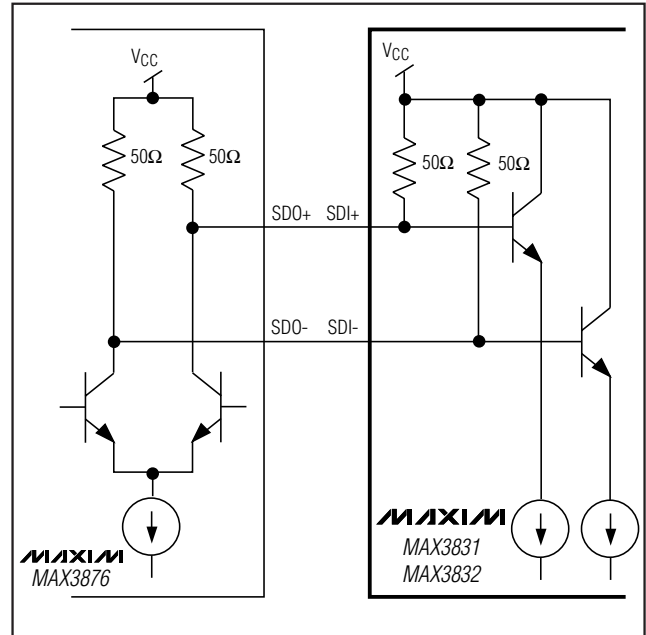


図7. CMLからCMLへのインタフェース

LVDSコンパチブルになっています。RCLKIにおける155MHz入力信号は、40%~60%のデューティサイクルを必要とします。

$\overline{\text{TRIEN}}$ が強制的にローになると、LVDS出力はハイインピーダンスになります。これによってLVDS出力にベクターを強制することができるようになり、システムチェックが簡単になります。

CMLシリアルインタフェース

MAX3831/MAX3832は2.488Gbpsのシリアルデータストリームをドライバに供給し、外部クロックとデータリカバリ素子(MAX3876)から2.488Gbpsシリアルデータ及び2.488GHzクロック信号を受け取ります。高速インタフェースはCMLコンパチブルであるため、システム消費電力が低減され、優れた性能が得られます(図7)。

アプリケーション情報

低電圧差動信号入力/出力

MAX3831/MAX3832は、高速デジタル回路とのインタフェース用にLVDS入出力を備えています。全てのLVDS入力及び出力は、IEEE 1596.3 LVDS仕様とコンパチブルです。この技術では、250mV~400mVの差動低電圧スイングを使用して、高速遷移、低消費電力、及びノイズ耐性を実現しています。

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

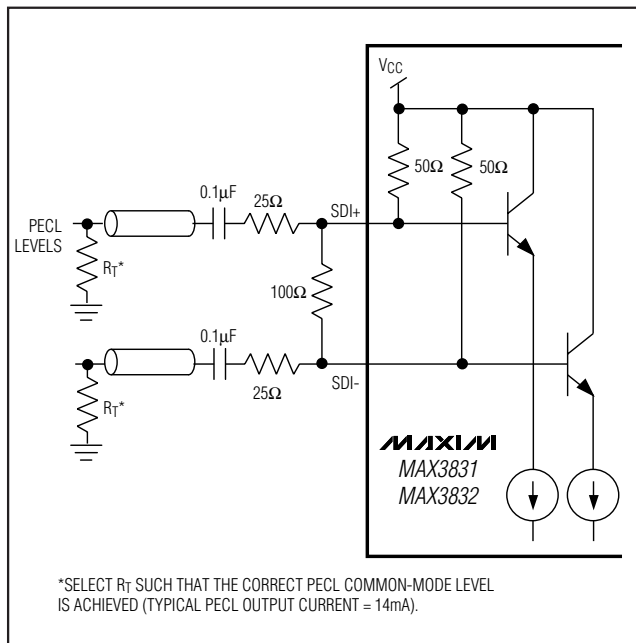


図8. PECLからCMLへのインタフェース

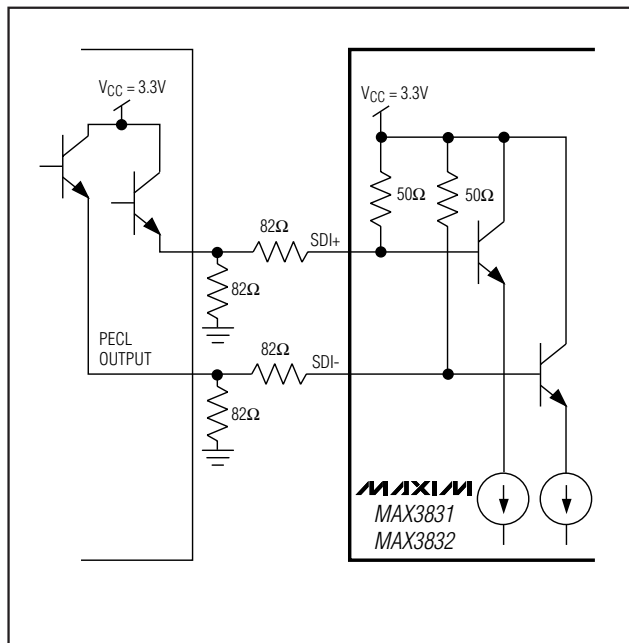


図9. PECL出力をMAX3831/MAX3832に直接カップリング

パラレルクロック及びデータLVDS出力(PCLKO+、PCLKO-、PDO_+、PDO_-)が適正に動作するには、反転出力と非反転出力の間において100Ωの差動DC終端処理を必要とします。これらの出力は、グラウンドに対して終端処理しないで下さい。パラレルデータLVDS入力(PDI_+、PDI_-)は、100Ωの内部差動入力抵抗で終端処理されているため、外部で終端処理する必要はありません。

PECL/ECL入力レベルとのインタフェース

差動PECL入力レベルとインタフェースする場合は、50Ω終端処理を維持しつつ信号を減衰させることが重要です(図8及び9)。同相入力電圧仕様を守って下さい。3.3V以外のV_{CC}を使用する場合は、入力同相レベルを維持するためにACカップリングが必要です(図8)。

レイアウト技法

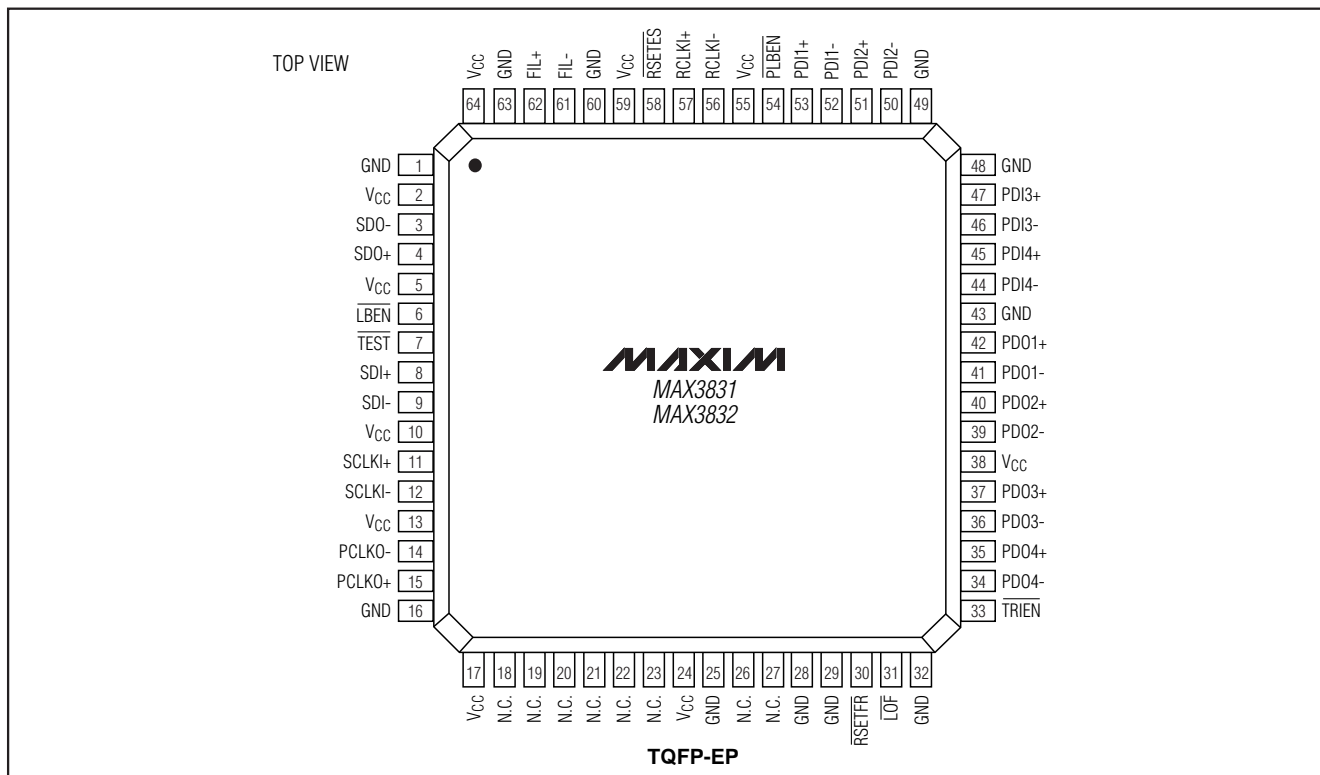
最高の性能を得るには、良好の高周波レイアウト技法を使用して下さい。電圧電源をフィルタリングし、グラウンド接続を短くし、可能なところでは複数のビアを使用して下さい。MAX3831/MAX3832の高速入力及び出力とインタフェースする時は、インピーダンスが調整された伝送ラインを使用して下さい。

電源デカップリングは、V_{CC}のできるだけ近くに配置して下さい。フィードスルーを小さくするため、入力信号が出力信号から分離されるようにして下さい。

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

MAX3831/MAX3832

ピン配置

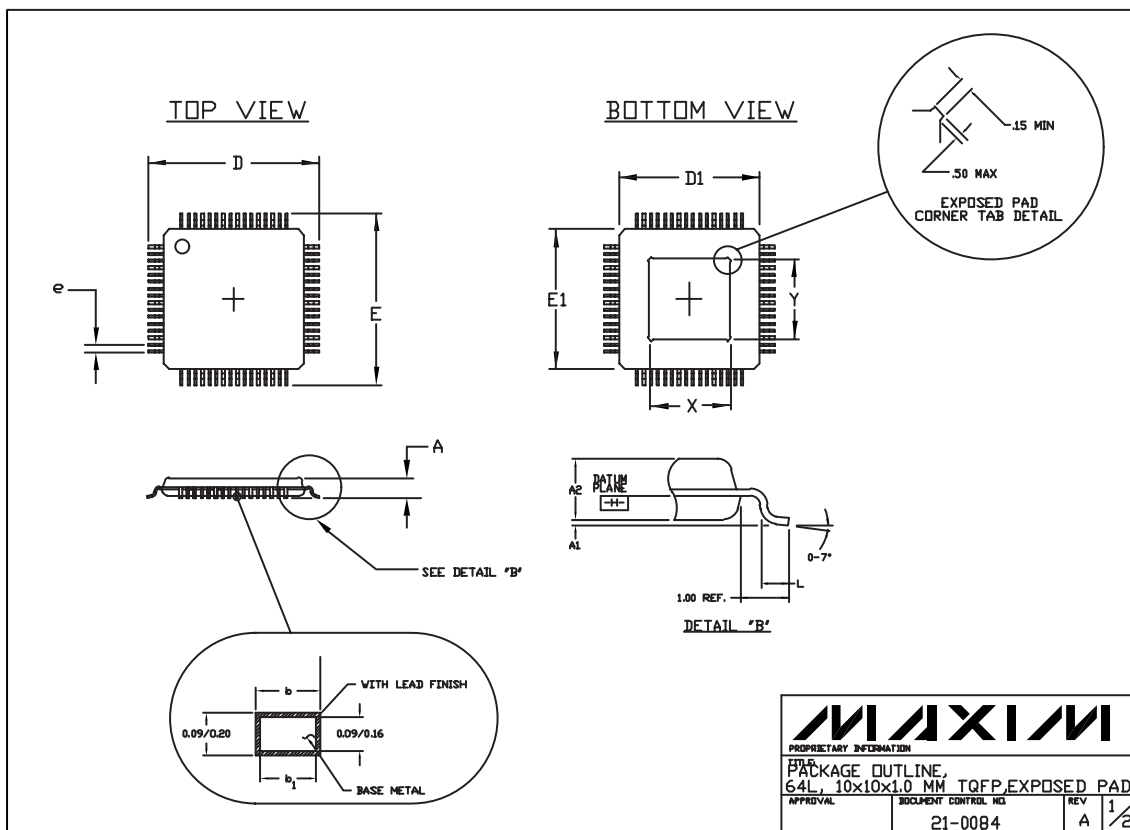


チップ情報

TRANSISTOR COUNT: 14,134

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付

パッケージ



MAX3831/MAX3832

+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続 マルチプレクサ/デマルチプレクサIC、クロック発生器付


MAX3831/MAX3832

パッケージ(続き)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE [—H—] IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION, ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION, ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION: MILLIMETER.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATION AJ.
8. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (0.05 MM).
9. LEADS SHALL BE COPLANAR WITHIN .004 INCH.

| SYMBOL | JEDEC VARIATION | |
|--------|-------------------------------|------|
| | ALL DIMENSIONS IN MILLIMETERS | |
| | AJ | |
| | MIN. | MAX. |
| A | ~ | 1.20 |
| A1 | 0.05 | 0.15 |
| A2 | 0.95 | 1.05 |
| D | 12.00 BSC. | |
| D1 | 10.00 BSC. | |
| E | 12.00 BSC. | |
| E1 | 10.00 BSC. | |
| L | 0.45 | 0.75 |
| N | 64 | |
| e | 0.50 BSC. | |
| b | 0.17 | 0.27 |
| b1 | 0.17 | 0.23 |
| X | 4.7 | 5.30 |
| Y | 4.70 | 5.30 |

| | | | |
|---|-------------------------------------|--------------------|--------------------|
|  | | | |
| <small>PROPRIETARY INFORMATION</small> | | | |
| <small>TITLE: PACKAGE OUTLINE, 64L, 10x10x1.0 MM TQFP, EXPOSED PAD</small> | | | |
| <small>APPROVAL</small> | <small>DOCUMENT CONTROL NO.</small> | <small>REV</small> | <small>2/2</small> |
| | 21-0084 | A | |

**+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続
マルチプレクサ/デマルチプレクサIC、クロック発生器付**

NOTES

MAX3831/MAX3832

**+3.3V、2.5Gbps、SDH/SONET、4チャンネル相互接続
マルチプレクサ/デマルチプレクサIC、クロック発生器付**

MAX3831/MAX3832

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.