

MAX3691評価キット**Evaluates: MAX3691****概要**

MAX3691評価キット(EVキット)は、MAX3691 622Mbps SDH/SONET 4:1シリアルライザの評価を容易にします。本EVキットは単一+3.3V電源を必要とし、PECLシリアルデータ出力を50 入力のオシロスコープで観察するために必要な外付部品を含んでいます。

シリアルデータ出力の終端処理は、他のロジックインターフェース(3.3V PECL、ハイインピーダンス、又はECL入力等)に合わせて簡単に修正できます。MAX3691の基本的な機能を評価する場合は、ボードをLVDSデバイス(オーバヘッド発生回路等)又は信号発生器に直接接続して下さい。

部品リスト

DESIGNATION	QTY	DESCRIPTION
C1	1	33 μ F, 16V tantalum capacitor AVX TAJC336M016 or Sprague 293D336X0016D
C2	1	1 μ F ceramic capacitor
C3, C5, C7, C10, C12, C15, C18, C19, C20	9	0.1 μ F ceramic capacitors
C4, C6, C8, C9, C11, C13, C14, C16	8	100pF ceramic capacitors
JP1	1	2-pin header (0.1" centers)
L1, L3, C17	3	0 Ω resistors
L2, L4, L5	3	56nH inductors Coilcraft 0805HS-560TKBC
R1	1	1.5 Ω , 1% resistor
R2, R6	2	24 Ω , 5% resistors
R3, R7	2	27 Ω , 5% resistors
R4, R8	2	130 Ω , 5% resistors
R5, R9	2	220 Ω , 5% resistors
R10	1	24.9k Ω , 1% resistor
RCLK+, RCLK-, PCLKI+, PCLKI-, PD0+, PD0-, PD1+, PD1-, PD2+, PD2-, PD3+, PD3-, SDO+, SDO-, PCLKO+, PCLKO-	16	SMA PC edge-mount connectors
U1	1	MAX3691ECJ 32-pin TQFP
None	1	MAX3691 data sheet

特長

- ◆ 電源：単一+3.3V
- ◆ 出力は50 オシロスコープ入力とのインターフェース用に終端処理
- ◆ 完全試験済み、実装済み

型番

PART	TEMP. RANGE	BOARD TYPE
MAX3691EVKIT-SO	-40°C to +85°C	Surface Mount

部品メーカー

SUPPLIER	PHONE	FAX
AVX	803-946-0690	803-626-3123
Coilcraft	847-639-6400	847-639-1469
Sprague	603-224-1961	603-224-1430

注記：これらの部品メーカーに連絡する際には、MAX3691を使用していることを明示して下さい。

MAX3691評価キット

詳細

MAX3691評価キット(EVキット)は單一+3.3V電源で動作し、PECLシリアルデータ出力を50 入力のオシロスコープで観察するために必要な外付部品を含んでいます。

MAX3691の各LVDS入力(PCLKI+、PCLKI-、RCLK+、RCLK-、PD_+及びPD_-)は、内部で差動入力抵抗100 により終端処理されています。これらの入力を駆動しているLVDSデバイスが重複して終端処理されていないことを確認して下さい。

LVDSパラレルクロック出力(PCLK0+、PCLK0-)は、100 で差動終端処理されている必要があります。これらの出力を50 負荷に対して終端処理する場合は、AC カップリングにして下さい(「パラレルクロックLVDS出力を50 入力のオシロスコープに接続する方法」を参照)。

本EVキットはシリアルデータ出力(SOD+、SDO-)終端処理ネットワークにより、出力を高速オシロスコープの50 入力に直接接続することができます。この終端処理により、50 負荷に接続した場合にV_{CC} - 2Vに対して50 のテブナン等価回路を備えたシリアルデータ出力を得ることができます。これにより出力信号が1/2に減衰します。シリアルデータ出力のうち1つだけがオシロスコープに接続されている場合は、他方も正しく終端処理して下さい。各出力における抵抗ネットワークは、50 でグランドに対して終端処理されている場合にのみ正しい終端処理になることを注意して下さい。他のロジックインターフェースについては、「PECL出力終端処理の別方法」を参照して下さい。

表1. ジャンパ及びテストポイント

NAME	TYPE	DESCRIPTION	NORMAL POSITION
JP1	2 pin	Disables the loop filter	Open
JP3~JP7	2 pin	Jumper locations (can be cut open if necessary)	Shorted

アプリケーション情報

PECL出力終端処理の別方法

V_{CC} - 2Vへ50 のDCテブナン等価回路が提供される限り、他のロジックインターフェース用にPECL出力終端処理の別方法を使用してもかまいません。例えば、SDO+をPECL又はハイインピーダンス入力にインターフェースするには、抵抗R2及びR3を短絡し、R5を82 抵抗で置き換えて下さい。SDO+を(内部で50 - 2Vに終端処理されている)ECL入力の試験機器にインターフェースするには、以下の手順に従って下さい。

- 1) R4及びR5を取り外します。
- 2) R2とR3を短絡します。
- 3) MAX3691と試験機器の間に直列にバイアスTを配置します。バイアスTのRF及びDC端子をSDO+出力に接続し、RF端子を試験機器のECL入力に接続します。次に、DC端子を50 抵抗で通してV_{CC} - 2V 終端処理電圧に接続します。

パラレルクロックLVDS出力を50 入力のオシロスコープに接続する方法

パラレルクロックLVDS信号(PCLK0+、PCLK0-)を50 入力のオシロスコープで監視するには、各出力及び計測器の入力に直列にコンデンサ又はDCブロックを配置して下さい。MAX3691の出力を50 入力、あるいはグランドへの終端処理回路に直接接続しないで下さい。出力信号のパターン依存性歪みを防ぐため、十分に値の大きなカップリングコンデンサ(推奨0.1μF)を選んで下さい。

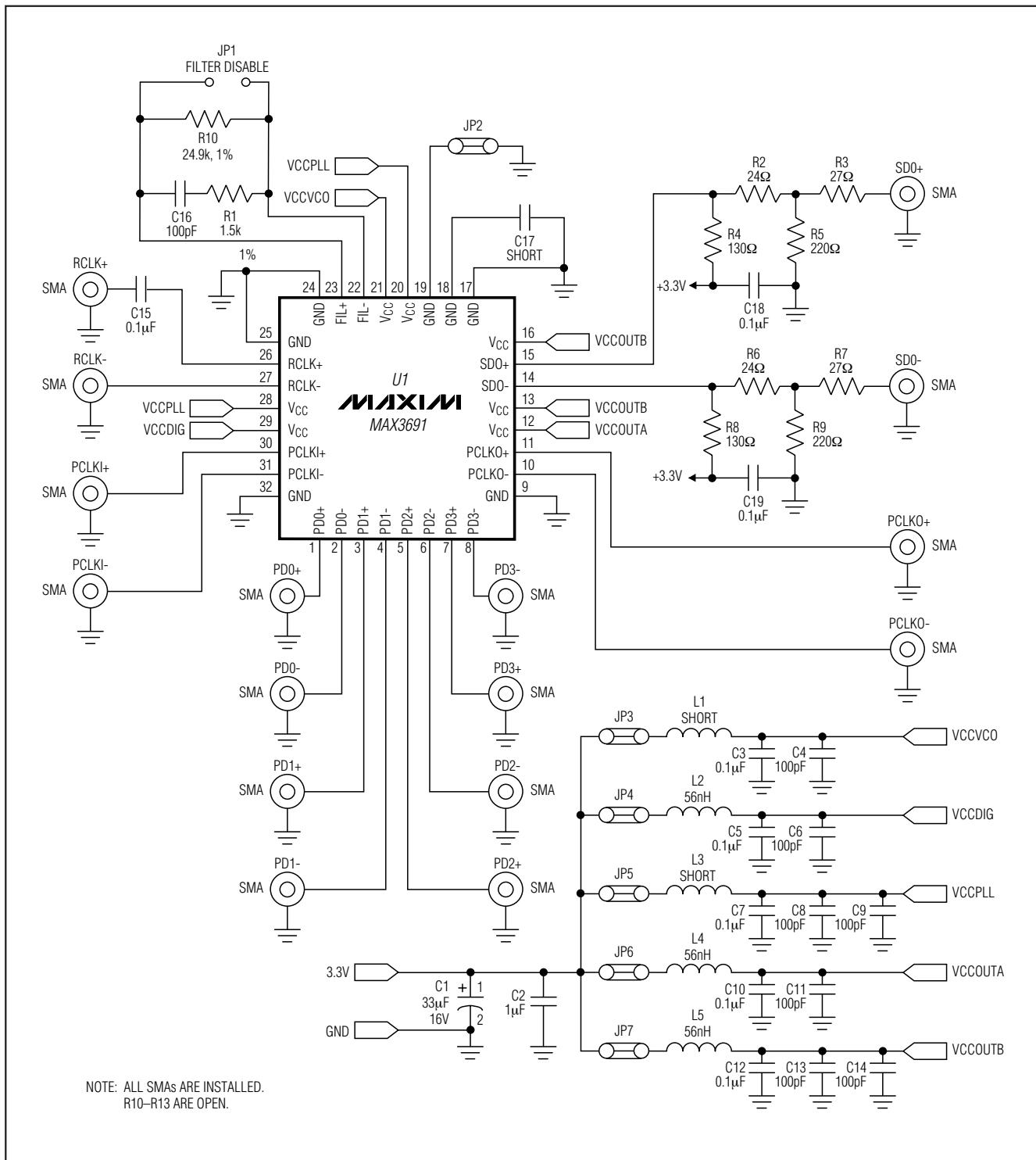


図1. MAX3691 EVキットの回路図

MAX3691評価キット

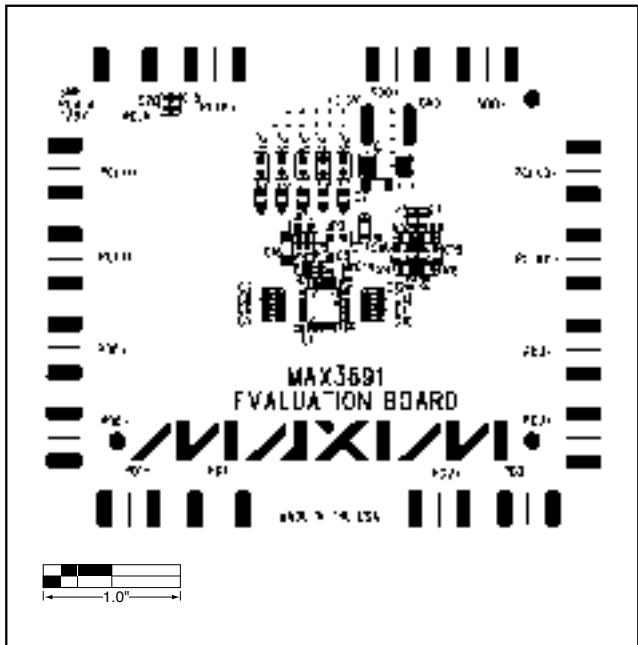


図2. MAX3691 EVキットの部品配置図
(上面シルクスクリーン)

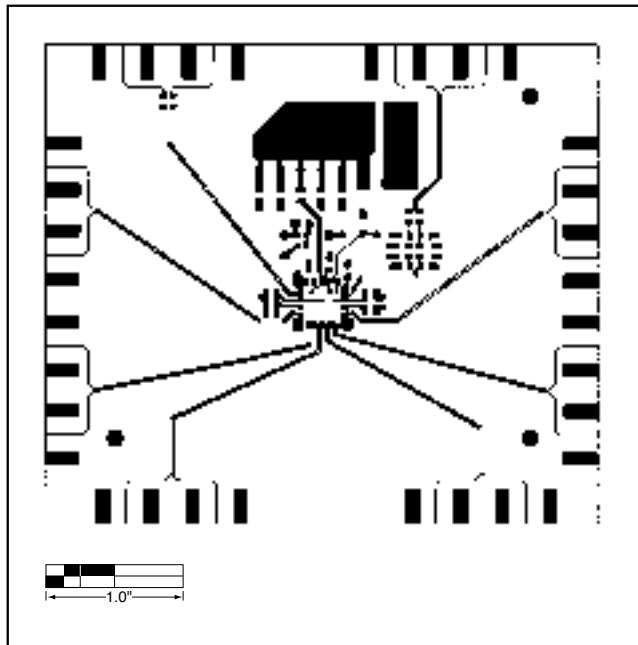


図3. MAX3691 EVキットのプリント基板レイアウト
(部品面側)

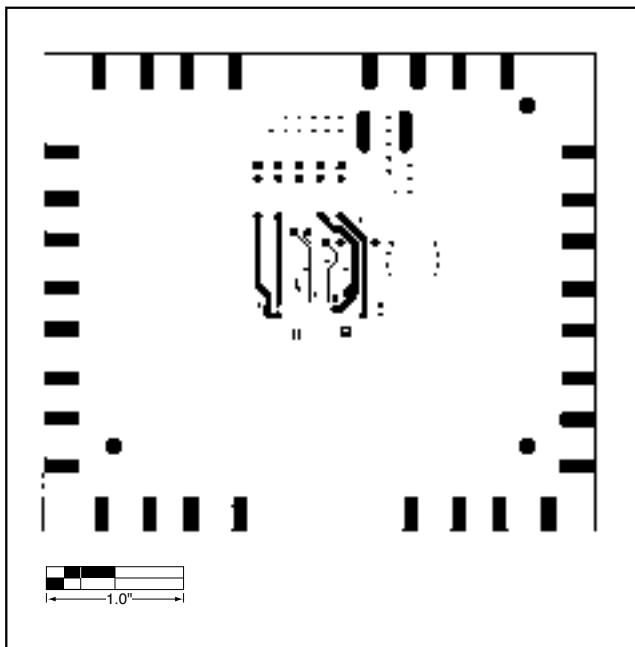


図4. MAX3691 EVキットのプリント基板レイアウト
(ハンダ面側)



図5. MAX3691 EVキットのプリント基板レイアウト
(グランドプレーン)

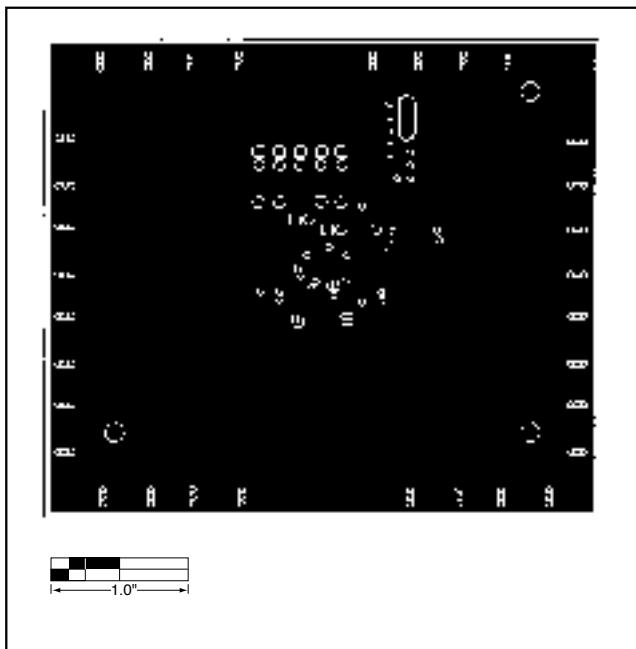


図6. MAX3691 EVキットのプリント基板レイアウト
(電源プレーン)

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は隨時予告なしに回路及び仕様を変更する権利を保留します。

6 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.