

EVALUATION KIT  
AVAILABLE**MAXIM**3.3V、622Mbps、SDH/SONET  
1:4 デシリアライザ、LVDS出力付

MAX3681

## 概要

MAX3681は、ATM及びSDH/SONETアプリケーションにおいて622Mbpsシリアルデータを4ビット幅の155Mbpsパラレルデータに変換するのに最適なデシリアライザです。+3.3V単一電源で動作し、PECL及びシリアルクロックを受けて、高速デジタル回路とのインタフェース用のデータ出力及び低電圧差動信号(LVDS)クロックを提供します。また、データのリアライメント及びリフレーミングを可能にするLVDS同期入力も備えています。

MAX3681は、拡張工業用温度範囲(-40 ~ +85 )  
のものが24ピンSSOPパッケージで供給されています。

## アプリケーション

622Mbps SDH/SONET伝送システム  
622Mbps ATM/SONETアクセスノード  
アド/ドロップマルチプレクサ  
デジタルクロスコネクト

## 特長

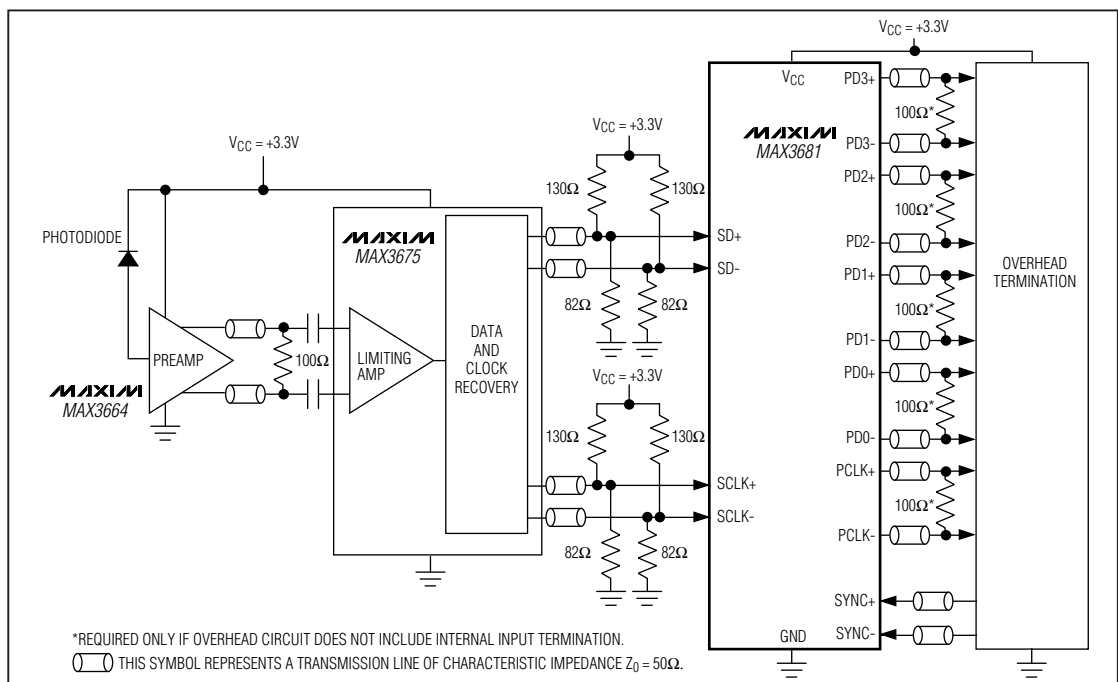
- ◆ 電源：+3.3V単一
- ◆ 622Mbpsシリアルから155Mbpsパラレルへの変換
- ◆ 消費電力：265mW
- ◆ LVDSデータ出力及び同期入力
- ◆ データのリアライメント及びリフレーミング用の同期入力
- ◆ 差動3.3V PECLクロック及びデータ入力

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3681EAG	-40°C to +85°C	24 SSOP

ピン配置はデータシートの最後に記載されています。

## 標準動作回路



# 3.3V、622Mbps、SDH/SONET 1:4 デシリアライザ、LVDS出力付

## ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)	Continuous Power Dissipation ( $T_A = +85^\circ\text{C}$ )
$V_{CC}$ ..... -0.5V to 5V	SSOP (derate 8.00mW/ $^\circ\text{C}$ above $+85^\circ\text{C}$ ) ..... 520mW
PECL Inputs (SD+/-, SCLK+/-) ..... $V_{CC} + 0.5\text{V}$	Operating Temperature Range ..... $-40^\circ\text{C}$ to $+85^\circ\text{C}$
LVDS Inputs (SYNC+/-) ..... $V_{CC} + 0.5\text{V}$	Storage Temperature Range ..... $-65^\circ\text{C}$ to $+160^\circ\text{C}$
Output Current, LVDS Outputs (PCLK+/-, PD+/-) ..... 10mA	Lead Temperature (soldering, 10sec) ..... $+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

( $V_{CC} = +3.0\text{V}$  to  $+3.6\text{V}$ , differential loads =  $100\Omega$ ,  $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3\text{V}$ ,  $T_A = +25^\circ\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	$I_{CC}$		55	80	120	mA
<b>PECL INPUTS (SD+/-, SCLK+/-)</b>						
Input High Voltage	$V_{IH}$		$V_{CC} - 1.16$		$V_{CC} - 0.88$	V
Input Low Voltage	$V_{IL}$		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V
Input High Current	$I_{IH}$	$V_{IN} = V_{IH}(\text{MAX})$	-10		10	$\mu\text{A}$
Input Low Current	$I_{IL}$	$V_{IN} = V_{IL}(\text{MAX})$	-10		10	$\mu\text{A}$
<b>LVDS INPUTS AND OUTPUTS (SYNC+/-, PCLK+/-, PD+/-)</b>						
Input Voltage Range	$V_I$	Differential input voltage = 100mV	0		2.4	V
Differential Input Threshold	$V_{IDTH}$	Common-mode voltage = 50mV	-100		100	mV
Threshold Hysteresis	$V_{HYST}$			70		mV
Differential Input Resistance	$R_{IN}$		85	100	115	$\Omega$
Output High Voltage	$V_{OH}$				1.475	V
Output Low Voltage	$V_{OL}$		0.925			V
Differential Output Voltage	$V_{OD}$		250		400	mV
Change in Magnitude of Differential Output Voltage for Complementary States	$\Delta V_{OD}$				25	mV
Output Offset Voltage	$V_{OS}$	$T_A = +25^\circ\text{C}$	1.125		1.275	V
Change in Magnitude of Output Offset Voltage for Complementary States	$\Delta V_{OS}$				25	mV
Single-Ended Output Resistance	$R_O$		40	70	140	$\Omega$
Change in Magnitude of Single-Ended Output Resistance for Complementary States	$\Delta R_O$			$\pm 1$	$\pm 10$	%

## AC ELECTRICAL CHARACTERISTICS

( $V_{CC} = +3.0\text{V}$  to  $+3.6\text{V}$ , differential loads =  $100\Omega$ ,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Serial Clock Frequency	$f_{SCLK}$		622			MHz
Serial Data Setup Time	$t_{SU}$		800			ps
Serial Data Hold Time	$t_H$		50			ps
Parallel Clock to Data Output Delay	$t_{CLK-Q}$		200	550	900	ps

**Note 1:** AC Characteristics guaranteed by design and characterization.

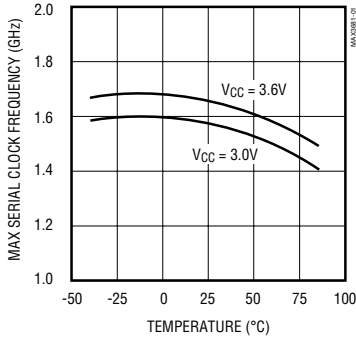
# 3.3V、622Mbps、SDH/SONET 1:4 デシリアライザ、LVDS出力付

MAX3681

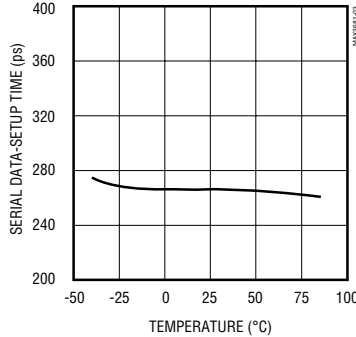
## 標準動作特性

( $V_{CC} = +3.0V$  to  $+3.6V$ , differential loads =  $100\Omega$ , unless otherwise noted.)

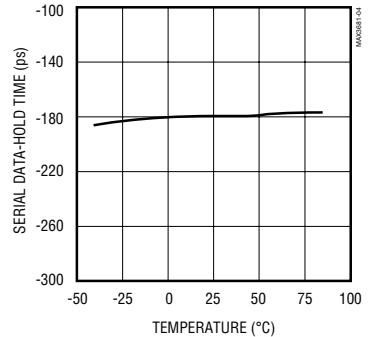
**MAXIMUM SERIAL CLOCK FREQUENCY  
vs. TEMPERATURE**



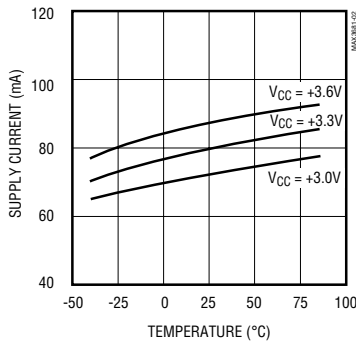
**SERIAL DATA-SETUP TIME  
vs. TEMPERATURE**



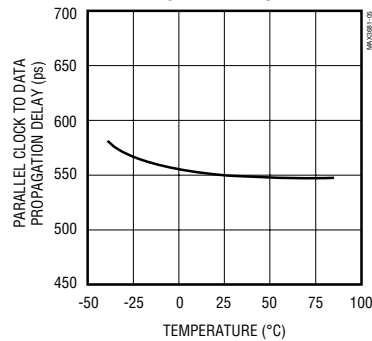
**SERIAL DATA-HOLD TIME  
vs. TEMPERATURE**



**SUPPLY CURRENT  
vs. TEMPERATURE**



**PARALLEL CLOCK TO DATA  
OUTPUT PROPAGATION DELAY  
vs. TEMPERATURE**



## 3.3V、622Mbps、SDH/SONET 1:4 デシリアライザ、LVDS出力付

### 端子説明

端子	名称	機能
1, 2, 5, 8, 12	Vcc	+3.3V電源電圧
3	SD+	非反転PECLシリアルデータ入力。データはSCLKの正遷移でクロックされます。
4	SD-	反転PECLシリアルデータ入力。データはSCLKの正遷移でクロックされます。
6	SCLK+	非反転PECLシリアルクロック入力
7	SCLK-	反転PECLシリアルクロック入力
9, 15, 22	GND	グランド
10	SYNC+	非反転LVDS同期パルス入力。SYNC信号を少なくともSCLKの2周期だけハイにして、1ビットをドロップすることによってデータアライメントをシフトしてください。
11	SYNC-	反転LVDS同期パルス入力。SYNC信号を少なくともSCLKの2周期だけハイにして、1ビットをドロップすることによってデータアライメントをシフトしてください。
13	PCLK-	反転LVDS/パラレルクロック出力
14	PCLK+	非反転LVDS/パラレルクロック出力
16, 18, 20, 23	PD0- to PD3-	反転LVDS/パラレルデータ出力。データはPCLK信号の正遷移で更新されます。シリアルデータビット位置と出力データビット指定の関係については、図2を参照してください。
17, 19, 21, 24	PD0+ to PD3+	非反転LVDS/パラレルデータ出力。データはPCLK信号の正遷移で更新されます。シリアルデータビット位置と出力データビット指定の関係については、図2を参照してください。

### 詳細

MAX3681は4ビットシフトレジスタ、4ビットパラレル出力レジスタ、2ビットカウンタ、PECL入力バッファ、及び低電圧差動信号(LVDS)入力/出力バッファを用いて、622Mbpsシリアルデータを4ビット幅の155Mbpsパラレルデータに変換します(図1)。

入力シフトレジスタは、シリアルクロック(SCLK)の正遷移で入ってくるデータを連続的にクロックします。2ビットカウンタは、シリアルクロック周波数を分周することによってパラレル出力クロックを生成します。PCLK信号は、パラレル出力レジスタのクロックとして使用されます。通常動作中、カウンタはSCLK周波数を4分周し、その結果出力レジスタが入ってくるシリアルデータを4ビットずつラッチします。

同期入力(SYNC+、SYNC-)は、データのリアライメント及びリフレーミングに使用されます。SYNC信号が少なくとも2 SCLKサイクル期間パルスのハイになると、パラレル出力データが1 SCLKサイクルだけ遅延されます。このリアライメントは、SYNC信号の正遷移から2 PCLKサイクル以内に発生することが保証されています。この結果、そのPCLKサイクル中に入ってきた

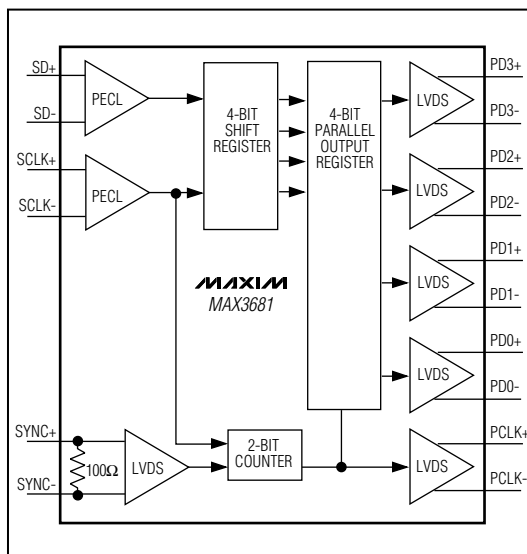


図1. ファンクションダイアグラム

## 3.3V、622Mbps、SDH/SONET 1:4 デシリアライザ、LVDS出力付

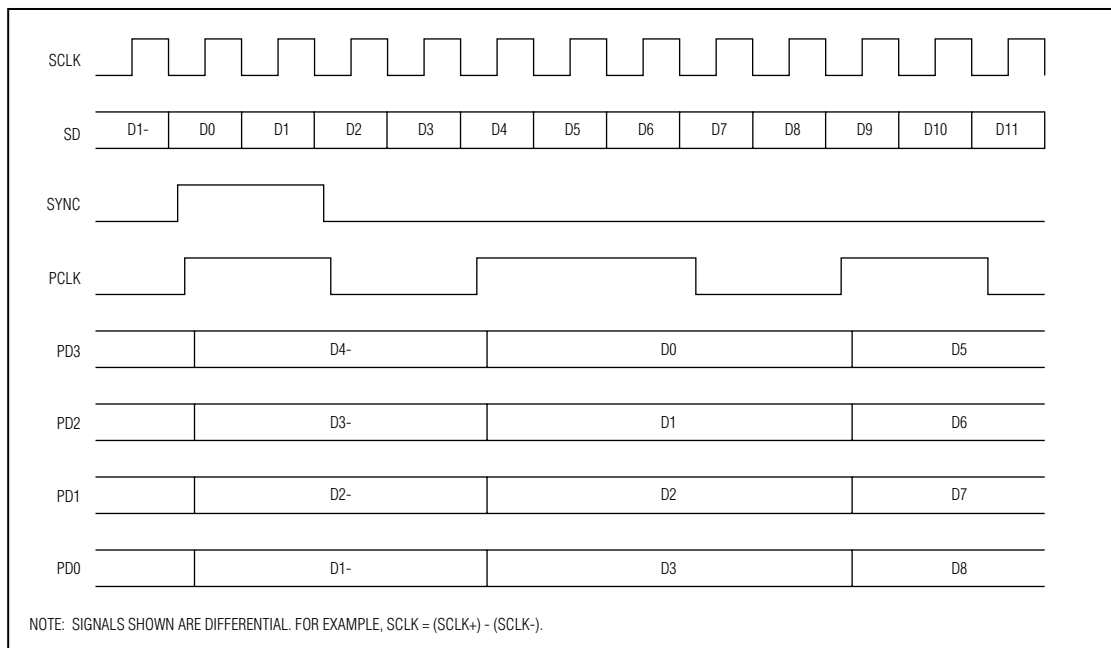


図 2. 機能タイミング図

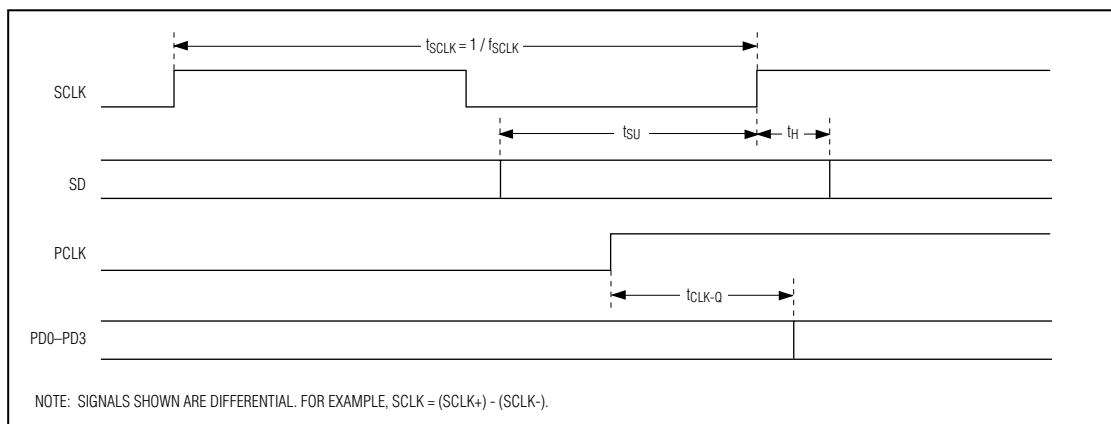


図 3. タイミングパラメータ

## 3.3V、622Mbps、SDH/SONET 1:4 デシリアライザ、LVDS出力付

データの最初のビットがドロップされ、PCLKとデータの間のアライメントを1ビットだけシフトします。

図2の機能タイミング図及び図3のタイミングパラメータ図を参照してください。

### 低電圧差動信号(LVDS)入出力

MAX3681は、高速デジタル回路とのインタフェースを目的としたLVDS入出力を備えています。LVDS規格は、IEEE 1596.3であるLVDS規格に基づいています。この技術では250mVp-p ~ 400mVp-pの差動低電圧スイングを使用して高速遷移、低消費電力、及びノイズ耐性を実現しています。

パラレルクロック及びデータLVDS出力(PCLK+、PCLK-、PD+、PD-)が適正に動作するためには、反転出力と非反転出力の間で100Ωの差動DC終端処理を必要とします。これらの出力は、グランドに対して終端処理しないでください。

同期LVDS入力(SYNC+、SYNC-)は100Ωの内部差動入力抵抗で終端処理されているため、外部で終端処理する必要はありません。

### PECL入力

シリアルデータ及びクロックPECL入力(SD+、SD-、SCLK+、SCLK-)をPECLソースとインタフェースするためには、50Ωで( $V_{CC} - 2V$ )に対して終端処理する必要があります(「PECL入力終端処理の別方法」を参照)。

## アプリケーション情報

### PECL入力終端処理の別方法

図4に、PECL入力終端処理の別方法を示します。 $(V_{CC} - 2V)$ 終端電圧が得られない場合には、テブナン等価終端を使用してください。ECL出力デバイスとのインタフェース等でACカップリングが必要な場合は、ECL ACカップリング終端を使用してください。

### レイアウト技法

最高の性能を得るためには、優れた高周波レイアウト技法を使用してください。電源にはフィルタリングを施し、グランドへの接続は短くしてください。できるだけビアを多く用いてください。また、MAX3681のデータ入出力とのインタフェースには、制御されたインピーダンス伝送ラインを使用してください。

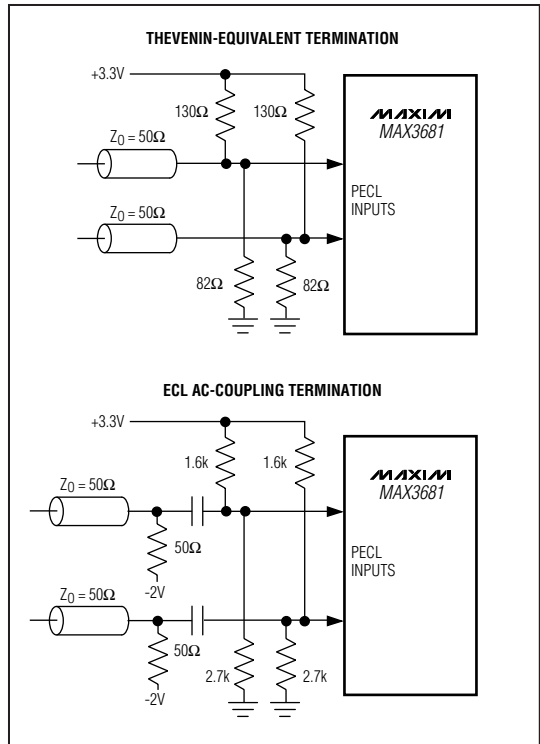
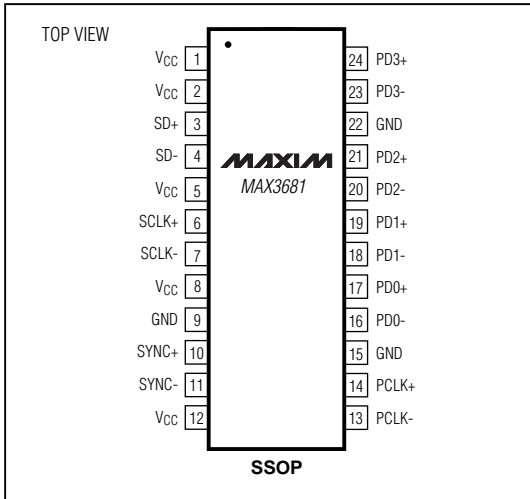


図4. PECL入力終端処理の別方法

# 3.3V、622Mbps、SDH/SONET 1:4 デシリアライザ、LVDS出力付

## ピン配置



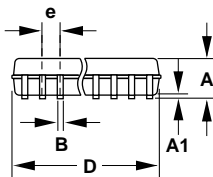
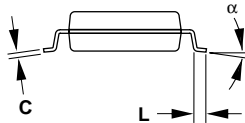
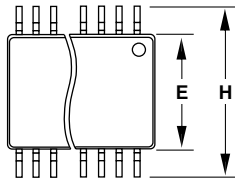
## チップ情報

TRANSISTOR COUNT: 724

MAX3681

3.3V、622Mbps、SDH/SONET  
1:4 デシリアライザ、LVDS出力付

パッケージ



SSOP  
SHRINK  
SMALL-OUTLINE  
PACKAGE

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	14	0.239	0.249	6.07	6.33
D	16	0.239	0.249	6.07	6.33
D	20	0.278	0.289	7.07	7.33
D	24	0.317	0.328	8.07	8.33
D	28	0.397	0.407	10.07	10.33

21-0056A

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**