

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

概要

MAX3675は、リミティングアンプを備えた完全クロックリカバリ及びデータリタイミングICです。622Mbps SDH/SONETアプリケーション用に設計されており、+3.3V単一電源で動作します。

MAX3675は、2つの差動アンプを備えています。1つはPECLレベルを受け付け、もう1つは小信号アナログレベルを受け付けます。アナログ入力のリミティングアンプ段に入力され、そこには受信信号強度インジケータ(RSSI)とスレッシュホールドが設定可能なロスオブパワー(LOP)モニタの両方の機能があります。PECLアンプを選択するとリミティングアンプがディセーブルされ、電力が節約されます。ロスオブブロック(LOL)モニタが、完全集積PLL一部として組み込まれています。

アプリケーション

SDH/SONET伝送システム

SDH/SONETアクセスノード

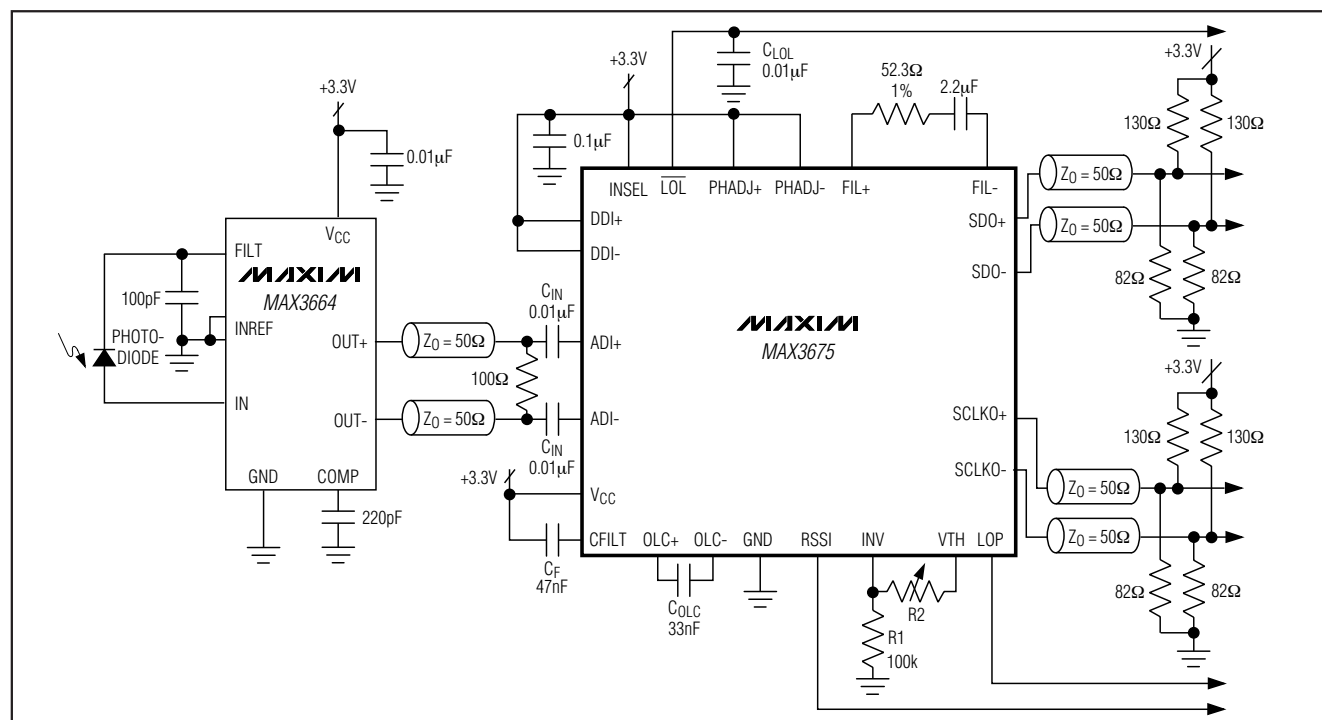
アッド/ドロップ・マルチプレクサ

ATMスイッチ

デジタルクロスコネクタ

ピン配置はデータシートの最後に記載されています。

標準動作回路



特長

- ◆ 電源：+3.3V又は+5.0V単一
- ◆ ANSI、ITU及びBellcore SDH/SONET仕様に適合
- ◆ 低電力：+3.3Vで215mW
- ◆ データ入力選択可能：差動PECL又はアナログ
- ◆ 受信信号強度インジケータ(RSSI)
- ◆ ロスオブパワー及びロスオブブロックモニタ
- ◆ 差動PECLクロック及びデータ出力
- ◆ 外部リファレンスクロック不要

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3675ECJ	-40°C to +85°C	32 TQFP
MAX3675EHJ	-40°C to +85°C	5mm 32 TQFP
MAX3675E/D	-40°C to +85°C	Dice*

* 入手可能性についてはお問い合わせください。チップは-40°C~+85°Cの範囲で動作するように設計されていますが、試験と保証はT_j = +45°Cでのみ行われています。

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

MAX3675

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}-0.5V to +6.5V
Input Voltage Levels,
DDI+, DDI-, ADI+, ADI-.....-0.5V to ($V_{CC} + 0.5V$)
Input Differential Voltage (ADI+) - (ADI-)..... $\pm 3V$
PECL Output Currents, SDO+, SDO-, SCLKO+, SCLKO-...100mA
LOL, LOP, INSEL, PHADJ+, PHADJ-.....-0.5V to ($V_{CC} + 0.5V$)
FIL+, FIL-, OLC+, OLC-, RSSI, VTH.....-0.5V to ($V_{CC} + 0.5V$)
(OLC+) - (OLC-)..... $\pm 3V$
(FIL+) - (FIL-) $\pm 700mV$

CFILT($V_{CC} - 2.5V$) to ($V_{CC} + 0.5V$)
INV-0.5V to +2.0V
Continuous Power Dissipation ($T_A = +85^\circ C$)
TQFP (derate 11.1mW/ $^\circ C$ above +85 $^\circ C$).....721mW
Operating Junction Temperature Range.....-40 $^\circ C$ to +150 $^\circ C$
Storage Temperature Range.....-65 $^\circ C$ to +160 $^\circ C$
Processing Temperature (die).....+400 $^\circ C$
Lead Temperature (soldering, 10sec).....+300 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to +5.5V, $T_A = -40^\circ C$ to +85 $^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{CC}	MAX3675ECJ, PECL outputs unterminated	INSEL = V_{CC}	65	90	mA
			INSEL = GND	47	65	
PECL Input High Voltage	V_{IH}		$V_{CC} - 1.16$		$V_{CC} - 0.88$	V
PECL Input Low Voltage	V_{IL}		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V
PECL Input High Current	I_{IH}		-10		10	μA
PECL Input Low Current	I_{IL}		-10		10	μA
PECL Output High Voltage	V_{OH}		$V_{CC} - 1.03$		$V_{CC} - 0.88$	V
PECL Output Low Voltage	V_{OL}		$V_{CC} - 1.81$		$V_{CC} - 1.620$	V
LOP, LOL High Voltage	V_{OH}		2.4			V
LOP Low Voltage	V_{OL}		0.1		0.4	V
LOL Low Voltage	V_{OL}	$C_{LOL} = 0.01\mu F$		0.44		V
ADI+, ADI- Input Bias Voltage			$V_{CC} - 0.7$	$V_{CC} - 0.6$	$V_{CC} - 0.5$	V
RSSI Output Voltage		ADI+, ADI- open		1.22		V
		(ADI+) - (ADI-) = 20mVp-p	2.00	2.12	2.30	
		(ADI+) - (ADI-) = 80mVp-p	2.38	2.51	2.70	
Op-Amp Input Bias Current		1M Ω between INV and VTH	-100		+100	nA
INV Input Bias Voltage		1M Ω between INV and VTH	1.10	1.18	1.30	V

Note 1: Dice are tested at $T_j = +45^\circ C$, $V_{CC} = +4.25V$

Note 2: At $T_A = -40^\circ C$, DC characteristics are guaranteed by design and characterization.

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミティンダンプ付

MAX3675

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +5.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +3.3V and T_A = +25°C.)
(Notes 3, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Input Voltage Range	V _{ID}	BER < 10 ⁻¹⁰ , ADI inputs (Note 5)	0.003		1.2000	Vp-p
Input Referred Noise	V _N	ADI inputs		100		μV
Power-Detect Hysteresis		V _{RELEASE} = 3.6mVp-p (Note 6)	2	3	5	dB
Limiting Amplifier Small-Signal Bandwidth	BW	(Note 7)		800		MHz
RSSI Output Voltage		(ADI+) - (ADI-) = 2mVp-p		1.36		V
		(ADI+) - (ADI-) = 20mVp-p		1.93		
Threshold Voltage	V _{TH}	V _{RELEASE} = 3.6mVp-p		1.40		V
RSSI Linearity		(ADI+) - (ADI-) = 2mVp-p to 50mVp-p		±0.7		%
RSSI Slope		(ADI+) - (ADI-) = 2mVp-p to 50mVp-p (Note 8)		29		mV/dB
Loop Bandwidth		C _F = 2.2μF, R _F = 52.3Ω		350		kHz
		C _F = 0.022μF, R _F = 523Ω		3.5		
Jitter Generation (Note 9)		C _F = 2.2μF, R _F = 52.3Ω		13		mUI
		C _F = 0.022μF, R _F = 523Ω		6		
Jitter-Transfer Peaking		R _F = 52.3Ω, C _F = 2.2μF			0.08	dB
Jitter Tolerance (Note 9)		R _F = 52.3Ω, C _F = 2.2μF	f = 10kHz	8		UI
			f = 25kHz	1.50	3.35	
			f = 250kHz	0.25	0.60	
			f = 1MHz	0.20	0.50	
Maximum Consecutive Input Run Length (1 or 0)				1000		Bits
Serial Clock-to-Q Delay	t _{CLK-Q}		195	275	370	ps
Serial Clock Frequency	f _{SCLK}			622.08		MHz

Note 3: AC parameters are guaranteed by design and characterization.

Note 4: The MAX3675 is characterized with a PRBS of 2²³ - 1 maintaining a BER of ≤ 10⁻¹⁰ having a confidence level of 99.9%.

Note 5: A lower minimum input voltage of 2mVp-p is achievable; however, the LOP hysteresis is not guaranteed below 3.6mVp-p.

Note 6: Hysteresis = 20log(V_{RELEASE} / V_{ASSERT})

Note 7: Small-signal bandwidth cannot be measured directly.

Note 8: RSSI slope = [V_{RSSI2} - V_{RSSI1}] / [20log(V_{ID2} / V_{ID1})]

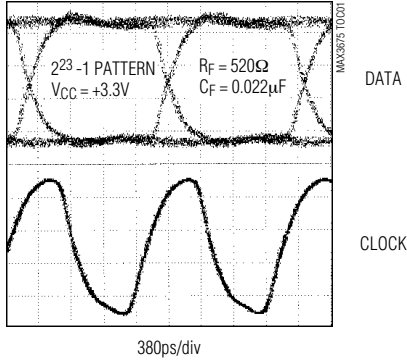
Note 9: 1UI = 1 unit interval = (622.08MHz)⁻¹ = 1.608ns

622Mbps、低電力、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

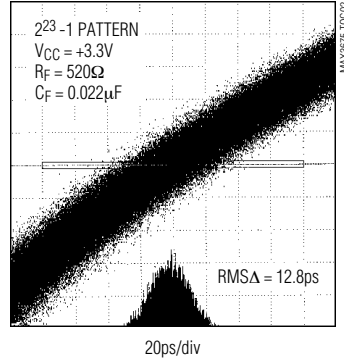
標準動作回路

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

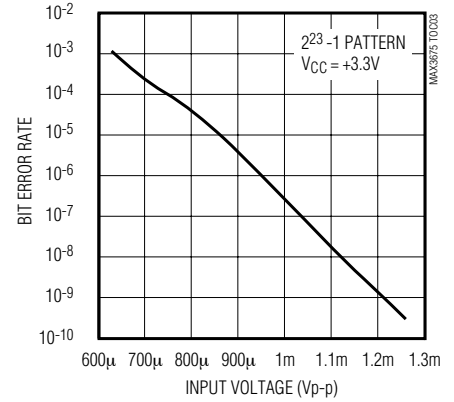
RECOVERED DATA AND
CLOCK (SINGLE ENDED)



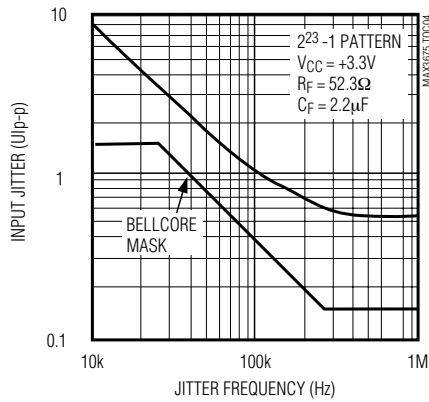
RECOVERED CLOCK JITTER



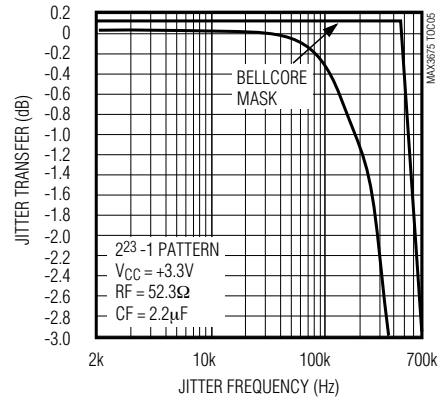
BIT ERROR RATE
vs. INPUT VOLTAGE



JITTER TOLERANCE



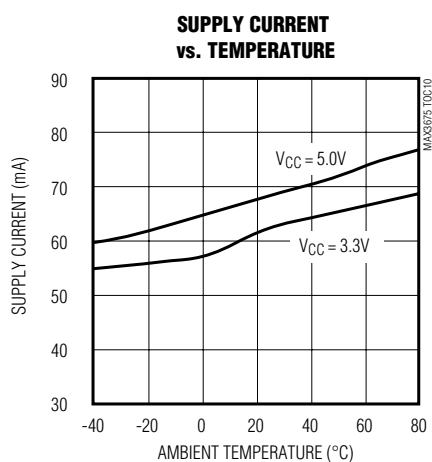
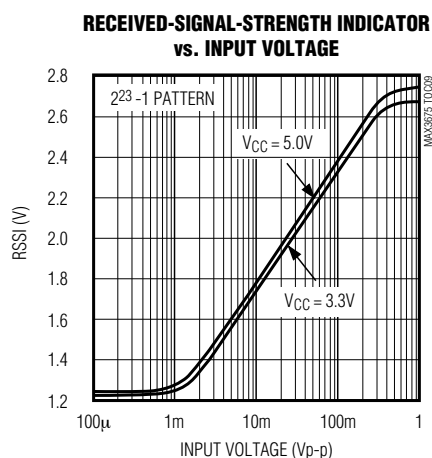
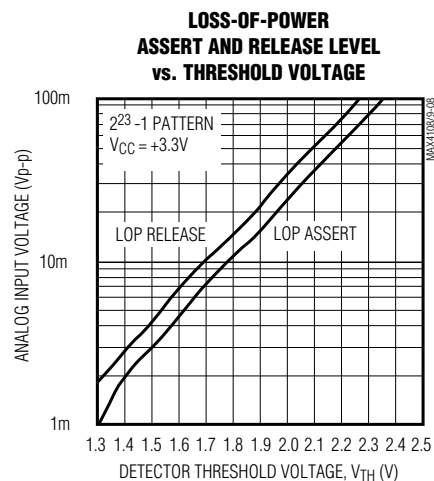
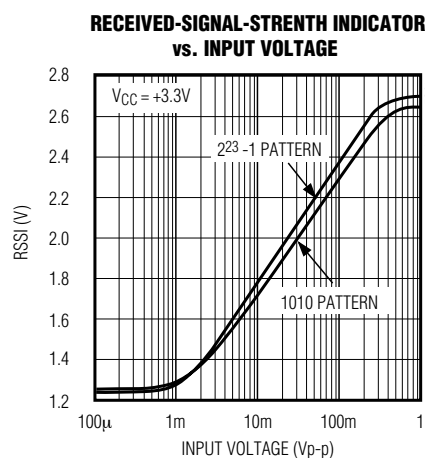
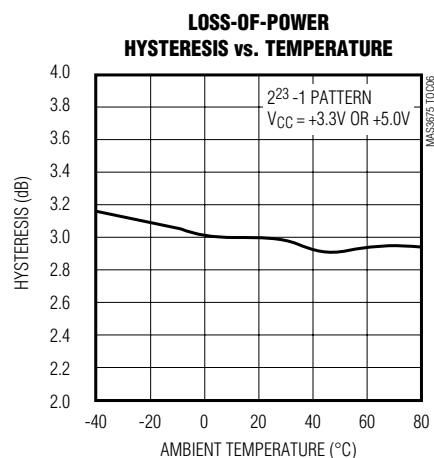
JITTER TRANSFER



622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミディングアンプ付

標準動作回路(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



MAX3675

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

端子説明

端子	名称	機 能
1	OLC+	正オフセット補正ループコンデンサ入力
2	OLC-	負オフセット補正ループコンデンサ入力
3	RSSI	受信信号強度インジケータ出力
4, 8, 16, 24, 25	GND	電源グランド
5	INV	オペアンプ反転入力。オペアンプを使用しない場合は、グランドに接続してください。
6	VTH	電圧スレッシュホールド入力。ロスオブパワーモニタのスレッシュホールド電圧。LOP機能を使用しない場合はV _{CC} に接続してください。
7	LOP	ロスオブパワー出力(TTL)。リミティングアンプのロスオブパワーモニタ。入力信号がVTHで設定されたスレッシュホールド以下になるとハイになります。
9, 12, 15, 18, 21, 31	V _{CC}	正電源電圧
10	SCLKO-	負シリアルクロック出力(PECL、622.08MHz)。SDO-はSCLKO-の立下がりエッジでクロック出力されます。
11	SCLKO+	正シリアルクロック出力(PECL、622.08MHz)。SDO+はSCLKO+の立上がりエッジでクロック出力されます。
13	SDO-	負シリアルデータ出力(PECL、622.08Mbps)
14	SDO+	正シリアルデータ出力(PECL、622.08Mbps)
17	$\overline{\text{LO}}$	ロスオブブロック出力(TTL)。アクティブローのPLLロスオブブロックモニタ(「設計手順」を参照)。
19	PHADJ-	負位相調節入力。内部PLL位相を最適に調節するために使用されます。使用しない場合はV _{CC} に接続してください。
20	PHADJ+	正位相調節入力。内部PLL位相を最適に調節するために使用されます。使用しない場合はV _{CC} に接続してください。
22	FIL-	負フィルタ入力。PLLループフィルタの接続部。
23	FIL+	正フィルタ入力。PLLループフィルタの接続部。
26	DDI+	正デジタルデータ入力(PECL、622.08Mbpsシリアルデータストリーム)
27	DDI-	負デジタルデータ入力(PECL、622.08Mbpsシリアルデータストリーム)
28	INSEL	入力選択。デジタルデータ入力を選択する時はGNDに接続し、アナログデータ入力を選択する時はV _{CC} に接続してください。
29	ADI-	負アナログデータ入力(622.08Mbpsシリアルデータストリーム)
30	ADI+	正アナログデータ入力(622.08Mbpsシリアルデータストリーム)
32	CFILT	RSSIフィルタコンデンサ入力

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

MAX3675

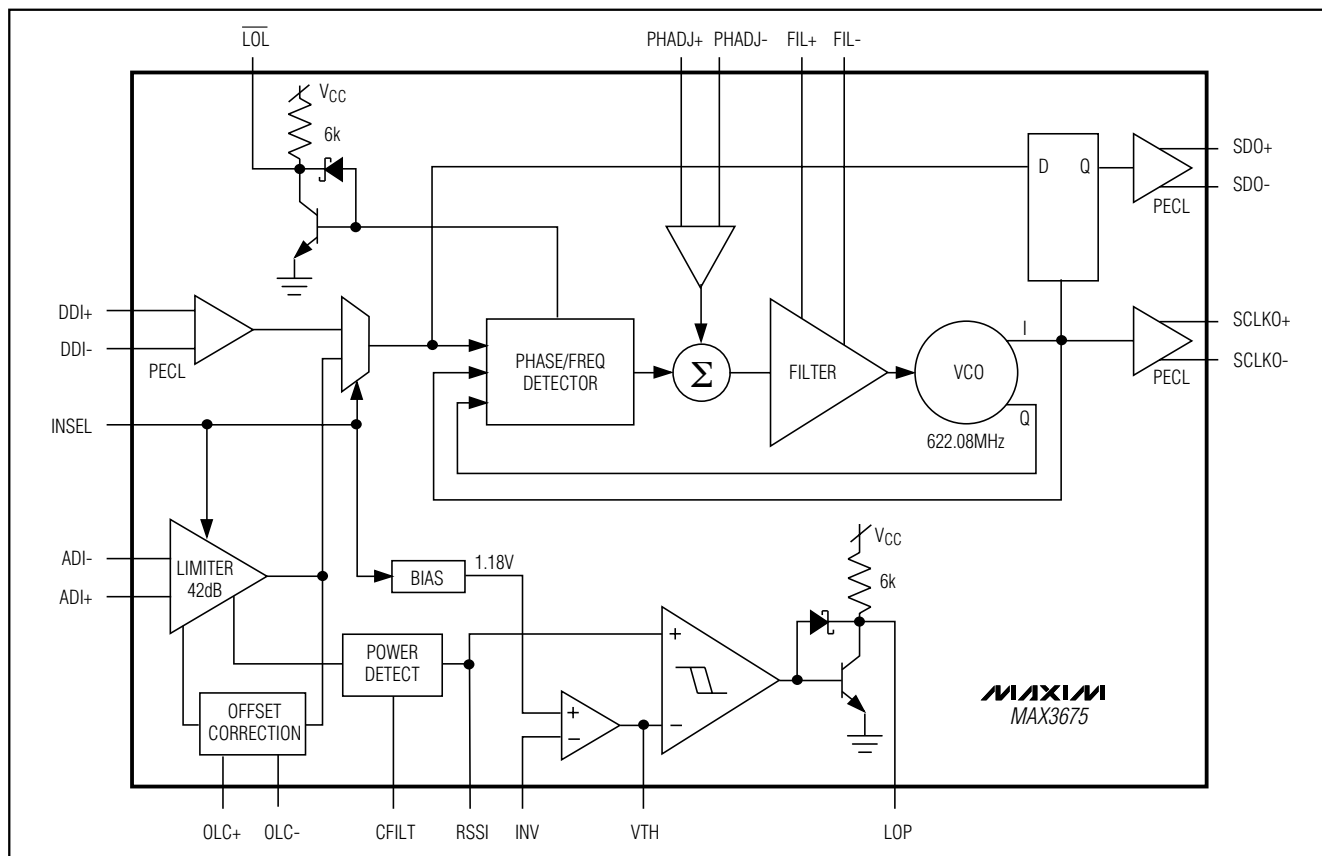


図1. ファンクションダイアグラム

詳細

図1のブロック図にMAX3675の構造を示します。リミティングアンプ入力段の後に、位相ロックループ(PLL)による完全集積クロック/データリカバリ(CDR)ブロックがあります。入力段は、リミティングアンプ又はシンプルなPECL入力バッファを選択できます。リミティングアンプは、ロスオブパワー(LOP)モニタ及び受信信号強度インジケータ(RSSI)を備えています。PLLは位相/周波数検出器(PFD)、ループフィルタアンプ及び電圧制御発振器(VCO)で構成されています。

リミティングアンプ

MAX3675のオンチップ・リミティングアンプは、3.0mVp-p~1.2Vp-pの入力信号レベルを許容します。アンプは、全波対数検出器を含む利得段のカスケードになっています。複合小信号利得は約42dBで、-3dB帯域幅は800MHzです。入力を基準としたノイズは

100μVRMS以下であるため、小振幅のデータストリームに対して優れた感度を発揮します。

リミティングアンプは、CDRを駆動するほかに、RSSI出力及びユーザがスレッショルド電圧をプログラムできるLOPモニタを提供しています。RSSI回路は、ADI+とADI-の間で検出された(デシベル単位の)入力電力に直線的に比例する出力電圧を生成します。最低2mVp-pまでの信号を高い信頼度で検出できる感度を備えています。

入力DCオフセットは電力検出器の精度を低減させるため、利得段の入力オフセットを自動的にゼロにする集積フィードバックループが装備されています。このオフセット補正ループがあるため、ADI+及びADI-入力を使用する場合は入力信号をACカップリングする必要があります。

最後に、リミティングアンプを必要としないアプリケーションでは、デジタル入力を選択するとポストアンプブロックがターンオフされ、電力を節約できます。

622Mbps、低電力、3.3Vクロックリカバリ及びデータリタイミングIC、リミティンングアンプ付

位相検出器

位相検出器は、入ってくるデータと内部クロックの間の位相差に比例する電圧を生成します。フィードバックの性質により、PLLは再生クロックを入力データに同期させるように、エラー電圧をゼロにドライブします。外部位相調節ピン(PHADJ+、PHADJ-)により、内部位相調整を変更できます。

周波数検出器

PLLに内蔵されている周波数検出器は、スタートアップ状態での周波数の補捉を補助します。入力データストリームはVCOクロックの直交成分によりサンプリングされ、差分周波数を生成します。PFDは、差分周波数の極性に従って差分周波数がゼロに減少するようにVCOを駆動します。一旦周波数が取り込まれると、周波数検出器はニュートラル状態に戻ります。

ループフィルタ及びVCO

VCOは完全集積化されていますが、ループフィルタには外部R-Cネットワークを必要とします。このフィルタネットワークにより、2次PLLのピーキング及び帯域幅が決まります。

設計手順

受信信号インジケータ(RSSI)

RSSI出力電圧は、温度及び電源電圧の変動には影響されません。パワー検出器は検出器帯域幅内の全ての信号の全RMSパワー(入力信号ノイズを含む)を検出する広帯域パワーメータとして機能します。RSSI電圧は、2mVp-p~50mVp-pの入力に対して(デシベル単位で)直線的に変化します。この入力範囲での勾配は、約29mV/dBです。

高速RSSI信号は、CFILTとV_{CC}の間の1個の外部コンデンサによってRMSレベルにフィルタされます。CFILTへのインピーダンスはV_{CC}に対し約500Ωです。その結果、低い方の-3dBカットオフ周波数は、次の簡単な関係によって設定されます。

$$f_{\text{FILT}} = 1 / [2\pi(500)C_F]$$

622Mbpsアプリケーションの場合、マキシム社ではカットオフ周波数として6.8kHzを推奨しています。この場合C_F = 47nFが必要です。RSSI出力はグランドへの最小負荷抵抗10kΩ及び最大20pFを駆動するように設計されています。20pF以上の負荷は、10kΩの直列抵抗によってバッファする必要があります(電圧計)。

入力オフセット補正

オンチップリミティンングアンプでは、42dB以上の利得

を備えています。入力オフセットを除去するために、MAX3675には低周波数フィードバックループが組み込まれています。ADI+及びADI-入力へのDCカップリングは、DCオフセット補正回路が適正に作動しなくなるため、許容されません。

差動入力インピーダンス(Z_{IN})は、約2.5kΩです。OLC+とOLC-の間のインピーダンス(Z_{OLC})は、約120kΩです。入力DC阻止コンデンサ(C_{IN})及びオフセット補正ループコンデンサ(C_{OLC})による複合低周波数カットオフ(f_{CUTOFF})を設定する時は、注意してください。C_{IN}及びC_{OLC}の選択については、表1を参照してください。

これらの値により、C_{IN}及びC_{OLC}によるポールが相互に作用しあって低い方の-3dBコーナ周波数の場合の応答が平坦(利得ピーキングなし)になります。

f_{CUTOFF}の偏差を最小限に抑えるため、C_{IN}としてはX7Rタイプの低TC高品質コンデンサ又はさらに良い品質のものを使用してください。C_{OLC}は、Z5Uタイプ以上の高品質のものであることが必要です。

ロスオブパワー(LOP)モニタ

ユーザプログラマブルのスレッシュホールド及びヒステリシスコンパレータを備えたLOPモニタも、リミティンングアンプ回路に内蔵されています。コンパレータ入力の片方は、内部でRSSI出力信号に接続され、他方はスレッシュホールド電圧(V_{TH})に接続されています。V_{TH}は外部から設定でき、LOP表示のトリップポイントです。電源に依存しないスレッシュホールド電圧を設定できるように、内部バンドギャップ電圧(1.18V)を基準とする低電圧低ドリフトオペアンプを使用しています。このオペアンプは、LOPトリップポイントを設定するために2つの外付抵抗を必要とします。V_{TH}は、次式を使用して1.18V~2.4Vの範囲で設定できます。

$$V_{\text{TH}} = 1.18(1 + R_2 / R_1)$$

このオペアンプは、電流ソースとして20μAしか供給できません。このため、適正動作のためには100kΩ以上

表1. 低周波数カットオフの設定

C _{IN}	C _{OLC}	複合 低f _{CUTOFF} (kHz)
0.022μF	0.047μF	3.0
0.010μF	0.033μF	6.8
6800pF	0.022μF	10
4700pF	0.010μF	13.5
2200pF	4700pF	29
1000pF	3300pF	68
470pF	1000pF	135
330pF	680pF	190
220pF	470pF	290

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

MAX3675

のR1値が推奨されます。INVピンにおけるオペアンプのバイアス電流は、±100nA以下であることが保証されています。スレッシュホールド電圧を外部で設定(即ちDAC制御)するには、反転端子(INV)をグランドに接続してオペアンプを完全にディセーブルしてください。こうするとV_{TH}はハイインピーダンスになり、外部から駆動する必要があります。

コンパレータは、アクティブハイLOP出力構成になっています。外部部品点数を少なくするために、6kΩプルアップ抵抗が内蔵されています。

ループフィルタの設定

PLLの中のループフィルタは、トランスコンダクタンスアンプ及び外付フィルタ素子(R_F及びC_F)で構成されています(図2)。PLLの閉ループ帯域幅は、次式で近似されます。

$$K_D K_O G_m R_F$$

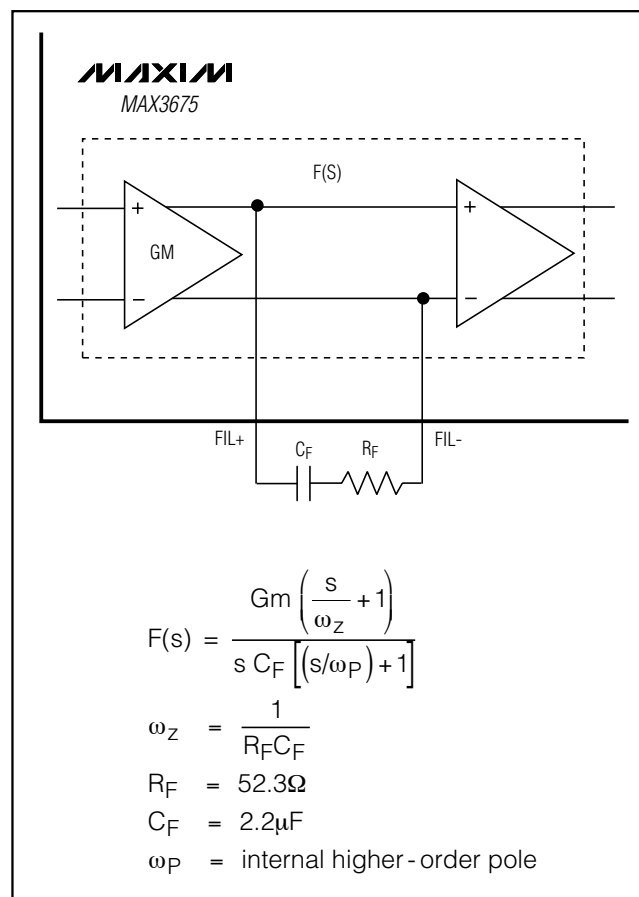


図2. ループフィルタ

ここでK_Dは位相検出器の利得、K_OはVCOの利得、G_mはフィルタアンプのトランスコンダクタンスです。MAX3675の場合、K_DK_OG_mの概算値は7kです。

PLLは2次システムであるため、安定性のためにオープンループ利得にゼロが必要です。このゼロは、次式で設定されます。

$$\omega_z = 1 / (R_F C_F)$$

ここで、C_Fの推奨する外付の値は2.2μFです。

R_Fの値が増えるとPLL帯域幅(f_{LOOP})が広がります。この帯域幅が広がるとジッタ許容度及びジッタ発生特性が良くなりますが、同時にジッタトランスファ特性が減少します。(帯域幅を小さくするとこの反対になります。)

このタイプのPLLは、典型的な2次システムです。このため、f_z(ゼロの周波数)がf_{LOOP}に近づくともジッタトランスファピーキングが増加します。オーバーダンピングされたシステム((f_z/f_{LOOP}) < 0.25)では、2次システムのジッタピーキングは次式で近似されます。

$$M_p = 1 - (f_z / f_{\text{LOOP}})$$

ここで、M_pはピーキングの大きさです。(f_z/f_{LOOP}) < 0.1の場合は、この式は10%以内の精度で成立します。

ジッタトランスファ仕様を満たす必要がない場合は、C_Fを小さくすることができます。例えば、R_Fを300Ω、C_Fを3.3nFに設定すると、ループ帯域幅が約2.2MHzに増加します(図3)。ループ安定性は、f_{LOOP}とf_zの間に10倍の間隔を持たせることにより確保されます。R_Fの値を変更する場合は注意してください。R_Fの下限はICの内部抵抗によって決まり、上限は内部高周波ポールによって決まります。

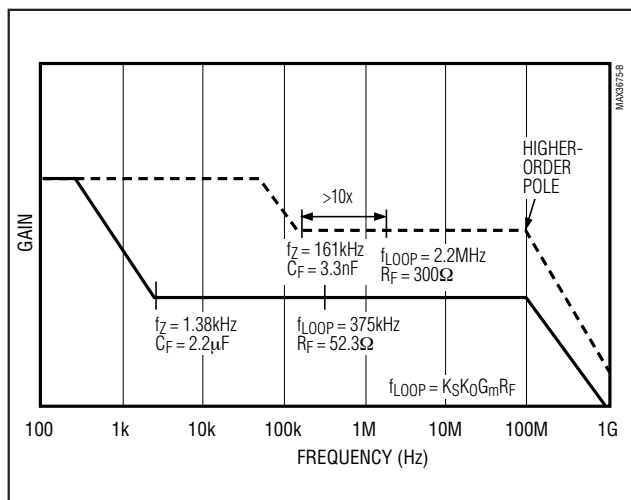


図3. ループフィルタの応答

622Mbps、低電力、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

MAX3675は、長い連続した0と1の文字列のロックを確立して、 10^{-10} 以下のビットエラーレート(BER)を実現するように最適に設計されています。推奨外付部品定数 $R_F = 52.3\Omega \pm 1\%$ 及び $C_F = 2.2\mu F \pm 20\%$ を使用した場合、MAX3675は1000個以上の連続した1又は0を許容することが測定により示されています。コンデンサ C_F としては、温度安定性が少なくとも $\pm 10\%$ のものを選択することが重要です。これにより、 $-40^\circ\text{C} \sim +85^\circ\text{C}$ の温度範囲において性能が確保されます。

ロック検出

MAX3675のロスオブロック(LOL)モニタはPLLがロックされているかどうかを表示します。通常動作では、 $\overline{\text{LOL}}$ はロックされており、 $\overline{\text{LOL}}$ 出力信号はハイです。MAX3675がロックを失うと、 $\overline{\text{LOL}}$ に急峻な負方向の遷移が起きます。ループが再びロックを得るまで、出力レベルは(C_{LOL} によって)ローに保持されます(図4)。

LOLモニタは、MAX3675の入力にデータストリームが存在するときにだけ有効であることに注意してください。このため、LOLは信号が入ってなくなったために生じるロスオブパワー状態は検出しません。このタイプのインジケータについては、「ロスオブパワー(LOP)モニタ」の項を参照してください。

入力及び出力の終端処理

MAX3675のデジタルデータ及びクロックI/O(DDI+、DDI-、SDO-、SCLK+及びSCLK-)は、PECL信号レベルとインタフェースするように設計されています。これらのポートを適切にバイアスすることが重要です。適正な終端処理をするには、 $V_{\text{CC}} - 2\text{V}$ に対して 50Ω のテブナン等価抵抗を持たせ、固定インピーダンス伝送ラインを使用してください。差動出力の負荷が平衡に

なるようにしてください。

デジタルデータ入力信号(DDI+及びDDI-)は、エミッタカップリングペアへの差動入力です。この結果、MAX3675は最低250mVの差動入力を許容します。外部でDDI-を電圧スイングの中央にバイアスすると、これらの入力をシングルエンドで駆動することもできます。

MAX3675の性能は、回路ボードのレイアウト及び設計によって大きく影響されます。グラウンドインダクタンスを最小限に抑え、データ及びクロック信号に固定インピーダンス伝送ラインを使用する等、正確な高周波設計技法を使用してください。電源デカップリングはできるだけ V_{CC} の近くで行ってください。フィードスルーを低減するため、入力は出力信号から離すように注意してください。

アプリケーション情報

シングルエンドでリミティングアンプを駆動する方法
リミティングアンプをシングルエンドソースで駆動する際に重要な必要条件が3つあります(図5)。

- 1) ADI+及びADI-入力へのDCカップリングを行わないようにしてください。これらの入力でDC入力があると、オフセット補正ループが正しく動作しません。
- 2) 同相カップリングの問題を最小限に抑えるため、終端抵抗 $R_T(50\Omega)$ はADI-入力を基準にする必要があります。
- 3) リミティングアンプの低周波数カットオフは、 C_{IN} と $2.5\text{k}\Omega$ 入力インピーダンス又は $C_b/2$ と R_T によって決まります。 $C_b = 0.22\mu\text{F}$ で $R_T = 50\Omega$ の場合、低周波数カットオフは29kHzです。

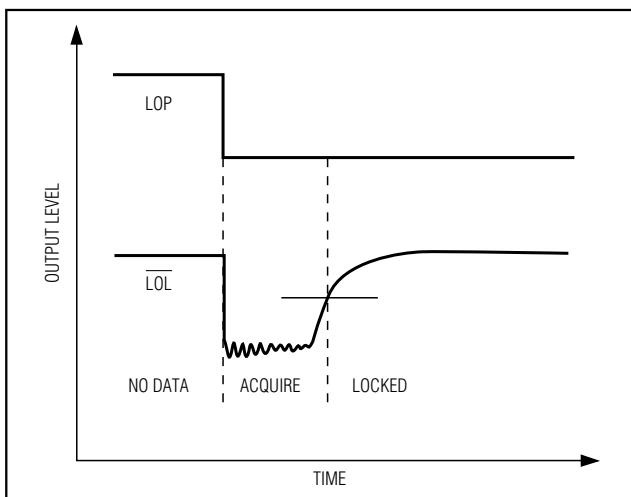


図4. ロスオブロック出力

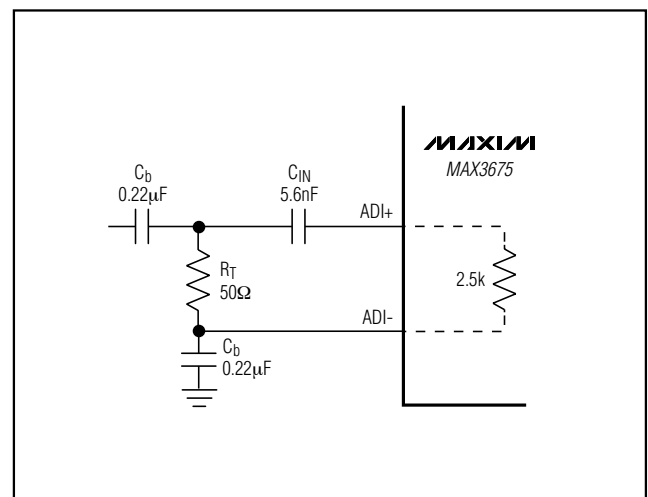


図5. シングルエンド入力終端処理

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

MAX3675

リミティングアンプをオフにして消費電力を低減

リミティングアンプは、クロックリカバリ回路から独立してバイアスされています。INSELをグランドに接続するとリミティングアンプがターンオフされ、PECL DDI入力を選択されます。

平均光パワーを信号振幅に変換

MAX3675の仕様の多くは入力振幅に関係しています。光ファイバレシーバを使用している場合、入力は通常平均光パワー及び消滅比によって表現されます。MAX3675を使用する設計を行う場合には、表2と図6を使用して光パワーを入力信号に変換することができます。

光レシーバの場合、リミティングアンプへの入力電圧は、表2の関係式にフォトダイオードの応答性とトランスインピーダンスアンプの利得をかけることによって得られます。

光ヒステリシス

パワーとヒステリシスは、しばしばデシベル単位で表現されます。定義上、デシベルは常に $10\log(\text{パワー})$ です。MAX3675のリミティングアンプへの入力で、パワーは V_{IN}^2/R です。レシーバの光入力パワー(x)が2倍に増え、ブリアンプがリニアであると、MAX3675への入力電圧もやはり2倍に増えます。

光パワーは、 $10\log(2x/x) = 10\log(2) = +3\text{dB}$ 増加します。

MAX3675における電圧の増加は、次式で表されます。

$$10\log \frac{(2V_{IN})^2/R}{V_{IN}^2/R} = 10\log(2^2) = 20\log(2) = +6\text{dB}$$

表2. 光パワーの関係式*

パラメータ	記号	関係式
平均パワー	P_{AVE}	$P_{AVE} = (P_0 + P_1)/2$
消滅比	r_e	$r_e = P_1 / P_0$
1の光パワー	P_1	$P_1 = 2P_{AVE} \frac{r_e}{r_e + 1}$
0の光パワー	P_0	$P_0 = 2P_{AVE} / (r_e + 1)$
信号振幅	P_{IN}	$P_{IN} = P_1 - P_0 = 2P_{AVE} \frac{(r_e - 1)}{r_e + 1}$

* 平均入力データデューティサイクル50%を想定。

光レシーバではMAX3675におけるdB変化は常に光のdB変化の2倍です。

MAX3675の標準電圧ヒステリシスは3.0dBです。これによる光ヒステリシスは、1.5dBとなります。

光レシーバのジッタ

タイミングジッタ、エッジスピード、収差、光分散及び減衰の全てがSDH/SONETレシーバの高速クロック回復に影響します(図7)。これらの影響により、非ゼロ復帰(NRZ)伝送信号の受信「アイオープニング」が減少するため、エラーフリーデータ回復に利用できる時間が短くなります。

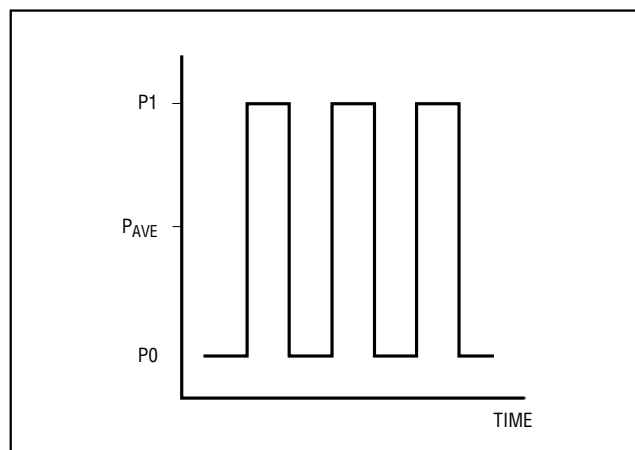


図6. 光パワーの関係

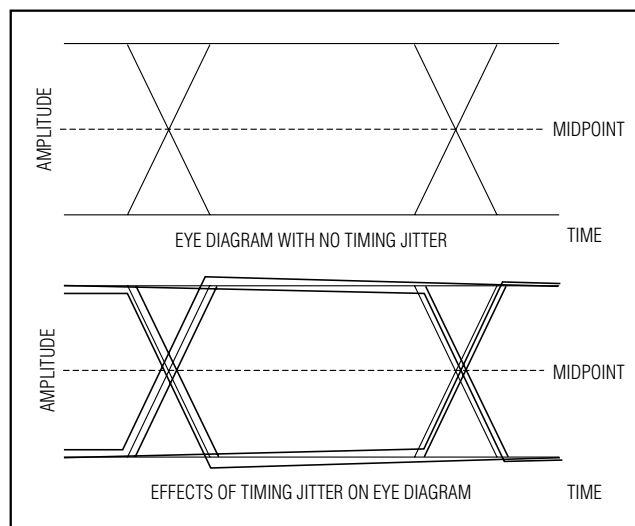


図7. タイミングジッタのある時及びない時のアイダイアグラム

622Mbps、低電力、3.3Vクロックリカバリ及びデータリタイミングIC、リミティンングアンプ付

トランスインピーダンスプリアンプ及びリミティンングポストアンプを備えた光レシーバは、分散及び減衰の影響を大幅に解決できます。さらに、これらのアンプはその後のクロック及びデータリカバリ(CDR)ブロックにおける収差を最小限に抑えつつ、速い遷移を行うことができます。しかし、これらの段は中点通過に歪みをもたらすため、タイミングジッタの原因になります。タイミングジッタは、光レシーバ及びCDR回路を開発する際に最も重要な技術的問題の1つです。

ジッタの様々な原因について理解しておくと、光レシーバモジュール及び集積化CDR解決法の設計及びアプリケーションの際に役立ちます。SDH/SONETの仕様は、ジッタピーキングの必要条件と同様に、光レシーバの入力で許されるジッタの許容値に関しては、詳しく定義されていますが、ジッタの様々な原因についてはほとんど説明されていません。光レシーバの入力で許容されるジッタには3つの大きな要因があり、標準的なレシーバシステムにはそれらの全てが多かれ少なかれ存在します。

- 1) ランダムジッタ(RJ)
- 2) パターン依存ジッタ(PDJ)
- 3) パルス幅歪み(PWD)

ランダムジッタ(RJ)

RJはエッジ遷移中のランダムノイズに起因します(図8)。このランダムノイズの結果、中点通過がランダムになります。全ての電気システムはある程度のランダムノイズを発生しますが、遷移速度が速いほどノイズのランダムジッタへの影響は小さくなります。ラン

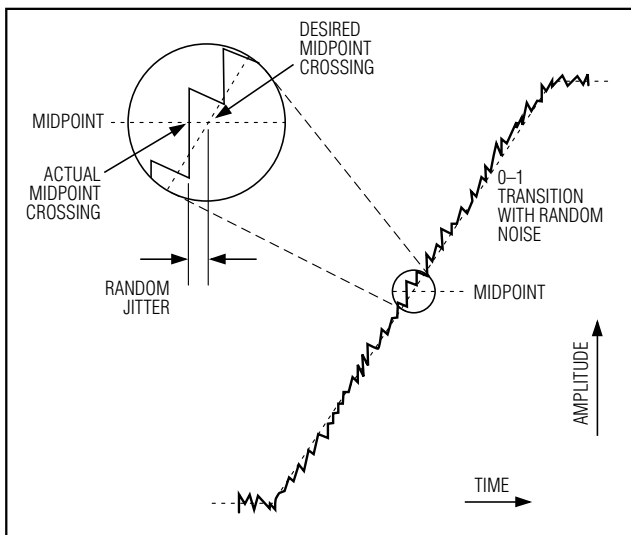


図8. エッジ遷移におけるランダムジッタ

ダムジッタの簡単なワーストケース推算値は、次式で得られます。

$$RJ(rms) = (rmsノイズ)/(スルーレート)$$

パターン依存ジッタ(PDJ)

PDJは、NRZデータストリームに含まれている連続ビットの数の変動幅が広いために、レシーバの帯域幅必要条件を満たしにくくなることから生じます(図9)。低い方の-3dBカットオフ周波数の位置は重要であり、長い連続ビットストリームによる低周波数を通すように設定されることが必要です。光レシーバの設計では、ACカップリングが一般的です。

ハイパス周波数応答を持つリミティンングアンプを使用する場合は、低周波数カットオフ(f_c)がプリアンプの低周波数カットオフより1桁低くなるように、入力ACカップリングコンデンサ(C_{IN})を選択してください。このようにすると、PDJはプリアンプの低周波数カットオフに支配されます。

ハイパス応答を持たないプリアンプをMAX3675と共に使用する場合は、 C_{IN} の選択の目安として次式が使えます。

$$C_{IN} \geq \frac{-t_L}{(1.25k\Omega) \ln \left[1 - \frac{(PDJ)(BW)}{0.5} \right]}$$

ここで、 t_L = 同じ値のビットが連続する最大持続時間(秒)、PDJ = 最大許容パターン依存ジッタ(ピーク間、秒)、BW = 標準システム帯域幅(Hz、通常はデータレートの0.6~1.0倍)です。PDJがまだ大きすぎる場合

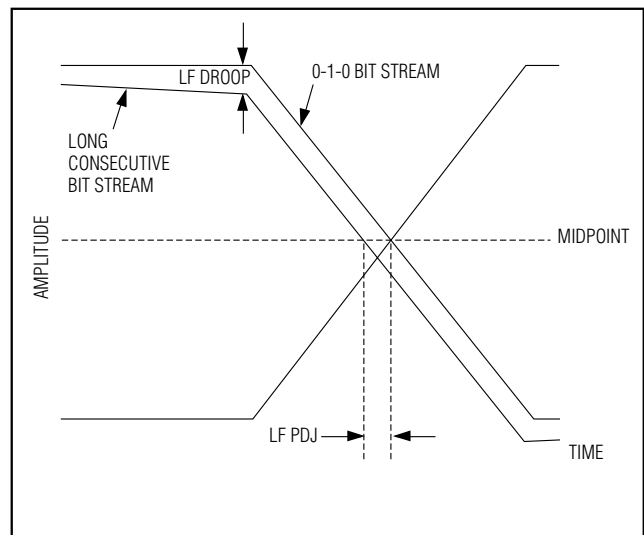


図9. 低周波数カットオフに依存するパターン依存ジッタ

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミディングアンプ付

は、 C_{IN} の値をさらに大きくしてください。MAX3675のアナログ入力(ADI+, ADI-)を使用する際に安定性を維持するには、 C_{OLC} による低周波数カットオフを C_{IN} によるコーナ周波数(f_c)よりも低く保つことが重要です(表1)。

高周波帯域幅が不十分なためにPDJが生じることもあります(図10)。アンプがビットパターンの時間内で、完全に遷移するだけの十分な高速性がない場合、又はアンプが十分なセトリング時間がない場合は、高周波PDJが生じ得ます。

パルス幅歪み(PWD)

最後に、PWDは0から1への遷移と1から0への遷移での中点通過が同じレベルで起きない場合に生じます(図11)。DCオフセット及び非対象な立上がりと立下がりの

エッジスピードの両方がPWDに寄与します。1-0ビットストリームにおけるPWDは、次式で計算してください。

$$PWD = [(\text{広いパルスの幅}) - (\text{狭いパルスの幅})]/2$$

位相調節

MAX3675の内部クロック及びデータアライメントは、データアイの中心近くに適切に維持されています。必ずしも必要ではありませんが、BER性能を最適化するためにPHADJ入力を使用して、このサンプリングポイントをシフトすることもできます。PHADJ入力は約±1Vまでの差動入力で動作します。これらのレベルを設定するには、簡単な抵抗分圧器とバイパスコンデンサで十分です。PHADJ入力を使用しない場合は、 V_{CC} に直接接続してください。

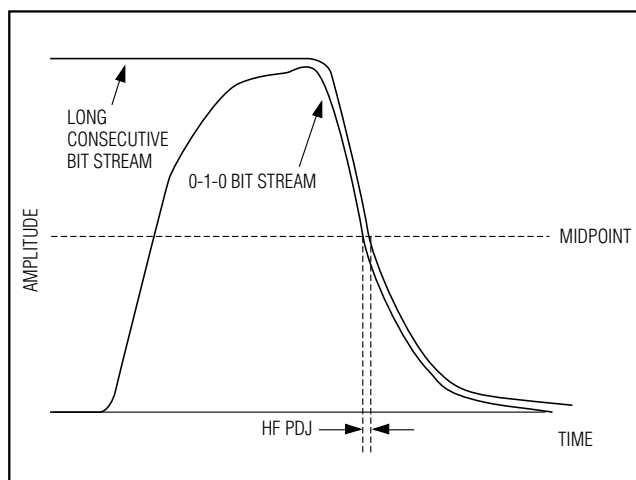


図10. 高周波ロールオフに起因するパターン依存ジッタ

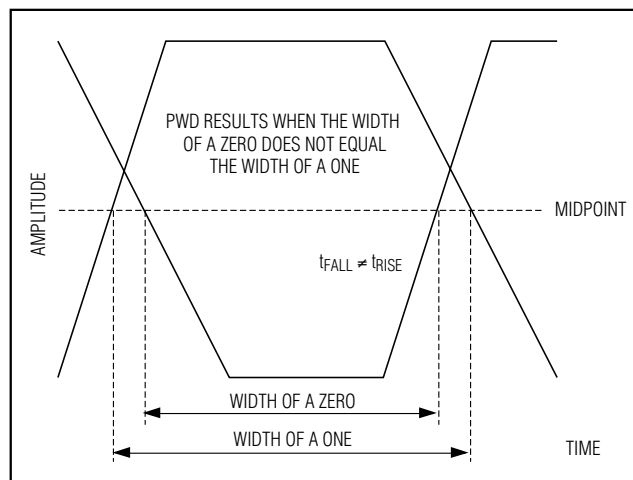
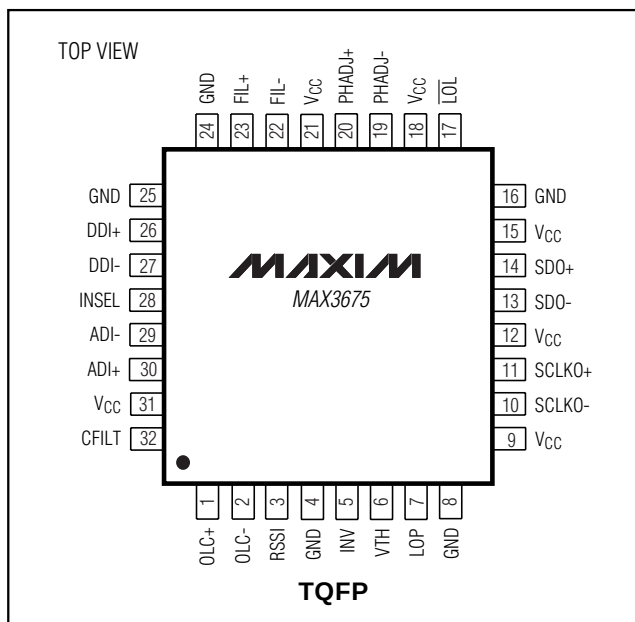


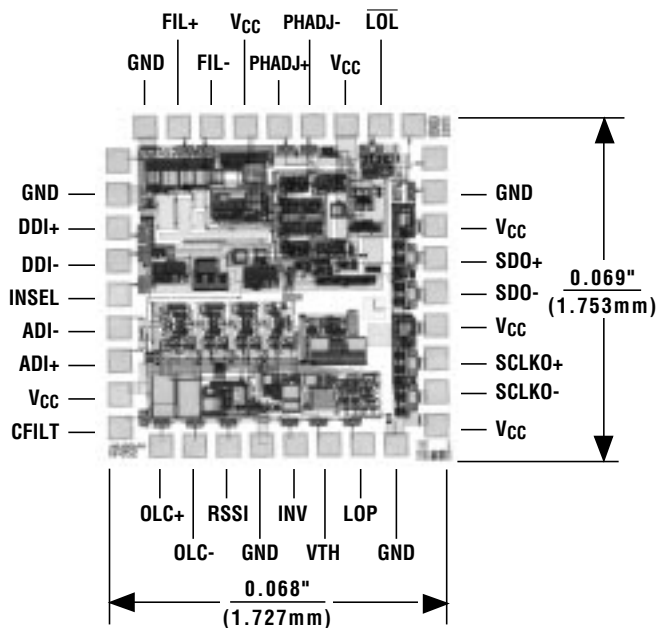
図11. パルス幅歪み

622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

ピン配置



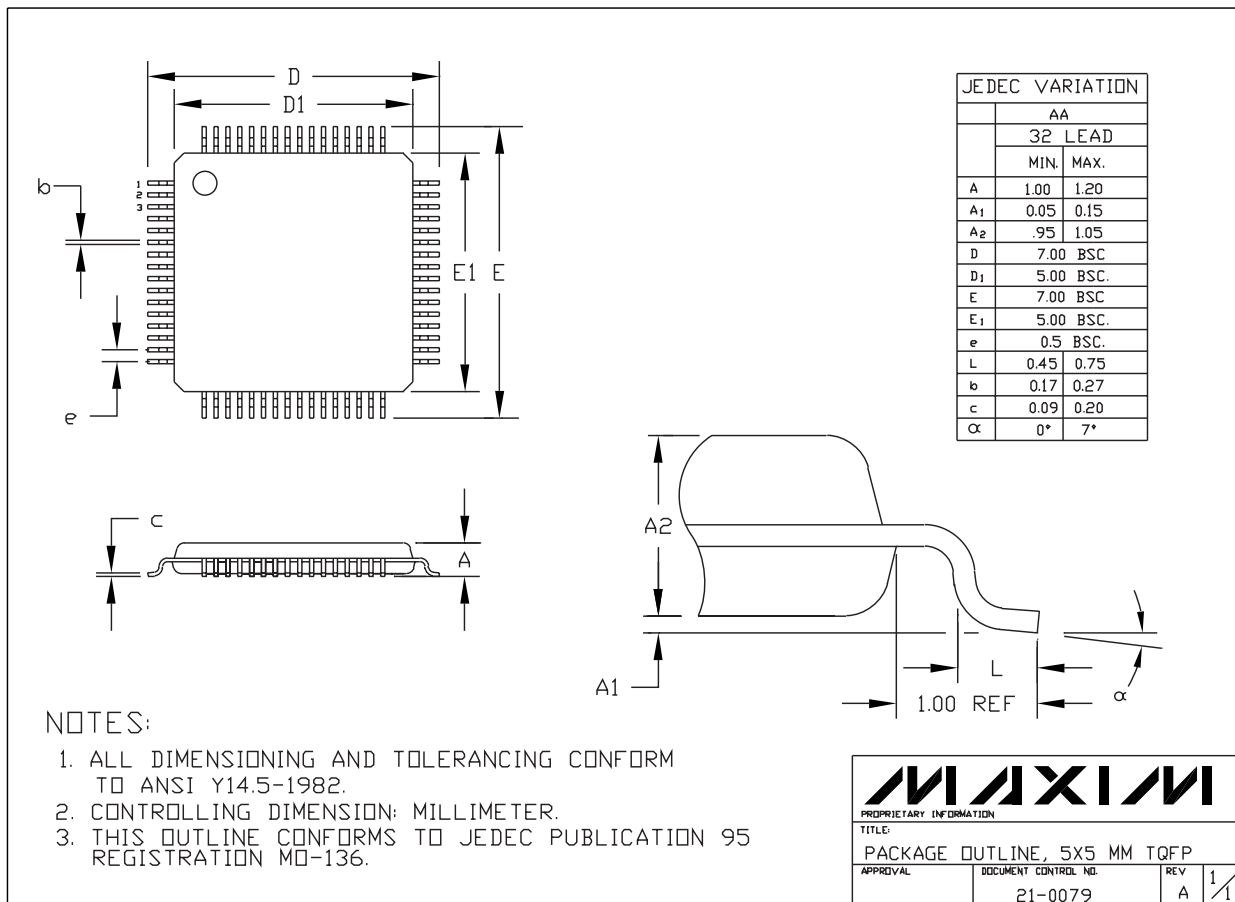
チップ構成図



622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミディングアンプ付

パッケージ

MAX3675



622Mbps、低電力、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**