

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

MAX3640

概要

MAX3640は、OC-12データレート用のデュアルパス・クロスポイントスイッチです。MAX3640は、ジッタの蓄積を最小限に抑えつつ、622Mbps低電圧差動信号(LVDS)をバックプレーン経由で送受信するために使用できます。各経路は入力バッファ、マルチプレクサ、クロスポイントスイッチ及び出力ドライバを備えています。4つの出力チャンネルは、テスト又はファンアウト用に1組の冗長出力を備えています。本素子は重要なデータストリーム用に信号経路の冗長性を提供しています。

MAX3640はユニークな省電力機能を備えています。4出力チャンネルの1組が未選択になると、出力ドライバがパワーダウンして消費電力を165mW低減します。完全差動構造であるため、クロストーク、ジッタ蓄積及び信号スキューが低減されています。

MAX3640は48ピンTQFPパッケージで提供されており、+3.3V電源で動作します(温度範囲は0 ~ +85)。

特長

- ◆ 単一電源：+3.3V
- ◆ 消費電力：257mW(4つの出力チャンネルがイネーブルされた状態)
- ◆ 出力ランダムジッタ2.8psRMS
- ◆ 出力確定的ジッタ：42ps
- ◆ 選択されていない出力のパワーダウン機能
- ◆ チャンネル間スキュー：110ps
- ◆ 出力エッジ速度：240ps
- ◆ LVDS入力/出力
- ◆ LVDS出力3ステートイネーブル

アプリケーション

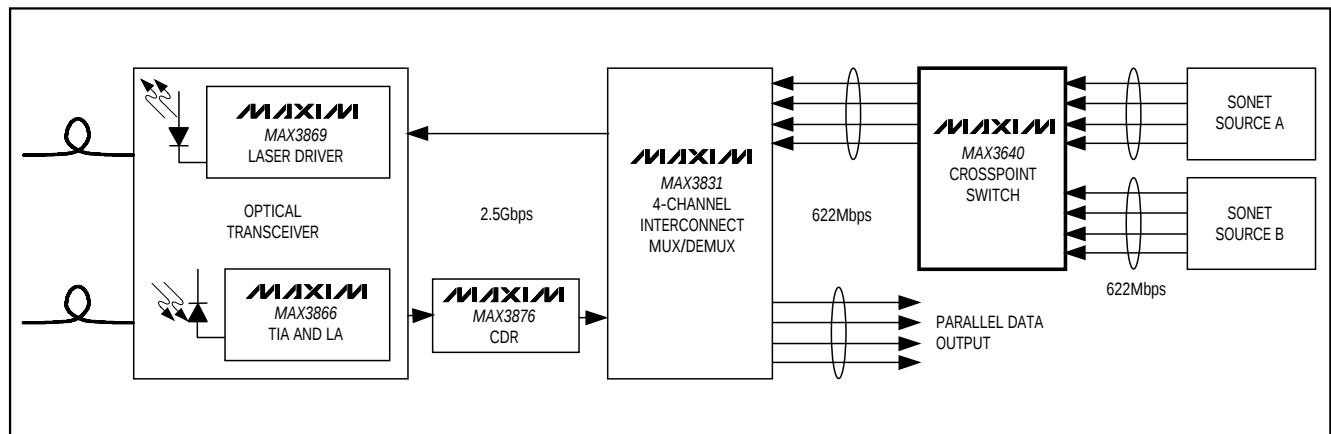
SONET/SDHバックプレーン
高速パラレルリンク
デジタルクロスコネク
システム相互接続
ATMスイッチコア

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3640UCM	0°C to +85°C	48 TQFP

ピン配置はデータシートの最後に記載されています。

標準動作回路



3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC} -0.5V to 5.0V
 Input Voltage (LVDS, TTL) -0.5V to ($V_{CC} + 0.5V$)
 Output Voltage (LVDS) -0.5V to ($V_{CC} + 0.5V$)
 Continuous Power Dissipation ($T_A = +85^\circ\text{C}$)
 48-Pin TQFP (derate 12.5mW/ $^\circ\text{C}$) 813mW

Operating Temperature Range 0°C to $+85^\circ\text{C}$
 Storage Temperature Range -55°C to $+150^\circ\text{C}$
 Lead Temperature (soldering, 10s) $+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $3.6V$, LVDS differential load = $100\Omega \pm 1\%$, $T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	Eight outputs enabled		130	175	mA
		Four outputs enabled		78		
LVDS INPUTS AND OUTPUTS						
Input Voltage Range	V _{IN}		0		2400	mV
Differential Input Threshold	V _{IDTH}		-100		100	mV
Threshold Hysteresis	V _{HYST}			90		mV
Differential Input Impedance	R _{IN}		85	100	115	Ω
Input Common-Mode Current	I _{OS}	LVDS input, V _{OS} = 1.2V		245		μA
Output Voltage High	V _{OH}	Figure 1			1.475	V
Output Voltage Low	V _{OL}	Figure 1	0.925			V
Output Voltage Swing	V _{OD}	Figure 1	250		400	mV
Change in Magnitude of Differential Output for Complementary States	ΔV _{OD}				25	mV
Offset Output Voltage	V _{OS}	Figure 1	1.125		1.275	mV
Change in Magnitude of Output Offset Voltage for Complementary States	ΔV _{OS}				25	mV
Differential Output Impedance		EN _A , EN _B = GND		1		MΩ
		EN _A , EN _B = V _{CC}	80		120	Ω
Output Current		Shorted together			12	mA
TTL INPUTS						
Input Voltage High	V _{IH}		2.0			V
Input Voltage Low	V _{IL}				0.8	V
Input Current High	I _{IH}	V _{IH} = 2.0V	-250			μA
Input Current Low	I _{IL}	V _{IL} = 0.8V	-550			μA

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

MAX3640

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $3.6V$, LVDS differential load = $100\Omega \pm 1\%$, $T_A = 0^\circ C$ to $+85^\circ C$. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Parallel Input/Output Data Rate				622		Mbps
Output Rise/Fall Time	t_r, t_f	20% to 80%	150	240	350	ps
Output Random Jitter	RJ			2.8	4	psRMS
Output Deterministic Jitter	DJ	(Note 2)		42	200	ps
LVDS Output Differential Skew	t_{SKEW1}			24	50	ps
LVDS Output Channel-to-Channel Skew	t_{SKEW2}				110	ps
LVDS Output Enable Time				266		ns
LVDS Output Disable Time				66		ns
LVDS Propagation Delay from Input to Output	t_D				2.5	ns

Note 1: AC characteristics are guaranteed by design and characterization.

Note 2: Deterministic jitter (DJ) is the arithmetic sum of pattern-dependent jitter and pulse-width distortion. DJ is measured while applying 100mVp-p noise ($f \leq 2MHz$) to the power supply.

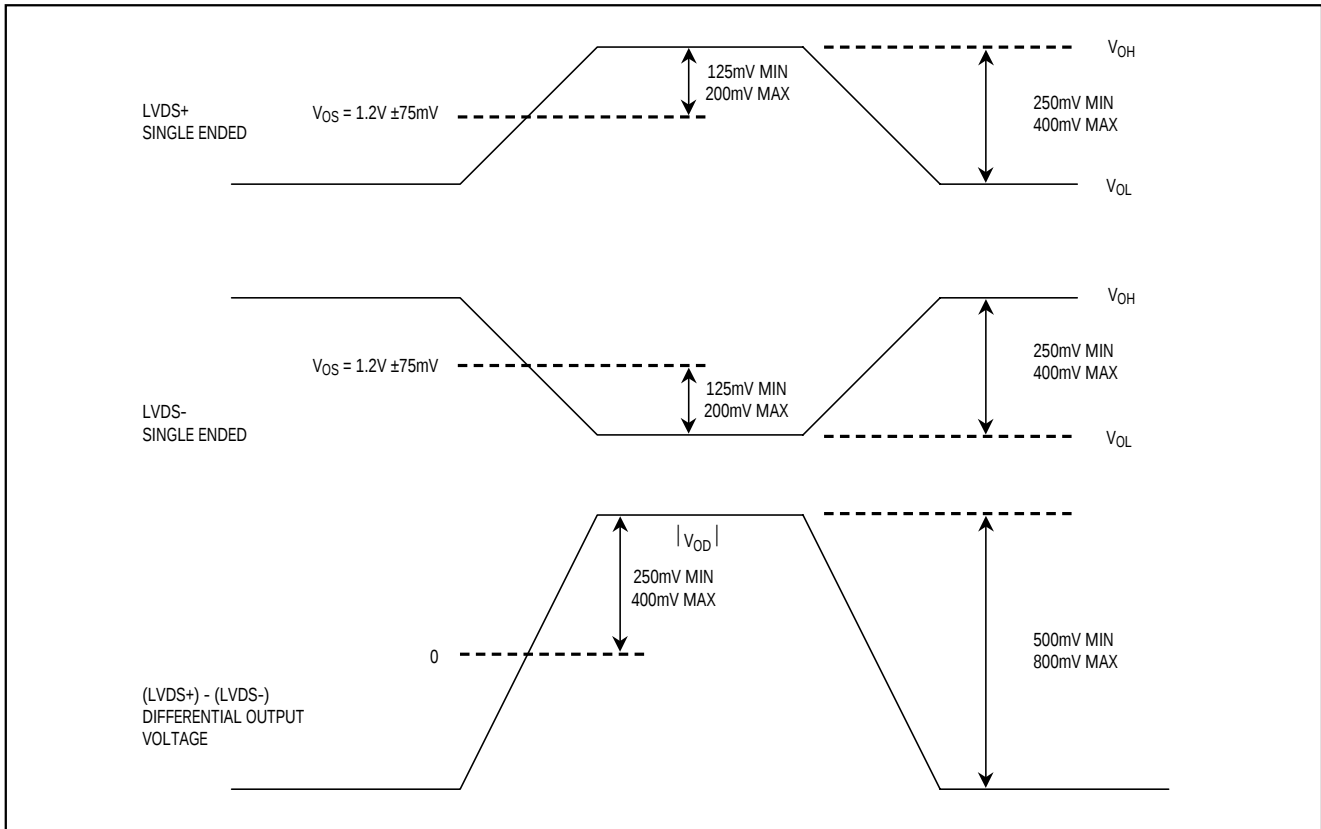
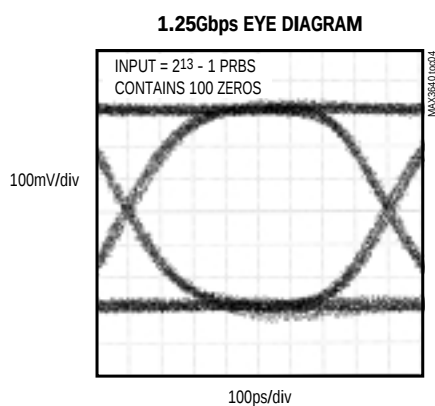
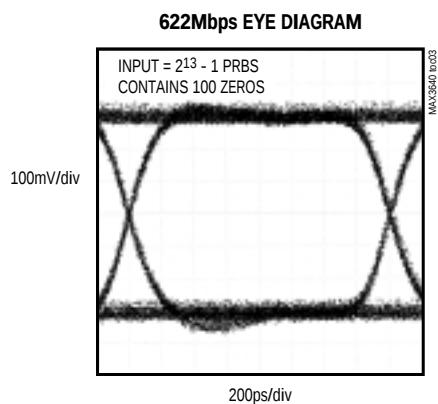
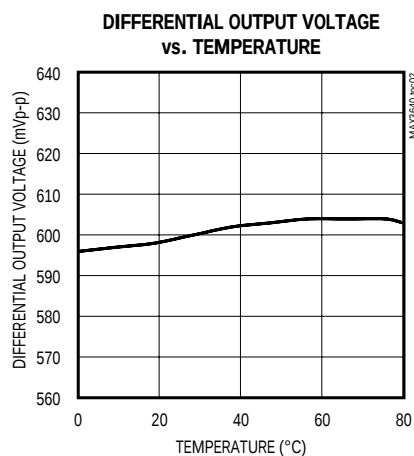
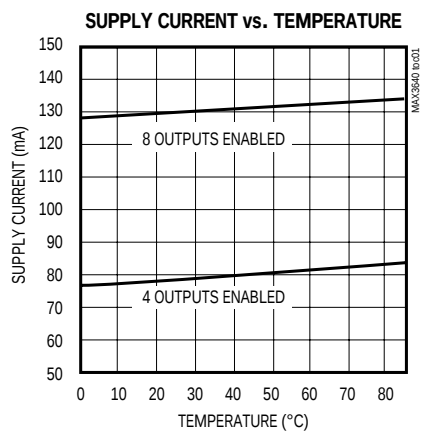


図1. LVDS出力レベル

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

MAX3640

端子説明

端子	名称	機能
1, 12, 25, 36, 41	V _{CC}	正電源電圧
2, 11, 26, 35	GND	電源グラウンド
3, 5, 45, 47	DIA3+, DIA4+, DIA1+, DIA2+	正LVDS、チャネルAデータ入力
4, 6, 46, 48	DIA3-, DIA4-, DIA1-, DIA2-	負LVDS、チャネルAデータ入力
7, 9, 13, 15	DIB1+, DIB2+, DIB3+, DIB4+	正LVDS、チャネルBデータ入力
8, 10, 14, 16	DIB1-, DIB2-, DIB3-, DIB4-	負LVDS、チャネルBデータ入力
17-20	SEL1-SEL4	クロスポイントスイッチ選択、TTL入力(表1)
21, 23, 27, 29	DOB4-, DOB3-, DOB2-, DOB1-	負LVDS、チャネルBデータ出力
22, 24, 28, 30	DOB4+, DOB3+, DOB2+, DOB1+	正LVDS、チャネルBデータ出力
31, 33, 37, 39	DOA4-, DOA3-, DOA2-, DOA1-	負LVDS、チャネルAデータ出力
32, 34, 38, 40	DOA4+, DOA3+, DOA2+, DOA1+	正LVDS、チャネルAデータ出力
42	ENB	チャネルB出力イネーブル、TTL入力。ENB = ハイの時にDOB1 ~ DOB4がイネーブルされます。ENB = ローの時にDOB1 ~ DOB4パワーダウンされ、ハイインピーダンス状態になります。
43	ENA	チャネルA出力イネーブル、TTL入力。ENA = ハイの時にDOA1 ~ DOA4がイネーブルされます。ENA = ローの時にDOA1 ~ DOA4パワーダウンされ、ハイインピーダンス状態になります。
44	IN_SEL	入力選択ピン、TTL入力。ロジックハイ(又はV _{CC})に接続すると、DIA1 ~ DIA4が選択されます。ロジックロー(又はGND)に接続すると、DIB1 ~ DIB4が選択されます。

詳細

図2にMAX3640の構造を示します。本素子は2つのデータ経路からなっています。各データ経路は4つの差動入力バッファで始まります。IN_SELピンは、AとBのどちらのチャネルがその後続く2x2クロスポイントスイッチに接続されるかを選択します。SEL_ピンがクロスポイントスイッチの経路を制御します。各クロスポイントスイッチの出力が1対のLVDS出力ドライバを駆動します。これにより、ファンアウト又はテスト用に使用できる冗長出力セットが得られます。各出力セット(DOA_及びDOB_)はENA及びENBピンによってイネーブル又はディセーブルされます。出力分配制御については表1を参照して下さい。

LVDS入出力

MAX3640は、高速デジタル回路とインタフェースするためのLVDS入出力を備えています。LVDS規格はIEEE 1596.3 LVDS規格に基づいています。この技術は、500mV ~ 800mVの差動低電圧スイングを使用することにより、高速遷移、低消費電力及び優れたノイズ耐性を実現しています。

適正動作には、データ出力の反転ピンと非反転ピンの間に100Ωの差動終端処理が必要です。これらの出力をグラウンドに対して終端処理しないで下さい。LVDSの出力電圧仕様については図1を参照して下さい。

データ入力は内部で100Ω差動終端処理されているため、外部終端処理は必要ありません。

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

MAX3640

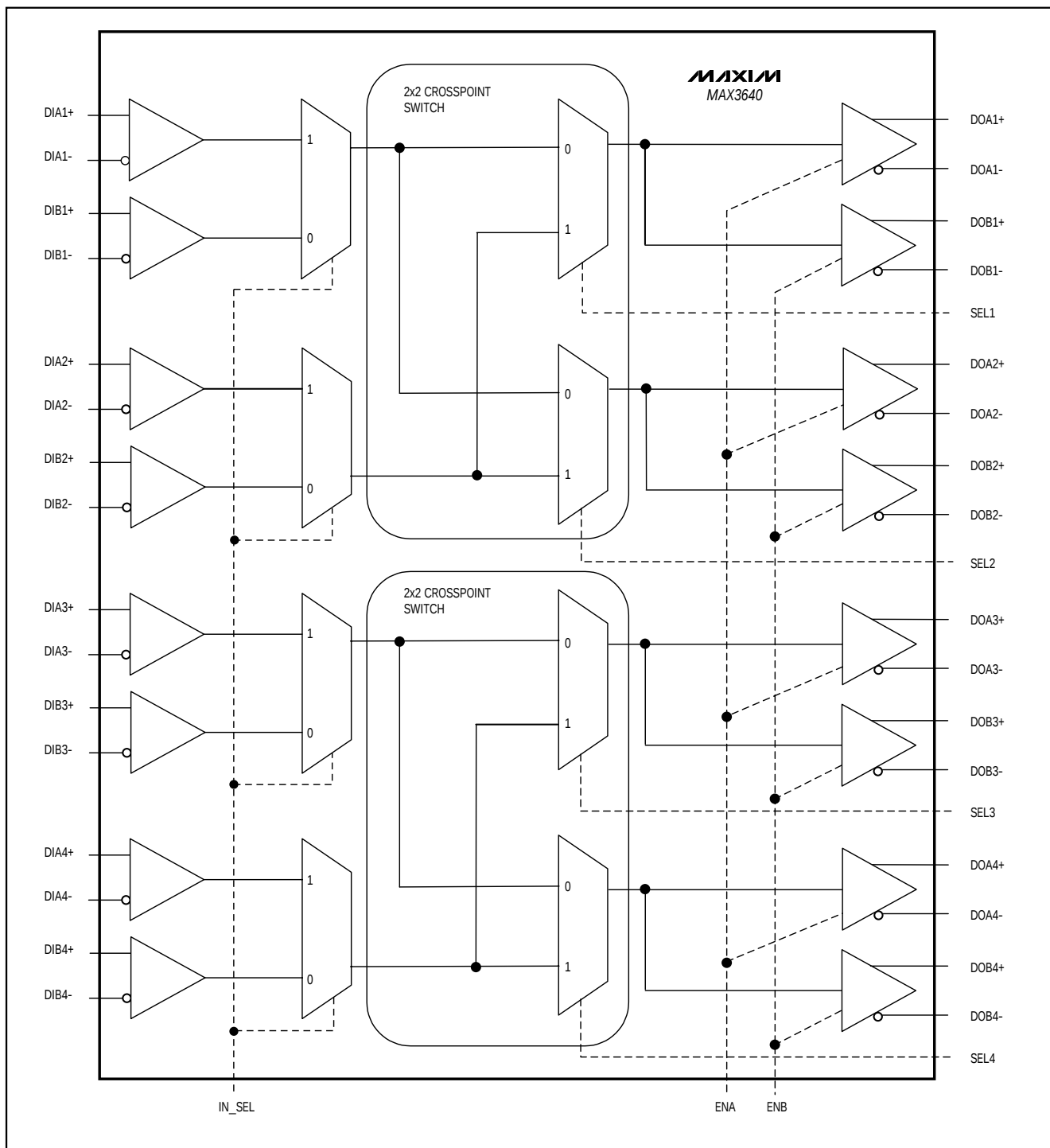


図2. ファンクションダイアグラム

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

MAX3640

表1. 出力のルーティング

ROUTING CONTROLS			OUTPUT SIGNALS	
IN_SEL	SEL1	SEL2	Signal at DOA1/DOB1	Signal at DOA2/DOB2
0	0	0	DIB1	DIB1
0	0	1	DIB1	DIB2
0	1	0	DIB2	DIB1
0	1	1	DIB2	DIB2
1	0	0	DIA1	DIA1
1	0	1	DIA1	DIA2
1	1	0	DIA2	DIA1
1	1	1	DIA2	DIA2
IN_SEL	SEL3	SEL4	Signal at DOA3/DOB3	Signal at DOA4/DOB4
0	0	0	DIB3	DIB3
0	0	1	DIB3	DIB4
0	1	0	DIB4	DIB3
0	1	1	DIB4	DIB4
1	0	0	DIA3	DIA3
1	0	1	DIA3	DIA4
1	1	0	DIA4	DIA3
1	1	1	DIA4	DIA4

Note: Disabling the outputs by using ENA or ENB will drive the DOA_ or DOB_ data outputs to a high-impedance state.

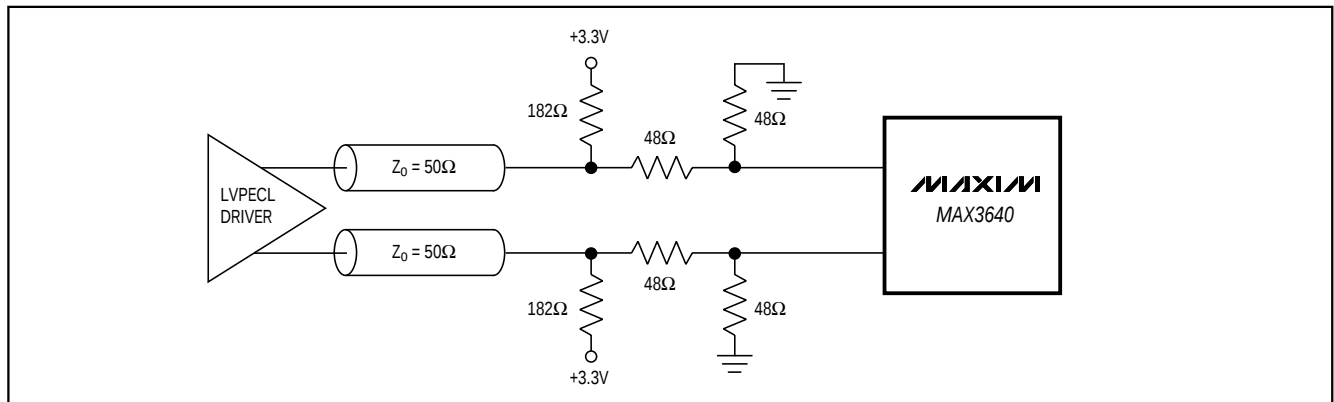


図3. LVPECLからLVDSへのインタフェース

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

アプリケーション情報

LVPECL出力からMAX3640のLVDS入力へのインタフェース

LVPECLからLVDSへのDCカップリングを行うには、図3に示す抵抗ネットワークを使用して下さい。LVPECL出力は $V_{CC} - 2V$ への 50Ω 負荷に対して最適化されているため、それに相当するネットワークが使用されます。また、このネットワークの減衰は、減衰後のLVPECL出力信号がLVDS入力範囲に余裕を持って収まるように選択して下さい。

LVDS入力インピーダンスは、入力間で真の 100Ω であることに注意して下さい。差動インピーダンスはDC終端インピーダンスには寄与しませんが、AC終端インピーダンスには寄与することに注意して下さい。これは、ACインピーダンスとDCインピーダンスが常に異なることを意味します。

レイアウト技法

最適な性能を得るために、良好な高周波レイアウト技法を使用して下さい。電圧電源のフィルタリングを行い、グランドへの接続は短くして下さい。可能なところでは複数のビアを使用して下さい。また、MAX3640のデータ入出力とインタフェースする時は、インピーダンスが調整された伝送ラインを使用して下さい。

インタフェースモデル

図4にLVDS入力のインタフェースモデルを示します。図5にLVDS出力のモデルを示します。

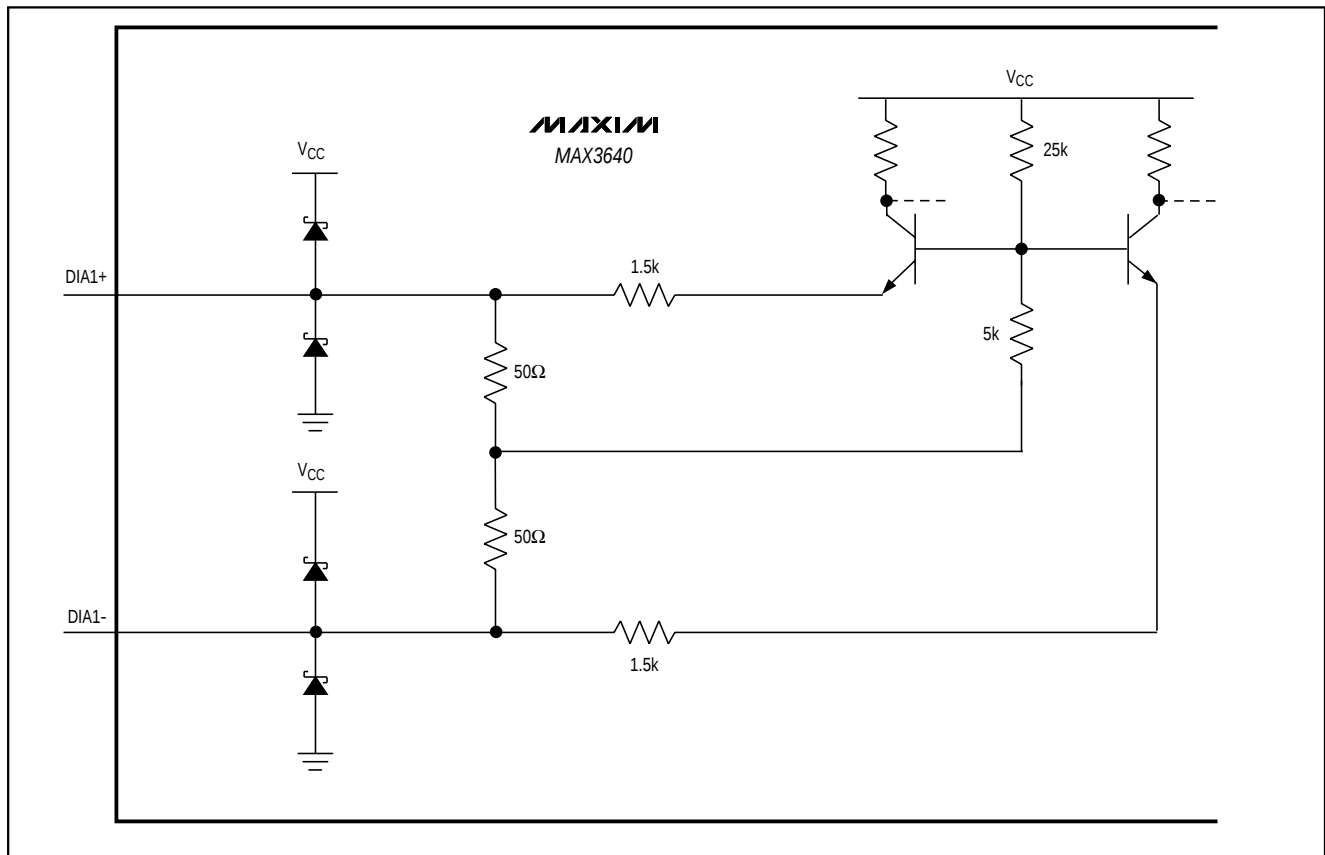
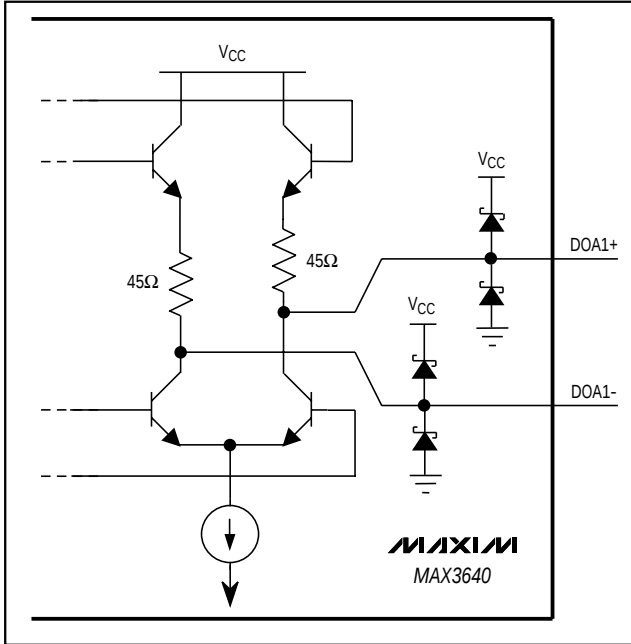


図4. LVDS入力モデル

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ



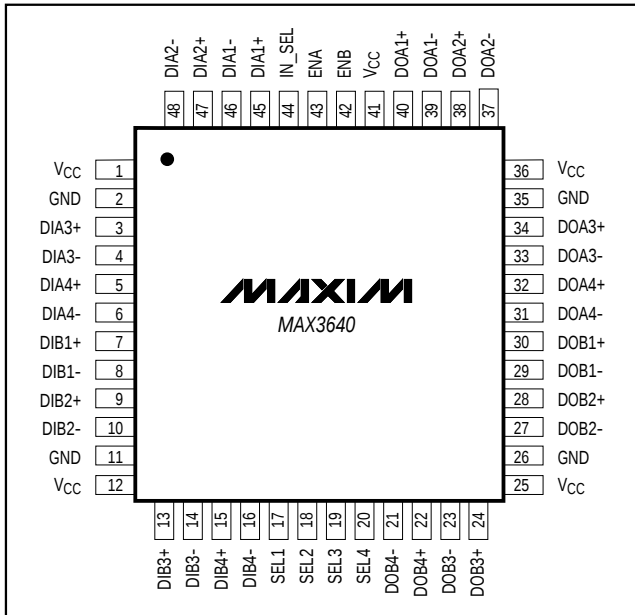
チップ情報

TRANSISTOR COUNT: 2453

MAX3640

図5. LVDS出力モデル

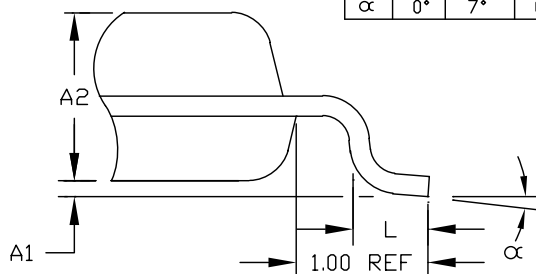
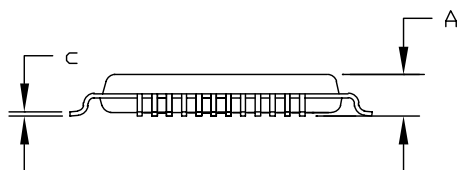
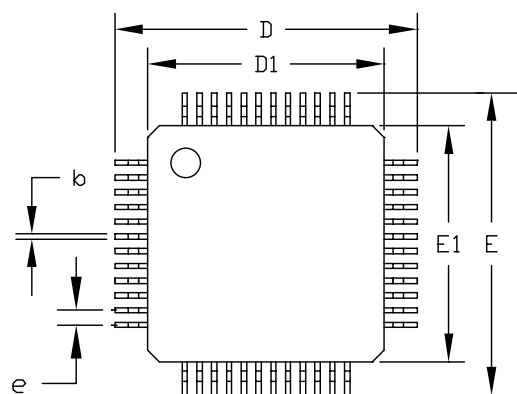
ピン配置



3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

MAX3640

パッケージ



JEDEC VARIATION				
	BC		BE	
	32 LEAD		48 LEAD	
	MIN.	MAX.	MIN.	MAX.
A	---	1.60	---	1.60
A ₁	0.05	0.15	0.05	0.15
A ₂	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10
D ₁	7.00	BSC.	7.00	BSC.
E	8.90	9.10	8.90	9.10
E ₁	7.00	BSC.	7.00	BSC.
e	0.8	BSC.	0.5	BSC.
L	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27
c	0.09	0.20	0.09	0.20
α	0°	7°	0°	7°

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS BC AND BE.
4. LEADS SHALL BE COPLANAR WITHIN .004 INCH.

MAXIM			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE, 32/48L, 7x7x1.4 MM TQFP			
APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0054	D	

32L/48L TQFP EPS

3.3V、622Mbps LVDS
デュアル4:2クロスポイントスイッチ

NOTES

MAX3640

3.3V、622Mbps LVDS デュアル4:2クロスポイントスイッチ

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.