

MAX3601

レーザドライバ、プロジェクタ用

概要

ピコプロジェクタ用レーザドライバのMAX3601は、RGBレーザによるビデオイメージングをサポートします。各出力には、設定可能な利得とチャンネル当り最大400mAの駆動能力を持つ2つの8ビットデジタル-アナログコンバータ(DAC)が組み込まれています。DAC Aのフルスケール電流は最大320mA、DAC Bのフルスケール電流は最大80mAです。3つのチャンネルすべてを組み合わせると、最大1.2Aの駆動能力を持つ単一のチャンネルにすることができます。

特許を取得したMaxim独自の技術が、スペックルノイズを抑制しつつパルス電流によるレーザの効率的な動作を可能にしています。この機能はビデオデータクロックに基づいて動作します。このドライバは、一般の商用アプリケーションには42ピン、ウェハレベルパッケージ(3.0mm x 3.5mm)で提供され、工業や車載アプリケーションには40ピンTQFNパッケージ(5mm x 5mm)で提供されます。

アプリケーション

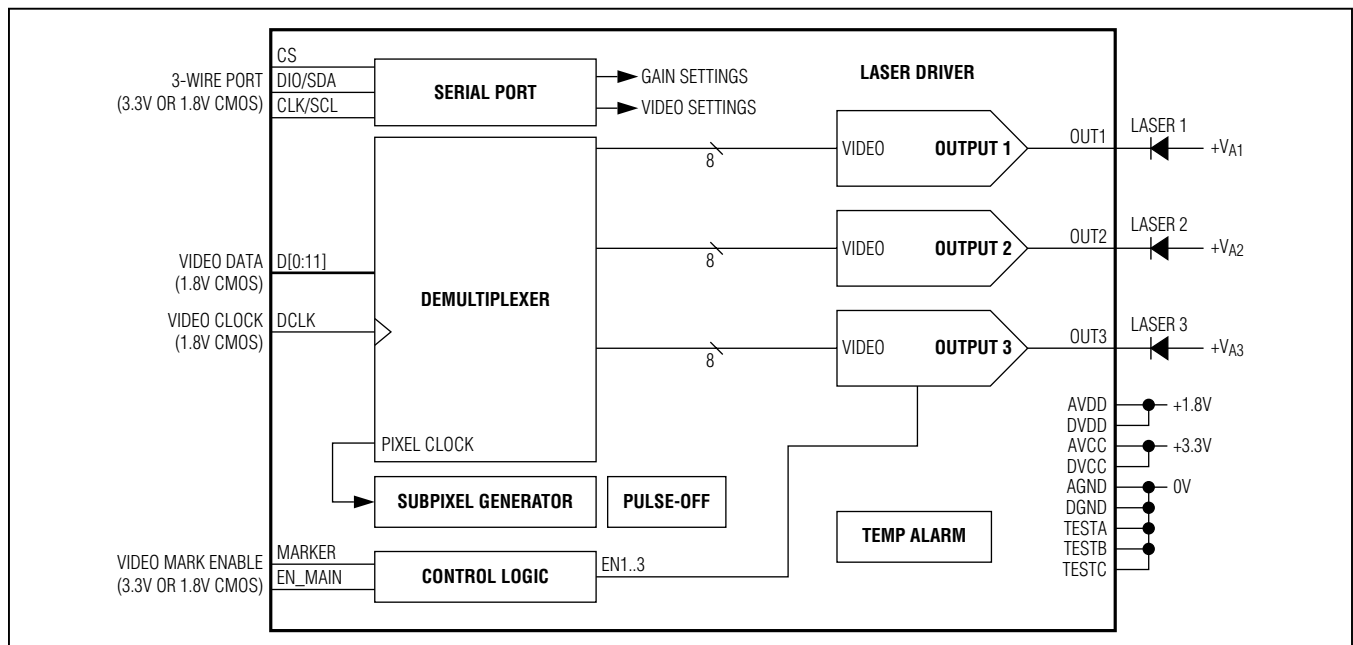
RGBピコレーザプロジェクタ
LCOSプロジェクタ用レーザ光源
大電流LEDまたはレーザパルスジェネレータ

利点および特長

- ◆ 3つの電流出力レーザドライバを集積化
 - ◇ 大部分のRGBレーザとコンパチブル
 - ◇ 8ビットビデオDAC、DC~167MHz動作
 - ◇ 特許取得済みのパルス機能によるレーザスペックルの抑制
 - ◇ 出力スイッチング時間：1ns
 - ◇ パルススイッチング速度エンハンサー
- ◆ 機能集積化によるPCB面積の最小化
 - ◇ SPIまたはI²Cシリアルポート制御
 - ◇ 動作範囲：1.8V~3.3V
 - ◇ 8ビット利得調整
 - ◇ 設定可能なパルス電流
 - ◇ 42ピンWLP (3.0mm x 3.5mm)パッケージと40ピンTQFN (5mm x 5mm)パッケージ
 - ◇ 温度センサー内蔵
- ◆ 低電力要件
 - ◇ ブラックビデオイメージの場合：80mW以下
 - ◇ ビデオマーカを使用した出力ディセーブル
 - ◇ 出力電圧センサー
- ◆ レーザイネーブル機能による安全準拠性の確保

[型番](#)はデータシートの最後に記載されています。

簡易ファンクションダイアグラム



関連部品およびこの製品とともに使用可能な推奨製品については、japan.maximintegrated.com/MAX3601.relatedを参照してください。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

レーザードライバ、プロジェクト用

目次

概要	1
アプリケーション	1
利点および特長	1
簡易ファンクションダイアグラム	1
Absolute Maximum Ratings	6
Package Thermal Characteristics	6
Electrical Characteristics	6
標準動作特性	15
ピン配置	18
端子説明	19
ファンクションダイアグラム	21
詳細	22
ビデオデマルチプレクサ	22
デマルチプレクサA	22
デマルチプレクサB	22
デマルチプレクサC	23
パルスタイミングジェネレータ	24
サブピクセル設定	25
パルスオフ	25
ドライバ出力	26
ビデオDAC	26
パルスオフとパルスオフアシスト	28
コンプライアンス電圧センサー	28
温度アラーム	29
制御ロジック	29
ビデオの選択	29
レーザーの制御	29
シリアルポートおよびレジスタ	30
I ² Cインタフェース	30
データ転送	30
STARTおよびSTOP条件	30
アクノリッジ	31
スレーブアドレス	31
I ² C通信プロトコル	31
単一レジスタへの書込み	32
連続するレジスタへの書込み	32

レーザドライバ、プロジェクト用

目次 (続き)

単一レジスタからの読取り	33
連続するレジスタからの読取り	33
SPIインタフェース	34
3線式SPIを使用するデータの読取り/書込み	34
パワーオンリセット	39
設計手順	39
レーザの選択	39
電源フィルタ	39
補償回路	40
PCBレイアウト	40
レーザドライバの熱について	40
アプリケーション情報	40
複数の出力の接続	40
アイセーフティ	40
ウェハレベルパッケージ(WLP)のアプリケーション情報	40
標準動作回路	49
型番	50
パッケージ	50
改訂履歴	51

レーザドライバ、プロジェクト用

図リスト

図1. テスト回路	13
図2. ビデオテストパターン	13
図3. Δコードの例	13
図4. 電源の計算	14
図5. ビデオデマルチプレクサAの入力波形	22
図6. ビデオデマルチプレクサBの入力波形	22
図7. ビデオデマルチプレクサCの入力波形	23
図8. ビデオデマルチプレクサC	23
図9. パルスタイミングジェネレータ	24
図10. ドライバ出力	26
図11. ドライバ出力のフルスケール電流範囲	27
図12. 出力コンプライアンスセンサー	28
図13. コンプライアンスセンサーの使用例	28
図14. 温度アラーム	29
図15. ビデオマーカ	29
図16. I ² Cのマスター/スレーブ構成	30
図17. I ² Cのビット転送	30
図18. I ² CのSTARTおよびSTOP条件	30
図19. I ² Cのアクノリッジ	31
図20. I ² Cのタイミング図	31
図21. I ² Cの書込み	32
図22. I ² Cの読取り	33
図23. SPIモードにするためのAVDD、DVDD、およびCSのタイミング	34
図24. SPIのタイミング	34
図25. SPIの書込みタイミング	35
図26. SPIの読取りタイミング	35
図27. 電源シーケンシング	39
図28. レーザとパッケージのモデル	39
図29. オプションの補償部品	40

レーザドライバ、プロジェクタ用

表リスト

表1. サブピクセル設定(SPLレジスタ)	25
表2. パルスオフデューティサイクル(POC_レジスタ)	25
表3. ランダムパルスオフの設定	25
表4. DAC Aのビデオ選択ロジック	27
表5. DAC Bのビデオ選択ロジック	27
表6. コンプライアンスアラームのセットポイント	28
表7. ビデオデマルチプレクサ選択ロジック	29
表8. レジスタ表	36
表9. 標準的なレーザダイオードのパラメータ	39
表10. 詳細レジスタ表(表8 を参照)	41

レーザドライバ、プロジェクト用

ABSOLUTE MAXIMUM RATINGS

AVDD to AGND	-0.3V to +2.2V
DVDD to DGND	-0.3V to +2.2V
AVCC to AGND	-0.3V to +4.0V
DVCC to DGND	-0.3V to +4.0V
AVDD to DVDD	-0.3V to +0.3V
AVCC to DVCC	-0.3V to +0.3V
AGND to DGND	-0.3V to +0.3V
OUT_ to DGND	-0.3V to +7.5V
OUT_ Current	
Continuous	400mA
Peak ($t < 1\mu\text{s}$)	800mA
D0–D11, DCLK, TESTC to DGND	-0.3V to lower of +2.2V or ($V_{DVDD} + 0.3V$)
CLK/SCL, DIO/SDA, CS, EN_MAIN, MARKER, TESTA, TESTB to DGND	-0.3V to lower of +4.0V or ($V_{DVCC} + 0.3V$)

D0–D11, DCLK, SCL, SDA, CS, EN_MAIN, MARKER Current	-50mA to +50mA
Continuous Power Dissipation	
TQFN ($T_A = +85^\circ\text{C}$, derate 35.7mW/°C above +85°C) ..	2320mW
WLP ($T_A = +70^\circ\text{C}$, derate 28.5mW/°C above +70°C) ..	2200mW
Junction Temperature	+150°C
Operating Temperature Range	
TQFN	-40°C to +105°C
WLP	0°C to +70°C
Storage Temperature Range	-55°C to +150°C
Lead Temperature (soldering, 10s; TQFN only)	+300°C
Soldering Temperature (reflow)	+260°C

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN	Junction-to-Case Thermal Resistance (θ_{JC})	2°C/W	WLP	Junction-to-Ambient Thermal Resistance (θ_{JA})	36°C/W
	Junction-to-Ambient Thermal Resistance (θ_{JA})	28°C/W			

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^\circ\text{C}$, EN_MAIN and MARKER high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^\circ\text{C}$. Consumer grade parts are tested at $T_A = +70^\circ\text{C}$. Automotive grade parts are tested at $T_A = +105^\circ\text{C}$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OPERATING CONDITIONS						
Output Voltage	V_{OUT}	Output enabled	0.5	0.6	7.5	V
POWER SUPPLY (Note 3, Figure 4)						
+1.8V Supply Current	I_{AVDD_DIS}	EN_MAIN low or SP_EN = 1		0.01	(1)	μA
	I_{AVDD}	SP_EN High		5	7	mA
	I_{DVDD1}	SP_EN = 0		0.02	(0.03)	mA/MHz
		SP_EN = 1, $f_{PO} = 75\text{MHz}$		0.1	(0.2)	
	I_{DVDD_G1A}	Video dependency DAC A		1.1	(1.5)	$\mu\text{A}/(\text{MHz} \times \Delta\text{CODE})$
	I_{DVDD_G1B}	Video dependency DAC B		0.5	(0.6)	
	I_{DVDD}	Maximum digital supply current $f_{PIXEL} = 150\text{MHz}$, $f_{PO} = 75\text{MHz}$			(45)	mA

レーザドライバ、プロジェクト用

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^{\circ}C$, EN_MAIN and $MARKER$ high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^{\circ}C$. Consumer grade parts are tested at $T_A = +70^{\circ}C$. Automotive grade parts are tested at $T_A = +105^{\circ}C$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
+3.3V Supply Current	I _{AVCC}	Core analog			1.5	1.8	mA
	I _{DVCC_DIS}	ENA_ = ENB_ = 0			0.01	0.1	
	I _{DVCC_G1A}	GA_ = 0x00 (per channel)			3.4	4.8	
	I _{DVCC_G2A}	GA_ = 0xFF (per channel)			8.2	9.1	
	I _{DVCC_G1B}	GB_ = 0x00 (per channel)			1.2	1.6	
	I _{DVCC_G2B}	GB_ = 0xFF (per channel)	MAX3601C		2.5	2.8	
			MAX3601G		2.5	3.3	
	I _{AVCC}	Maximum analog supply current GA_ = GB_ = 0xFF, ENA_ = ENB_ = 1	MAX3601C		(37.6)		
MAX3601G				(39.1)			
Pulse-Off Assist Current (Note 4)	I _{CCD_G1}	PHS_ = 0			5	(10)	µA/MHz
	I _{CCD_G2}	f _{PO} = f _{POH} = 75MHz, f _{PIXEL} = 150MHz, C _L = 0pF, V _{OUT_MIN} = 0.8V to 1.8V			2.3	(4.6)	
Power In MAX3601 Driver (Note 5)		Outputs off, clock stopped			0.2		mW
		0% video			< 83	(100)	
		27% video			130		
		100% video			270		
		27% video with pulse-off			150		
		27% video with pulse-off assist			160		
Typical Output Sensitivity to Supply Voltage (Note 6)		I _{OUT} /V _{AVDD}			1		%V
		I _{OUT} /V _{DVDD}			1	(3)	
		I _{OUT} /V _{AVCC}			2	(17)	
		I _{OUT} /V _{DVCC}			2.2	(6)	
VIDEO DAC (8-Bit, Note 7)							
Maximum Conversion Rate				150	160	(250)	Msp/s
Settling Time	t _S	Within 12 LSBs (GAIN = 0x0F to 0xFF)			6.7	(12)	ns
		Within 3 LSBs (GAIN = 0xFF)			12	(25)	
		Within 1 LSB (GAIN = 0xFF)			23	(34)	
Rise/Fall Time		20% to 80%			1.5	(2.5)	ns
Offset Error (GSA_ = GSB+ = 0xFF, ENA_ = ENB_ = 1)	OS_ER	0V ≤ V _{OUT} ≤ V _{AVCC} + 0.5V			1.0	24	µA
		V _{OUT} = 7.5V		(1.0)	10.5	37	
Resistor ROUT1	R _{OUT1}	V _{OUT} = 7.5V, see Figure 12		(290)	400	(490)	kΩ
Video INL (Notes 8 and 9)		Code > 0x1F		(-15)		(15)	LSB
INL Drift (Notes 8 and 9)		0x1F < GAIN < 0xFF, 0°C < T _J < +125°C V _{OUT_MIN} = 0.6V to 1.6V			1.5	(3)	LSB

レーザドライバ、プロジェクト用

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^{\circ}C$, EN_MAIN and $MARKER$ high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^{\circ}C$. Consumer grade parts are tested at $T_A = +70^{\circ}C$. Automotive grade parts are tested at $T_A = +105^{\circ}C$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Video DNL (GAIN = 0x0F to 0xFF) (Note 8)		Guaranteed monotonic		(-1)		(+1)	LSB
Propagation Delay (Delay = PD1 + PD2)		PD1			2		Pixel clocks
		PD2			11		ns
Propagation Delay Variation				(-1)		(+1)	ns
Transfer of V _{OUT} to I _{OUT} (Note 5)		f < 50kHz, V _{OUT} > 0.9V			0.2	(1)	%V
		f < 1MHz, V _{OUT} > 0.6V			6	(10)	
		f < 1MHz, V _{OUT} > 0.5V			12	(15)	
Output Capacitance (CODE_A = CODE_B = 0x00)	C _{DVR}	V _{OUT} = 0.6V			260		pF
		V _{OUT} = 1.1V			125		
		V _{OUT} = 2.0V			100		
PULSE OFF ASSIST							
Rise Time		20% to 80%, V _{A-} = 1.0V, C _L = 0pF, PHS_ = 3, VIDEO = 0x00			1.6	(3)	ns
Incremental Resistance PH_ = 0xFFFF		PHS_ = 3,			8		Ω
		PHS_ = 2			16		
		PHS_ = 1			32		
		PHS_ = 0			64		
Compliance Voltage	V _{O_POH}	Relative to V _{AVCC} , I _{OUT} = 1mA (T _A = 0 to +125°C)				(-0.8)	V
		T _A = -40°C to +125°C				(-0.9)	
OUTPUT GAIN (VIDEO_ = 0xFF)							
Resolution					8		Bits
Current at OUT		GA_ = 0x00, GB_ = 0x00			0.01	(1)	mA
		GA_ = 0xFF, GB_ = 0x00	MAX3601C	280	320	400	
			MAX3601G, T _A = +25°C to +105°C	275	320	400	
			MAX3601G, T _A < +25°C	260	320	400	
		GA_ = 0x00, GB_ = 0xFF	MAX3601C	69	80	100	
			MAX3601G, T _A = +25°C to +105°C	68	80	100	
			MAX3601G, T _A < +25°C	60	80	100	
		GA_ = 0xFF, GB_ = 0xFF	MAX3601C	(349)	400	(500)	
			MAX3601G	(320)	400	(500)	

レーザドライバ、プロジェクト用

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^{\circ}C$, EN_MAIN and $MARKER$ high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^{\circ}C$. Consumer grade parts are tested at $T_A = +70^{\circ}C$. Automotive grade parts are tested at $T_A = +105^{\circ}C$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
COMPLIANCE ALARM						
VSET DAC Resolution		4 bit	(70)	80	(90)	mV
VSET DAC Range		VSET_ = 0x0	0.32	0.4	0.48	V
		VSET_ = 0xF	1.4	1.6	1.8	
Filter 1 Time Constant				1		ns
Filter 2 Time Constant				2.7		ns
TEMPERATURE ALARM						
Temperature Range			(5)		(150)	$^{\circ}C$
Temperature Accuracy		$T_J = +20^{\circ}C$ to $+125^{\circ}C$	(-10)		(10)	$^{\circ}C$
Temperature Resolution		$T_J = +20^{\circ}C$ to $+125^{\circ}C$	(2.25)	2.5	(2.75)	$^{\circ}C/LSB$
LOGIC I/O (DIO/SDA, CLK/SCL, CS, MARKER, EN_MAIN)						
Input Low Voltage	V_{IL2}	Test condition			0.4	V
Input High Voltage	V_{IH2}	Test condition	1.45			V
Input High Threshold		Relative to V_{DVDD}	(50)	60	(70)	%
Input Low Threshold		Relative to V_{DVDD}	(40)	50	(60)	%
Input Hysteresis		Relative to V_{DVDD}	(5)			%
Input Current		DIO/SDA, CLK/SCL	-10	± 0.2	+10	μA
Input Resistance	R_{EN_MAIN}	EN_MAIN to DGND	50	100	200	$k\Omega$
	R_{MARKER}	MARKER to DVDD	50	100	200	
	R_{CS}	CS to DGND	50	100	200	
Input Capacitance				1		pF
Disable Time	t_{DIS}	EN_MAIN or MARKER to I_{OUT} falling		0.1	1	μs
Enable Settling Time Constant	t_{EN}	EN_MAIN rising or MARKER rising		0.5	1.5	μs
DIO/SDA Low Voltage		$I_{DIO/SDA} = 16mA$		0.1	0.4	V
VIDEO DATA INPUTS						
Maximum Frequency	f_{DCLK_MAX}		150	> 160		MHz
DCLK Duty Cycle		$f_{DCLK} > 100MHz$	(45)		(55)	%
DCLK High Time		Relative to $2/f_{DCLK}$	(-0.5)		(+0.5)	ns
Video Input Setup Time	t_{SU}	Operating condition	1			ns
Video Input Hold Time	t_H	Operating condition	MAX3601C	0.25		ns
			MAX3601G	0.35		
Input Switching Time		10% to 90%, operating condition		1.2		ns
Input Low Voltage	V_{IN-L}				$0.5 \times V_{DVDD} - 0.1$	V

レーザドライバ、プロジェクト用

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^{\circ}C$, EN_MAIN and $MARKER$ high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^{\circ}C$. Consumer grade parts are tested at $T_A = +70^{\circ}C$. Automotive grade parts are tested at $T_A = +105^{\circ}C$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input High Voltage	V_{IN-H}		$0.5 \times V_{DVDD} + 0.1$			V
Input Threshold		Relative to V_{DVDD}		50		%
Input Hysteresis				0.1		V
Input Current			-10	± 1	+10	
Data Input Capacitance	C_D			1		pF
SUBPIXEL GENERATOR						
Pixel Clock Frequency Range		Subpixel generator active	24	150	(250)	MHz
Minimum Pulse Width		1 subpixel			(2)	ns
Subpixel Timing Accuracy		$T_{PODM} - T_{POD}$	(-1)		(+1)	ns
PLL Bandwidth			(1200)	2000	(3100)	kHz
I²C TIMING						
Clock Frequency	f_{SCL}				400	kHz
Bus Free Time Between START and STOP	t_{BUF}		1.3			μs
HOLD Time for a START Condition	t_{HD_STA}		0.6			μs
Setup Time Repeated START Condition	t_{SU_STA}		0.6			μs
SCL Low Time	t_{LOW}		1.3			μs
SCL High Time	t_{HIGH}		0.6			μs
SDA Hold Time	t_{HD_DAT}		0		0.6	μs
SDA Setup Time	t_{SU_DAT}		0.1			μs
Setup Time for STOP Condition	t_{SU_STO}		0.6			μs
Pulse Width of Suppressed Spikes	t_{SP}			0.05		μs
SPI TIMING						
SPI Clock Cycle	t_{CLK}		83			ns
SCL High Pulse Width	t_{WH}		41.5			ns
SCL Low Pulse Width	t_{WL}		41.5			ns
SCL Rise/Fall Time	t_{RF}	At $f_{CLK} = 12MHz$		16		ns
SCL Setup Time	t_{CLKS}		8			ns
CS Setup/Hold Time	$t_{CS,}$		32			ns
CS Recovery Time	t_{CR}		50			ns

レーザドライバ、プロジェクト用

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^{\circ}C$, EN_MAIN and $MARKER$ high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^{\circ}C$. Consumer grade parts are tested at $T_A = +70^{\circ}C$. Automotive grade parts are tested at $T_A = +105^{\circ}C$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Write Data Setup Time	t_{DS}		16			ns
Write Data Hold Time	t_{DH}		16			ns
Read Data Delay Time	t_{RD}				34	ns
DIO Output Switching Time	t_{ZR}	$R_{DIO} = 390\Omega$, $C_{DIO} = 20pF$		11	(16)	ns
DIO Output Disable Time	t_{RZ}	MAX3601C			34	ns
		MAX3601G			36	
DIO Conflict Avoid Time	t_{ZZ}		0			ns
POWER-ON RESET (Figure 27)						
V_{AVDD}, V_{DVDD} On Threshold	$2V_{POR+}$			1.32	(1.6)	V
V_{AVDD}, V_{DVDD} Off Threshold	$2V_{POR-}$		(1)	1.28		V
V_{DVCC}, V_{DVCC} On Threshold	$3V_{POR+}$			2.5	(2.8)	V
V_{AVCC}, V_{DVCC} Off Threshold	$3V_{POR-}$		(2.2)	2.4		V

Note 2: Parameters measured using circuit of Figure 1. R_S , C_S , C_L = open, unless otherwise noted. Parameters in parentheses () are provided for guidance, but are not tested or guaranteed.

Note 3: Power Consumption Calculations:

$$I_{DVDD}(mA) = I_{DVDD}(mA/MHz) \times f_{PIXEL}(MHz) + \sum_{N=1}^3 \left[ENA_N \times I_{DVDD_{G1A}}(mA/MHz) \times \Delta CODE_{A_N} + ENB_N \times I_{DVDD_{G1B}}(mA/MHz) \times \Delta CODE_{B_N} \right] + f_{PIXEL}(MHz)$$

$$I_{DVCC}(mA) = \sum_{N=1}^3 \left[ENA_N \times I_{DVCC_{G1A}} + \left(I_{DVCC_{G2A}} - I_{DVCC_{G1A}} \right) \times \frac{GA_N}{255} + ENB_N \times I_{DVCC_{G1B}} + \left(I_{DVCC_{G2B}} - I_{DVCC_{G1B}} \right) \times \frac{GB_N}{255} \right]$$

where:

N = OUTPUT 1,2,3, f_{PIXEL} is the pixel clock frequency (MHz), $ENA_$ and $ENB_$ are the DAC enable signals with value 0 or 1, $\Delta CODE$ is the average number of video code changes per pixel (0 to 255). If the Pulse-Off feature is used 1 time per pixel, $\Delta CODE = 2 \times$ Average Video Code Value. If Pulse-Off is used 2 times per pixel, $\Delta CODE = 4 \times$ Average Video Code Value (Figure 3).

Note 4: Pulse-Off Assist Current Calculation:

$$I_{DVCCD} \approx \sum_{N=1}^3 \left[\left(I_{DVCC_{G1}} + C_{OUTN} \times \Delta V_{OUTN} \right) \times f_{PON} \right]$$

where:

N = Output 1,2,3, C_{OUTN} is the total capacitance at $OUTN$ (MAX3601 output capacitance + external capacitance), ΔV_{OUTN} is the resulting voltage change at $OUTN$, f_{PON} is the frequency of pulse-events in MHz. f_{PON} is generally equal to the pixel clock, but could be lower or higher, depending on the pulse-off duty cycle and number of pulse-off events per pixel.

レーザドライバ、プロジェクト用

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{AVCC} = V_{DVCC} = 2.9V$ to $3.5V$, $T_A = T_{MIN}$ to T_{MAX} , $T_J < +125^{\circ}C$, EN_MAIN and $MARKER$ high, $V_{OUT} \geq 0.7V$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $T_J = +85^{\circ}C$. Consumer grade parts are tested at $T_A = +70^{\circ}C$. Automotive grade parts are tested at $T_A = +105^{\circ}C$. Minimum and maximum specifications are guaranteed by design, characterization and/or production test.)(Note 2)

Note 5: Power Estimation Conditions:

For each output, DAC A is enabled, DAC B is off, VIDEO = 27% data as shown in [Figure 2](#), $f_{PIXEL} = 150MHz$. Vertical Image Duty cycle is 70%, and the MARKER signal is used to reduce power during vertical flyback.

The load emulates:

Red Laser on OUT1: $4I + 2.3V$

Green Laser on OUT2: $8I + 3.8V$

Blue Laser on OUT3: $16I + 3.5V$

	PARAMETER	VIDEO	GAIN1 (mA)	GAIN2 (mA)	GAIN3 (mA)	V_{OUT} @ I_{PEAK}	VA1 (V)	VA2 (V)	VA3 (V)	PO_EN	POC	POM_	PHM_
1	0% Video	00h	200	180	70	0.6V	3.7	5.9	5.2	0	0	0	0
2	27% Video	27%	200	180	70	0.6V	3.7	5.9	5.2	0	0	0	0
3	100% Video	FFh	200	180	70	0.6V	3.7	5.9	5.2	0	0	0	0
4	Pulse-Off	27%	300	270	105	0.8V	4.3	6.8	6.0	1	4h	FF00h	0
5	With Pulse-off Assist	27%	300	270	105	0.8V	4.3	6.8	6.0	1	4h	FF00h	FF00h

Note 6: Transfer from supply to I_{OUT} measured with $100mV_{P-P}$ sine wave applied at the supply.

$$T = \frac{fI_{OUT}}{I_{OUT}} \times \frac{100\%}{fV}$$

with units %/V. $I_{OUT} = 325mA$, $T_J \leq +110^{\circ}C$, $f_{OUT} = 60Hz$ to $1MHz$. Typical values are at $10kHz$, maximum value at $1MHz$ typical corner.

Note 7: AC Parameters characterized with a video pattern of $0x00$ to $0xFF$, $GAIN = 0xFF$, $0x3F$, $0x1F$, $0x0F$. All combinations of output VIDEO DACs: DAC A only, DAC B only, DAC A and DAC B. An external filter network (R_S , C_S) or digital filter may be used to reduce ringing.

Note 8: $1lsb = \frac{I_{OUT(CODE=0xFF)} - I_{OUT(CODE=0x00)}}{255}$

Note 9: Integral nonlinearity (INL) is measured as: $[I_{OUT} - \text{Least Squares approximation of current}]$.

レーザドライバ、プロジェクタ用

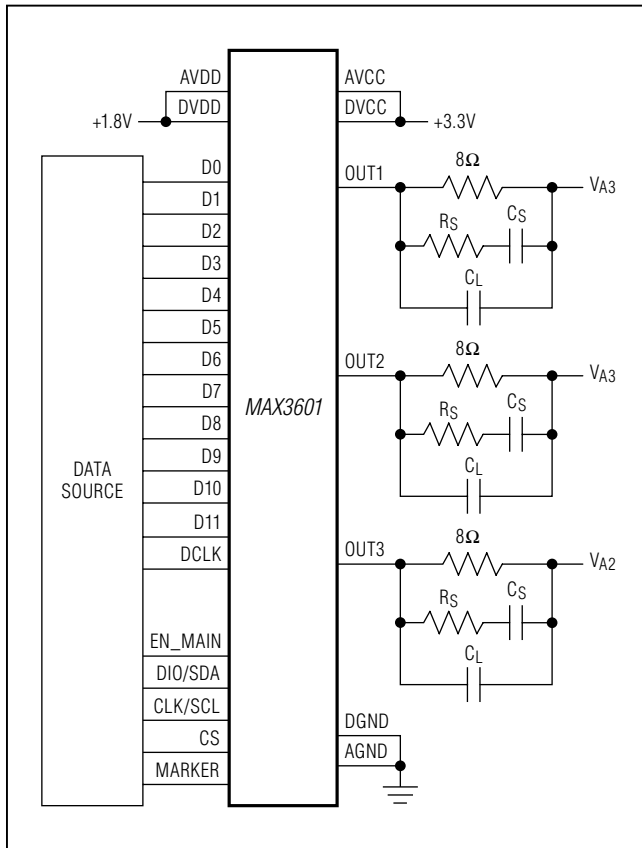


図1. テスト回路

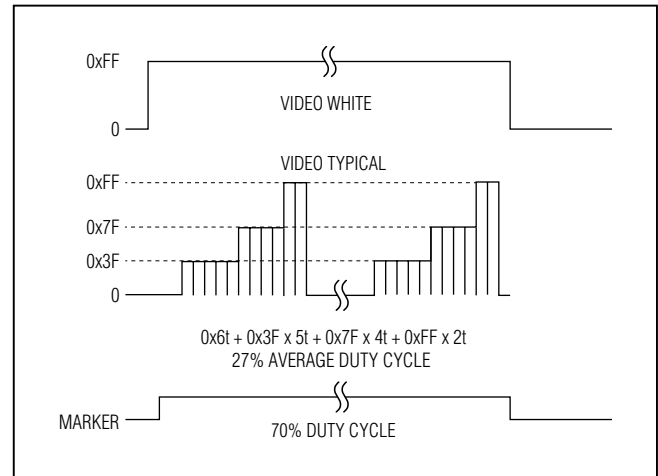


図2. ビデオテストパターン

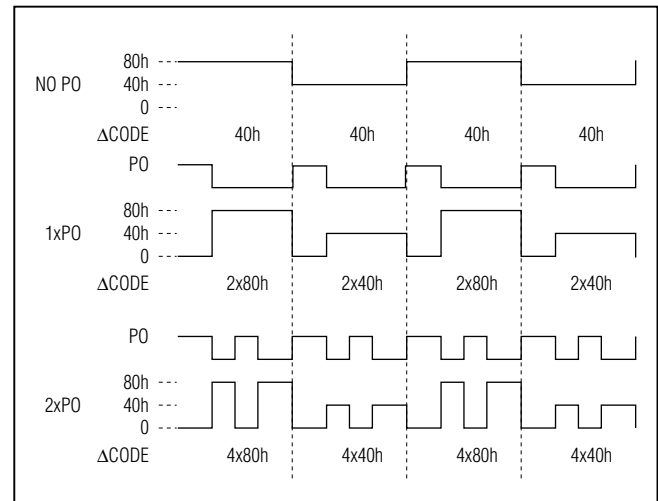


図3. Δコードの例

レーザドライバ、プロジェクト用

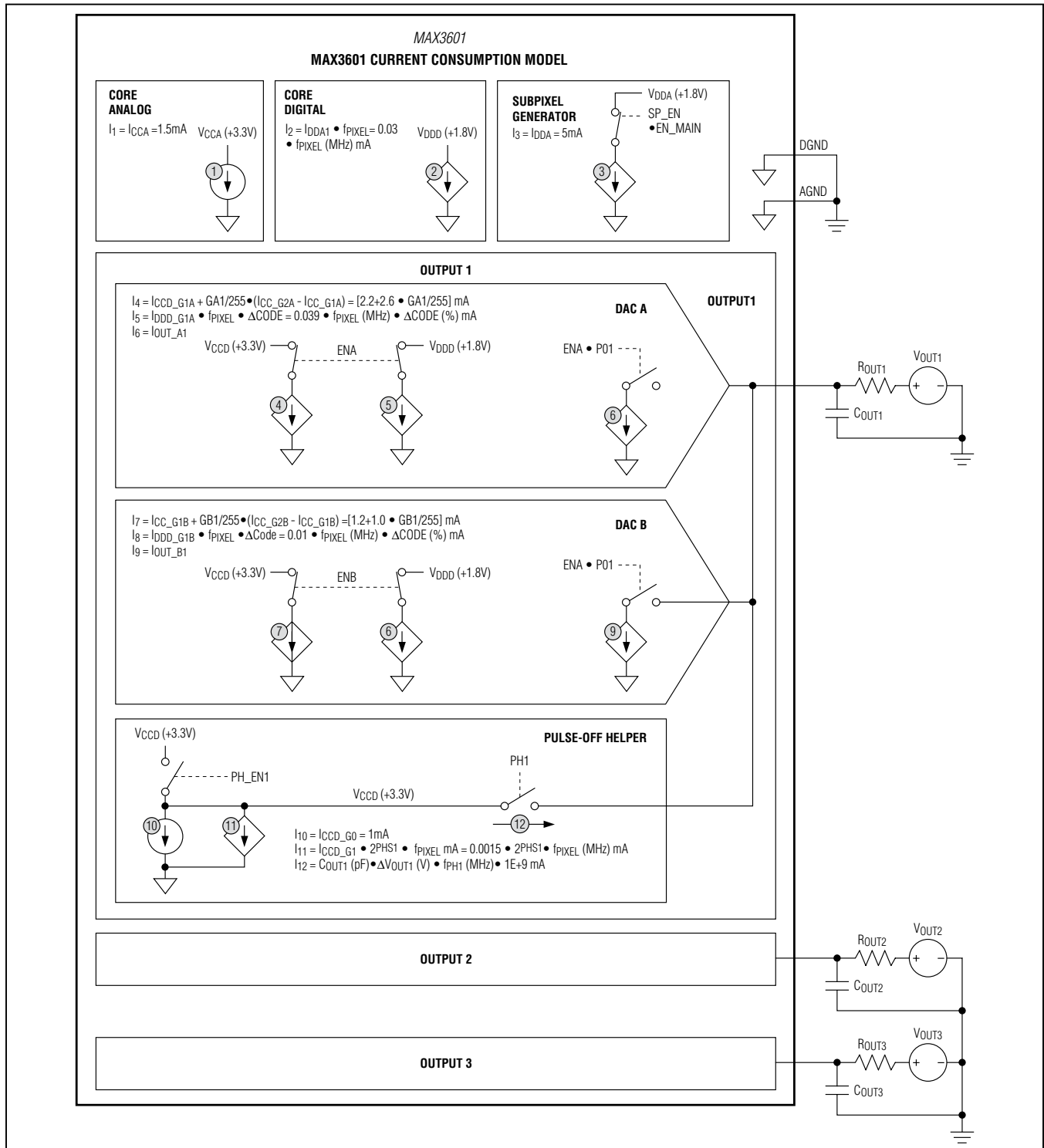
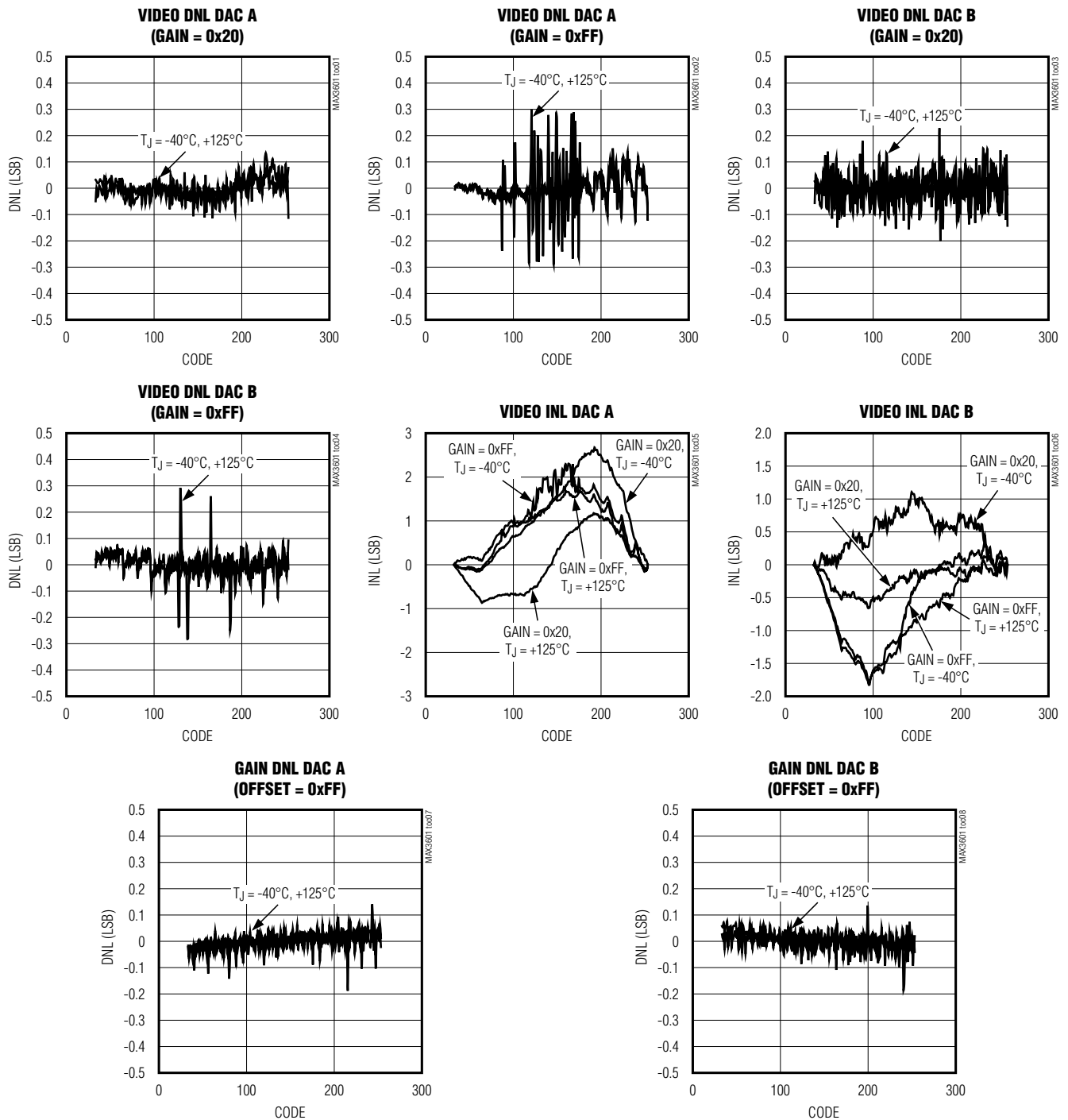


図4. 電源の計算

レーザドライバ、プロジェクタ用

標準動作特性

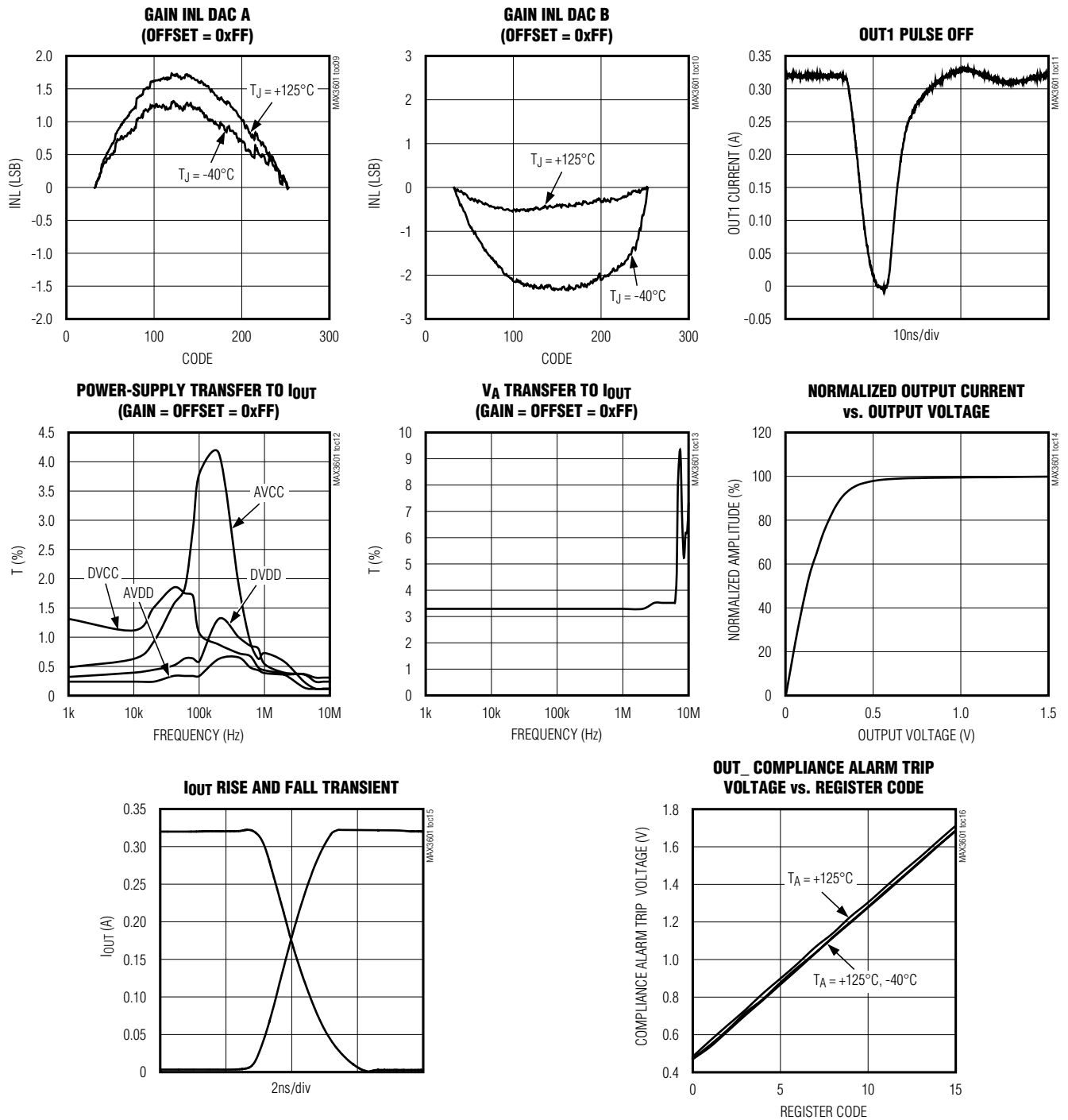
($V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $V_{OUT} = 0.7V$, $R_L = 8\Omega$, EN_MAIN high, $T_A = +25^\circ C$, unless otherwise noted.)



レーザドライバ、プロジェクト用

標準動作特性(続き)

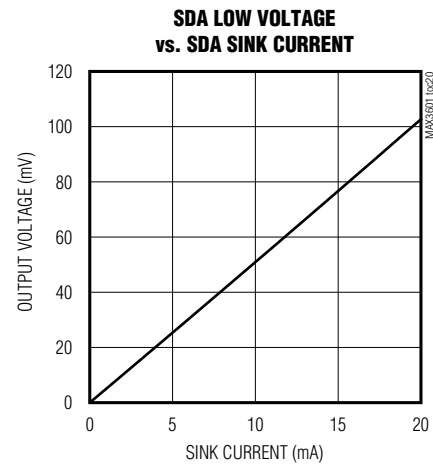
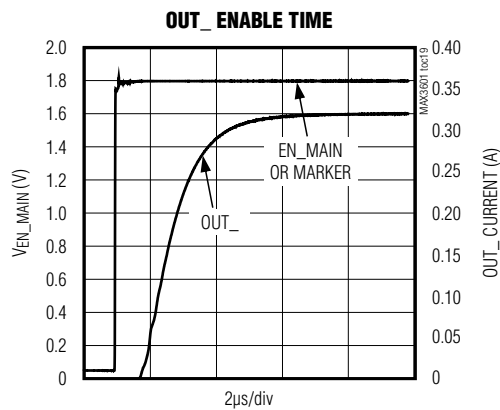
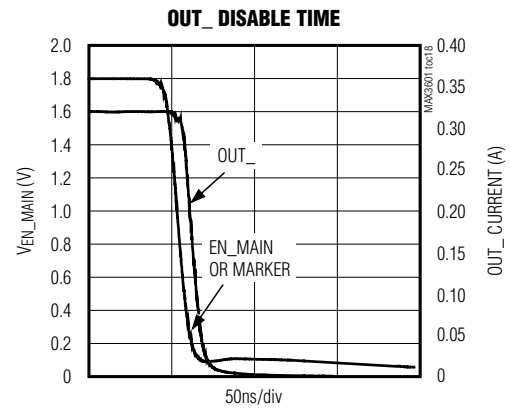
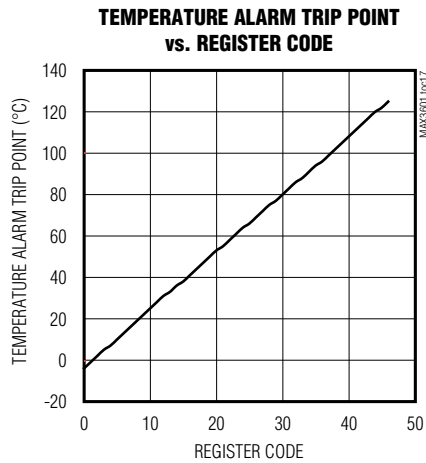
($V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $V_{OUT} = 0.7V$, $R_L = 8\Omega$, EN_MAIN high, $T_A = +25^\circ C$, unless otherwise noted.)



レーザドライバ、プロジェクタ用

標準動作特性(続き)

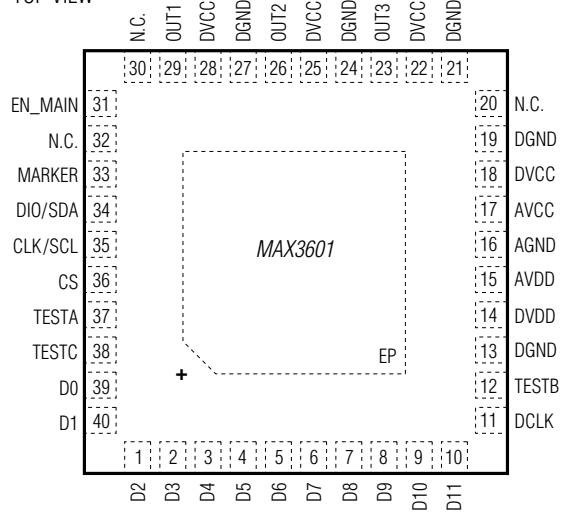
($V_{AVDD} = V_{DVDD} = 1.8V$, $V_{AVCC} = V_{DVCC} = 3.3V$, $V_{OUT} = 0.7V$, $R_L = 8\Omega$, EN_MAIN high, $T_A = +25^\circ C$, unless otherwise noted.)



レーザドライバ、プロジェクタ用

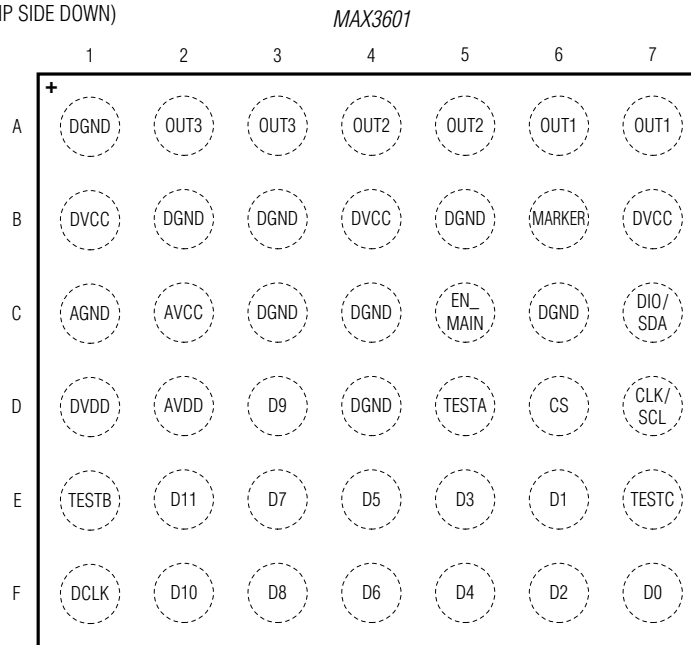
ピン配置

TOP VIEW



THIN QFN
(5mm x 5mm)

TOP VIEW
(BUMP SIDE DOWN)



WLP
(3.5mm x 3.0mm)

レーザドライバ、プロジェクタ用

端子説明

端子		名称	機能	等価入力回路図
TQFN-EP	WLP			
1	F6	D2	同期ビデオデータ入力	
2	E5	D3		
3	F5	D4		
4	E4	D5		
5	F4	D6		
6	E3	D7		
7	F3	D8	同期ビデオデータ入力。DEMUX Cモードでは、D8はピクセルクロックとして機能します。	
8	D3	D9	同期ビデオデータ入力	
9	F2	D10	同期ビデオデータ入力	
10	E2	D11	同期ビデオデータ入力、MSB	
11	F1	DCLK	ビデオクロック入力	
12, 37, 38	D5, E1, E7	TESTA, TESTB, TESTC	テスト端子。DGNDに接続してください。	—
13, 19, 21, 24, 27	A1, B2, B3, B5, C3, C4, C6, D4	DGND	デジタルグランド。0Vに接続してください。	—
14	D1	DVDD	1.8Vデジタル電源。できる限りデバイスの近くに配置した0.1μFと0.01μFのコンデンサでDVDDをDGNDに接続してください(値の小さい方のコンデンサがDVDD側)。	—
15	D2	AVDD	1.8Vアナログ電源。できる限りデバイスの近くに配置した0.1μFと0.01μFのコンデンサでAVDDをAGNDに接続してください(値の小さい方のコンデンサがAVDD側)。	—
16	C1	AGND	アナロググランド。0Vに接続してください。	—
17	C2	AVCC	3.3Vアナログ電源。できる限りデバイスの近くに配置した0.1μFと0.01μFのコンデンサでAVCCをAGNDに接続してください(値の小さい方のコンデンサがAVCC側)。	—
18, 22, 25, 28	B1, B4, B7	DVCC	3.3Vデジタル電源。できる限りデバイスの近くに配置した0.1μFと0.01μFのコンデンサ(端子当り1つのペア)でDVCCをDGNDに接続してください(値の小さい方のコンデンサがDVCC側)。	—
20, 30, 32	—	N.C.	接続なし。パッケージからICへの接続はありません。	—

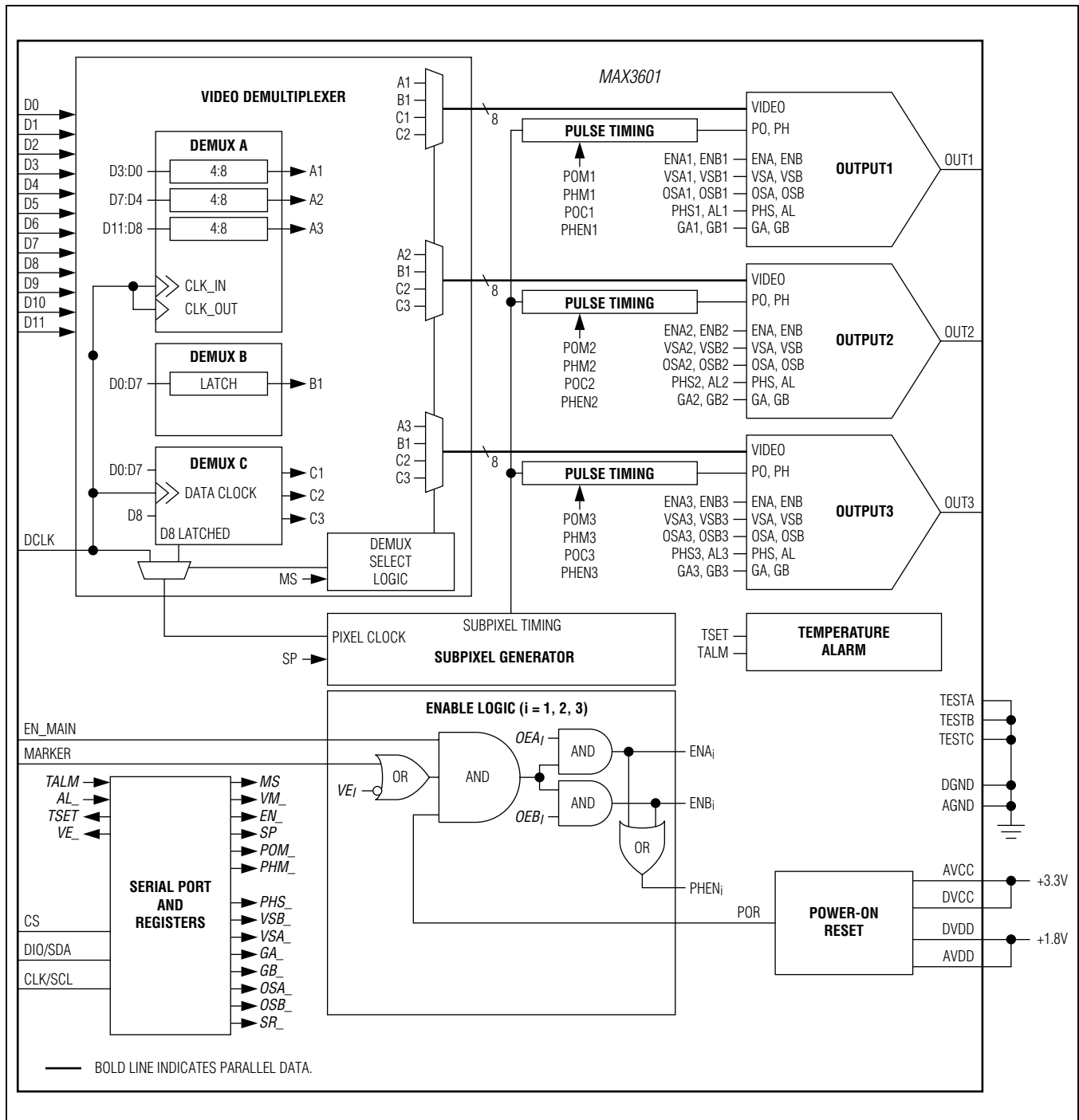
レーザドライバ、プロジェクト用

端子説明(続き)

端子		名称	機能	等価入力回路図
TQFN-EP	WLP			
23	A2, A3	OUT3	レーザ3用の接続。使用しない場合はOUT3を未接続のままとしてください。	
26	A4, A5	OUT2	レーザ2用の接続。使用しない場合はOUT2を未接続のままとしてください。	
29	A6, A7	OUT1	レーザ1用の接続。使用しない場合はOUT1を未接続のままとしてください。	
31	C5	EN_MAIN	レーザイネーブル入力(DGNDへの100kΩのプルダウン内蔵)。OUT1~OUT3をイネーブルする場合は、EN_MAIN = ハイに設定してください。	
33	B6	MARKER	ビデオマーカ入力(DVDDへの100kΩのプルアップ内蔵)	
34	C7	DIO/SDA	SPIおよびI ² Cシリアルデータ入出力	
35	D7	CLK/SCL	SPIおよびI ² Cシリアルクロック入力	
36	D6	CS	SPIチップセレクト(DGNDへの100kΩのプルダウン内蔵)。I ² Cモードとする場合は、CSをDVDDに接続してください。SPIモードとする場合は、起動時にCS = ローに設定してください。	
39	F7	D0	同期ビデオデータ入力、LSB	
40	E6	D1	同期ビデオデータ入力	
—	—	EP	エクスポーズパッド(TQFNのみ)。EPは内部でDGNDに接続されています。適切な熱的および電気的性能を実現するために、ビアの阵列を介してEPをPCBのグランドプレーンに接続する必要があります。	

レーザドライバ、プロジェクタ用

ファンクションダイアグラム



レーザドライバ、プロジェクタ用

詳細

このプロジェクタ用レーザドライバは、RGBレーザによるビデオイメージングをサポートします。各出力には、設定可能な利得およびオフセットを備えた2つの8ビットビデオ/オフセットDACが組み込まれています。

ビデオデマルチプレクサ

ビデオデマルチプレクサは、3つのビデオ形式およびピクセルクロック構成をサポートします。ビデオ形式およびデマルチプレクサは、表7に示すようにMUX Selectレジスタ(MS)によって選択されます。

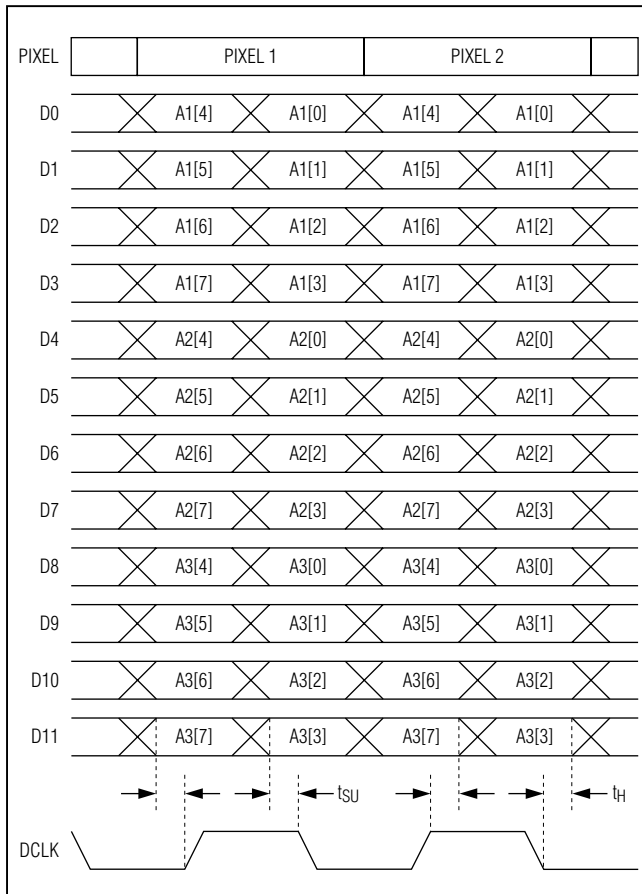


図5. ビデオデマルチプレクサAの入力波形

デマルチプレクサA

デマルチプレクサAは、DDRクロックを備えた4ビット入力を、ピクセルクロックを備えた8ビットデータに変換します。入力データは、図5に示す形式を備える必要があります。4つのMSBはDCLKの立上りエッジでラッチされ、4つのLSBはDCLKの立下りエッジでラッチされます。

デマルチプレクサB

デマルチプレクサBは、8ビットのビデオ入力をクロックの立上りエッジでラッチします。同じビデオがすべての出力に送信されます。

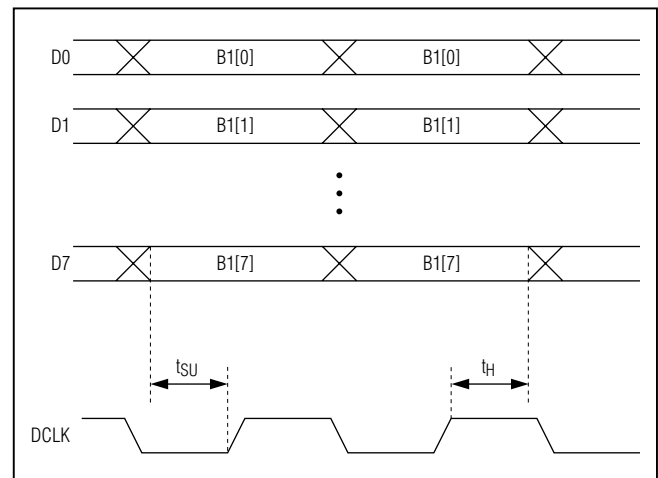


図6. ビデオデマルチプレクサBの入力波形

レーザドライバ、プロジェクタ用

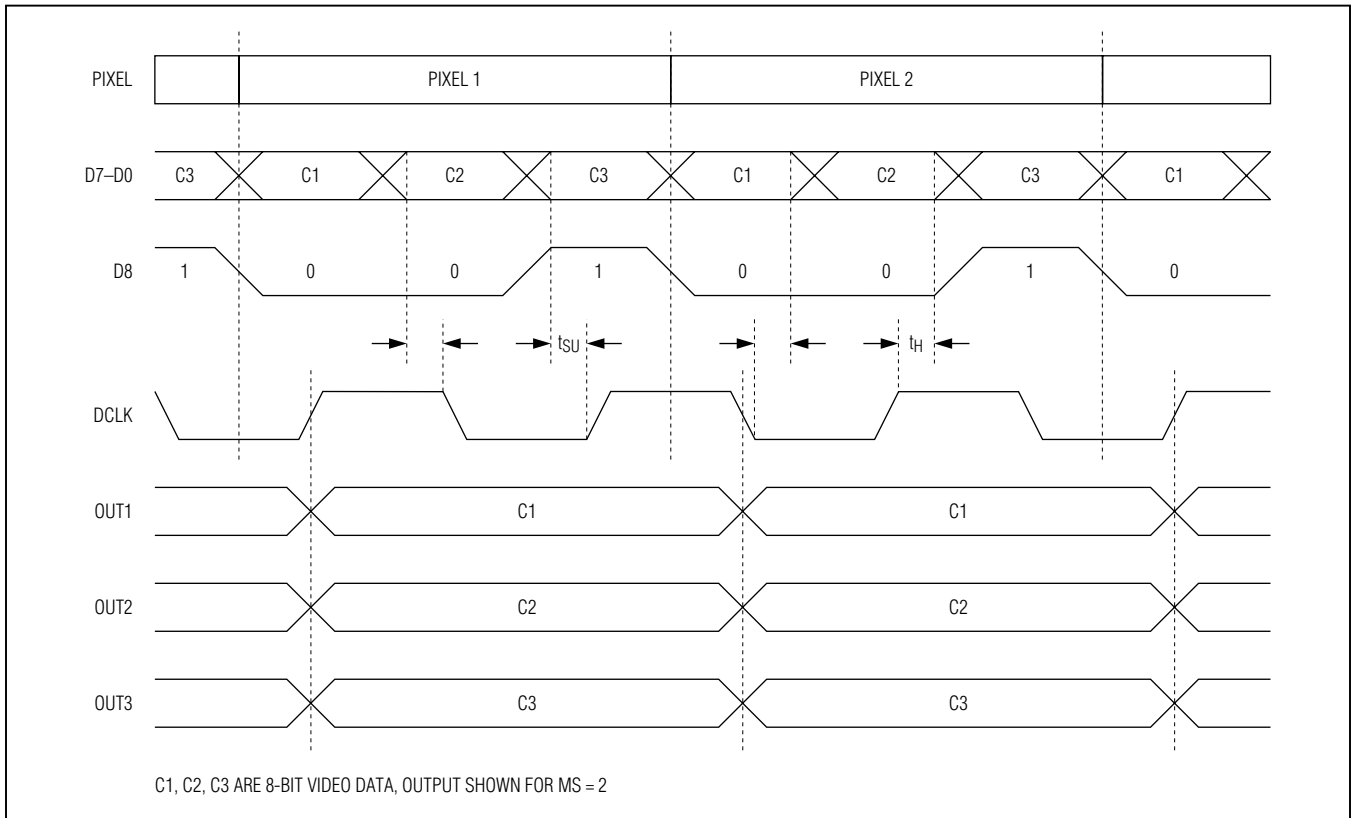


図7. ビデオデマルチプレクサCの入力波形

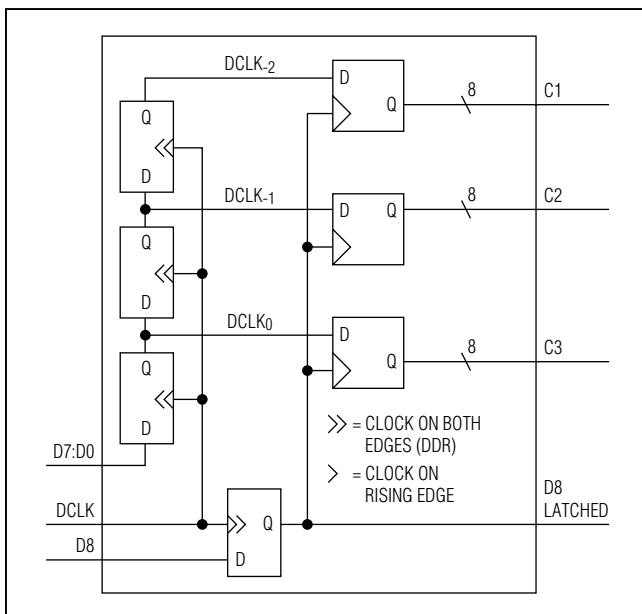


図8. ビデオデマルチプレクサC

デマルチプレクサC

デマルチプレクサCは、MAX3600のデータ形式と互換性があります。3つの出力用のデータは時間上で多重化され、DDRクロックを使用します。

レーザドライバ、プロジェクタ用

パルスタイミングジェネレータ

パルスタイミングジェネレータは、サブピクセルと呼ばれるピクセルクロックの位相を生成します(図9)。サブピクセルタイミング信号によりレーザ電流出力のパルス化が可能となり、レーザ光のスペckル抑制とともに使用すること

ができます。レーザドライバの各出力を異なるパルス幅または複数のパルスとすることが可能です。使用しない場合は、サブピクセルジェネレータをディセーブルすることにより(レジスタ0x0BのD0)、さらなる省電力化が可能です。

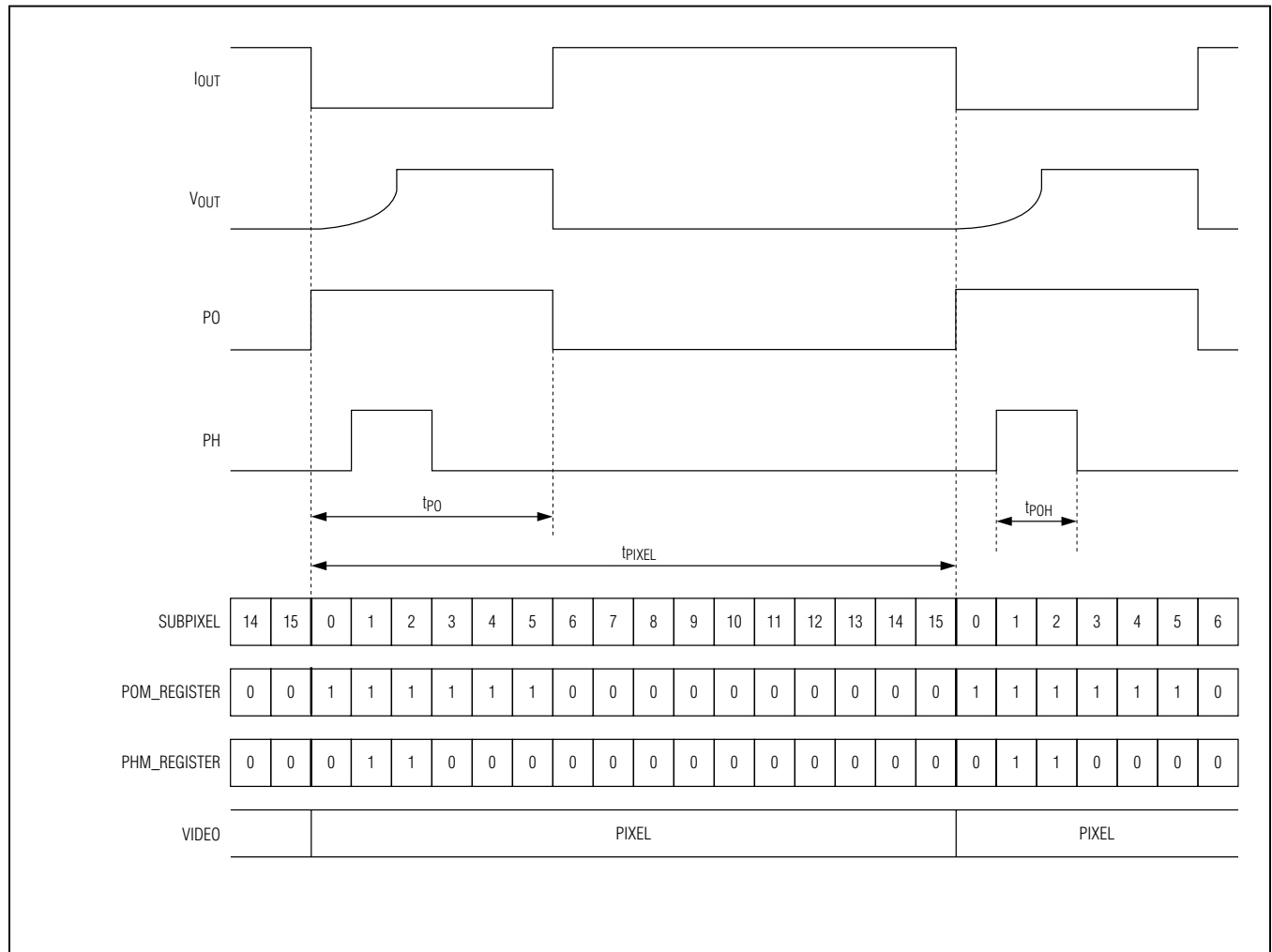


図9. パルスタイミングジェネレータ

レーザドライバ、プロジェクト用

サブピクセル設定

サブピクセル設定ビット(レジスタ0x0CのD[2:0])は、サブピクセル数およびパルス時間の長さを決定します(表1)。パルス幅は、設定されたパルスオフ長 > 0のときに個々のピクセルに適用されます。これを動的に実装することにより、さまざまな照明条件に応じた調整が可能になります。

パルスオフ

パルスタイミングジェネレータは、パルスイベントをスキップして電力を節約するように設定することができます。Pulse-Off Configuration (POC)レジスタは、表2に示す

オプションを選択します。ランダムパルスオフイベントは、31ビットの疑似ランダムビットストリーム(PRBS)によってトリガされます。デフォルトでは、PRBSはすべての出力に共通です。POCレジスタのビットD4は、どのPRBSビットにより各出力が制御されるかを決定します(表3)。

POCレジスタが一致し、POC[4] = 0のとき、出力間のパルスオフの同期化が発生します。たとえば、POC1 = POC2 = POC3かつPOC[4] = 0の場合、すべての出力におけるランダム化されたパルスオフイベントの発生が同期化されます。

表1. サブピクセル設定 (SPレジスタ)

SP	f _{PIXEL} (MHz)		ACTIVE SUBPIXELS	INACTIVE SUBPIXELS
	MIN	MAX		
000	150	200	0:7	8:15
001*	75	150	0:15	—
010	50	100	0:11	12:15
011	37.5	75	0:15	—
100	30	60	0:9	10:15
101	25	50	0:15	—
110	21.4	42.8	0:13	14:15
111	18.75	37.5	0:15	—

*起動時のデフォルト

表2. パルスオフデューティサイクル (POCレジスタ)

POC [3:0]	PULSE-OFF DUTY CYCLE
0000	Every pixel, 100% (Power-on default)
0001	Random, 87.5%
0010	Random, 75.0%
0011	Random, 62.5%
0100	Random, 50.0%
0101	Random, 37.5%
0110	Random, 25.0%
0111	Random, 12.0%
1XXX	Every other pixel, 50%

表3. ランダムパルスオフの設定

POC [4]	PRBS31 BITS USED		
	OUTPUT 1	OUTPUT 2	OUTPUT 3
0*	PRBS31[4], [3], [0]	PRBS31[8], [7], [0]	PRBS31[16], [15], [0]
1	PRBS31[2:0]	PRBS31[2:0]	PRBS31[2:0]

*起動時のデフォルト

レーザドライバ、プロジェクト用

ドライバ出力

3つのレーザドライバ出力は、それぞれ2つのビデオDAC、2つの利得DAC、コンプライアンス電圧アラーム、およびパルスオフアシストを内蔵しています。省電力化のために、MAX3601は出力が未使用の際に消費電流を低減します。

ビデオDAC

各レーザドライバ出力は、ビデオイメージを表す電流を生成する2つのビデオDACを内蔵しています(図10)。DAC

AはDAC Bの4倍の電流出力能力を備えていますが、それ以外の点では同一です。ビデオデータは高速データ入力から入力されます。VSA_およびVSB_は、2つのビデオDACの出力の動作を決定します(表4および表5)。どちらのDACの出力ビデオも、以下の任意のものにすることが可能です。

- ビデオデータ
- パルスオフ(振幅ゼロ)

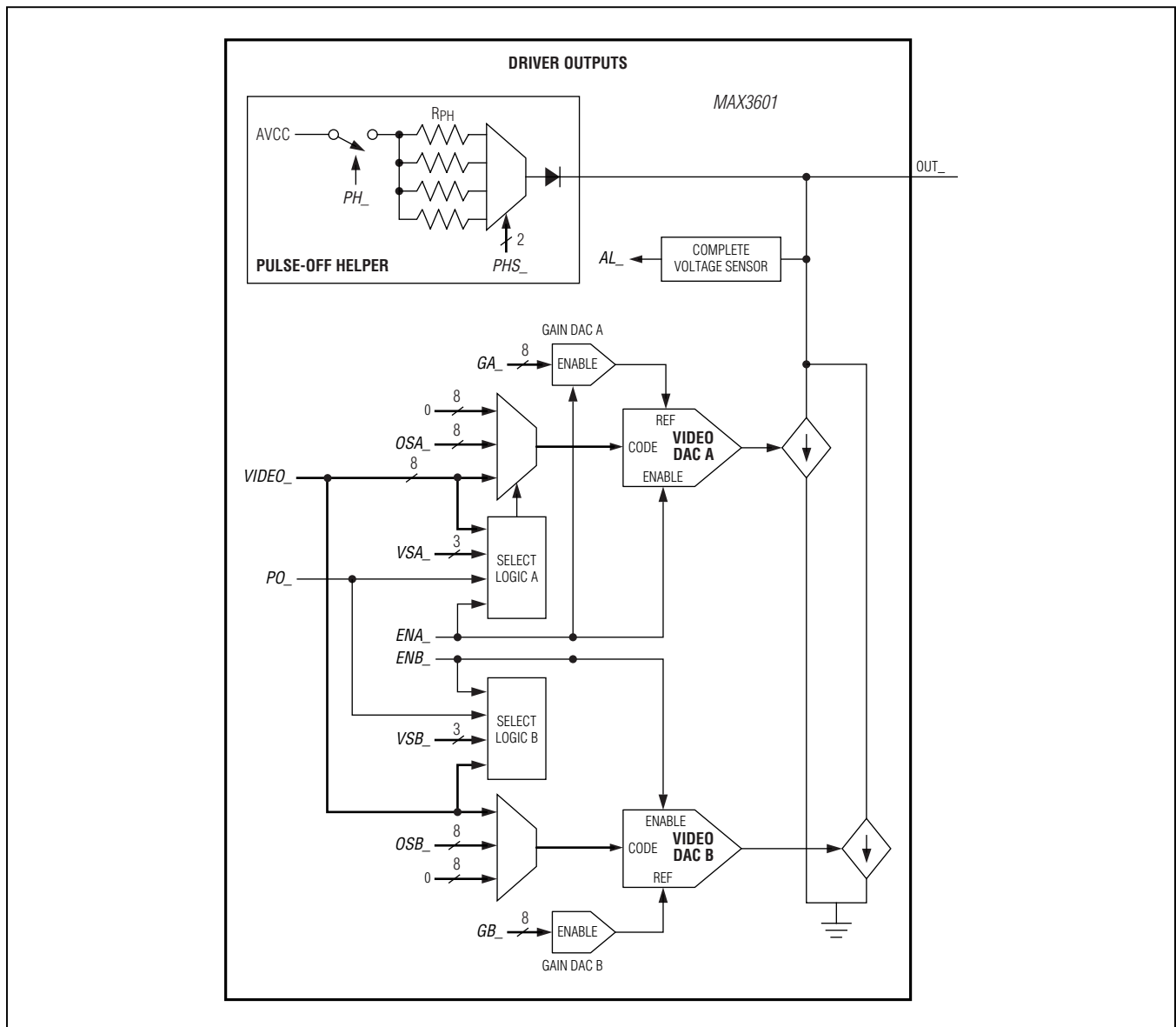


図10. ドライバ出力

レーザドライバ、プロジェクト用

表4. DAC Aのビデオ選択ロジック

ENA_	VSA_	VIDEO	PO	CODE DAC A
0	X	X	X	0
1	000*	X	0	VIDEO
			1	0
	001	X	0	VIDEO
			1	OSA_
	010	X	0	OSA_
			1	0
	011	X	0	OSA_
			1	OSA_
	100	0	X	0
		> 0	0	OSA_
			1	0
	101	X	X	0
	110	X	X	0
	111	X	X	0

*起動時のデフォルト

表5. DAC Bのビデオ選択ロジック

ENB_	VSB_	VIDEO	PO	CODE DAC B
0	X	X	X	0
1	000*	X	0	VIDEO
			1	0
	001	X	0	VIDEO
			1	OSB_
	010	X	0	OSB_
			1	0
	011	X	0	OSB_
			1	OSB_
	100	0	X	0
		> 0	0	OSB_
			1	0
	101	X	X	0
	110	X	X	0
	111	X	X	0

*起動時のデフォルト

- パルスオフ(振幅ゼロ以外)
- シリアルポートから設定された定数値
- 振幅ゼロ
- VIDEO > 0に対して定数値、VIDEO = 0のときはゼロ

2つの利得DACは、フルスケール出力電流を調整してレーザのスロープ効率およびカラーバランスを実現します。ビデオ利得はシリアルポートから設定します。ビデオDAC AおよびBのフルスケール出力は、それぞれのピーク出力である最大320mAおよび80mAまでの範囲で調整可能です(図11)。レーザドライバの出力電流は、DAC AおよびBの出力の組み合わせです。

$$I_{OUT}(mA) = \frac{CODEA}{FFh} \left[\frac{GA}{FFh} \right] \times 320 + \frac{CODEB}{FFh} \left[\frac{GB}{FFh} \right] \times 80 + OSERR$$

ここで、OSERRはオフセット誤差です。

出力電流の絶対最大定格を注意深く考慮してください。製品寿命にわたり I_{OUT} のピークが400mAでデューティサイクルが50%の場合、平均DC電流は200mAになります。

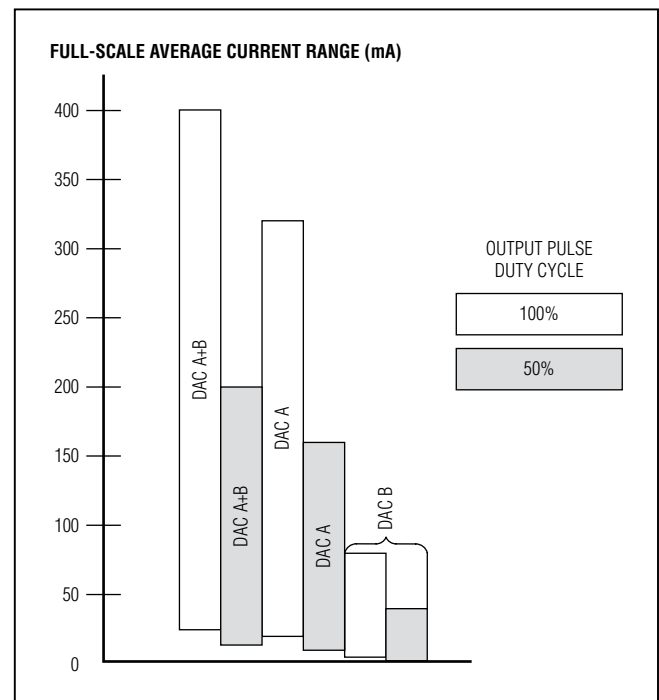


図11. ドライバ出力のフルスケール電流範囲

レーザドライバ、プロジェクト用

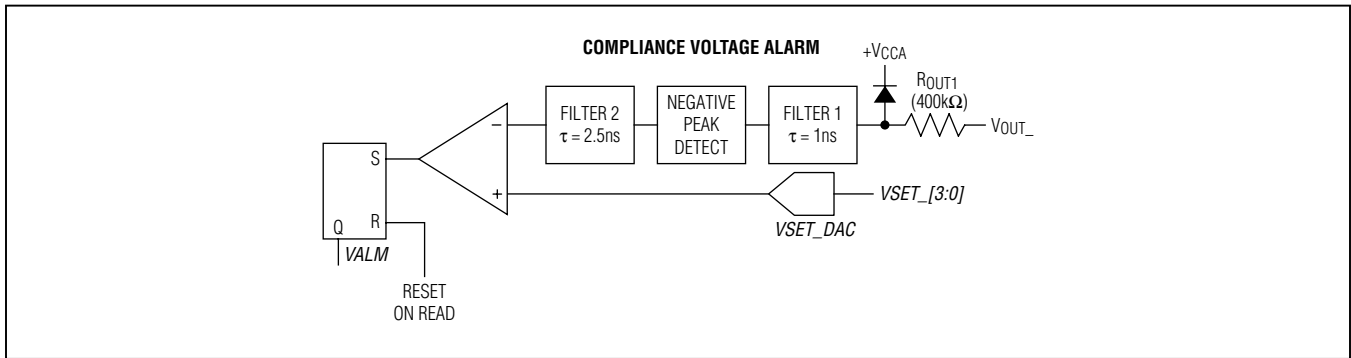


図12. 出力コンプライアンスセンサー

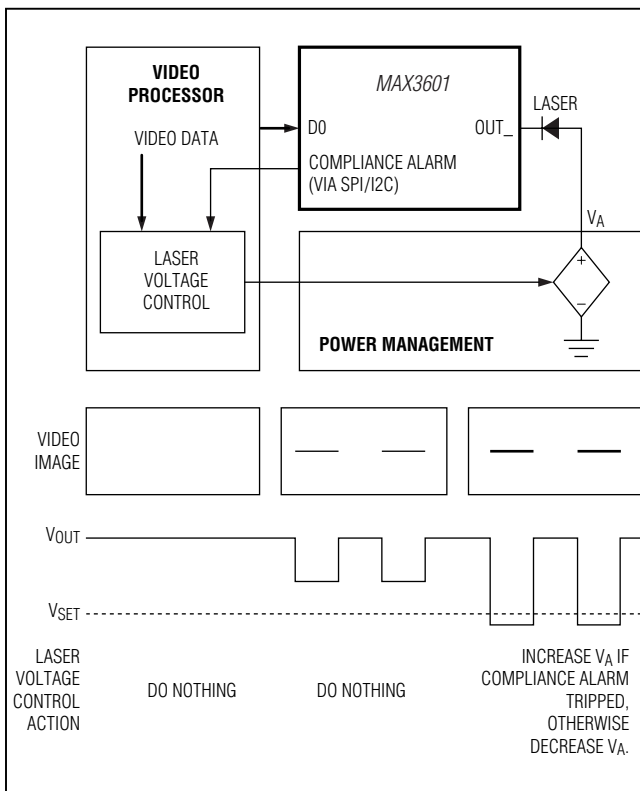


図13. コンプライアンスセンサーの使用例

パルスオフとパルスオフアシスト

パルス機能は、レーザを素早くオフに変動させます。「オフ」のレベルは、VSA_およびVSB_レジスタによって設定されます(表4、表5)。

PHM_レジスタ > 0に設定し、ENA_またはENB_をハイに設定することにより、パルスオフアシスト回路がイネーブルされます。さらに、MARKERがハイでどちらかの出力がイネーブルされているときにのみ回路はアクティブになります。低速レーザのターンオフ時間を改善するために、パルスオフイベント中、レーザ電圧は瞬間的に3.3Vに接続されます。パルスオフアシストは、パルスオフ中にOSA_およびOSB_レジスタにゼロが設定されている場合にのみ有効であることを注意してください。

コンプライアンス電圧センサー

出力電圧は、オーバーシュート、セトリング時間、およびリニアリティに影響します。コンプライアンスアラームは、設定されたスレッショルド(表6)より低い出力電圧を検出して、コンプライアンスアラーム(VALM_)ビットをセットします(図12)。アラームは、読み取った時点でクリアされます。コンプライアンスアラームを使用して、50nsの高輝度ピクセルを含むビデオデータが送信されたあとにレーザ電源を調整することができます(図13)。VALMビットは通常は起動時にセットされます。

表6. コンプライアンスアラームのセットポイント

VSET_[3:0]	TYPICAL COMPLIANCE VOLTAGE THRESHOLD (V)
0000*	0.40
0001	0.48
0010	0.56
	.
	.
1110	1.52
1111	1.60

*起動時のデフォルト

レーザドライバ、プロジェクト用

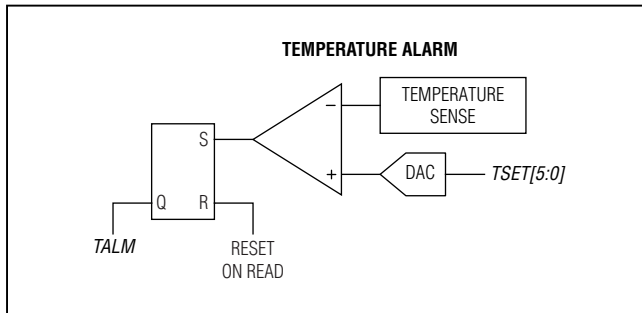


図14. 温度アラーム

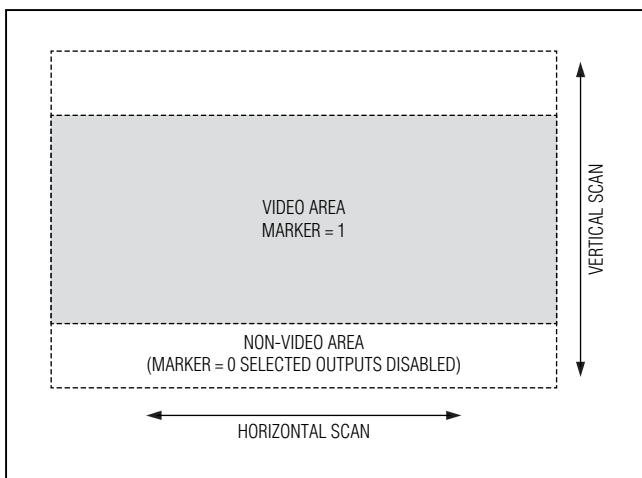


図15. ビデオマーカ

表7. ビデオデマルチプレクサ選択ロジック

MS[2:0]	PIXEL CLOCK SOURCE	VIDEO 1	VIDEO 2	VIDEO 3
000*	DCLK	A1	A2	A3
001	DCLK	B1	B1	B1
010	D8**	C1	C2	C3
011	D8**	C2	C2	C2
100	D8**	C2	C2	C3
101	D8**	C2	C3	C3
110	RESERVED			
111	RESERVED			

*起動時のデフォルト

**D8はDCLKによりゲートされます。

温度アラーム

温度アラームは、図14に示すように、ドライバ温度が設定可能なスレッシュホールドを超えたかどうかを通知します。アラームは、TALMレジスタが読み取られるとクリアされます。チップ温度がまだスレッシュホールドを上回っている場合、温度アラームは自ら即座に再アサートします。温度スレッシュホールドは、T_SETレジスタで設定します。温度アラームスレッシュホールドには、温度センサーのオフセットが含まれます。既知の温度でアラームを較正することにより、スレッシュホールドの精度が向上します。

たとえば、温度アラームを $T_J = +125^{\circ}\text{C}$ に設定する場合、 $T_A = +25^{\circ}\text{C}$ および出力をディセーブルした状態でTSETを上昇させてTALMを読み取ります。アラームがセットされるコードTSET₂₅が、 $T_J \approx +25^{\circ}\text{C}$ に相当します。TSET₁₂₅ \approx TSET₂₅ + 100°C/2.5°C/LSBです。

制御ロジック

制御ロジックは、ビデオの選択、レーザのイネーブル、および省電力を提供します。

ビデオの選択

ビデオデマルチプレクサA、B、およびCは、信号A1～A3、B1、およびC1～C3を生成します。MSビットは、VIDEO1、VIDEO2、およびVIDEO3の入力ソースビデオを選択します。

レーザの制御

EN_MAINがローのとき、すべてのドライバはオフです。この信号は非同期に機能します(出力のディセーブルにクロックは不要です)。

ビデオマーカ(MARKER)入力を使用して、ビデオ信号を受信していないときに選択されている出力をディセーブルすることができます(図15)。VE[1:3]ビットの設定によって、どの出力がMARKER信号に反応するかが決まります。

レーザドライバ、プロジェクト用

シリアルポートおよびレジスタ

MAX3601は、I²Cインタフェースおよび3線式SPIインタフェースを内蔵しています。通信モードは、起動時のCSの状態によって決定されます。CSがハイ(DVDDに接続)の場合は、I²Cモードが選択されます。起動時にCSがオープンまたはローの場合は、SPIモードが選択されます。

I²Cインタフェース

シリアルバスは、双方向のシリアルデータライン(SDA)と、シリアルクロック入力(SCL)で構成されます。マスターはクロック信号を生成します(図16)。

I²Cはオープンドレインのバスです。SDAおよびSCLにはプルアップ抵抗(500Ω以上)が必要です。入力の電圧クランプは、絶対最大電圧定格を超えない高電圧スパイクからデバイスを保護します。

データ転送

各SCLクロックサイクル内で1ビットのデータが転送されます。SDA上のデータは、SCLクロックパルスがハイの期

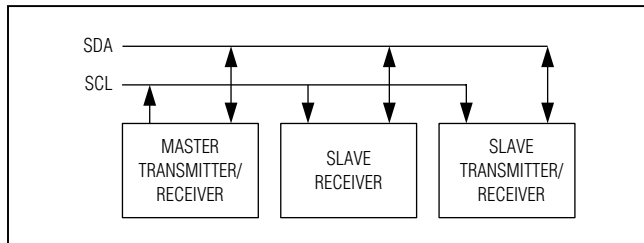


図16. I²Cのマスター/スレーブ構成

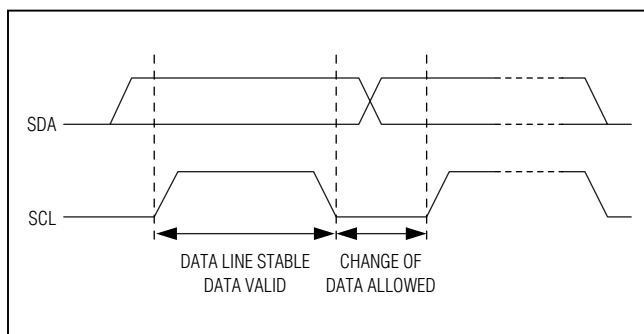


図17. I²Cのビット転送

間にわたって安定している必要があります(図17)。SCLがハイの間にSDAが変化した場合は、制御信号になります(詳細については「STARTおよびSTOP条件」の項を参照)。

各送信シーケンスは、START (S)条件とSTOP (P)条件によって区切られます。各データパケットは9ビット長で、8ビットのデータのあとにアクノリッジビットが続きます。

STARTおよびSTOP条件

シリアルインタフェースがアクティブでない場合、SDAおよびSCLはアイドル状態を示すハイになります。マスターデバイスは、START条件を発生させることによって通信を開始します。START条件とは、SCLがハイの状態でもSDAがハイからローに遷移することです。STOP条件とは、SCLがハイの状態でもSDAがローからハイに遷移することです(図18)。

マスターからのSTART条件によって転送の開始が通知されます。マスターは、非アクノリッジに続けてSTOP条件を発生させることによって転送を終了します(詳細については図19を参照)。STOP条件によってバスが解放されます。スレーブに対して一連のコマンドを発行する場合、バスの制御を維持するために、マスターはSTOPコマンドの代わりにRepeated START (Sr)コマンドを発生させることができます。一般に、Repeated STARTコマンドは通常のSTARTコマンドと機能的に同等です。

STOP条件または不正なアドレスが検出された場合、MAX3601は次のSTART条件まで内部でSCLをシリアルインタフェースから切り離し、デジタルノイズおよびフィードスルーを最小限に抑えます。

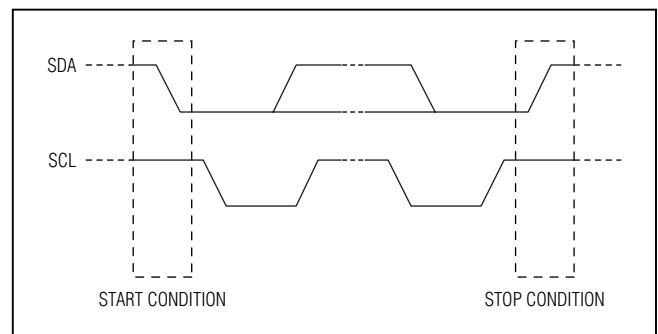


図18. I²CのSTARTおよびSTOP条件

レーザドライバ、プロジェクト用

アクノリッジ

マスターとMAX3601 (スレーブ)の両方が、データ受信時にアクノリッジビットを生成します。アクノリッジビットは、各9ビットのデータパケットの最後のビットです(図19)。アクノリッジ(A)を生成する場合は、アクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジより前に受信側デバイスがSDAをローに駆動して、そのクロックパルスがハイの間SDAをローに維持する必要があります。非アクノリッジ(NA)を生成する場合は、アクノリッジ関連のクロックパルスの立上りエッジより前に受信側デバイスはSDAがハイに駆動されるのを許容し、そのクロックパルスがハイの間SDAをハイのままにします。

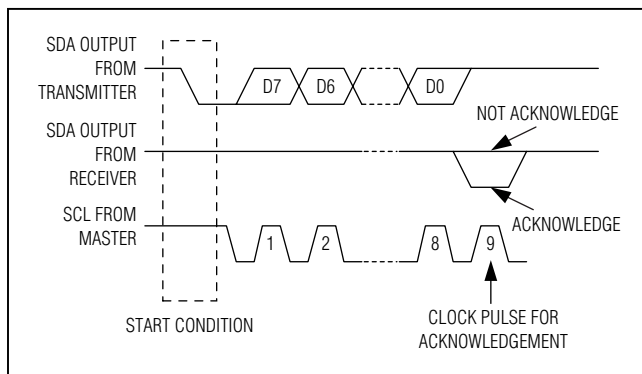


図19. I²Cのアクノリッジ

アクノリッジビットを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイスがビジーであるか、またはシステム障害の発生によって起こります。データ転送に失敗した場合、バスマスターはあとで通信を再試行してください。

スレーブアドレス

バスマスターは、START条件を発生させたあとにスレーブアドレスを送信することによって、スレーブデバイスとの通信を開始します。スレーブアドレスバイトは7ビットのアドレスビット(1110 001)と1ビットの読取り/書込みビット(R/W、書込み時は0/読取り時は1)で構成されます。適切なアドレスを受信したあと、MAX3601は9番目のクロックサイクルの間SDAをローに駆動することによってアクノリッジを送信します。MAX3601の書込みアドレスは0xE2です。MAX3601の読取りアドレスは0xE3です。

I²C通信プロトコル

以下のI²C通信プロトコルがMAX3601によってサポートされています。

- 1) 単一レジスタへの書込み
- 2) 連続するレジスタへの書込み
- 3) 単一レジスタからの読取り
- 4) 連続するレジスタからの読取り

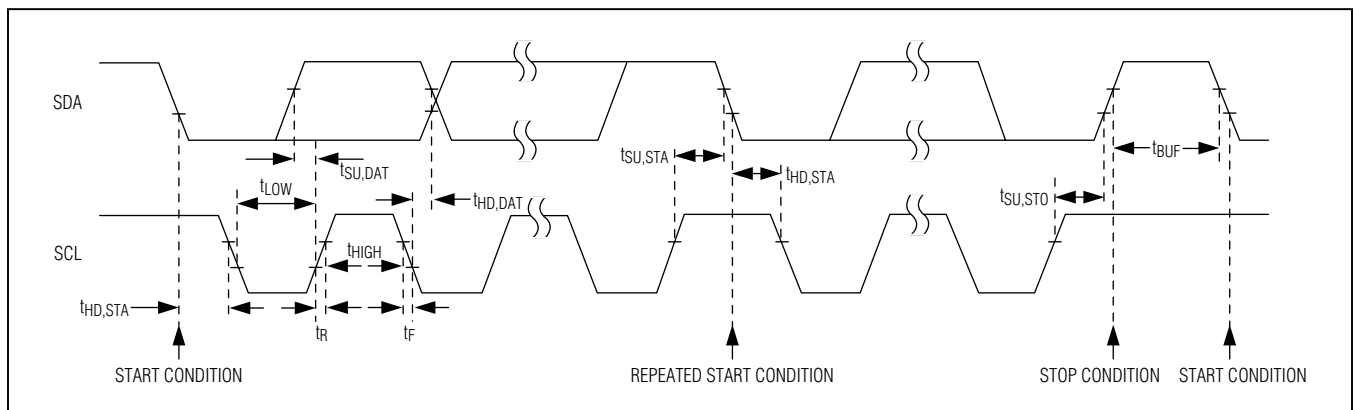


図20. I²Cのタイミング図

レーザドライバ、プロジェクト用

単一レジスタへの書き込み

図21は、I²CマスターデバイスがMAX3601に1バイトのデータを書き込むためのプロトコルを示しています。「バイト書き込み」プロトコルは、以下のとおりです。

- 1) マスターがSTARTコマンド(S)を送信する。
- 2) マスターが7ビットのスレーブアドレスとそれに続く書き込みビットを送信する。
- 3) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジ(A)をアサートする。
- 4) マスターが8ビットのレジスタポインタを送信する。
- 5) スレーブがレジスタポインタのアクノリッジを行う。
- 6) マスターがデータバイトを送信する。
- 7) スレーブが新しいデータで更新を行う。
- 8) スレーブがデータバイトのアクノリッジを行う。
- 9) マスターがSTOP条件を送信する。

連続するレジスタへの書き込み

図21は、I²CマスターデバイスがMAX3601にデータを連続して書き込むためのプロトコルを示しています。連続書き込みプロトコルは、以下のとおりです。

- 1) マスターがSTARTコマンド(S)を送信する。
- 2) マスターが7ビットのスレーブアドレスとそれに続く書き込みビットを送信する。
- 3) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジ(A)をアサートする。
- 4) マスターが8ビットのレジスタポインタを送信する。
- 5) スレーブがレジスタポインタのアクノリッジを行う。
- 6) マスターがデータバイトを送信する。
- 7) スレーブが新しいデータで更新を行う。
- 8) スレーブがデータバイトのアクノリッジを行う。
- 9) マスターが必要とする回数だけステップ6～8が繰り返される。
- 10) マスターがSTOP条件を送信する。

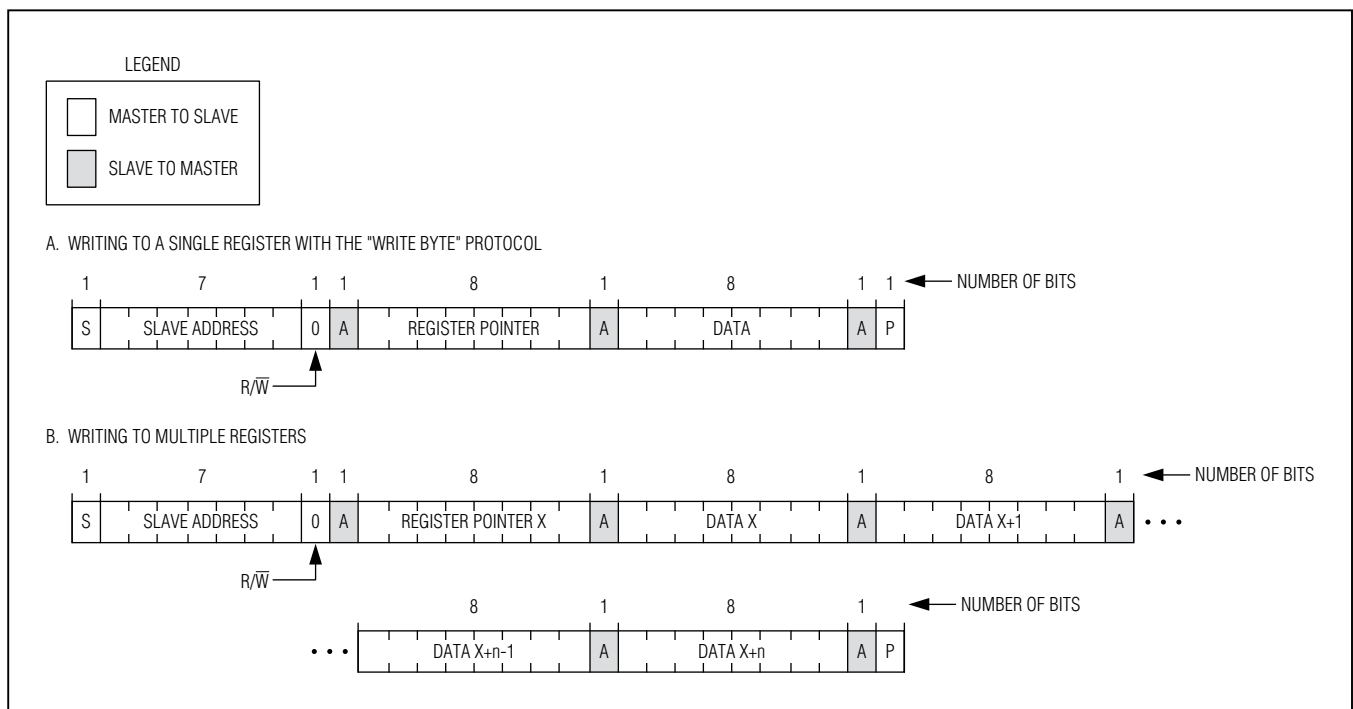


図21. I²Cの書き込み

レーザドライバ、プロジェクト用

単一レジスタからの読取り

図22は、I²CマスターデバイスがMAX3601から1バイトのデータを読み取るためのプロトコルを示しています。

「read byte」プロトコルは、以下のとおりです。

- 1) マスターがSTARTコマンド(S)を送信する。
- 2) マスターが7ビットのスレーブアドレスに続けて書き込みビットを送信する。
- 3) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジ(A)をアサートする。
- 4) マスターが8ビットのレジスタポインタを送信する。
- 5) スレーブがレジスタポインタのアクノリッジを行う。
- 6) マスターがRepeated STARTコマンド(Sr)を送信する。
- 7) マスターが7ビットのスレーブアドレスとそれに続く読取りビットを送信する。
- 8) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートする。
- 9) アドレス指定されたスレーブはレジスタポインタで指定された位置から8ビットのデータをバス上に出力する。
- 10) マスターは非アクノリッジ(NA)を送信する。
- 11) マスターはSTOP条件(P)を送信する。

手順(6)のSrは、STOP (P)とSTART (S)に置き換えることはできません。

連続するレジスタからの読取り

図22は、連続するレジスタからの読取りのためのプロトコルを示しています。このプロトコルは「バイト読取り」プロトコルと似ていますが、マスターがアクノリッジを送信して、より多くのデータが必要なことをスレーブに通知する点が異なります。必要なすべてのデータを取得すると、マスターは非アクノリッジ(NA)とSTOP (P)を送信して転送を終了します。「連続するレジスタからの連続読取り」プロトコルは、以下のとおりです。

- 1) マスターがSTARTコマンド(S)を送信する。
- 2) マスターが7ビットのスレーブアドレスとそれに続く書き込みビットを送信する。
- 3) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジ(A)をアサートする。
- 4) マスターが8ビットのレジスタポインタを送信する。
- 5) スレーブがレジスタポインタのアクノリッジを行う。
- 6) マスターがRepeated STARTコマンド(Sr)を送信する。
- 7) マスターが7ビットのスレーブアドレスとそれに続く読取りビットを送信する。
- 8) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートする。
- 9) アドレス指定されたスレーブはレジスタポインタで指定された位置から8ビットのデータをバス上に出力する。

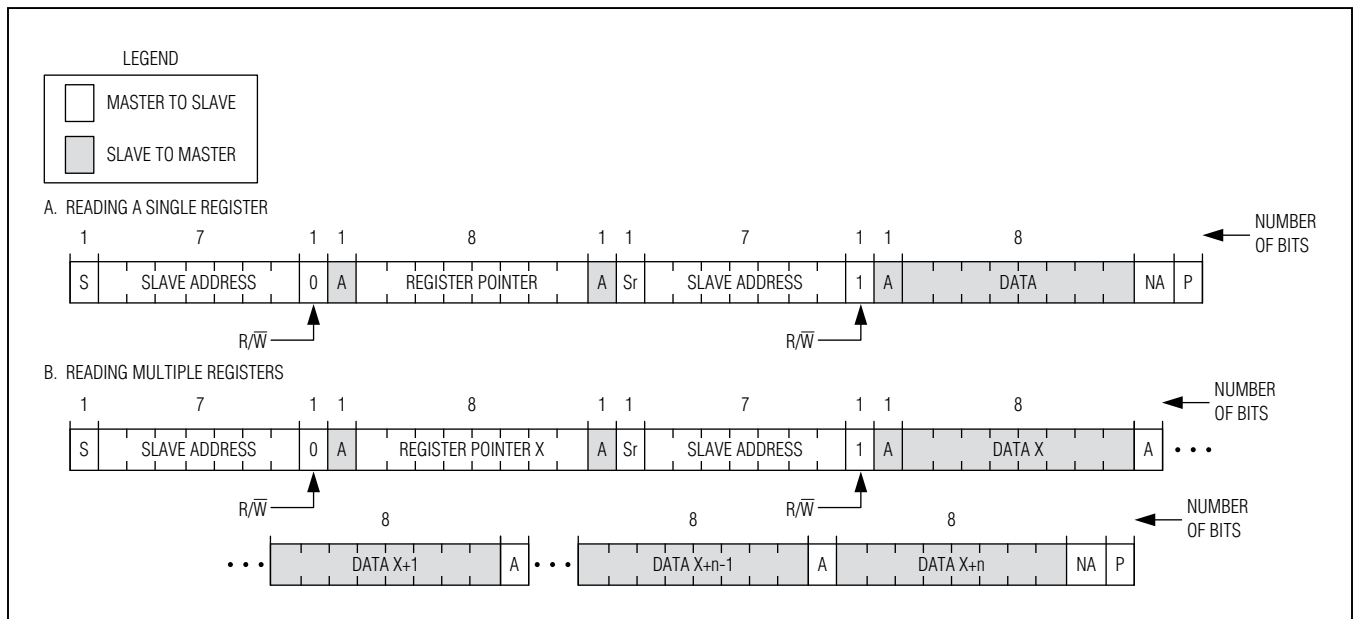


図22. I²Cの読取り

レーザドライバ、プロジェクト用

- 10) マスターはアクノリッジ(A)を送信して、より多くのデータを受信することをスレーブに通知する。
- 11) マスターが必要とする回数だけステップ9および10が繰り返される。最後の1バイトのデータのあと、マスターは非アクノリッジ(NA)を送信して、データの受信を終了することを通知する必要がある。
- 12) マスターはSTOP条件(P)を送信する。

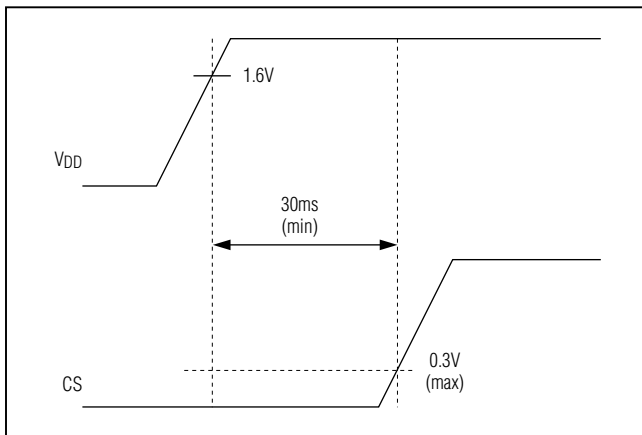


図23. SPIモードにするためのAVDD、DVDD、およびCSのタイミング

SPIインタフェース

SPIインタフェースを使用する場合は、[図23](#)に示す起動およびCSタイミングを使用してください。

3線式SPIを使用するデータの読み取り/書き込み

読み取り/書き込みの両方とも、最初にチップセレクト(CS)をハイに設定してください([図24](#))。クロックが開始したあと、最初のビット(データ読み取り/書き込み)を指定し、次にレジスタアドレスを指定し、そのあとにデータを指定してください。SPIインタフェースは、1バイトおよびバースト読み取り/書き込みをサポートしています。

読み取りおよび書き込みコマンドはMSBを最初に使用します。バースト読み取り/書き込み中、レジスタアドレスは自動インクリメントされます。自動インクリメントは循環式で、アドレス0x7Fの次はアドレス0x00になります。

データ書き込み時には、8ビット単位でデータを入力する必要があります。CSが0になる前に8ビットのデータが完成していない場合、そのデータは正常に書き込まれません([図25](#))。

データ読み取り時には、アドレスビットの受信後にDIOが入力から出力に変化します([図26](#))。衝突を防止するために、DIOを駆動しているマイクロコントローラのポートを入力に切り替えるか、またはオープンドレインロジックを使用してください。

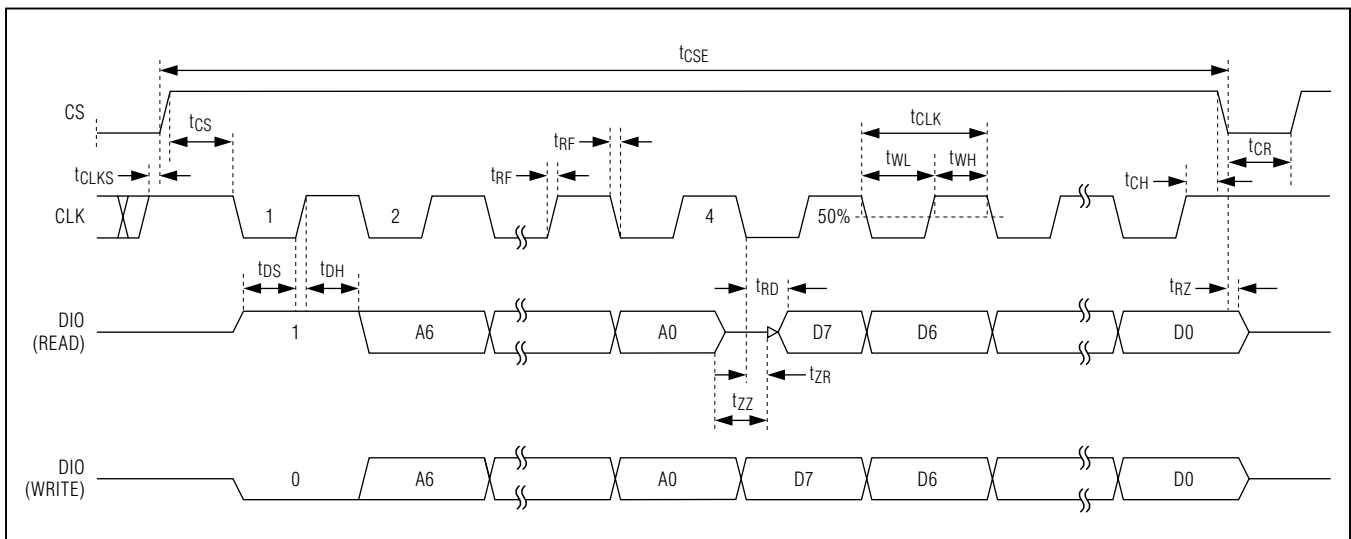


図24. SPIのタイミング

レーザドライバ、プロジェクト用

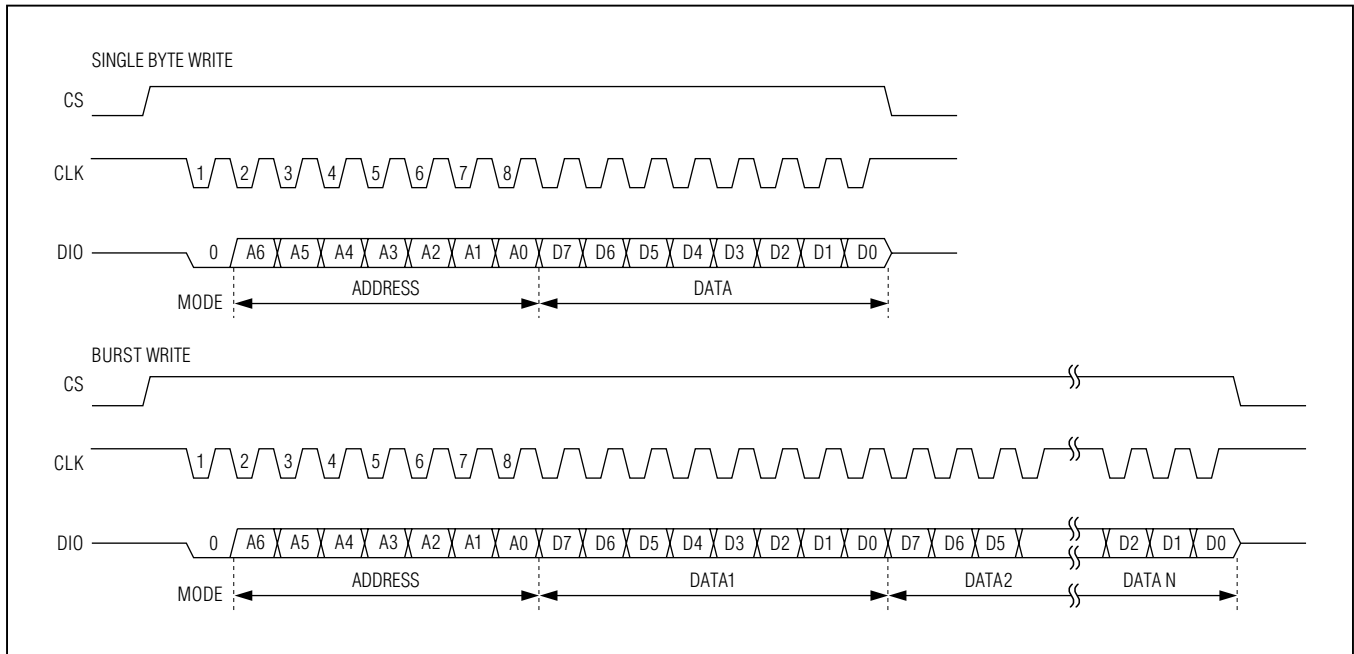


図25. SPIの書き込みタイミング

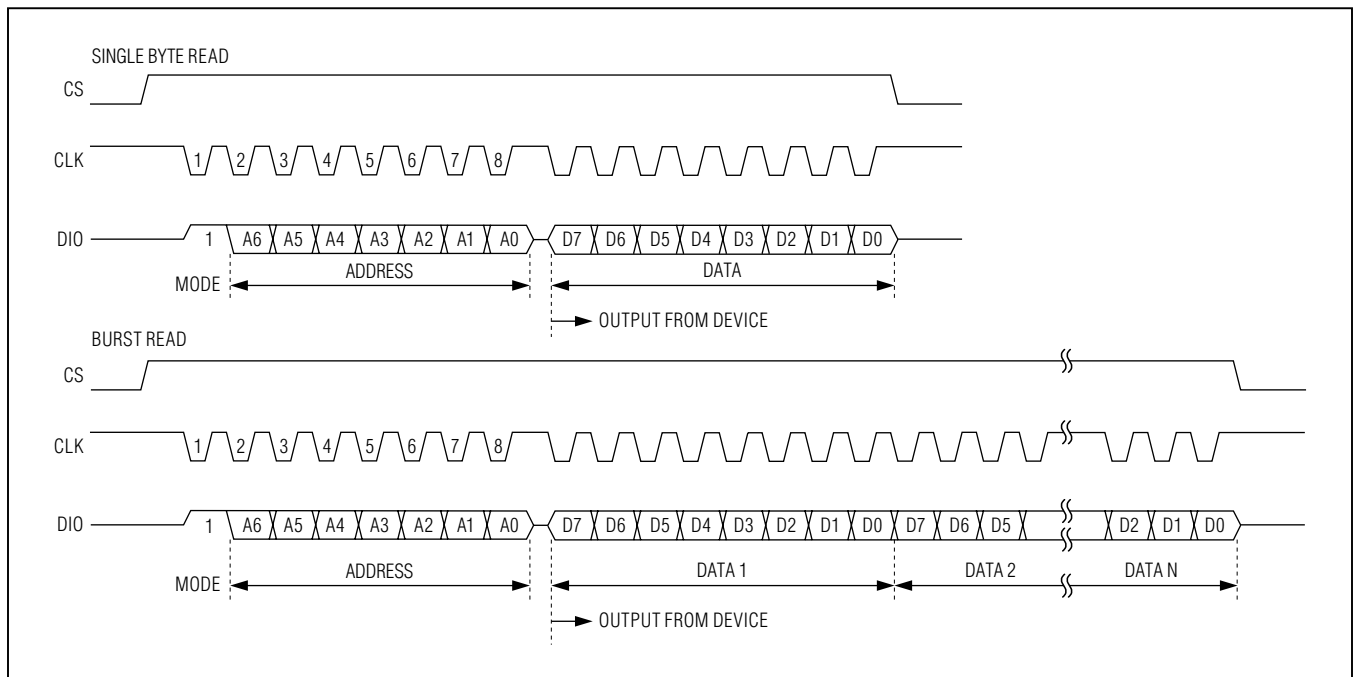


図26. SPIの読み取りタイミング

レーザドライバ、プロジェクト用

表8. レジスタ表

ADDRESS [hex]	NAME	DESCRIPTION	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	DEFAULT (hex)
0x00	DEVID	Device Identification	0 (MSB)	0	0	0	1	1	1	0	0x0E (READ ONLY)
0x01			0	0	0	1	0	0	0	1 (LSB)	0x11 (READ ONLY)
0x02	VER1	Version Identification 1	X	X	X	0	0	0	0	1	0x01
0x03	VER2	Version Identification 2	X	X	X	X	X	X	X	TG	0x0X (READ ONLY)
0x04	TSET	Temperature Setpoint	X	X	MSB					LSB	0x00
0x05	TALM	Temperature Alarm	X	X	X	X	X	X	X	AL	0x00 (READ ONLY)
0x06	VALM	Voltage Alarm	X	X	X	X	X	AL3	AL2	AL1	0x00 (READ ONLY)
0x07	OE	Output Enable	X	X	OEB3	OEA3	OEB2	OEA2	OEB1	OEA1	0x00
0x08	VE	Video Marker Enable	X	X	X	X	X	VE3	VE2	VE1	0x00
0x09	MS	Demux Mode Select	X	X	X	X	X	MSB		LSB	0x00
0x0A	—	RESERVED	X	X	X	X	X	X	X	X	0x00
0x0B	SP_EN	Subpixel Generator Enable	X	X	X	X	X	X	X	SP_EN	0x00
0x0C	SP	Subpixel Select	X	X	X	X	X	MSB		LSB	0x01
0x0D	SP_T	Subpixel Tuning	X	X	X	X	X	SP_T2	SP_T1	SP_T0	0x04
0x10	VSA1	OUT1 Video Select A	X	X	X	X	X	MSB		LSB	0x00
0x11	VSB1	OUT1 Video Select B	X	X	X	X	X	MSB		LSB	0x00
0x12	GA1	OUT1 DAC A Gain	MSB							LSB	0x00
0x13	GB1	OUT1 DAC B Gain	MSB							LSB	0x00
0x14	OSA1	OUT1 DAC A Offset	MSB							LSB	0x00

レーザドライバ、プロジェクト用

表8. レジスタ表(続き)

ADDRESS [hex]	NAME	DESCRIPTION	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	DEFAULT (hex)
0x15	OSB1	OUT1 DAC B Offset	MSB							LSB	0x00
0x16	POM1	OUT1 Pulse-Off	MSB								0x00
0x17		Assist Mask								LSB	0x00
0x18	PHM1	OUT1 Pulse-	MSB								0x00
0x19		Assist Mask								LSB	0x00
0x1A	PHS1	OUT1 Pulse-Assist strength	X	X	X	X	X	X	MSB	LSB	0x00
0x1B	VSET1	OUT1 Compliance Alarm	X	X	X	X	MSB			LSB	0x00
0x20	VSA2	OUT2 Video Select A	X	X	X	X	X	MSB		LSB	0x00
0x21	VS2	OUT2 Video Select B	X	X	X	X	X	MSB		LSB	0x00
0x22	GA2	OUT2 DAC A Gain	MSB							LSB	0x00
0x23	GB2	OUT2 DAC B Gain	MSB							LSB	0x00
0x24	OSA2	OUT2 DAC A Offset	MSB							LSB	0x00
0x25	OSB2	OUT2 DAC B Offset	MSB							LSB	0x00
0x26	POM2	OUT2 Pulse-Off	MSB								0x00
0x27		Mask								LSB	0x00
0x28	PHM2	OUT2 Pulse-	MSB								0x00
0x29	PHM2	Assist Mask								LSB	0x00
0x2A	PHS2	OUT2 Pulse-Assist Strength	X	X	X	X	X	X	MSB	LSB	0x00
0x2B	VSET2	OUT2 Compliance Alarm	X	X	X	X	MSB			LSB	0x00
0x30	VSA3	OUT2 Video Select A	X	X	X	X	X	MSB		LSB	0x00
0x31	VS3	OUT2 Video Select B	X	X	X	X	X	MSB		LSB	0x00
0x32	GA3	OUT2 DAC A Gain	MSB							LSB	0x00
0x33	GB3	OUT2 DAC B Gain	MSB							LSB	0x00

レーザドライバ、プロジェクト用

表8. レジスタ表(続き)

ADDRESS [hex]	NAME	DESCRIPTION	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	DEFAULT (hex)
0x34	OSA3	OUT2 DAC A Offset	MSB							LSB	0x00
0x35	OSB3	OUT2 DAC B Offset	MSB							LSB	0x00
0x36	POM3	OUT2 Pulse-Off Mask	MSB								0x00
0x37										LSB	0x00
0x38	PHM3	OUT2 Pulse-Assist Mask	MSB								0x00
0x39										LSB	0x00
0x3A	PHS3	OUT2 Pulse-Assist Strength	X	X	X	X	X	X	MSB	LSB	0x00
0x3B	VSET3	OUT2 Compliance Alarm	X	X	X	X	MSB			LSB	0x00
0x40	DG1	Diagnostic 1	X	X	X	X	MSB				0x00 (READ ONLY)
0x41										LSB	0x00 (READ ONLY)
0x42	DG2	Diagnostic 2	X	X	X	X	PORB	DCLK	MARKER	EN-MAIN	0x00 (READ ONLY)
0x43	DG3	Diagnostic 3	PH3_EN	PH2_EN	PH1_EN	CMPS3_EN	CMPS2_EN	CMPS1_EN	TS_EN	BIAS_EN	0x00 (READ ONLY)
0x44	RST	Soft Reset	X	X	X	X	X	X	X	RST	0x00
0x45	—	RESERVED	X	X	X	X	X	X	X	X	0x00
0x46	—	RESERVED	X	X	X	X	X	X	X	X	0x00
0x47	POC1	Pulse-Off Config 1	X	X	X	MSB				LSB	0x00
0x48	POC2	Pulse-Off Config 2	X	X	X	MSB				LSB	0x00
0x49	POC3	Pulse-Off Config 3	X	X	X	MSB				LSB	0x00

レーザドライバ、プロジェクト用

パワーオンリセット

パワーオンリセットは、回路の電源電圧を監視します。 $V_{A1} \sim V_{A3}$ を印加する前にAVCC/DVCCおよびAVDD/DVDDを印加することを推奨します。パワーダウン時には、AVCC/DVCCおよびAVDD/DVDDの前に $V_{A1} \sim V_{A3}$ をパワーダウンすることを推奨します。これらの推奨シーケンスに従わない場合、デバイスに負担がかかる可能性があります。直ちに損傷を引き起こした事例はありません。

- パルスオフアシスト機能は、ドライバ出力をAVCC (+3.3V)に接続します。逆電圧によるレーザの損傷を防ぐために、パルスオフアシスト機能は $V_A > AVCC$ となったあとにのみイネーブルしてください。パルスオフアシスト機能は起動時にはデフォルトでディセーブルされます(信号PH_EN_がロー)。

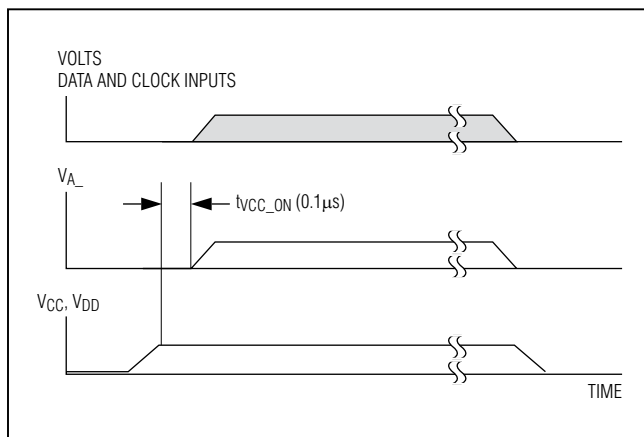


図27. 電源シーケンシング

設計手順

レーザの選択

図28は、ドライバ出力とレーザのモデルを示しています。表9に、さまざまな色の標準的レーザに対する部品の値のリストを示します。

電源フィルタ

素子 C_F (「標準動作回路」を参照)は、電源ノイズを低減し、スイッチ電流のグラウンドリターン経路を提供するためのものです。 C_F は、並列に接続した2つまたは3つのコンデンサの組み合わせで構成することができます。ESD保護回路に損傷を与える可能性があるため、起動時を含めて、どの時点でも V_A が7.5Vを超えないことを確保するように注意してください。

表9. 標準的なレーザダイオードのパラメータ

PARAMETER	RED	GREEN	BLUE	UNITS
V_F	1.9	2.3	2.5	V
V_{D1} at 10mA	0.4	1.5	1	V
R_1	4	9	20	Ω
C_1	50	50	50	pF
L_1	4	4	4	nH
Z_0	20	20	20	Ω
Length	1.5	1.5	1.5	cm
R_{LK}	5	5	5	M Ω
I_{PEAK} (Continuous)	300	250	125	mA
V_F at I_{PEAK}	3.8	8.2	6	V

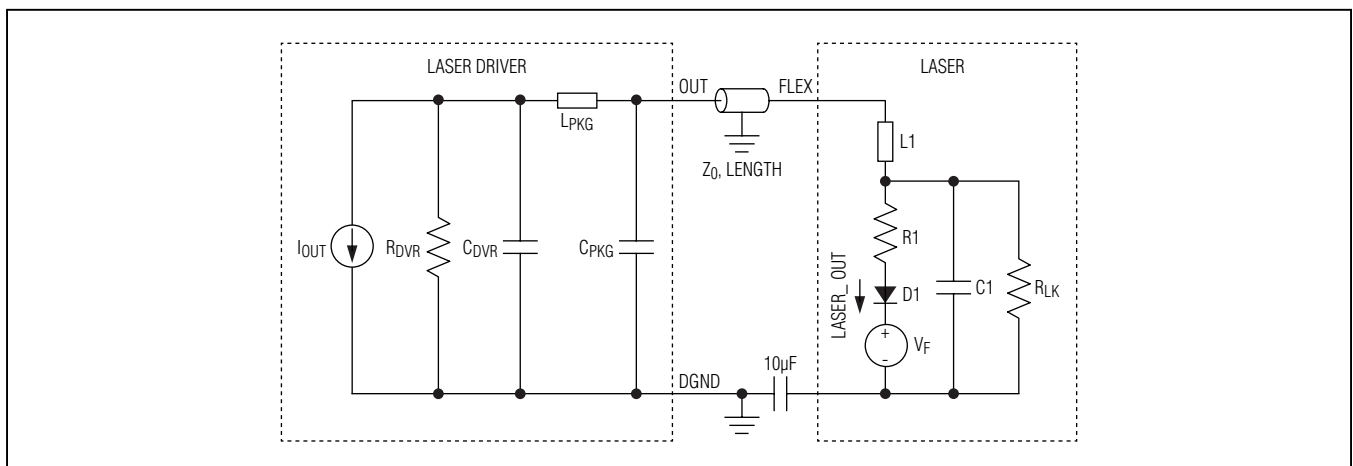


図28. レーザとパッケージのモデル

レーザドライバ、プロジェクト用

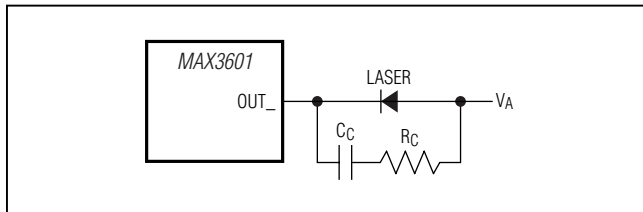


図29. オプションの補償部品

補償回路

オプションの補償素子 R_C および C_C を使用して、レーザの誘導性負荷を補償することができます(図29)。これらが形成するフィルタによって、リングングが低減し、レーザドライバのスイッチング時間が増大します。 R_C および C_C に最適な値は個々のアプリケーションで異なるため、これらの値は実験によって見つけてください。レーザから光出力が現れる前に C_C が充電される必要があることに注意してください。補償回路を使用する場合は、グラウンドリターンインダクタンスを最小限に抑えてください。標準的な最初の値は、次のとおりです。

$$R_C \approx R_L \sim 2 \times R_L \quad (R_L = \text{レーザの抵抗})$$

$$C_C \approx 1/(2\pi f_{\text{VIDEO}} \times R_L)$$

PCBレイアウト

レーザはできる限りレーザドライバの近くに配置してください。レーザの接続は、ローインピーダンスの送信ラインに見えるようにしてください。容量を最大化するために、太いトレースを使用してグラウンドプレーンの近くに配置してください。OUT_からレーザへの接続は、できる限り短くしてください(理想的には15mm以下)。

レーザの電源(V_A)について考慮してください。これらの電源に電圧降下が発生すると、コンプライアンス電圧が低下します。2つまたは3つのコンデンサを使用して、 V_A をグラウンドに接続してください。グラウンドリターンループを小さく維持するために、できる限りレーザの近くに小さいコンデンサを配置してください。 V_A から遠い位置には、より大きいコンデンサを配置することができます。レーザをPCBにはんだ付けするのが最善です。コネクタが必要な場合は、インダクタンスを最小限に抑えてください。OUT_でのインダクタンスが1nH以上の場合、大きいリングングの原因となる可能性があります。

レーザドライバの熱について

この回路は、動作接合部温度(T_J)が最大+125°Cまでの範囲で仕様に適合するように設計されています。Temperature

レジスタを監視し、レーザ電流を調整してオーバーヒートを防ぐように制御側システムを設計する必要があります。接合部温度は、次式によって概算されます。

$$T_J \approx [(I_{VDD})(V_{VDD}) + (I_{VCC})(V_{VCC}) + \Sigma(I_{VA})(V_A - V_{D-})] \theta_{JA} + T_A$$

ここで、

I_{VA} はレーザダイオード電流です。

V_A はレーザ電源電圧です。

V_{D-} はレーザダイオード両端での電圧降下です。

θ_{JA} は接合部-周囲間の熱抵抗です。

T_A は周囲温度です。

パッケージ裏面のエクスポズドパッド(EP)を介した放熱経路を推奨します。パッケージ上面にヒートシンクを実装しても、接合部温度は大幅には低下しません。PCB設計の推奨事項は、アプリケーションノート862:「HFAN-08.1: Thermal Considerations of QFN and Other Exposed-Paddle Packages」に記載されています。

アプリケーション情報

複数の出力の接続

出力を相互に接続して、より大きい出力電流を実現することが可能です。

アイセーフティ

IEC 825の仕様で、光デバイスの最大安全出力が定義されています。このレーザドライバは、IEC 825への準拠に役立つ機能を備えています。このレーザドライバを使用することのみでは、製品がIEC 825に準拠することは確保されません。トランスミッタの回路全体および部品の選択について考慮する必要があります。Maxim製品は、Maxim製品の故障によって負傷者が発生する状況が生じる可能性のあるシステム内の部品として使用することを目的には設計されていません。

ウェハレベルパッケージ(WLP)のアプリケーション情報

WLPの構造、外形寸法、テープキャリア情報、PCB技術、バンパッドレイアウト、および推奨リフロー温度プロファイルに関する最新のアプリケーションの詳細、ならびに信頼性試験結果に関する最新情報については、アプリケーションノート1891「ウェハレベルパッケージ(WLP)とその応用」を参照してください。

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x00	D[7:0]	DEVID1	XXXXXXXX	Device ID MSBs (0x0E)	00001110 (Read only)
0x01	D[7:0]	DEVID2	XXXXXXXX	Device ID LSBs (0x11)	00010001 (Read only)
0x02	D[7:5]	—	000	Reserved	000 (Read only)
	D[4:0]	VER1	00001	Version Identification 1 (0x01)	00001 (Read only)
0x03	D[7:1]	—	00000XX	Reserved	00000XX (Read only)
	D0	TG	0	Commercial temperature grade (0°C to 70°C)	X (Read only)
			1	Automotive temperature grade (-40°C to +105°C)	
0x04	D[7:6]	—	00	Reserved	00
	D[5:0]	TSET	XXXXXX	Temperature alarm setpoint	000000
0x05	D[7:1]	—	0000000	Reserved	0000000 (Read only)
	D0	TALM	0	No temperature alarm	0 (Read only)
			1	Temperature alarm exceeded (Bit clears when read)	
0x06	D[7:3]	—	00000	Reserved	00000 (Read only)
	D2	AL3	0	OUT3 compliance voltage normal	0 (Read only)
			1	OUT3 low compliance voltage alarm (Cleared when read)	
	D1	AL2	0	OUT2 compliance voltage normal	0 (Read only)
			1	OUT2 low compliance voltage alarm (Cleared when read)	
	D0	AL1	0	OUT1 compliance voltage normal	0 (Read only)
			1	OUT1 low compliance voltage alarm (Cleared when read)	

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x07	D[7:6]	—	00	Reserved	00
	D5	OEB3	0	Output 3 DAC B disabled	0
			1	Output 3 DAC B enabled	
	D4	OEA3	0	Output 3 DAC A disabled	0
			1	Output 3 DAC A enabled	
	D3	OEB2	0	Output 2 DAC B disabled	0
			1	Output 2 DAC B enabled	
	D2	OEA2	0	Output 2 DAC A disabled	0
			1	Output 2 DAC A enabled	
	D1	OEB1	0	Output 1 DAC B disabled	0
			1	Output 1 DAC B enabled	
	D0	OEA1	0	Output 1 DAC A disabled	0
			1	Output 1 DAC A enabled	
0x08	D[7:3]	—	00000	Reserved	00000
	D2	VE3	0	MARKER input does not affect OUT3	0
			1	OUT3 disabled when MARKER is high	
	D1	VE2	0	MARKER input does not affect OUT2	0
			1	OUT2 disabled when MARKER is high	
	D0	VE1	0	MARKER input does not affect OUT1	0
			1	OUT1 disabled when MARKER is high	
0x09	D[7:3]	—	00000	Reserved	00000
	D[3:0]	MS	000	Video demux mode select (see Table 7) Select Demux A (Power-on default)	000
			001	Select Demux B	
			010	Select Demux C (C1, C2, C3)	
			011	Select Demux C (C2, C2, C2)	
			100	Select Demux C (C2, C2, C3)	
			101	Select Demux C (C2, C3, C3)	
			11X	Do not use	
0x0A	D[7:0]	—	00000000	Reserved	00000000
0x0B	D[7:6]	—	0000000	Reserved	0000000
	D0	SP_EN	0	Disable subpixel generator	0
			1	Enable subpixel generator	
0x0C	D[7:3]	—	00000	Reserved	00000
	D[2:0]	SP	XXX	Subpixel Programming See Table 3	001

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x0D	D[7:3]	—	00000	Reserved	00000
	D2	SP_T2	X	Subpixel tuning. Do not change from default	1
	D1	SP_T1	X	Do not change from default	0
	D0	SP_T0	X	Do not change from default	0
0x10	D[7:3]	—	00000	Reserved	00000
	D[2:0]	VSA1	000	OUT1 DACA video select (see Table 4) Video output with zero output pulse-off (Power-on default)	000
			001	Video output with offset output pulse-off	
			010	Offset output with zero output pulse-off	
			011	Offset output	
			100	Offset output (if video data is present) with zero output pulse-off	
			101	Zero output	
			11X	Zero output	
0x11	D[7:3]	—	00000	Reserved	00000
	D[2:0]	VSB1	000	OUT1 DACB video select (see Table 5) Video output with zero output pulse-off (Power-on default)	000
			001	Video output with offset output pulse-off	
			010	Offset output with zero output pulse-off	
			011	Offset output	
			100	Offset output (if video data is present) with zero output pulse-off	
			101	Zero output	
			11X	Zero output	
0x12	D[7:0]	GA1	XXXXXXXX	OUT1 DAC A gain setting	00000000
0x13	D[7:0]	GB1	XXXXXXXX	OUT1 DAC B gain setting	00000000
0x14	D[7:0]	OSA1	XXXXXXXX	OUT1 DAC A offset setting	00000000
0x15	D[7:0]	OSB1	XXXXXXXX	OUT1 DAC B offset setting	00000000
0x16	D[7:0]	POM1	XXXXXXXX	OUT1 Pulse-off mask MSBs (see Figure 9)	00000000
0x17	D[7:0]		XXXXXXXX	OUT1 Pulse-off mask LSBs	00000000
0x18	D[7:0]	PHM1	XXXXXXXX	OUT1 Pulse-Assist mask MSBs (see Figure 9)	00000000
0x19	D[7:0]		XXXXXXXX	OUT1 Pulse-off mask LSBs	00000000

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x1A	D[7:2]	—	000000	Reserved	000000
	D[1:0]	PHS1	00	OUT1 pulse-off Assist uses 64Ω resistance (Power-on default)	00
			01	32Ω pulse-off Assist resistance	
			10	16Ω pulse-off Assist resistance	
			11	8Ω pulse-off Assist resistance	
0x1B	D[7:4]	—	0000	Reserved	0000
	D[3:0]	VSET1	XXXX	OUT1 compliance alarm setpoint (see Table 6)	0000
0x20	D[7:3]	—	00000	Reserved	00000
	D[2:0]	VSA2	000	OUT2 DACA video select (see Table 4) Video output with zero output pulse-off (Power-on default)	000
			001	Video output with offset output pulse-off	
			010	Offset output with zero output pulse-off	
			011	Offset output	
			100	Offset output (if video data is present) with zero output pulse-off	
			101	Zero output	
			11X	Zero output	
0x21	D[7:3]	—	00000	Reserved	00000
	D[2:0]	VSB2	000	OUT2 DACB video select (see Table 5) Video output with zero output pulse-off (Power-on default)	000
			001	Video output with offset output pulse-off	
			010	Offset output with zero output pulse-off	
			011	Offset output	
			100	Offset output (if video data is present) with zero output pulse-off	
			101	Zero output	
			11X	Zero output	
0x22	D[7:0]	GA2	XXXXXXXX	OUT2 DAC A gain setting	00000000
0x23	D[7:0]	GB2	XXXXXXXX	OUT2 DAC B gain setting	00000000
0x24	D[7:0]	OSA2	XXXXXXXX	OUT2 DAC A offset setting	00000000
0x25	D[7:0]	OSB2	XXXXXXXX	OUT2 DAC B offset setting	00000000
0x26	D[7:0]	POM2	XXXXXXXX	OUT2 pulse-off mask MSBs (see Figure 9)	00000000
0x27	D[7:0]		XXXXXXXX	OUT2 pulse-off mask LSBs	00000000

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x28	D[7:0]	PHM2	XXXXXXXX	OUT2 pulse-Assist mask MSBs (see Figure 9)	00000000
0x29	D[7:0]		XXXXXXXX	OUT2 pulse-off mask LSBs	00000000
0x2A	D[7:2]	—	000000	Reserved	000000
	D[1:0]	PHS2	00	OUT2 pulse off Assist uses 64Ω resistance (Power-on default)	00
			01	32Ω pulse-off Assist resistance	
			10	16Ω pulse-off Assist resistance	
			11	8Ω pulse-off Assist resistance	
0x2B	D[7:4]	—	0000	Reserved	0000
	D[3:0]	VSET2	XXXX	OUT2 compliance alarm setpoint (see Table 6)	0000
0x30	D[7:3]	—	00000	Reserved	00000
	D[2:0]	VSA3	000	OUT3 DACA video select (see Table 4) Video output with zero output pulse-off (Power-on default)	000
			001	Video output with offset output pulse-off	
			010	Offset output with zero output pulse-off	
			011	Offset output	
			100	Offset output (if video data is present) with zero output pulse-off	
			101	Zero output	
			11X	Zero output	
0x31	D[7:3]	—	00000	Reserved	00000
	D[2:0]	VSB3	000	OUT3 DACB video select (see Table 5) Video output with zero output pulse-off (Power-on default)	000
			001	Video output with offset output pulse-off	
			010	Offset output with zero output pulse-off	
			011	Offset output	
			100	Offset output (if video data is present) with zero output pulse-off	
			101	Zero output	
			11X	Zero output	
0x32	D[7:0]	GA3	XXXXXXXX	OUT3 DAC A gain setting	00000000
0x33	D[7:0]	GB3	XXXXXXXX	OUT3 DAC B gain setting	00000000
0x34	D[7:0]	OSA3	XXXXXXXX	OUT3 DAC A offset setting	00000000
0x35	D[7:0]	OSB3	XXXXXXXX	OUT3 DAC B offset setting	00000000

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x36	D[7:0]	POM3	XXXXXXXX	OUT3 pulse-off mask MSBs (see Figure 9)	00000000
0x37	D[7:0]		XXXXXXXX	OUT3 pulse-off mask LSBs	00000000
0x38	D[7:0]	PHM3	XXXXXXXX	OUT3 pulse-Assist mask MSBs (see Figure 9)	00000000
0x39	D[7:0]		XXXXXXXX	OUT3 pulse-off mask LSBs	00000000
0x3A	D[7:2]	—	000000	Reserved	000000
	D[1:0]	PHS3	00	OUT3 pulse off Assist uses 64 Ω resistance (Power-on default)	00
			01	32 Ω pulse-off Assist resistance	
			10	16 Ω pulse-off Assist resistance	
			11	8 Ω pulse-off Assist resistance	
0x3B	D[7:4]	—	0000	Reserved	0000
	D[3:0]	VSET3	XXXX	OUT3 compliance alarm setpoint (see Table 6)	0000
0x40	D[7:4]	—	0000	Reserved	0000 (Read only)
	D[3:0]	DG1	XXXX	Diagnostic Register 1. Mirrors digital video input MSBs (D[11:8])	0000 (Read only)
0x41	D[7:0]	DG2	XXXXXXXX	Diagnostic Register 2. Mirrors digital video input LSBs (D[7:0])	00000000 (Read only)
0x42	D[7:4]	—	0000	Reserved	0000 (Read only)
	D3	PORB	0	Device in power-on-reset condition	0 (Read only)
			1	Normal Operation	
	D2	DCLK	X	Mirrors digital video input clock	0 (Read only)
	D1	MARKER	X	Mirrors MARKER input	0 (Read only)
	D0	EN_MAIN	X	Mirrors EN_MAIN input	0 (Read only)

レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x43	D7	PH3_EN	0	OUT3 pulse-Assist disabled	0 (Read only)
			1	OUT3 pulse-Assist enabled	
	D6	PH2_EN	0	OUT2 pulse-Assist disabled	0 (Read only)
			1	OUT2 pulse-Assist enabled	
	D5	PH1_EN	0	OUT1 pulse-Assist disabled	0 (Read only)
			1	OUT1 pulse-Assist enabled	
	D4	CMPS3	0	OUT3 compliance sensor disabled	0 (Read only)
			1	OUT3 compliance sensor enabled	
	D3	CMPS2	0	OUT2 compliance sensor disabled	0 (Read only)
			1	OUT2 compliance sensor enabled	
	D2	CMPS1	0	OUT1 compliance sensor disabled	0 (Read only)
			1	OUT1 compliance sensor enabled	
	D1	TS_EN	0	Temperature sensor disabled	0 (Read only)
			1	Temperature sensor enabled	
	D0	BIAS_EN	0	Master bias voltage generator disabled	0 (Read only)
			1	Master bias voltage generator enabled	
0x44	D[7:1]	—	0000000	Reserved	0000000
	D0	RST	0	Normal operation	0
			1	Reset the device. bit always reads as a zero	
0x45	D[7:0]	—	00000000	Reserved	00000000
0x46	D[7:0]	—	00000000	Reserved	00000000
0x47	D[7:5]	—	000	Reserved	000
	D4	POC1[4]	0	OUT1 random pulse-off events synchronized to other outputs with POC_[4] = '0'	0
			1	OUT1 random pulse-off events are unsynchronized (Table 3)	
	D3	POC1[3]	0	OUT1 pulse-off events are random	0
			1	OUT1 pulse-off events occur every other pixel (Table 2)	
	D[2:0]	POC1[2:0]	XXX	OUT1 pulse-off duty cycle configuration (Table 2)	0

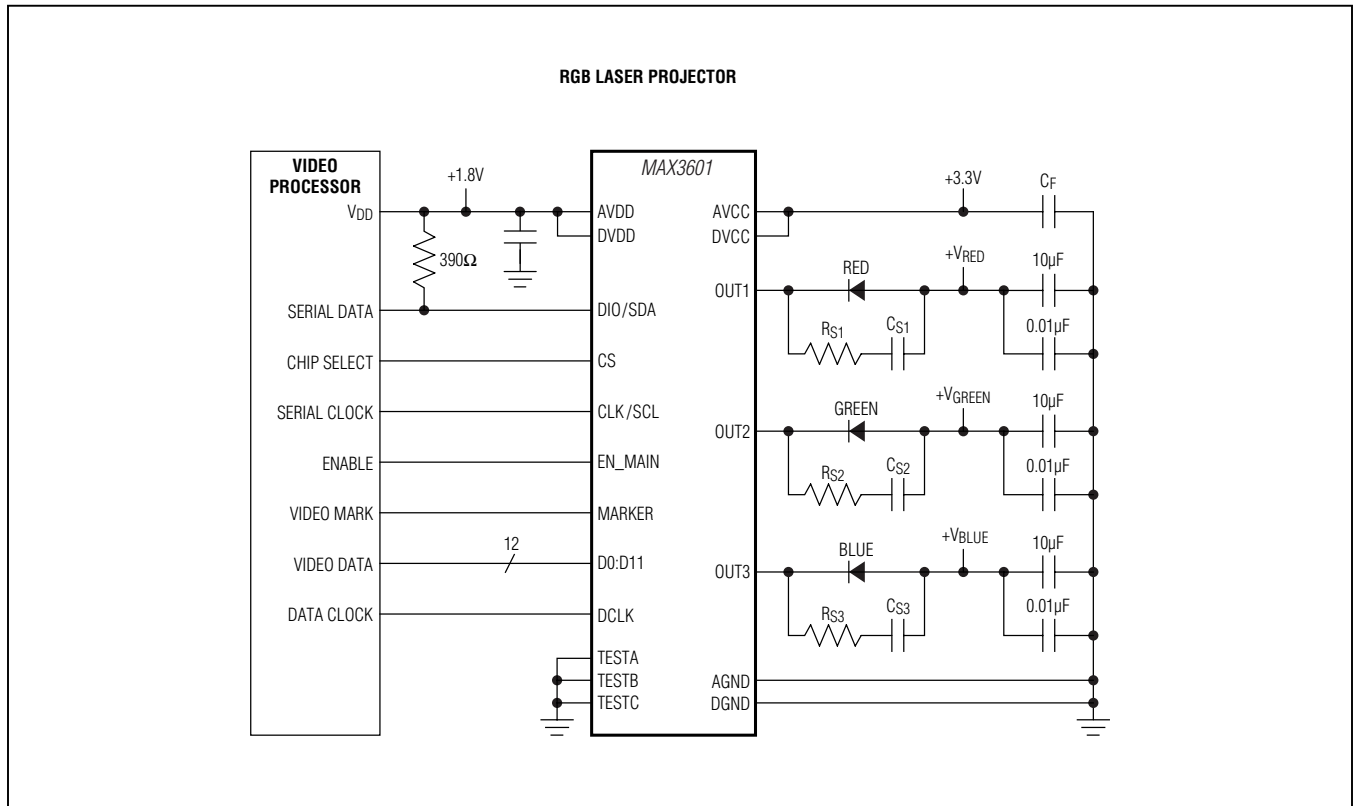
レーザドライバ、プロジェクト用

表10. 詳細レジスタ表(表8を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x48	D[7:5]	—	000	Reserved	000
	D4	POC1[4]	0	OUT2 random pulse-off events synchronized to other outputs with POC_[4] = '0'	0
			1	OUT2 random pulse-off events are unsynchronized (Table 3)	
	D3	POC1[3]	0	OUT2 pulse-off events are random	0
			1	OUT2 pulse-off events occur every other pixel (Table 2)	
	D[2:0]	POC1[2:0]	XXX	OUT2 pulse-off duty cycle configuration (Table 2)	0
0x49	D[7:5]	—	000	Reserved	000
	D4	POC1[4]	0	OUT3 random pulse-off events synchronized to other outputs with POC_[4] = '0'	0
			1	OUT3 random pulse-off events are unsynchronized (Table 3)	
	D3	POC1[3]	0	OUT3 pulse-off events are random	0
			1	OUT3 pulse-off events occur every other pixel (Table 2)	
	D[2:0]	POC1[2:0]	XXX	OUT3 pulse-off duty cycle configuration (Table 2)	0

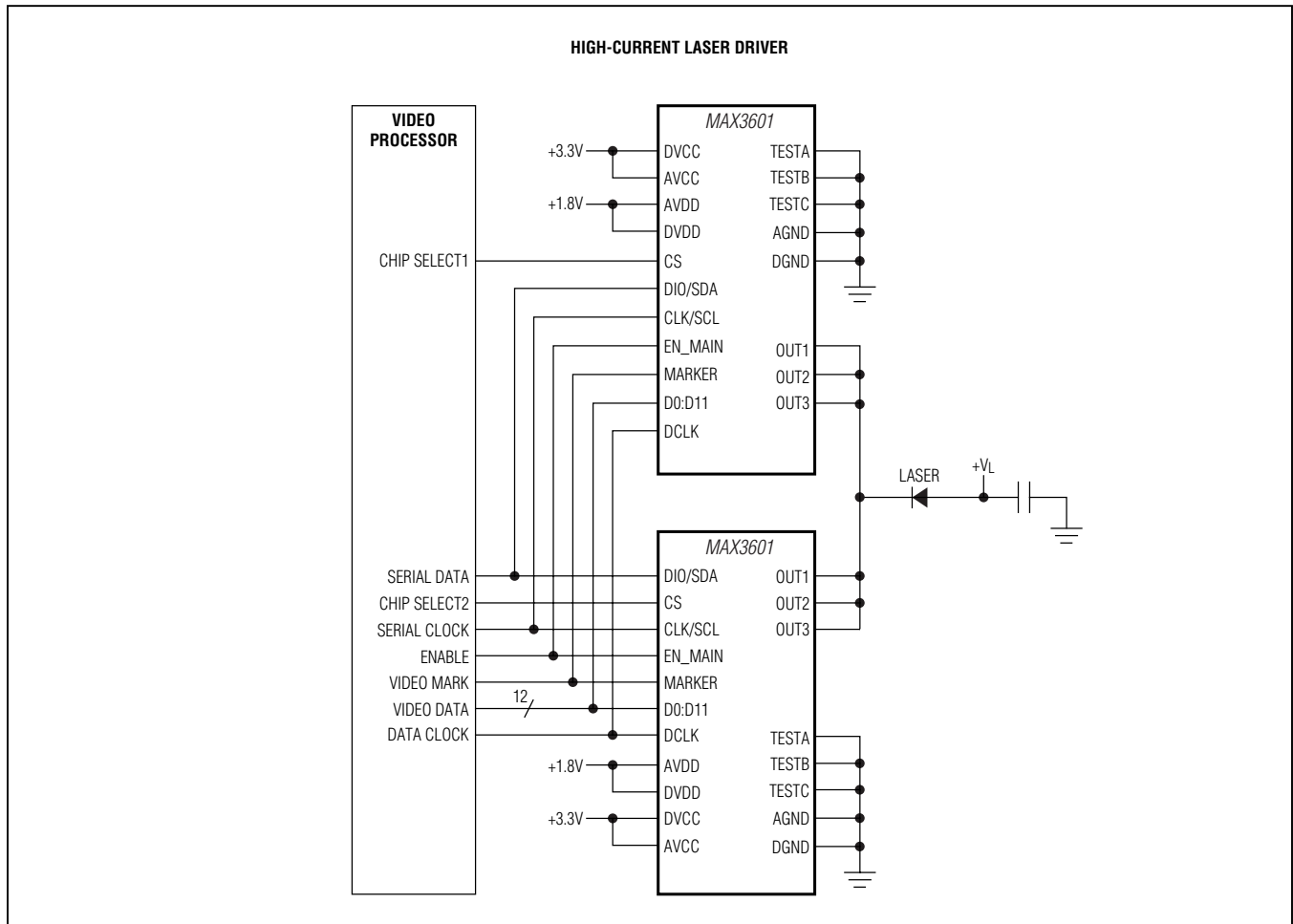
レーザドライバ、プロジェクタ用

標準動作回路



レーザドライバ、プロジェクト用

標準動作回路(続き)



型番

PART	TEMP RANGE	PIN-PACKAGE
MAX3601GTL+	-40°C to +105°C	40 TQFN-EP*
MAX3601CWO+	0°C to +70°C	42 WLP

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスPOSEドパッド

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maximintegrated.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	外形図 No.	ランド パターンNo.
40 TQFN-EP	T4055N+1	21-0140	90-0103
42 WLP	W423E3+1	21-0440	アプリケーション ノート1891 を参照

レーザドライバ、プロジェクト用

改訂履歴

版数	改訂日	説明	改訂ページ
0	9/12	初版	—
1	1/13	Electrical Characteristics (電气的特性)表の I_{DVCC_G2B} と I_{AVCC} 、Current at OUT (OUTにおける電流)パラメータ、 t_H 、および t_{RZ} を更新、「型番」表のTQFNパッケージから開発中の注を削除	7-10, 50



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電气的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

51