

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データリタイミングIC

## 概要

MAX3270は、155Mbps及び622MbpsのSDH/SONETやATMアプリケーション用の完全なクロック回復・データリタイミングICです。このICは、Bellcore及びCCITTのジッタ公差仕様を満たし、エラーのないデータ回復を保証します。回復したクロックとデータは、完全集積位相ロックループ(PLL)によって位相合わせされます。また、PLL収集や入力データのロスを検出するために、出力周波数監視機能(FM)も備えています。

MAX3270はECL差動入力及び出力インタフェースを備えているため、高周波環境でのノイズによる影響が小さくなっています。完全集積PLLは、集積位相周波数検出器を備えているため、外部リファレンスが不要です。

## アプリケーション

155Mbps(STM-1/OC-3)/622Mbps(STM-4/OC-12)のSDH/SONET伝送システム

155Mbps/622MbpsのATM/SONETアクセスノード

加算 / ドロップマルチプレクサ

交差接続

## 特長

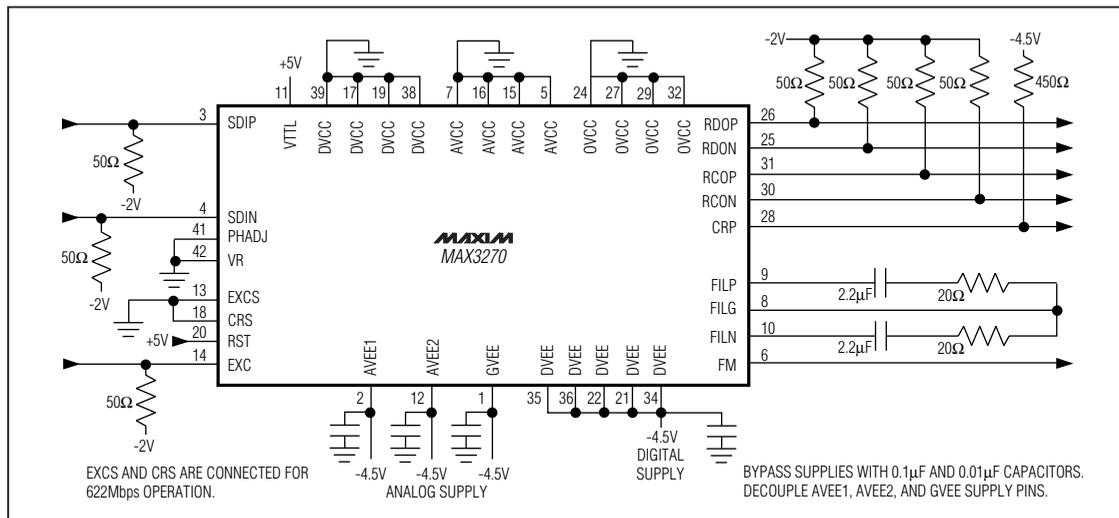
- ◆ 155Mbps及び622Mbpsのクロック回復及びデータリタイミングのサポート
- ◆ 完全集積位相 / 周波数検出器
- ◆ 外部クロックに切換え可能
- ◆ 100KのECL差動データ及びクロック入出力
- ◆ 出力監視機能によるロック検出機能
- ◆ 外部リファレンスクロック不要

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3270EMH	-40°C to +85°C	44 MQFP

ピン配置はデータシートの終わりにあります。

## 標準動作回路



# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データタイミングIC

MAX3270

## ABSOLUTE MAXIMUM RATINGS

Supply Voltages	PHADJ, VR .....	-8.0V to +8.0V
VTTL to GND .....	FM .....	-8.0V to +8.0V
VCC to GND .....	Input Differential Voltage Level, SDIP, SDIN .....	+3.0V
VEE to GND .....	Continuous Power Dissipation (T <sub>A</sub> = +85°C) .....	1.3W
SDIP, SDIN, EXC .....	Operating Temperature Range .....	-40°C to +85°C
RDOP, RDON, RCOP, RCON, CRP .....	Storage Temperature Range .....	-55°C to +150°C
EXCS, RST, CRS .....	Lead Temperature (soldering, 10sec) .....	+300°C
FILP, FILG, FILN .....		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>EE</sub> = -4.5V ±5%, VTTL = 5V ±5%, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Positive Voltage Supply (with respect to ground)	V <sub>TTL</sub>		4.75	5.00	5.25	V
Negative Voltage Supply (with respect to ground)	V <sub>EE</sub>		-4.725	-4.50	-4.275	V
Static Supply Current from VTTL	I <sub>TTL</sub>			2.4	5	mA
Static Supply Current from VEE	I <sub>VEE</sub>			150	210	mA
<b>ECL INPUTS: EXC, SDIP, SDIN</b>						
Input High Voltage	V <sub>IH</sub>		-1165		-870	mV
Input Low Voltage	V <sub>IL</sub>		-1830		-1475	mV
Input High Current	I <sub>IH</sub>	V <sub>IN</sub> = V <sub>OH</sub> (typ)	0		100	μA
Input Low Current	I <sub>IL</sub>	V <sub>IN</sub> = V <sub>OL</sub> (typ)	-100		100	nA
<b>ECL OUTPUTS: RCOP, RCON, RDOP, RDON</b>						
Output High Voltage	V <sub>OH</sub>	Loaded with 50Ω to -2V	-1025	-955	-870	mV
Output Low Voltage	V <sub>OL</sub>	Loaded with 50Ω to -2V	-1830	-1705	-1550	mV
<b>LOW-POWER ECL OUTPUT: CRP</b>						
Output High Voltage	V <sub>OH</sub>	Loaded with 470Ω to V <sub>EE</sub>	-1025	-955	-870	mV
Output Low Voltage	V <sub>OL</sub>	Loaded with 470Ω to V <sub>EE</sub>	-1830	-1705	-1620	mV
<b>TTL INPUTS: CRS, RST, EXCS</b>						
Input High Voltage	V <sub>IH</sub>		2			V
Input Low Voltage	V <sub>IL</sub>				0.8	V
Input High Current	I <sub>IH</sub>	VTTL = 5.00V, V <sub>IN</sub> = 2V	0		40	μA
Input Low Current	I <sub>IL</sub>	VTTL = 5.00V, V <sub>IN</sub> = 0.8V	0		40	μA
<b>PHASE ADJUST INPUTS: PHADJ, VR</b>						
Input Bias Current	I <sub>BIAS</sub>	VR = PHADJ = 0, T <sub>A</sub> = +25°C	0		10	μA

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データタイミングIC

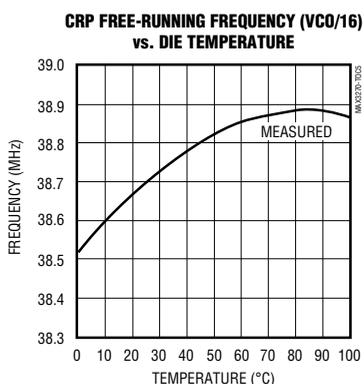
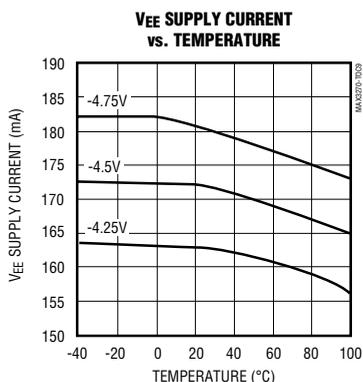
MAX3270

## AC ELECTRICAL CHARACTERISTICS (continued)

( $V_{EE} = -4.5V$ ,  $V_{TTL} = 5V$ ,  $T_A = 25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ECL OUTPUTS: RDOP, RDON, RCOP, RCON</b>						
Transition Time 20% to 80%	$t_r, t_f$	Loaded with $50\Omega$ to $-2V$ and $5pF$ to GND		600		ps
Time Difference between RDO and RCO	TD	Loaded with $50\Omega$ to $-2V$ and $5pF$ to GND		100		ps
<b>PFD AND FILTER AMPLIFIER TEST LEVELS</b>						
Output Offset Voltage of the Monitor Amplifier	$V_O$	PHADJ = 0, FILP and FILN shorted	-35		35	mV
Gain of the Monitor Amplifier	GFM	PHADJ = 0	0.95		1.05	V/V
Filter Amplifier Open-Loop Voltage Gain	GOL	FILP and FILN open	21	26		dB
<b>VCO TEST PARAMETERS; CPR OUTPUT</b>						
Center Frequency	$F_O$	FILP and FILN shorted, PFD = neutral state	38.00		39.50	MHz
Frequency Range	$DF_O$	FILP - FILN = 1.6V	6		10	MHz
Mean Frequency Sensitivity	$K_O$	FILP - FILN = 1.6V	3.75		6	MHz/V
Frequency Sensitivity to Power-Supply Voltage	$K_{OV}$	FILP and FILN shorted			550	kHz/V
<b>PLL ELECTRICAL SPECIFICATIONS</b>						
Frequency of VCO	$F_O$			622.08		MHz
Incremental Tuning Sensitivity (Incremental Slope, $\Delta f/\Delta V$ )	$K_O$	$f_t = 622.08MHz$		75		MHz/V
Phase-Detector Gain	KD			192		mV/rad
Transconduction Gain of Filter Amplifier	Gm			1.25		mA/V
Phase Offset Sensitivity, $\Delta\phi/\Delta PHADJ$	$K_{PHADJ}$			2		rad/V

## 標準動作特性

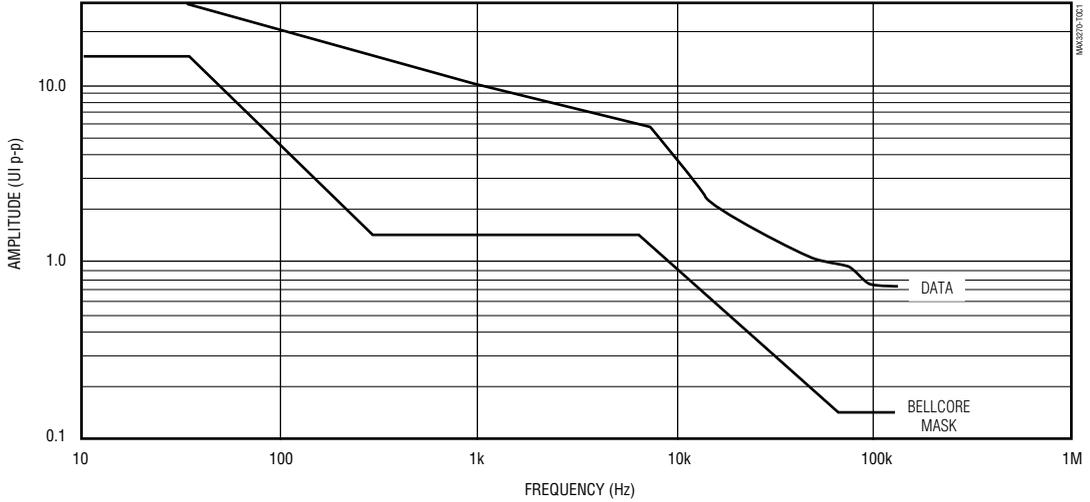


# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データリタイミングIC

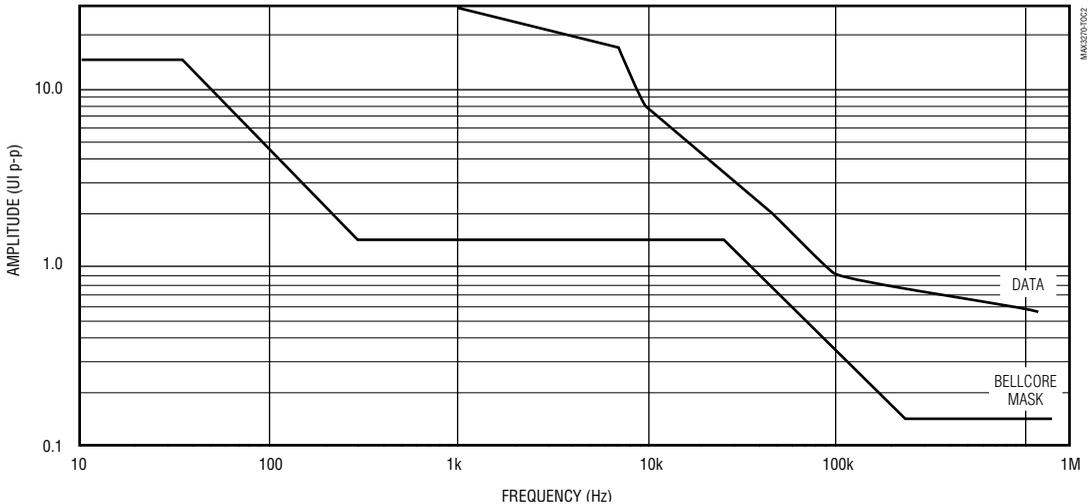
MAX3270

## 標準動作特性

**JITTER TOLERANCE  
(155Mbps, 2<sup>23</sup>-1 PRBS)**



**JITTER TOLERANCE  
(622Mbps, 2<sup>23</sup>-1 PRBS)**

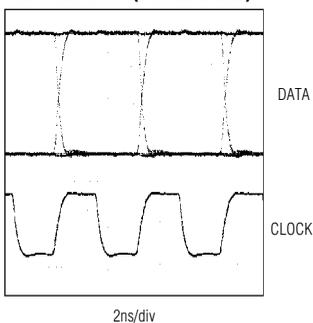


# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データリタイミングIC

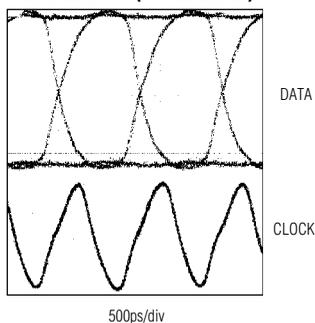
## 標準動作特性

MAX3270

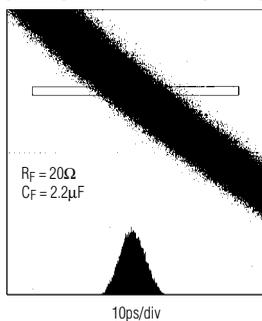
**155Mbps RECOVERED CLOCK AND  
RETIMED DATA (SINGLE ENDED)**



**622Mbps RECOVERED CLOCK AND  
RETIMED DATA (SINGLE ENDED)**

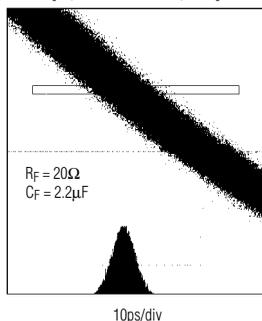


**RECOVERED CLOCK JITTER  
(155Mbps, 2<sup>7</sup>-1 PRBS, 5.1ps RMS)**



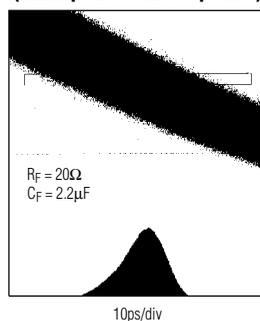
Mean	40.61ns	$\mu \pm 1\sigma$	68.961%
RMS $\Delta$	5.13ps	$\mu \pm 2\sigma$	95.844%
PkPk	45.6ps	$\mu \pm 3\sigma$	99.717%

**RECOVERED CLOCK JITTER  
(155Mbps, 1-0 PATTERN, 4.7ps RMS)**



Mean	40.65ns	$\mu \pm 1\sigma$	69.674%
RMS $\Delta$	4.7ps	$\mu \pm 2\sigma$	95.558%
PkPk	38.4ps	$\mu \pm 3\sigma$	99.698%

**RECOVERED CLOCK JITTER  
(622Mbps 2<sup>7</sup>-1 PRBS 9.0ps RMS)**



Mean	38.68ns	$\mu \pm 1\sigma$	69.747%
RMS $\Delta$	9.049ps	$\mu \pm 2\sigma$	95.453%
PkPk	79.4ps	$\mu \pm 3\sigma$	99.582%

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データタイミングIC

MAX3270

## 端子説明

端子	名称	機能
1	GVEE	サブストレートに対するガードリングのマイナス電源：-4.5V
2	AVEE1	入力バッファ用のマイナス電源：-4.5V
3	SDIP	シリアルデータ入力：155Mbps又は622Mbps。差動ECLのプラス側。
4	SDIN	シリアルデータ入力：155Mbps又は622Mbps。差動ECLのマイナス側。
5	AVCC	入力バッファ用グラウンド：0V
6	FM	周波数監視出力。このピンは、VCOへの入力電圧を監視します。PLLがロックされている時、このピンは0V。
7	AVCC	Epiに対するガードリングのプラス電源：0V
8	FILG	ループフィルタのグラウンド。このピンは、外部フィルタに接続します。
9	FILP	ループフィルタのプラス側。このピンは、外部フィルタに接続します。
10	FILN	ループフィルタのマイナス側。このピンは、外部フィルタに接続します。
11	VTTL	プラスのTTL電源：+5.0V
12	AVEE2	VCO用のマイナス電源：-4.5V
13	EXCS	外部クロック選択用TTL入力。ロジックハイの時、外部クロックが選択されます。
14	EXC	外部クロック。シングルエンドのECL入力。
15, 16	AVCC	VCOのグラウンド：0V
17, 19, 38, 39	DVCC	マルチプレクサのデジタルグラウンド：0V
18	CRS	クロックレート選択用TTL入力。このピンは、155Mbps又は622Mbpsのクロックレートを選択します。ロジックハイの時は、622Mbpsモードが選択されます。
20	RST	全デジタルフリップフロップ及び全TTL入力をリセットします。リセットはローの時に表明されます。
21, 22, 34, 35, 36	DVEE	マイナスのデジタル電源：-4.5V
23, 33, 37, 40, 43, 44	N.C.	無接続。
24, 27, 29, 32	OVCC	出力ドライバのグラウンド：0V
25	RDON	マイナス側の回復済みデータ出力、ECL差動出力：155Mbps又は622Mbps。
26	RDOP	プラス側の回復済みデータ出力、ECL差動出力：155Mbps又は622Mbps。
28	CRP	4分周のクロックリファレンス出力。ECLローパワーシングルエンド：38Mbps又は155Mbps。
30	RCON	マイナス側の回復済みクロック出力、ECL差動出力：155Mbps又は622Mbps。
31	RCOP	プラス側の回復済みクロック出力、ECL差動出力：155Mbps又は622Mbps。
41	PHADJ	位相調整。これは、入力データと回復済みクロック間の静止位相を変化させるためのアナログ調整です。使用していない時、この入力はグラウンドに接続して下さい。範囲は-1V~1Vです。
42	VR	位相リファレンス電圧：0V。PHADJピンはこの電圧と比較します。グラウンドに設定します。

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データリタイミングIC

MAX3270

## 詳細

MAX3270のアーキテクチャを図1のブロック図に示します。この位相ロックループ(PLL)は、位相/周波数検出器(PFD)、ループフィルタアンプ、及び電圧制御オシレータ(VCO)から構成されています。

## 位相検出器

位相検出器は、回復済みクロックの出力と入力データの位相差に比例した電圧を発生させます。PLLはそのフィードバック特性によりエラー電圧をゼロにするため、位相差がゼロになり、回復済みクロックが入力データと合わせられます。外部位相調整ピン(PHADJ)を用いることで位相合わせを行うことができます。

## 周波数検出器

PLLは周波数検出器も含んでいます。周波数検出器は、入力データの収集を援助します。入力データストリームやVCO差動周波数はPLL帯域幅を超えることがあるため、このような周波数に基づく収集がスタートアップ時に必要になります。入力データストリームは、VCO

クロックの直交部品によってサンプリングされ、差動周波数を発生させます。差動周波数の回転に従って、PFDは、差動出力がゼロになるようにVCOを駆動します。一旦周波数収集が完了すると、周波数検出器は中立状態に戻ります。

## ループフィルタ及びVCO

PLLは第2位転送機能であり、帯域幅はループフィルタによって設定されます。VCOはPLLに集積され、常に622MHzで動作します。中心周波数はレーザートリミングによって緻密に制御され、ロックを失った場合の周波数の変動範囲を制限しています。155Mbpsモード又は622Mbpsモードの選択は、クロックレート選択(CRS)ピンで行います。マルチプレクサMUX2への入力は、CRSによって選択されます。

内部VCOは、EXC入力に供給される外部クロックによってバイパスすることができます。外部クロック選択(EXCS)は、マルチプレクサMUX1及びMUX2の入力選択を制御します。

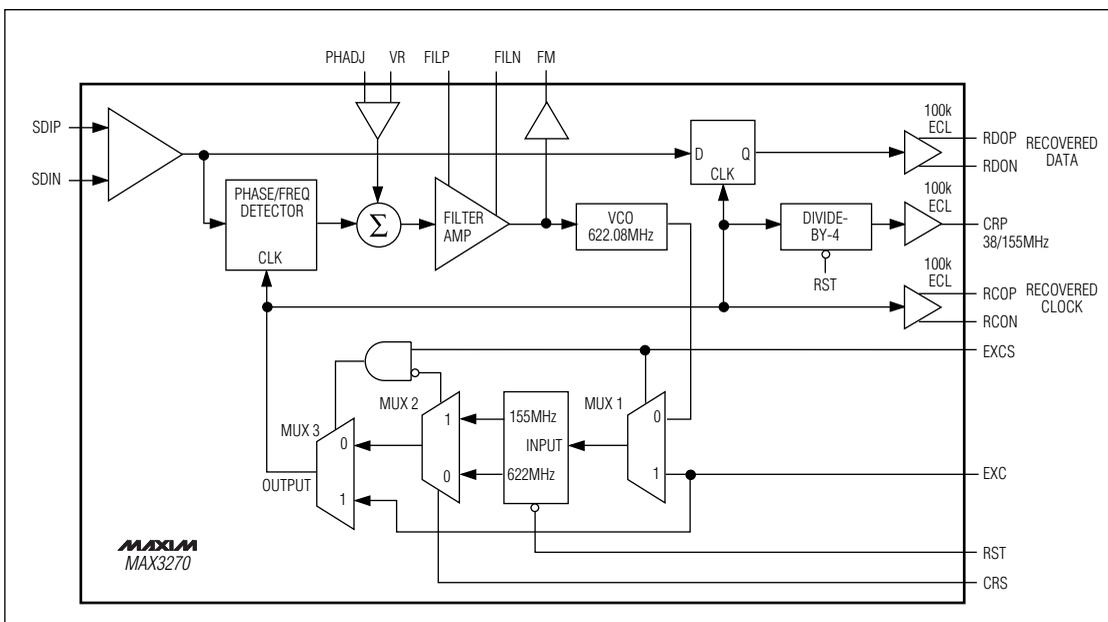


図1. ブロック図

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データタイミングIC

## 設計手順

### データレートを選択

MAX3270は、データレート155.52Mbps又は622.08MbpsのSDH/SONETシステムでの使用を対象に設計されています。TTL入力(CRS及びEXCS)は、回復済みクロックレートの選択を行うために提供されています(表1)。EXC入力をイネーブルすることで、外部供給クロックに切換えることもできます。このEXC入力は、155MHz及び622MHzのシリアルクロックレートを扱うことのできる、シングルエンドの高速ECLインタフェースです。

表1. MAX3270のロジックテーブル

EXCS	CRS	RCOP/RCON	CRP
0	1	155.52Mbps	38.88Mbps
0	0	622.08Mbps	155.52Mbps
1	0	EXC	EXC/4
1	1	EXC/4	EXC/16

### ループフィルタの設定

PLL内のループフィルタは、トランスコンダクタンスアンプ、外部フィルタ要素 $R_f$ 及び $C_f$ から構成されています(図2)。PLLの開ループ帯域幅は、以下のように見積もることができます。

$$K_D K_O G_m R_f$$

ここで、 $K_D$ は位相検出器の利得、 $K_O$ はVCOの利得、 $G_m$ はフィルタアンプのトランスコンダクタンスを示します。このフィルタは積分器であるため、安定性を得るためには開ループ利得がゼロである必要があります。このゼロ値は、以下の式によって設定します。

$$\omega_z = 1 / (R_f C_f)$$

ここで推奨される外部値は、 $R_f = 20$ 、 $C_f = 2.2\mu\text{F}$ です。PLLの開ループ帯域幅を狭くする時は、 $R_f$ の値を小さくします。この帯域幅を狭めると、MAX3270のジッタ転送の性能は向上しますが、ジッタ公差が低減してしまいます。MAX3270は、ネットワーク要素のジッタ公差に対するBellcore及びCCITTの仕様を満たすように設計されています( $R_f$ 及び $C_f$ に推奨値を適用)。ループ帯域幅を狭くする場合は、アプリケーションに注意する必要があります。  $R_f$ を数分の1に減らすことで、PLLの帯域幅はICの内部公差に対してより敏感になり、ループ帯域幅の変動が大きくなる可能性があります。  $R_f$ を小さくする場合は、ループの安定性を維持し、ジッタのピークを最小限に抑えるために、 $C_f$ を増大することが必要です。

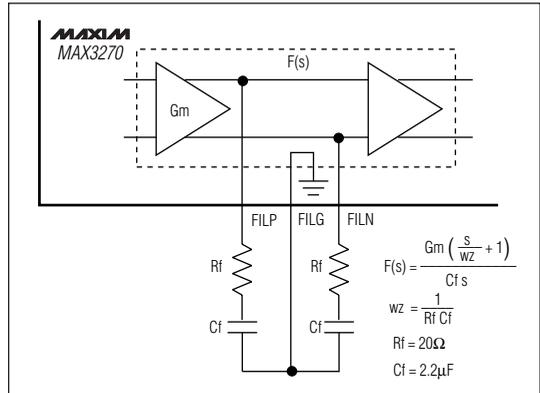


図2. ループフィルタ

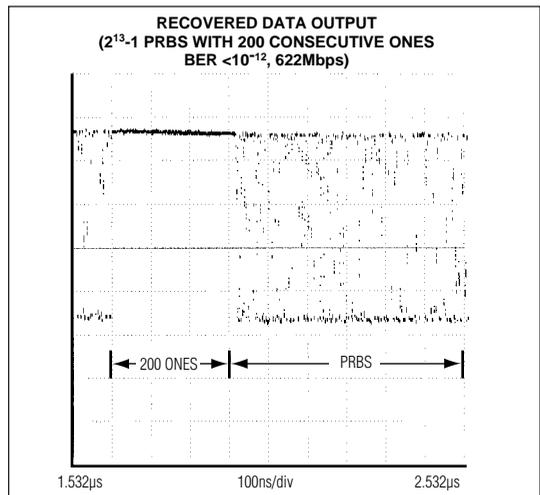


図3. 回復済みデータ出力

MAX3270は、ロックを獲得し、0又は1から成る長い文字列に対して $10^{-12}$ 以下のビットエラーレート(BER)を達成できるように最適化されています。推奨される外部値 $R_f = 20$ 、 $C_f = 2.2\mu\text{F}$ を適用した場合、MAX3270は連続する200個以上の1又は0を許容できることが測定値によって示されています。1が200個連続する時のビットストリーム $2^{13} - 1$  PRBSを図3に示します。

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データタイミングIC

## 入出力の終端

MAX3270のデータ及びクロック入出力(SDIP、SDIN、RDOP、RDON、RCOP、RCON、及びEXC)は、ECL信号レベルとインタフェースするように設計されたオープンエミッタです。これらのポートは正しくバイアスすることが重要です。50 から-2V相当のテブナンを供給する回路で正しい終端を行うためには、固定インピーダンス伝送ラインを使用する必要があります。標準的な入出力終端方法を図4に示します。

シリアルデータ入力信号(SDIP及びSDIN)は、カップリングされたエミッタペアへの差動入力です。従って、MAX3270は250mVまでの差動入力信号レベルを許容することができます。また、外部でSDINを電圧スイングの中心(約-1.3V)にバイアスすることで、このシリアル入力(SDIP)をシングルエンド駆動することもできます。この場合、安定した動作を得るためには、差動入力及び差動出力をそれぞれ同じ終端インピーダンスにすることが必要です。

GRPもオープンエミッタのECL出力ですが、GRPは450 から-4.5Vの終端抵抗を必要とします。この出力を使用していない時は、電力を低減させるために、10k 以上の抵抗を介してGRPとV<sub>EE</sub>を接続して下さい。

回路基板の配置と設計はMAX3270の性能に大きく影響します。グランドインダクタンスの最小化や、データ及びクロック信号に対する固定インピーダンス伝送ラインの使用など、優れた高周波設計技法を適用して下さい。電源のデカップリングは、VEEピン及びVTTL

ピンのできるだけ近くに配置します。また、AVEE1、AVEE2、及びGVEEは、他の-4.5V電源に依存せず、互いに独立した専用バイパス / デカップリング要素をそれぞれが持っている必要があります。この場合、フィードスルーを低減するために、入力を出力から絶縁することが必要です。

## アプリケーション情報

### ロック検出

MAX3270には、VCOへの入力電圧を監視する出力(FM)があります。このFMは、アナログ出力で、PLLのロック状態を示すフラグとして用いることができます。正常動作時はループがロックされ、FMの出力は約0Vに等しくなります。PLLをアンロックするとVCOはドリフトします。FM出力はこのドリフトを監視し、制限に達すると約±1Vになります。

### 位相調整

アプリケーションの中には、回復済みクロックとシリアルデータ間の最適調整点がアイダイアグラムの中心にならないものもあります。MAX3270では、このようなアプリケーションにおいて、回復済みクロックとシリアルデータ間の位相差を知らせるために、PHADJ入力を提供しています。位相差をなくしたい場合はこの入力を0Vに設定します。VRピンはPHADJのリファレンス入力で、通常はGNDに接続します。

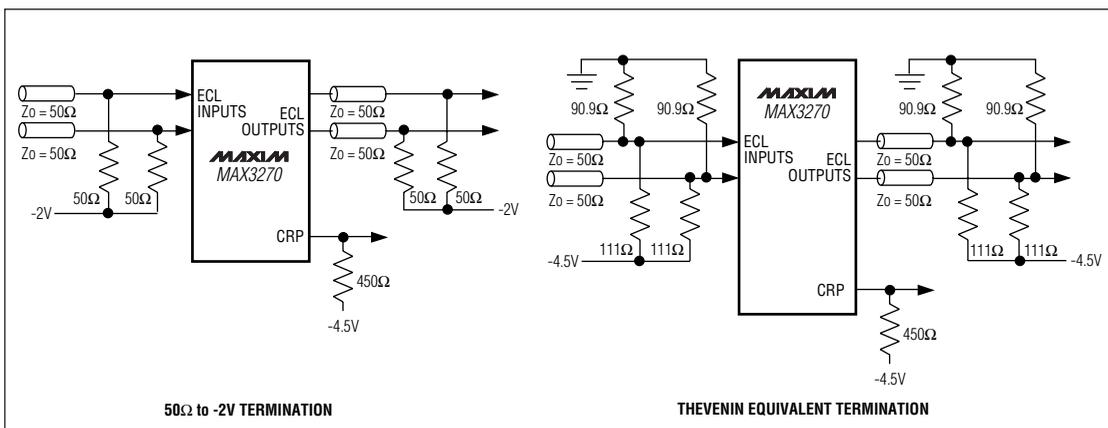
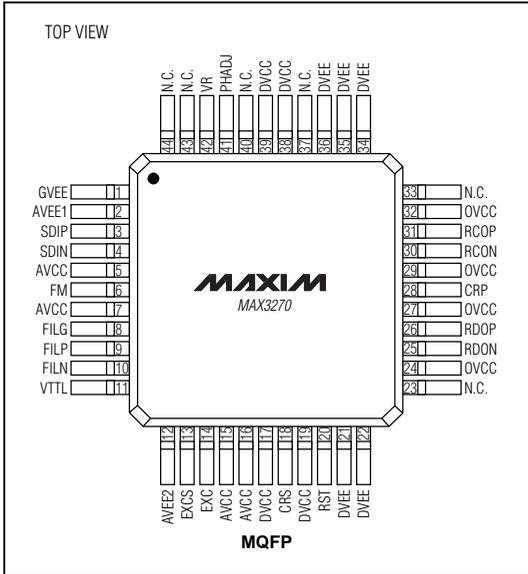


図4．標準的な入力及び出力の終端

# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データリタイミングIC

**MAX3270**

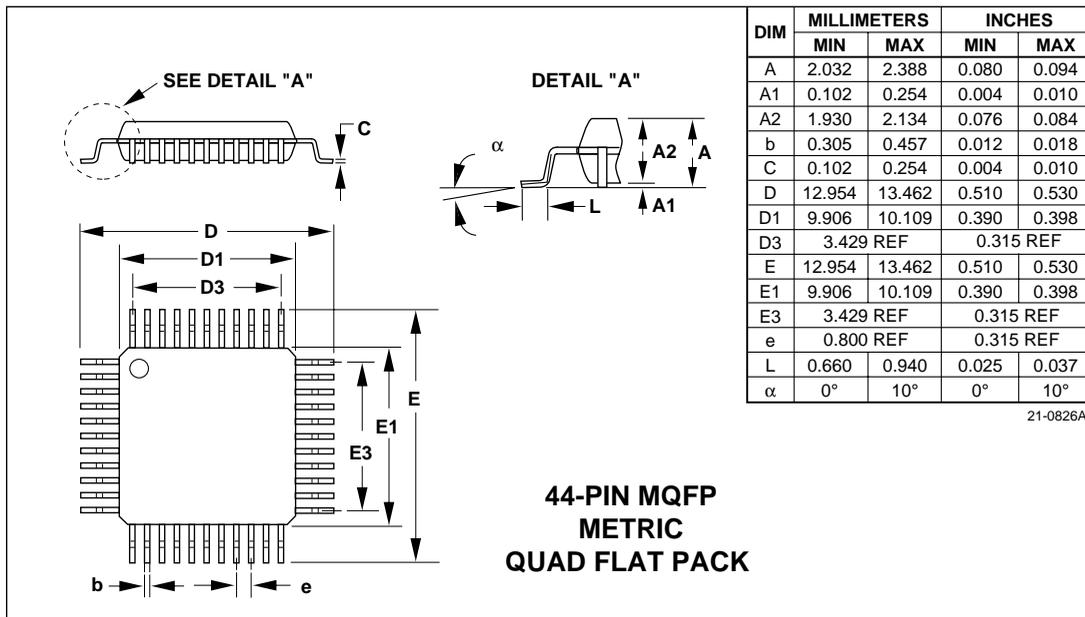
## ピン配置



# 完全集積位相 / 周波数検出器付き、155Mbps/622Mbps クロック回復・データタイミングIC

## パッケージ

MAX3270



完全集積位相 / 周波数検出器付き、155Mbps/622Mbps  
クロック回復・データリタイミングIC

---

MAX3270

販売代理店

**マキシム・ジャパン株式会社**

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

*Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.*

12 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 1995 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products.