

# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

## 概要

1.25GbpsのMAX3264/MAX3268及び2.5GbpsのMAX3265/MAX3269/MAX3765は、ギガビットイーサネット及びファイバチャネル光レシーバ機器用に設計されたリミティングアンプです。本アンプは広範囲の入力電圧を許容し、エッジ速度が制御された一定レベル出力電圧を提供します。その他の特長としては、ロスオブシグナル(LOS)表示付のRMSパワーディテクタ、入力電圧が設定されたスレッシュホールドよりも低く低下した時にデータ出力信号をミュートするスケルチ機能(オプション)及び優れたジッタ性能等が挙げられます。

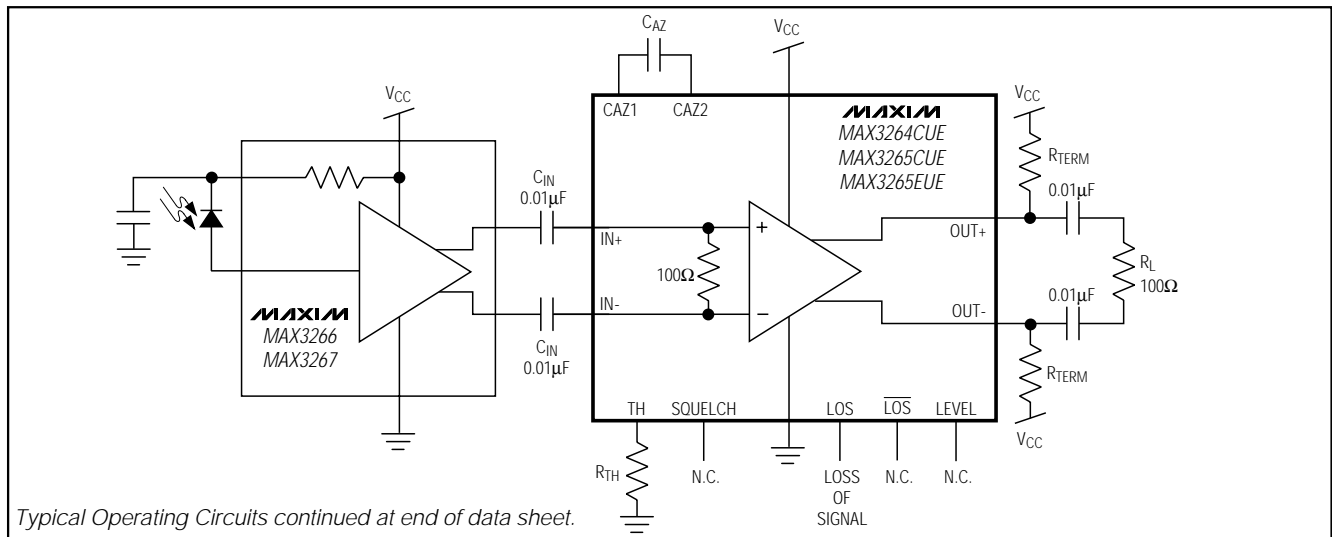
MAX3264/MAX3265/MAX3765は誘導性のコネクタを許容する電流モードロジック(CML)データ出力を備え、16ピンTSSOPパッケージになっているため、GBICレシーバに最適です。MAX3268/MAX3269は規格に適合した正基準エミッタカップリングロジック(PECL)データ出力を備え、形状ファクタの小さなレシーバに最適な超小型10ピン $\mu$ MAXパッケージで提供されています。

## アプリケーション

- ギガビットイーサネット光レシーバ
- ファイバチャネル光レシーバ
- システム相互接続
- ATM光レシーバ

選択ガイドはデータシートの最後に記載されています。  
ピン配置はデータシートの最後に記載されています。

## 標準動作回路



## 特長

- ◆ 電源電圧: +3.0V ~ +5.5V
- ◆ 低確定的ジッタ
  - 14ps(MAX3264)
  - 11ps(MAX3265/MAX3765)
- ◆ 最大エッジ速度: 150ps(MAX3265/MAX3765)  
300ps(MAX3264)
- ◆ 設定可能な信号検出機能
- ◆ 出力インタフェースはCML又はPECLを選択可能
- ◆ パッケージ: 10ピン $\mu$ MAX又は16ピンTSSOP

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3264CUE	0°C to +70°C	16 TSSOP-EP†
MAX3264C/D	0°C to +70°C	Dice*
MAX3265CUE	0°C to +70°C	16 TSSOP-EP†
MAX3265CUB	0°C to +70°C	10 $\mu$ MAX-EP†
MAX3265C/D	0°C to +70°C	Dice*
MAX3265EUE	-40°C to +85°C	16 TSSOP-EP†
MAX3268CUB	0°C to +70°C	10 $\mu$ MAX-EP†
MAX3268C/D	0°C to +70°C	Dice*
MAX3269CUB	0°C to +70°C	10 $\mu$ MAX-EP†
MAX3269C/D	0°C to +70°C	Dice*
MAX3765CUB	0°C to +70°C	10 $\mu$ MAX-EP†

\*Dice are designed to operate from 0°C to +70°C, but are tested and guaranteed only at  $T_A = +25^\circ\text{C}$ .

†EP = Exposed paddle

# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

## ABSOLUTE MAXIMUM RATINGS

Supply Voltage (V <sub>CC</sub> )	-0.5V to +6.0V	Continuous Current at PECL Outputs (OUT+, OUT-)	.....50mA
Voltage at IN+, IN-	(V <sub>CC</sub> - 2.4V) to (V <sub>CC</sub> + 0.5V)	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Voltage at SQUELCH, CAZ1,		16-Pin TSSOP (derate 27mW/°C above +70°C)	.....2162mW
CAZ2, LOS, LOS, TH	-0.5V to (V <sub>CC</sub> + 0.5V)	10-Pin μMAX (derate 20mW/°C above +70°C)	.....1600mW
Voltage at LEVEL	-0.5V to +2.0V	Operating Ambient Temperature Range	.....-40°C to +85°C
Current into LOS, LOS	.....-1mA to +9mA	Storage Temperature Range	.....-55°C to +150°C
Differential Input Voltage (IN+ - IN-)	.....2.5V	Processing Temperature (dice)	.....+400°C
Continuous Current at		Lead Temperature (soldering, 10s)	.....+300°C
CML Outputs (OUT+, OUT-)	.....-25mA to +25mA		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Data outputs terminated per Figure 1, V<sub>CC</sub> = +3.0V to +5.5V, T<sub>A</sub> = 0°C to +70°C. Typical values are at V<sub>CC</sub> = +3.3V, T<sub>A</sub> = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Data Rate	MAX3264/MAX3268		1.25			Gbps
	MAX3265/MAX3269/MAX3765		2.5			
Input Voltage Range	MAX3264/MAX3268		5		1200	mV
	MAX3265/MAX3269/MAX3765		10		1200	
Deterministic Jitter	MAX3264/MAX3268 (Notes 2, 3)			14	30	psp-p
	MAX3265/MAX3269/MAX3765 (Notes 2, 3)			11	25	
Random Jitter	MAX3264/MAX3268 (Notes 2, 4)			15		psRMS
	MAX3265/MAX3269/MAX3765 (Notes 2, 4)			8		
Data Output Edge Speed	MAX3264 (Note 5)		80	175	300	ps
	MAX3265/MAX3765 (Note 6)			100	150	
	MAX3268 (Note 5)		80	150	300	
	MAX3269 (Note 6)			100	150	
LOS Hysteresis	(Notes 2, 7)		2.5	4.4		dB
LOS Assert/Deassert Time	(Notes 7, 8)			1		μs
Low LOS Assert Level	R <sub>TH</sub> = 2.5kΩ	MAX3264/MAX3268	1.20	2.6		mV
		MAX3265/MAX3269/MAX3765	2.20	4.8		
Low LOS Deassert Level	R <sub>TH</sub> = 2.5kΩ	MAX3264/MAX3268		4.5		mV
		MAX3265/MAX3269/MAX3765		8.5		

# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

## ELECTRICAL CHARACTERISTICS (continued)

(Data outputs terminated per Figure 1,  $V_{CC} = +3.0V$  to  $+5.5V$ ,  $T_A = 0^{\circ}C$  to  $+70^{\circ}C$ . Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Medium LOS Assert Level	$R_{TH} = 7k\Omega$	MAX3264/MAX3268	5.6	9		mV
		MAX3265/MAX3269/MAX3765	9.9	16		
Medium LOS Deassert Level	$R_{TH} = 7k\Omega$	MAX3264/MAX3268		15	19.8	mV
		MAX3265/MAX3269/MAX3765		27	40.5	
High LOS Assert Level	$R_{TH} = 20k\Omega$	MAX3264/MAX3268	9.4	21.6		mV
		MAX3265/MAX3269/MAX3765	18.0	41.5		
High LOS Deassert Level	$R_{TH} = 20k\Omega$	MAX3264/MAX3268		35		mV
		MAX3265/MAX3269/MAX3765		67		
Squelch Input Current			0	80	400	$\mu A$
Differential Input Resistance	$IN+$ to $IN-$		97	100	103	$\Omega$
Input-Referred Noise	MAX3264/MAX3268			150		$\mu V_{RMS}$
	MAX3265/MAX3269/MAX3765			230		
CML Output Voltage	LEVEL = open, $R_{LOAD} = 50\Omega$		550		1200	mV
	LEVEL = GND and $R_{LOAD} = 75\Omega$		1100	1270	1800	
PECL Output High Voltage	Referenced to $V_{CC}$		-1.025		-0.880	V
PECL Output Low Voltage	Referenced to $V_{CC}$		-1.810		1.620	V
LOS Output High Voltage	$I_{LOS} = -30\mu A$		2.4			V
LOS Output Low Voltage	$I_{LOS} = +1.2mA$				0.4	V
Output Signal When Squelched	Outputs AC-coupled			20		mV
Power-Supply Rejection Ratio	$f < 2MHz$			20		dB
Low-Frequency Cutoff	$C_{AZ} = open$			2		MHz
	$C_{AZ} = 0.1\mu F$			2		kHz
Output Resistance (single ended)	MAX3264/MAX3265/MAX3765		85	100	115	$\Omega$
	MAX3268/MAX3269			4		
Power-Supply Current	Figure 2		MAX3268	39	62	mA
			MAX3269	48	78	
		Output not squelched	MAX3264	38	62	
			MAX3265	50	76	
			MAX3765	50	76	
		Output squelched	MAX3765	64	90	

# 3.0V~5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX32765

## ELECTRICAL CHARACTERISTICS—MAX3265EUE

(Data outputs terminated per Figure 1,  $V_{CC} = +3.0V$  to  $+5.5V$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ . Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Data Rate			2.5		Gbps
Input Voltage Range		10		1200	mV
Deterministic Jitter	(Notes 2, 3)		11	25	pSp-p
Random Jitter	(Notes 2, 4)		8		pSRMS
Data Output Edge Speed	(Note 6)		100	155	ps
LOS Hysteresis	(Notes 2, 7)	2.2	4.4		dB
LOS Assert/Deassert Time	(Notes 7, 8)		1		μs
Low LOS Assert Level	$R_{TH} = 2.5k\Omega$	2.20	4.8		mV
Low LOS Deassert Level	$R_{TH} = 2.5k\Omega$		8.5	13.6	mV
Medium LOS Assert Level	$R_{TH} = 7k\Omega$	9.9	16		mV
Medium LOS Deassert Level	$R_{TH} = 7k\Omega$		27	43.0	mV
High LOS Assert Level	$R_{TH} = 20k\Omega$	18.0	41.5		mV
High LOS Deassert Level	$R_{TH} = 20k\Omega$		67	111	mV
Squelch Input Current		0	80	400	μA
Differential Input Resistance	IN+ to IN-	97	100	103	Ω
Input-Referred Noise			230		μVRMS
CML Output Voltage	LEVEL = open, $R_{LOAD} = 50\Omega$	550		1200	mV
	LEVEL = GND, $R_{LOAD} = 75\Omega$	1100	1270	1800	
LOS Output High Voltage	$I_{LOS} = -30\mu A$	2.4			V
LOS Output Low Voltage	$I_{LOS} = +1.2mA$			0.450	V
Output Signal When Squelched	Outputs AC-coupled		20		mV
Power-Supply Rejection Ratio	$f < 2MHz$		20		dB
Low-Frequency Cutoff	$C_{AZ} = open$		2		MHz
	$C_{AZ} = 0.1\mu F$		2		kHz
Output Resistance (single ended)		85	100	115	Ω
Power-Supply Current	Figure 2		50	76	mA

**Note 1:** Specifications for Input Voltage Range, LOS Assert/Deassert Levels, and CML Output Voltage refer to the total differential peak-to-peak signal applied or measured. PECL output voltages are absolute (single-ended) voltages measured at a single output.

**Note 2:** Input edge speed is controlled using 4-pole, lowpass Bessel filters with bandwidth approximately 75% of the maximum data rate.

**Note 3:** Deterministic jitter is measured with a K28.5 pattern (0011 1110 1011 0000 0101). Deterministic jitter is the peak-to-peak deviation from ideal time crossings, measured at the zero-level crossings of the differential output per ANSI X3.230, Annex A.

**Note 4:** Random jitter is measured with the minimum input signal applied after filtering with a 4-pole, lowpass, Bessel filter (frequency bandwidth at 75% of the maximum data rate). For Fibre Channel and Gigabit Ethernet applications, the peak-to-peak random jitter is 14.1-times the RMS random jitter.

**Note 5:** Input signal applied after a 933MHz Bessel filter.

**Note 6:** Input signal applied after a 1.8GHz Bessel filter.

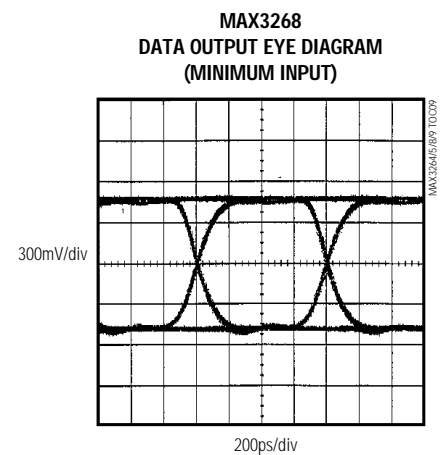
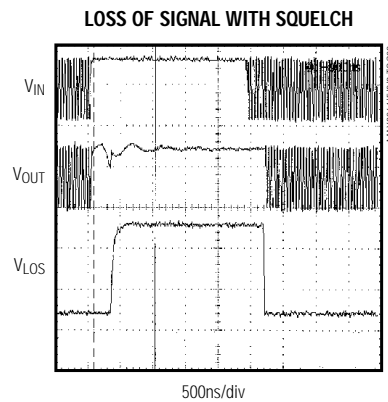
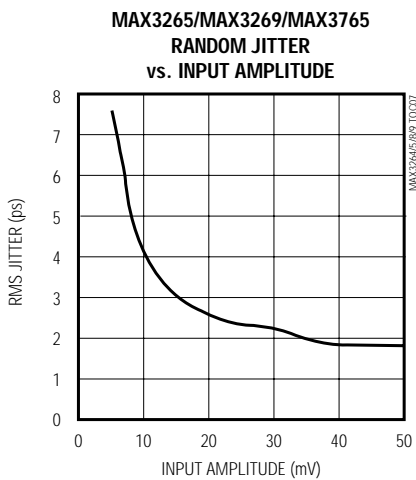
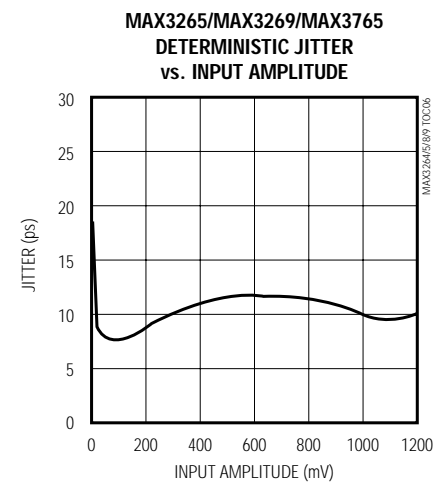
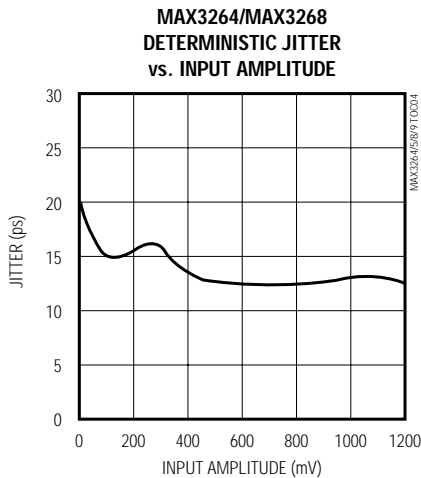
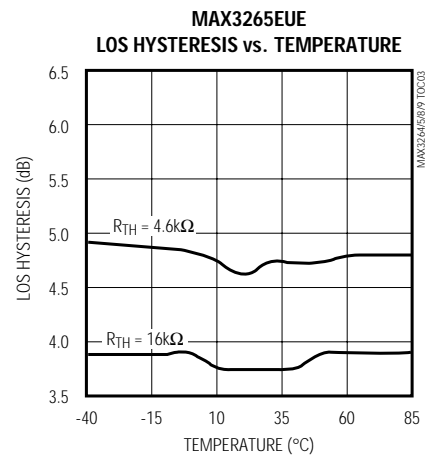
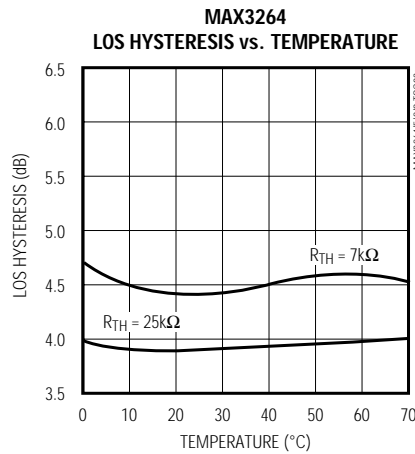
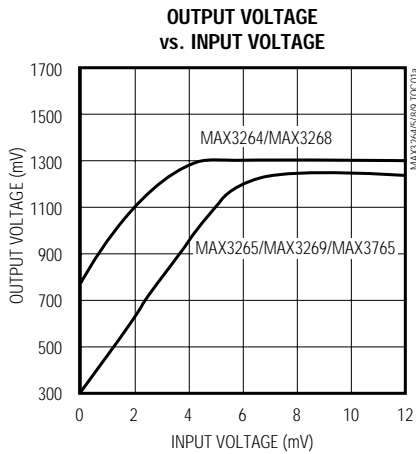
**Note 7:** Input for LOS assert/deassert and hysteresis tests is a repeating K28.5 pattern. Hysteresis is defined as:  $20\log(V_{LOS-DEASSERT} / V_{LOS-ASSERT})$ .

**Note 8:** Response time to a 10dB change in input power.

# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

## 標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



MAX3264/MAX3265/MAX3268/MAX3269/MAX3765



# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

## 端子説明

端子		名称	機能
μMAX	TSSOP		
1, 4	3, 6	GND	電源グランド
2	4	IN+	非反転入力信号
3	5	IN-	反転入力信号
5	8	TH	ロスオブシグナルのスレッシュホールド。このピンとグランドの間の抵抗により、ロスオブシグナル(LOS)出力の発生する入力信号レベルが設定されます。「標準動作特性」及び「設計手順」を参照して下さい。
6	9	$\overline{\text{LOS}}$	反転ロスオブシグナル出力。入力信号がTH入力によって設定されたスレッシュホールドよりも高いと $\overline{\text{LOS}}$ はハイになります。信号レベルがこのスレッシュホールドよりも低く落ちると $\overline{\text{LOS}}$ がローになります。
7, 10	11, 14	Vcc	電源電圧
8	12	OUT-	反転データ出力
9	13	OUT+	非反転データ出力
—	1	CAZ1	オフセット補正ループコンデンサ。このピンとCAZ2の間に接続されたコンデンサによって、オフセット補正ループの時間定数が延長されます。
—	2	CAZ2	オフセット補正ループコンデンサ。このピンとCAZ1の間に接続されたコンデンサによって、オフセット補正ループの時間定数が延長されます。「設計手順」を参照して下さい。
—	7	LEVEL	出力電流レベル。このピンが未接続の場合、CML出力電流は約16mAになります。このピンがグランドに接続されていると、出力電流は約20mAに増加します。(MAX3265CUB/MAX3765CUBの場合、LEVELは内部でグランドに接続されています。)
—	10	LOS	非反転ロスオブシグナル出力。入力信号がTH入力によって設定されたスレッシュホールドよりも高いと $\overline{\text{LOS}}$ はローになります。信号レベルがこのスレッシュホールドよりも低く落ちると $\overline{\text{LOS}}$ がハイになります。
—	15	SQUELCH	スケルチ入力。SQUELCHが未接続あるいはTTLローレベルに設定されると、スケルチ機能がディセーブルされます。SQUELCHがTTLハイレベルに設定されており、LOSが発生すると、データ出力OUT+及びOUT-は強制的に静的レベルになります。詳細については「PECL出力バッファ」及び「CML出力バッファ」を参照して下さい。(MAX3265/MAX3268/MAX3269の10ピンμMAXでは、SQUELCHは接続されていません。MAX3765では、SQUELCHはV <sub>CC</sub> に内部で接続されています。)
—	16	N.C.	無接続
EP	EP	Exposed Paddle	グランド。適正な熱的性能を得るためには、露出パドルを回路基板のグランドにハンダ付けする必要があります。

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765





# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

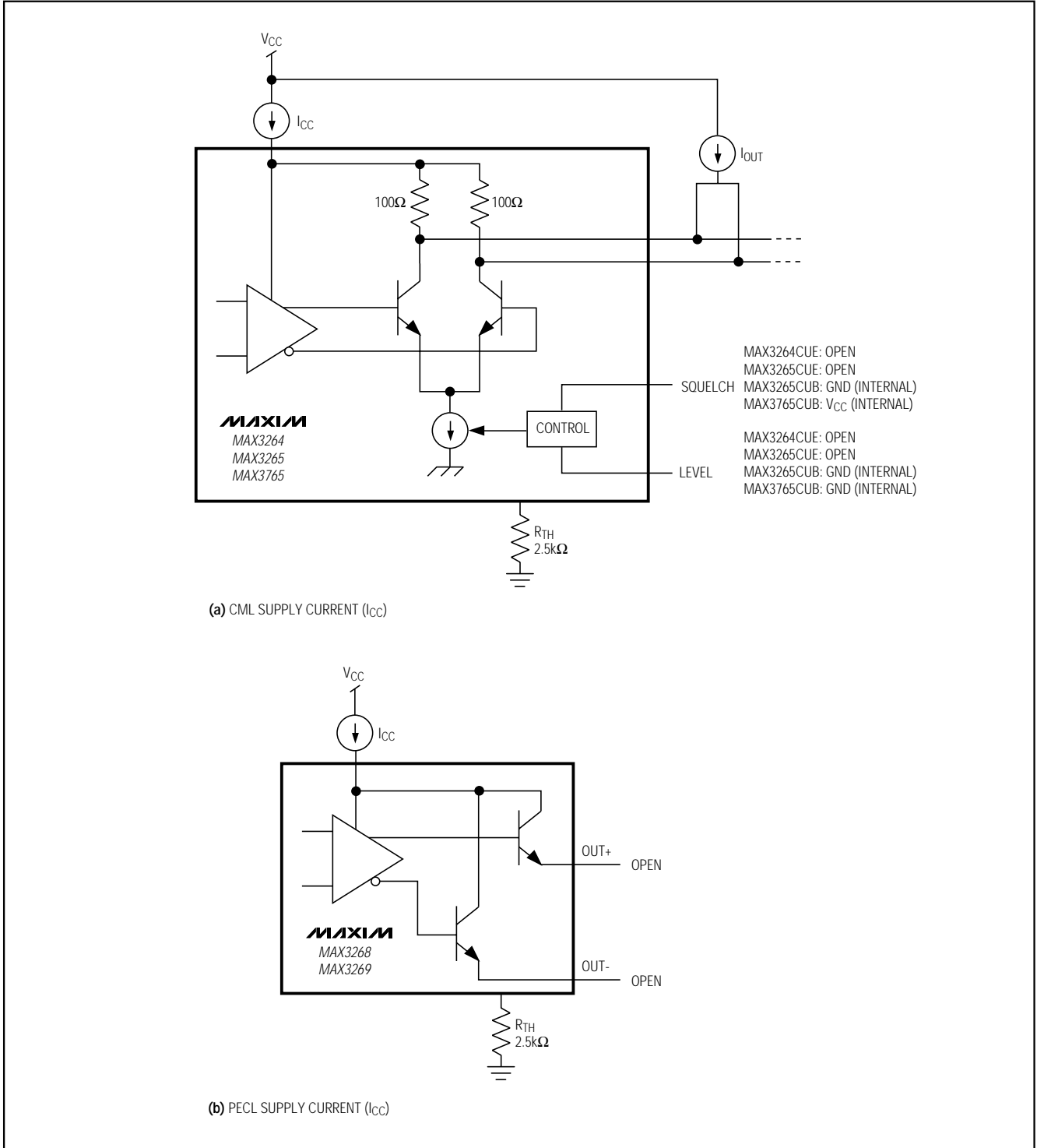


図2. 電源電流の測定



# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

## 入力バッファ

入力バッファは、MAX3266/MAX3267トランスインピーダンスアンプからの入力信号を受け付けるように設計されています。入力バッファは、IN+とIN-の間に100Ωの入力インピーダンスを提供します。周波数が2GHz以下の場合、入力VSWRは通常2.0未満です。入力をDCカップリングすることは推奨できません。これは、DCオフセット補正回路が適正に動作しなくなるためです。

## 利得段及びオフセット補正

リミティングアンプは、約55dB(MAX3264/MAX3268)又は49dB(MAX3265/MAX3269/MAX3765)の利得を提供します。このように利得が大きいため、入力信号の小さなDCオフセットに敏感になっています。僅か1mVのDCオフセットでも電力検出回路の精度を低下させ、確定的ジッタの原因になります。このリミティングアンプには低周波数フィードバックループが組み込まれており、入力オフセットを100μV以下(typ)に制限するようになっています。

CAZ1とCAZ2の間に接続された外部コンデンサ(内部容量と並列)により、オフセット補正回路の時間定数が決定されます。オフセット補正回路は、デューティサイクル歪みの増加を防ぎ、確定的ジッタを低く抑えるために、平均入力マーク密度として50%を必要とします。

## CML出力バッファ

MAX3264/MAX3265/MAX3765 CML出力回路(図7)は、インピーダンスのミスマッチ及び誘導性コネクタに対して高い許容度を示します。出力電流は2つのレベルに設定できます。LEVELピンが未接続にされていると、出力電流は約16mAになります。LEVELをグランドに接続すると、出力電流は約20mAになります。

SQUELCHピンがTTLハイレベルに設定されるかV<sub>CC</sub>に接続されると、スケルチ機能がイネーブルされます。スケルチ機能により、入力信号電力がロスオブシグナルスレッシュホールドよりも低く落ちた場合にOUT+及びOUT-が静的電圧に維持されます。MAX3265/MAX3268/MAX3269の10ピンμMAXパッケージでは、SQUELCHは内部で接続されていません。MAX3765では、内部でV<sub>CC</sub>に接続されSQUELCHは常にイネーブルされます。SQUELCH動作は表1に説明されています。

バッファの出力インピーダンスは、内部及び外部プルアップ抵抗の並列合成によって決まります。これらは、伝送ラインのインピーダンスとマッチングするように選択されます(図1)。出力バッファは、負荷にAC又はDCカップリングすることができます。

表1. スケルチ動作

LEVEL PIN	VOLTAGE WHEN SQUELCHED	
	OUT-	OUT+
Open	V <sub>CC</sub> - 100mV	V <sub>CC</sub>
V <sub>CC</sub>	V <sub>CC</sub> - 100mV	V <sub>CC</sub> - 100mV

## 内部入力/出力回路図

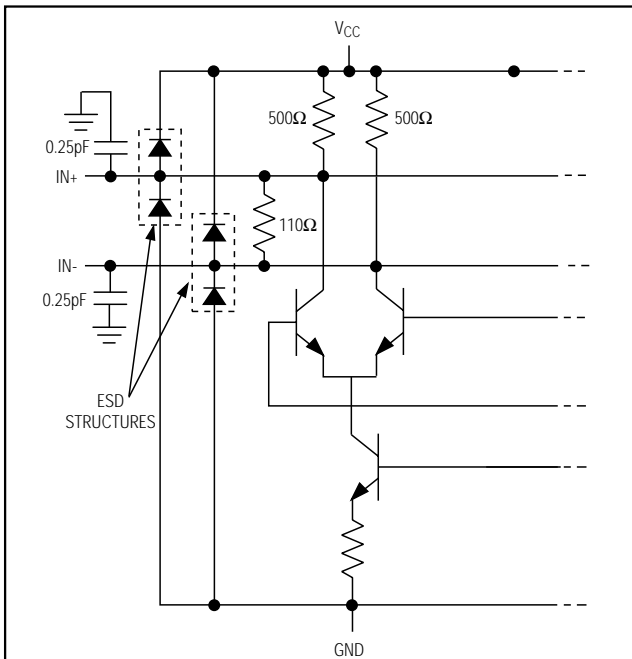


図4. 入力回路

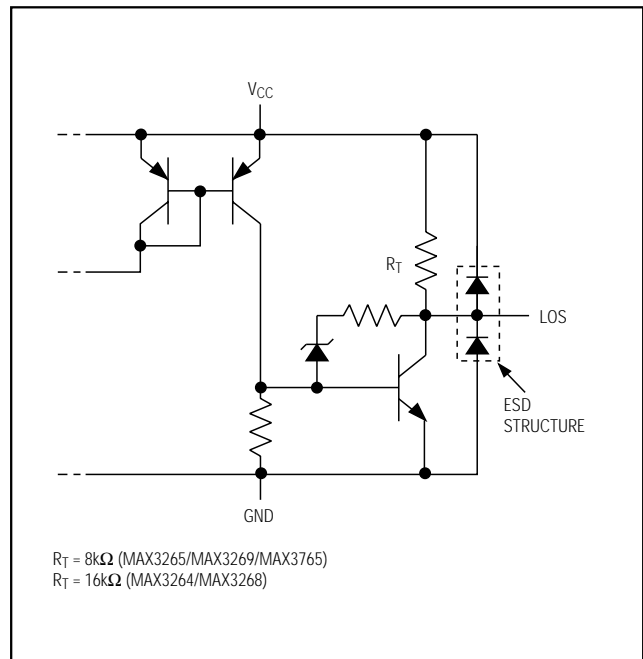


図5. LOS出力回路

# 3.0V~5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

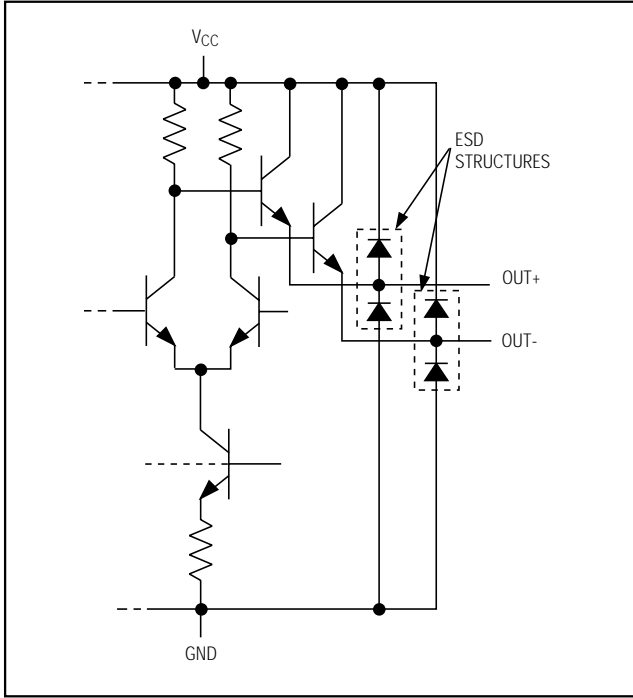


図6. PECL出力回路

## PECL出力バッファ

MAX3268/MAX3269は工業標準PECL出力を提供しています。PECL出力は $V_{CC} - 2V$ に対して終端処理して下さい。図6にPECL出力回路を示します。スケルチ機能は、入力設定されたLOSスレッシュドよりも低い時に、強制的にOUT+をハイレベルに、OUT-をローレベルに駆動します。10ピン $\mu$ MAXの場合、SQUELCHは未接続になっています。

## 設計手順

### LOS発生スレッシュドの設定

ロスオブシグナルのスレッシュドは、外部抵抗 $R_{TH}$ によって設定されます。「標準動作特性」のLOSスレッシュド対 $R_{TH}$ のグラフを参照して下さい。

### カップリングコンデンサの選択

カップリングコンデンサ( $C_{IN}$ 、 $C_{OUT}$ )は、レシーバの確定的ジッタを最小限に抑えるように選択して下さい。ジッタは、入力低周波数カットオフ( $f_{IN}$ )が低い周波数に設定されている時に最も小さくなります。

$$f_{IN} = 1/[2\pi(50)(C)]$$

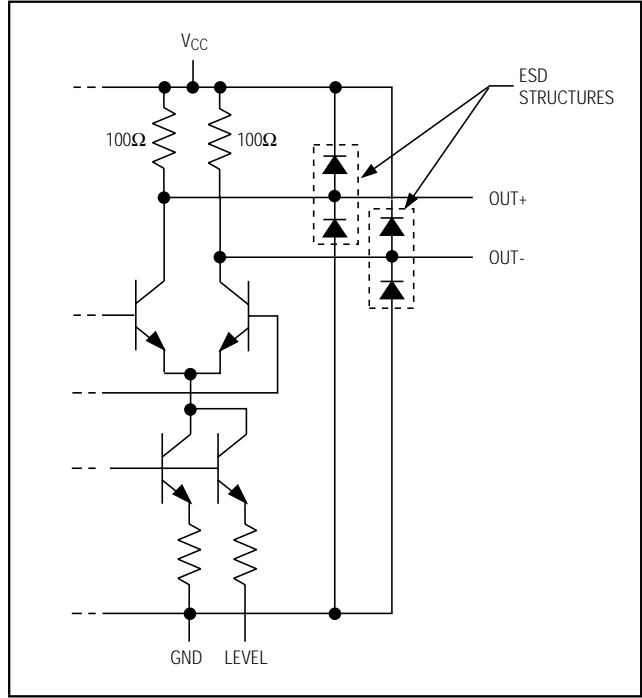


図7. CML出力回路

ファイバチャネル、ギガビットイーサネット又は8B/10Bデータコーディングを使用するその他のアプリケーションでは、( $C_{IN}$ 、 $C_{OUT}$ ) 0.01 $\mu$ Fを選択して下さい。この場合、 $f_{IN} < 320kHz$ となります。ATM/SONET又はスクランブルNRZデータを使用するその他のアプリケーションにおいては、( $C_{IN}$ 、 $C_{OUT}$ ) 0.1 $\mu$ Fを選択して下さい。この場合、 $f_{IN} < 32kHz$ となります。

### オフセット補正コンデンサの選択 (MAX3264/MAX3265のみ)

安定性を維持するため、DCオフセット補正回路に関連する低周波数カットオフ( $f_{OC}$ )と $f_{IN}$ を1桁離しておくことが重要です。

$$f_{OC} = 75 / [2\pi 60k (CAZ + 100pF)] \\ = 200 \times 10^{-6} / (CAZ + 100pF)$$

ファイバチャネル、ギガビットイーサネット又は8B/10Bデータコーディングを使用するその他のアプリケーションにおいては、CAZ1及びCAZ2ピンをオープンにしておいて下さい( $f_{OC} = 2MHz$ )。ATM/SONET又はスクランブルNRZデータを使用するその他のアプリケーションにおいては、 $C_{AZ} = 0.1\mu$ Fとして下さい。この場合、通常 $f_{OC} = 2kHz$ となります

# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

## アプリケーション情報

### 光ヒステリシス

光レーザにおいて、リミティングアンプの電氣的パワー変化は光パワー変化の2倍になります。

例えば、レーザの光入力パワー(x)が2倍になり、プリアンプがリニアであるとする、リミティングアンプへの電圧入力も2倍に増加します。

光パワー変化は  $10\log(2x/x) = 10\log(2) = +3\text{dB}$  です。

リミティングアンプにおいて、電氣的パワー変化は次式になります。

$$10\log \frac{(2V_{IN})^2 / R_{IN}}{V_{IN}^2 / R_{IN}} = 10\log(2^2) = 20\log(2) = +6\text{dB}$$

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765の標準電圧ヒステリシスは4.4dBです。これにより、光ヒステリシスは2.2dBとなります。

### GBICのロスオブシグナル

GBICアプリケーションにおいては、 $V_{CC\_MODULE} = \text{GND}$ の時にGBICのLOS出力がハイインピーダンスであることが必要です。図8に、ハイインピーダンスを維持するための推奨回路を示します。 $V_{CC\_HOST} > V_{CC\_MODULE}$ の場合、MAX3264/MAX3265/MAX3268/MAX3269/MAX3765 LOS出力のESD保護ダイオードがターンオンすることがあります。

### PECLの終端処理

最高の性能及び出力特性を得るには、標準PECL終端処理(50 ~  $V_{CC} - 2\text{V}$ )を推奨します(図1)。データ出力は高速で動作するため、終端のマッチングとバランスのよい伝送ラインを駆動するようにして下さい。

図9にデータ出力の終端処理の別方法を示します。この技法は8mAのDCバイアス電流を与えます(出力終端処理のAC負荷45)。この技法は、出力をオシロスコープで観察する場合、又はPECLリファレンス電圧を変更する場合に役立ちます。

### ワイヤボンディングチップ

MAX3264/MAX3265/MAX3268/MAX3269は高電流密度、高信頼性動作のため、金メッキを使用しています。チップへの接続は金ワイヤのみで行い、ボールボンディング技法を使用して下さい(ウェッジボンディングは推奨しません)。チップパッドサイズは4mil(100 $\mu\text{m}$ )四方、ピッチは6mil(150 $\mu\text{m}$ )です。チップの厚さは15mil(0.375mm)です。

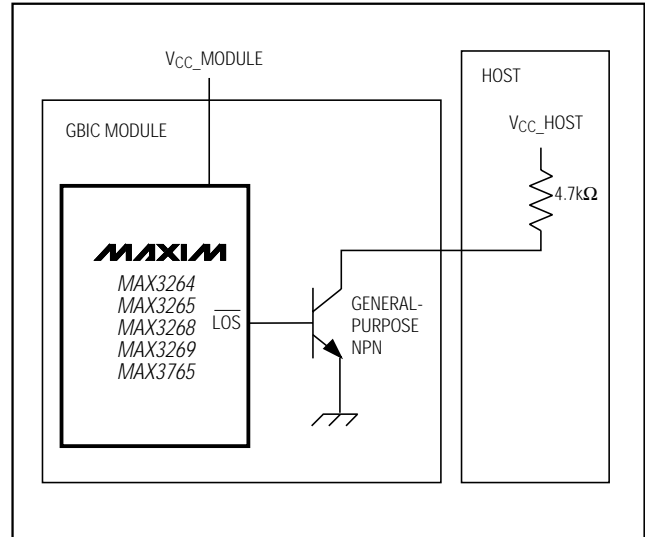


図8. 推奨GBIC LOS回路

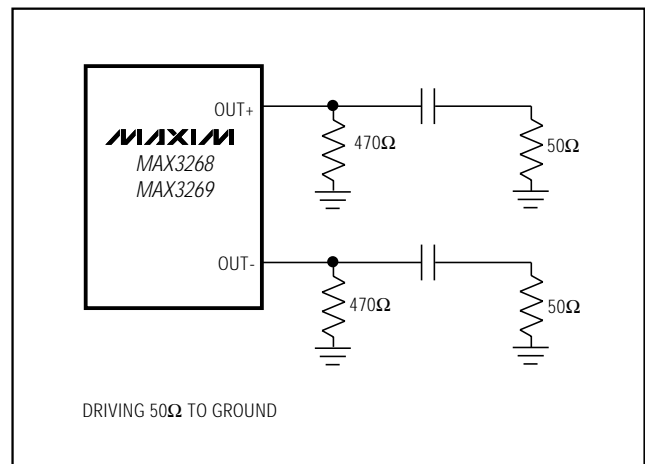
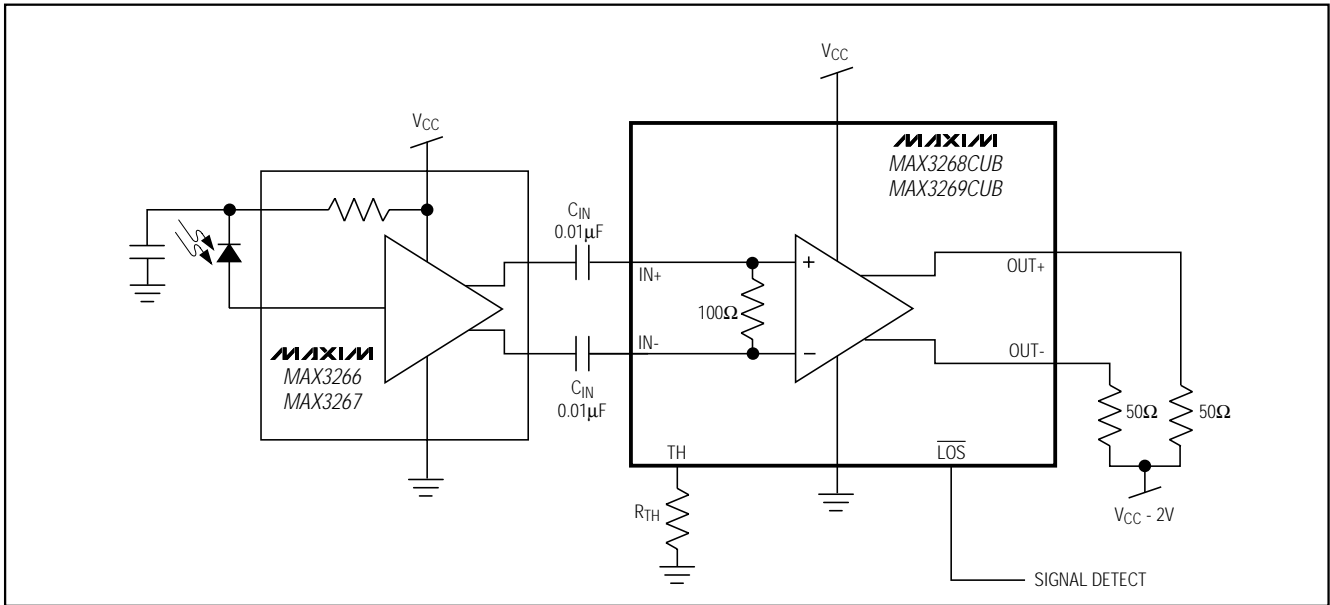


図9. PECL終端処理の別方法

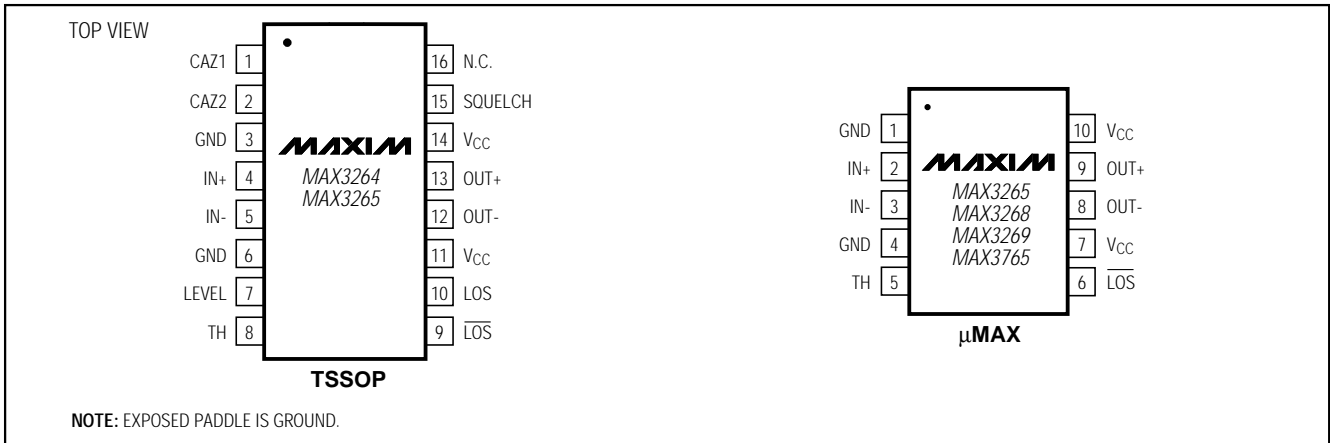
# 3.0V~5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX32765

## 標準動作回路(続き)



## ピン配置



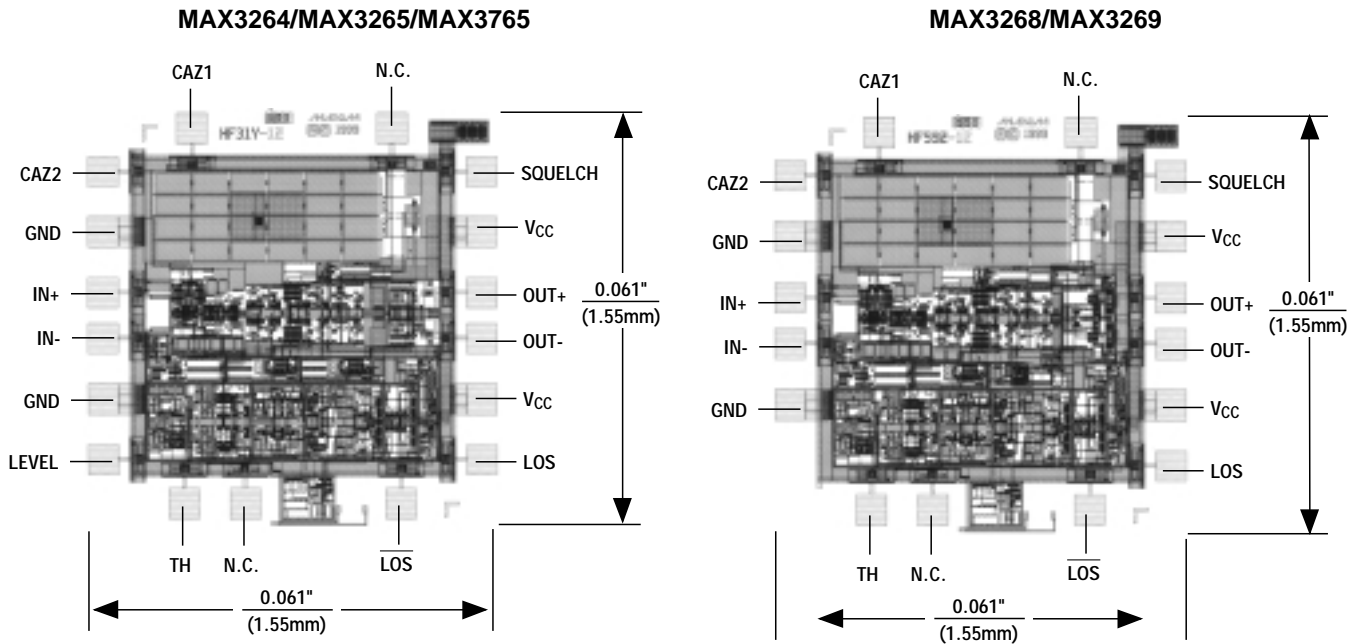
# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

## 選択ガイド

PART	OUTPUT	DATA RATE (Gbps)	PIN-PACKAGE	SQUELCH FUNCTION	CML OUTPUT LEVEL
MAX3264	CML	1.25	16 TSSOP-EP	Selectable	Selectable
MAX3265	CML	2.5	16 TSSOP-EP	Selectable	Selectable
			10 $\mu$ MAX-EP	Disabled	Maximum*
MAX3268	PECL	1.25	10 $\mu$ MAX-EP	Disabled	N/A
MAX3269	PECL	2.5	10 $\mu$ MAX-EP	Disabled	N/A
MAX3765	CML	2.5	10 $\mu$ MAX-EP	Enabled	Maximum*

\*LEVEL pin grounded

## チップ構造図



MAX3264/MAX3265/MAX3765  
TRANSISTOR COUNT: 726

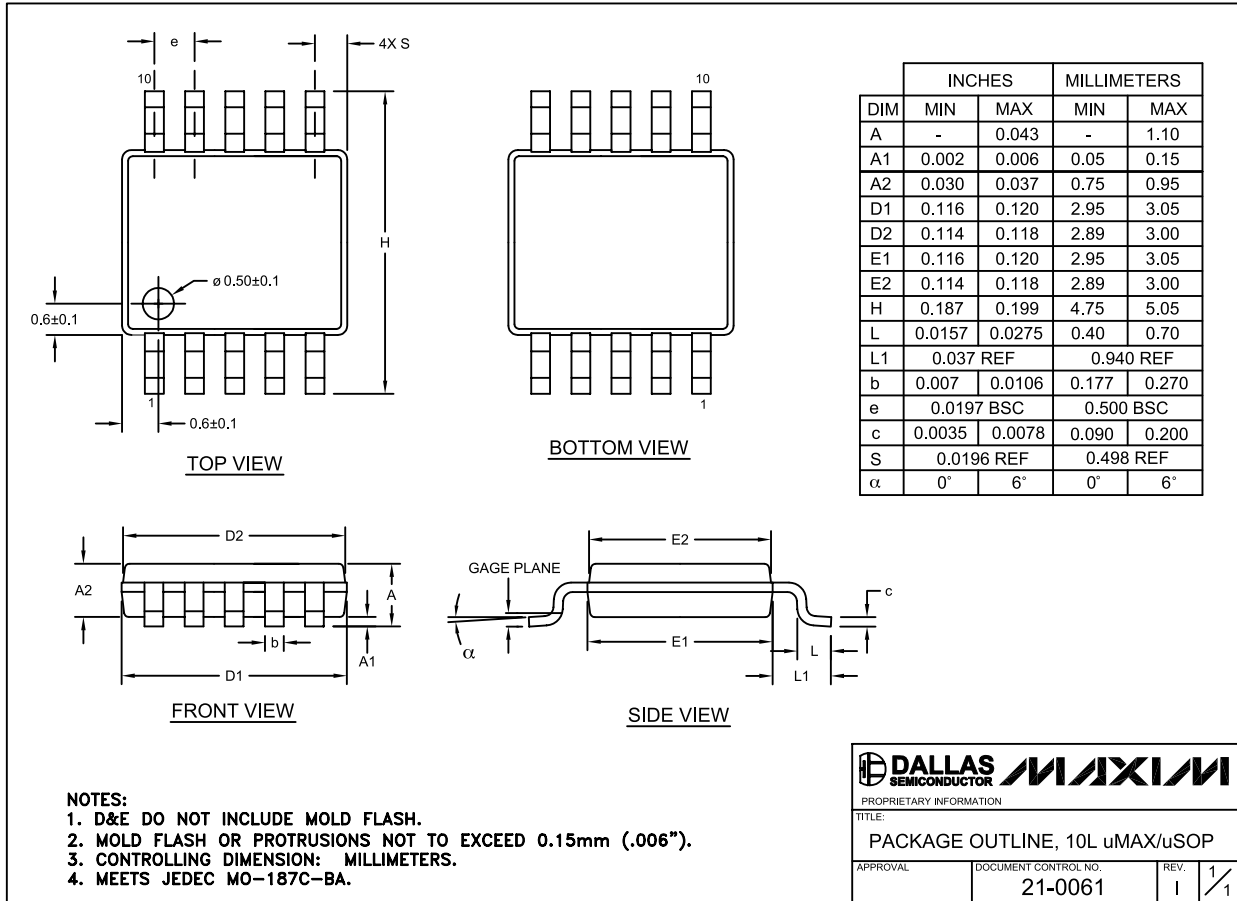
MAX3268/MAX3269 TRANSISTOR COUNT: 728  
SUBSTRATE CONNECTED TO GND

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

# 3.0V~5.5V、1.25Gbps/2.5Gbps リミティングアンプ

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

パッケージ

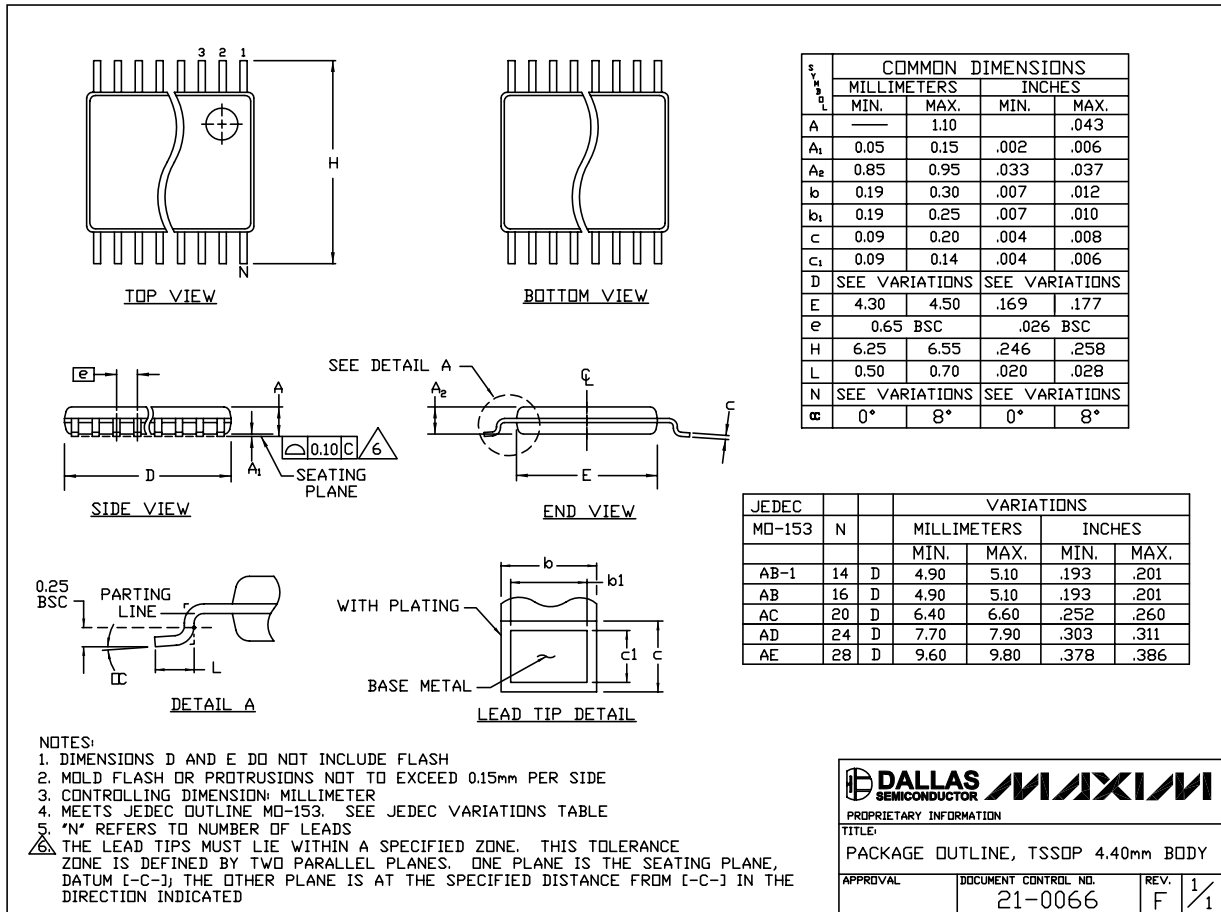


10LUMAX.EPS



# 3.0V ~ 5.5V、1.25Gbps/2.5Gbps リミティングアンプ

パッケージ(続き)



TSSOP4, 4.0mm, EPS

MAX3264/MAX3265/MAX3268/MAX3269/MAX3765

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

17 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2001 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.