

1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

概要

MAX3262は、高利得、広帯域幅のリミティングアンプで、最大データレート1Gbpsの光ファイバレシーバのポストアンプに最適です。アンプの利得は33dB~48dBの範囲で可変可能です。最大利得の場合、僅か6mVp-pの小信号を増幅してPECL入力のデバイスを駆動できます。

MAX3262にはオープンファイバ制御(OFC)回路とのインタフェースにコンプリメンタリのロスオブシグナル出力が備えられています。これらの出力は9mVp-p~48mVp-pの入力で発生するようにプログラムできます。プログラムされた任意のレベルにおけるLOSヒステリシスは、ノイズ耐性とダイナミックレンジの間のバランスを保つために3.0dB(公称)になっています。

アプリケーション

1062Mbps ファイバチャネル

622Mbps SONET

ピン配置はデータシートの最後にあります。

特長

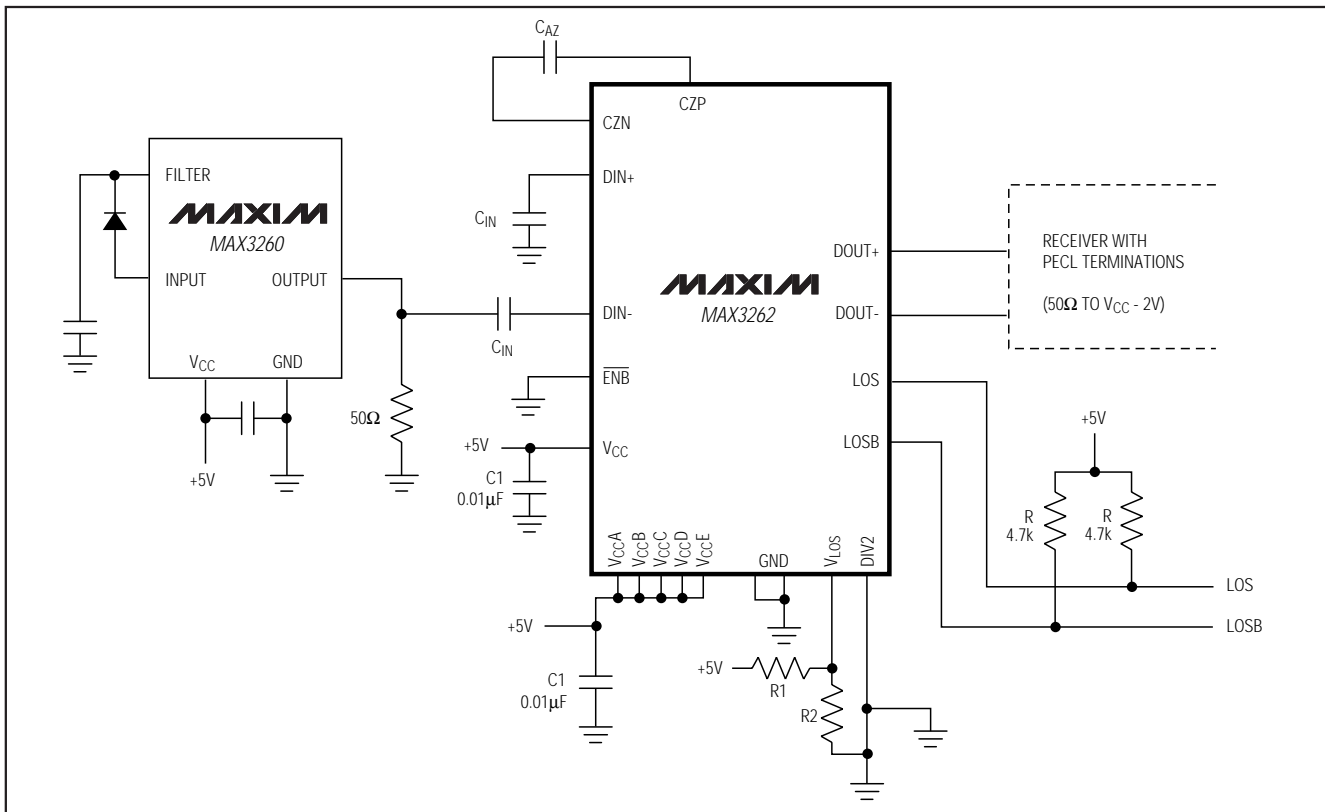
- ◆ 帯域幅：900MHz
- ◆ 最大利得：48dB
- ◆ チャタリングのないLOS
- ◆ プログラマブルLOSスレッシュホールド
- ◆ 電源：+5V単一
- ◆ 完全差動構造

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3262CAG	0°C to +70°C (T _A)	24 SSOP
MAX3262C/D	0°C to +100°C (T _J)	Dice*

*Dice are designed to operate over this range but are tested and guaranteed only at T_A = +25°C.

標準動作回路



1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

MAX3262

ABSOLUTE MAXIMUM RATINGS

Power Supply, $V_{CC} - V_{EE}$	6.0V	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
Input Voltage, $DIN+$, $DIN-$	6.0V	SSOP (derate 10mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	500mW/ $^\circ\text{C}$
CZ_N , CZ_P , ENB , V_{LOS} , $DIV2$, $LOS+$, $LOS-$	-0.3V, $V_{CC} + 0.3V$	Junction Operating Temperature	-55 $^\circ\text{C}$ to +150 $^\circ\text{C}$
$DOUT+$, $DOUT-$ (with 50 Ω load)	2.5V, $V_{CC} + 0.3V$	Storage Temperature Range	-55 $^\circ\text{C}$ to +175 $^\circ\text{C}$
		Processing Temperature (Die)	+400 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +5V$, $R_{LOAD} = 50\Omega$ to $V_{CC} - 2V$ (equivalent), $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$. Typical values are at $V_{CC} = 5V$ and $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Current	I_{VCC}	No output load			60	mA
Enable Input Current	I_{ENB}				150	μA
V_{LOS} Input Current	I_{LOS}			120		μA
Common-Mode Output Voltage		$V_{CC} = 5.0V$	3.5	3.7	3.8	V
$LOS+$, $LOS-$ Output Low Voltage		$I_{OUT} = -1.0\text{mA}$			0.5	V
$DIV2$ Short-Circuit Current		$DIV2 = 0V$		0.5		mA
Differential Output Offset, $DOUT+$ to $DOUT-$					± 35	mV
Input Bias Voltage	V_{DIN}		2.5		3.0	V

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +5V$, $R_{LOAD} = 50\Omega$ to 3V, AC parameters are not tested, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Rejection Ratio	PSRR	Input referred, 55MHz		35		dB
LOS Release Time, Minimum Input	t_{OFFL}	(Note 1)	0.020		0.5	μs
LOS Release Time, Maximum Input	t_{OFFH}	(Note 2)			0.5	μs
LOS Assert Time	t_{ONL}	(Note 1)		0.2	0.5	μs
Input Voltage Range	V_{ID}	Peak-to-peak	0.006		1.8	V
LOS Sensitivity Range	V_{SR}	Differential inputs, peak-to-peak				mV
			MAX3262C/D	9	48	
			10		48	
LOS Hysteresis	HYS	$V_{LOS} = 5V$, Pattern 2 ⁷ - 1PRBS	1.5	3.0	5.0	dB
Differential Input Noise	V_n	$V_{LOS} = 5V$, $DIV2 = GND$ (Note 3)		80		μV
Pulse-Width Distortion	PWD	1Gbps, 8mVp-p input			40	ps
Output Edge Speed	t_R , t_F				250	ps
Output Voltage Amplitude	V_{OUT}	$V_{OH} - V_{OL}$	400	600	730	mV
Small-Signal Bandwidth	BW	MAX3262C/D	800	925		MHz
		MAX3262CAG	750	810		

Note 1: Input is a 200MHz square wave, $t_R < 300\text{ps}$, 8mVp-p.

Note 2: Input is a 200MHz square wave, $t_R < 300\text{ps}$, 1.8Vp-p.

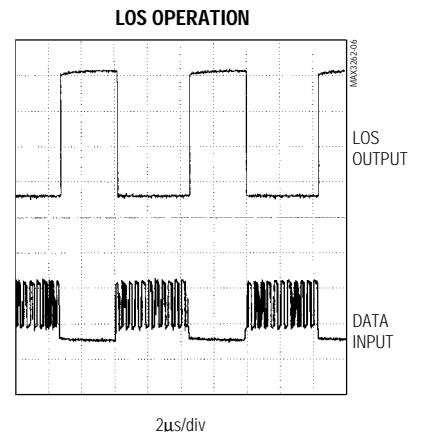
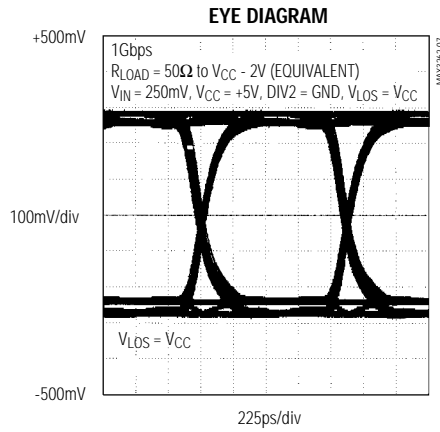
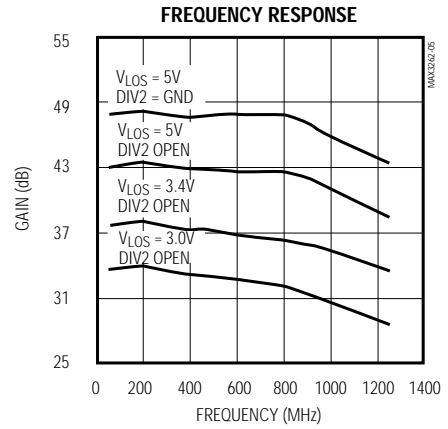
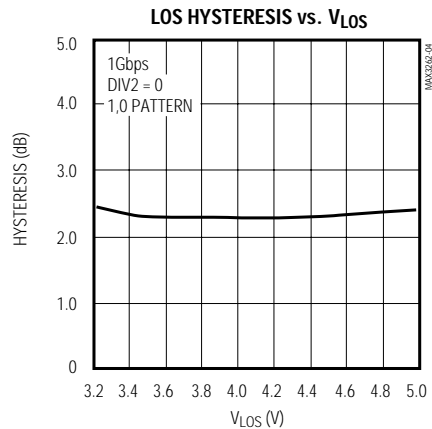
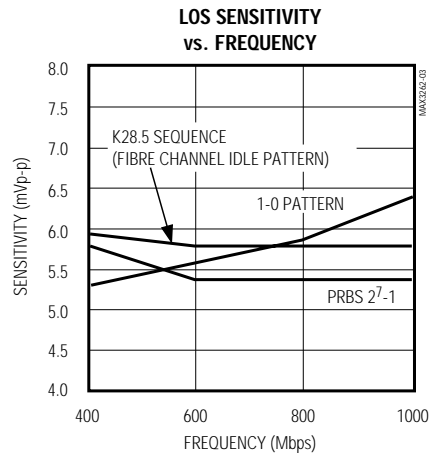
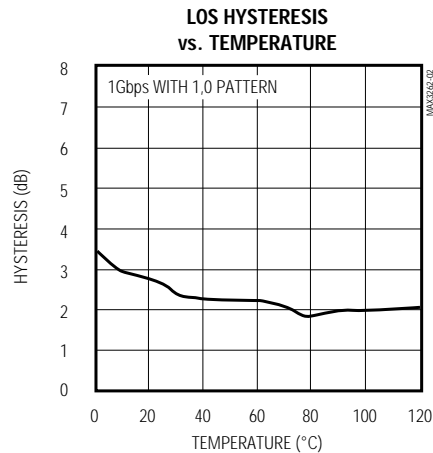
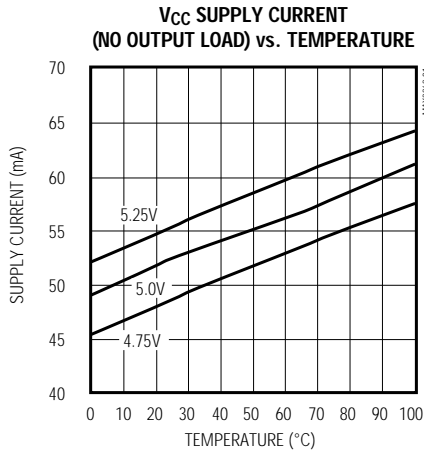
Note 3: Input-referred noise = RMS output noise/low-frequency gain.

1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

MAX3262

標準動作特性

($V_{CC} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)



1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

MAX3262

端子説明

端子	名称	機能
1	V _{CCB}	内部利得段の正電源
2	V _{LOS}	電源検出/LOSレベル設定。この入力でLOSの発生に必要なスレッシュホールドレベルをプログラムしてください。
3	CZP	オフセット補正ループ補償コンデンサ。このピンは100nF ~ 330nFコンデンサを介してCZNピンに接続してください。これがオフセット補正ループの主極を提供します。
4	CZN	オフセット補正ループ補償コンデンサ。このピンは100nF ~ 330nFコンデンサを介してCZPピンに接続してください。これがオフセット補正ループの主極を提供します。
5	V _{CCA}	入力段アンプの電源
6	DIN+	データ入力
7	DIN-	反転データ入力
8	GND	入力段アンプのグラウンド
9	$\overline{\text{ENB}}$	出力イネーブル。出力利得段がディセーブルされ、LOS回路は動作したままです。
10	DIV2	入力段利得調整。LOSスレッシュホールドレベルが9mVp-p ~ 20mVp-pの入力信号範囲に設定されるアプリケーションでは、このピンを接地することで入力段利得が強制的に最大(11dB)になります。LOSスレッシュホールドレベルが15mVp-p ~ 48mVp-pの入力信号範囲に設定されるアプリケーションでは、このピンをオープンのままにすることで入力段の利得が強制的に2分の1(6dB)にされます。
11	V _{TH}	テスト専用のコンパレータスレッシュホールド電圧。接続しないでください。
12	V _{CC E}	電源検出/LOS回路の正電源
13	GND	電源検出/LOS回路のグラウンド
14	GND	LOS+/LOS-バッファ回路のグラウンド
15	V _{CC D}	LOS+/LOS-バッファ回路の正電源
16	LOS-	ロスオブシグナル。このピンは、入力パワーがLOSスレッシュホールドレベルよりも低くなった時にローになります。
17	LOS+	ロスオブシグナル。このピンは、入力パワーがLOSスレッシュホールドレベルよりも低くなった時にハイになります。
18	DOUT-	反転データ出力
19	DOUT+	データ出力
20	GND	基板グラウンド
21	V _{CC C}	バイアスジェネレータの正電源
22	GND	バイアスジェネレータのグラウンド
23	V _{CC}	出力バッファの正電源
24	GND	内部利得段のグラウンド

1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

MAX3262

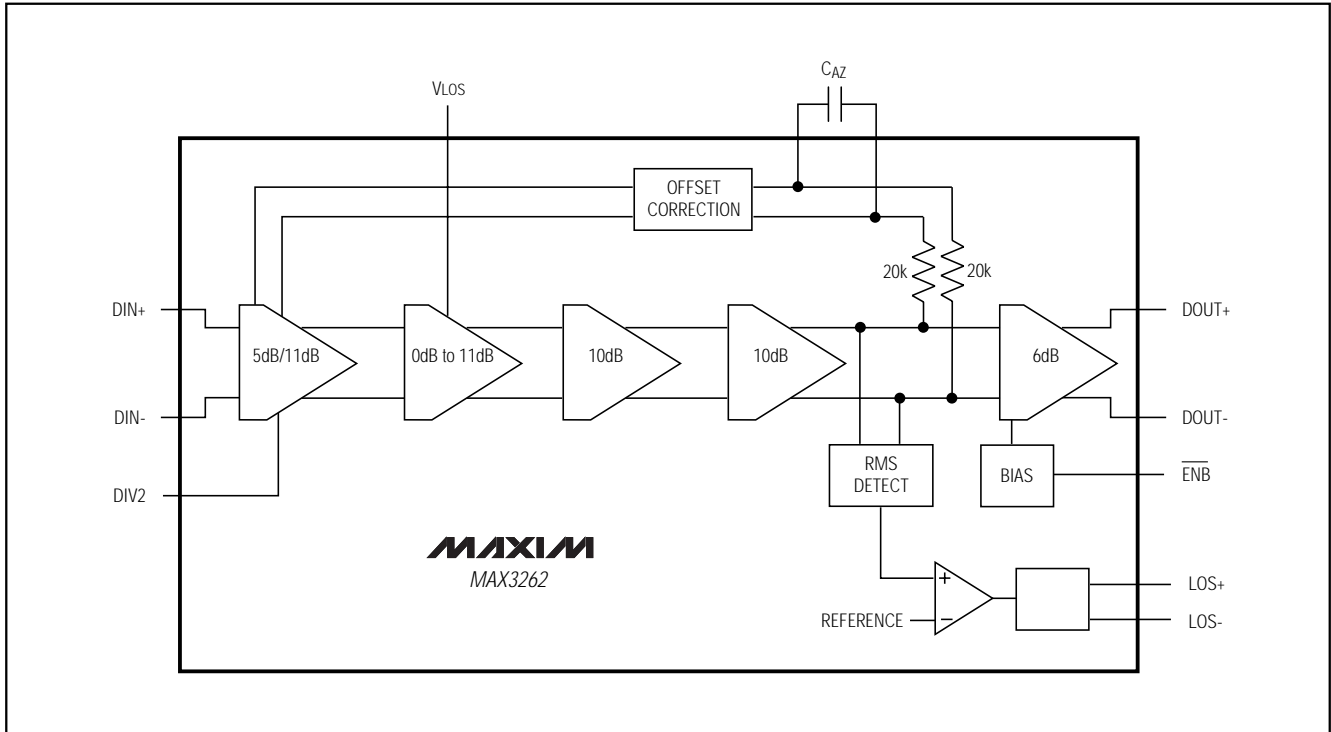


図1. ブロック図

詳細

MAX3262は高周波光ファイバアプリケーション用の集積されたりミティングアンプです。この回路は光ファイバリンク内の標準的なトランスインピーダンスアンプに接続します。トランスインピーダンスアンプのリニア信号出力はかなりのノイズを含むことがあり、経時的に振幅が変動することがあります。リミティングアンプであるMAX3262は信号を量子化し、48dBの全入力ダイナミックレンジで電圧制限波形を出力します。

MAX3262はオフセット補正機能を備えており、この機能は、オフセット電圧を無視できるレベルまで効果的に低減します。デューティサイクルが50%のNRZデータを用いる通信システムでは、信号の中にすでに存在するパルス幅歪み、あるいはトランスインピーダンスアンプによって生成されるパルス幅歪みが入力オフセットとして表れますが、これらはオフセット補正機能によって部分的に取り除くことができます。オフセット補正ループを補償するために外付コンデンサがCZPとCZN間に必要であり、これが下部3dB低下点を決定します。

ロスオブシグナル機能

MAX3262はチャタリングのないロスオブシグナル機能を備えています。この機能は、入力信号が許容できるビットエラーレートに必要なレベルを下回ったことを検出するため、あるいはオープンファイバ状態を表示するために使用します。ロスオブシグナル機能は、出力段に入る信号をサンプリングする整流ピーク検出器によって実現されます。ピーク検出器の出力は内部で生成されたスレッシュホールドと比較され、LOS+及びLOS-出力を生成するために使用されます。

ロスオブシグナルスレッシュホールドはアンプ利得を変更することによって調節します。MAX3262の利得は33dB～48dBの範囲で設定できますので、LOSスレッシュホールドは9mV_{p-p}～48mV_{p-p}の範囲で設定できます。図2にLOSスレッシュホールドをDIV2及びV_{LOS}ピンの関数として示します。DIV2ピンは利得6dBの疎調整を行い、V_{LOS}ピンは利得0dB～11dBの微調整を行います。

1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

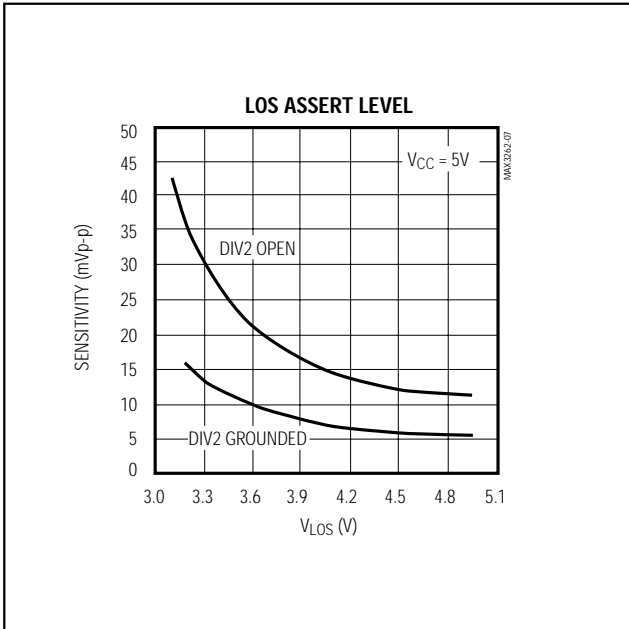


図2. MAX3262の感度対 V_{LOS} 設定

レベル検出ヒステリシス及び200nsの内部遅延により、入力信号レベルがLOSスレッシュホールドに近い場合でも、LOS出力のチャタリングが排除されます。プログラムされたロスオブシグナルレベルのヒステリシスは2.5dB(公称)です。

LOS+及びLOS-出力はオープンコレクタのショットキークランプトランジスタで、正しく動作させるためにはプルアップ抵抗が必要です(図3)。ロスオブシグナルの時定数は、適切なプルアップ抵抗及びシャント負荷容量によって外部的に設定します。

ENBピンを用いることで、入力信号を除去せずに出力信号をディセーブルすることができます。

ワイヤボンディングチップ

MAX3262は、信頼性を高めるために金被覆を施してあります。チップへの接続は金ワイヤでのみ行い、ボールボンディング法を用いてください。ウェッジボンディングは推奨されません。ボンドのパッドサイズは0.1mmです。

設計手順

コンデンサ容量の決定

オフセット補正機能が正しく動作するためには、MAX3262の入力はACカップリングされていなければなりません。図4に回路の入力段を示します。この回路の-3dB点は入力カップリングコンデンサによって決まります。-3dBの周波数は $1 / [(2 \pi)(1500 \text{ ns})(C_{IN})]$ Hzです。 C_{IN} は信号の質に影響を与えない程度に大きくなければならず、同時にLOSの発生時間に影響を与えない程度に

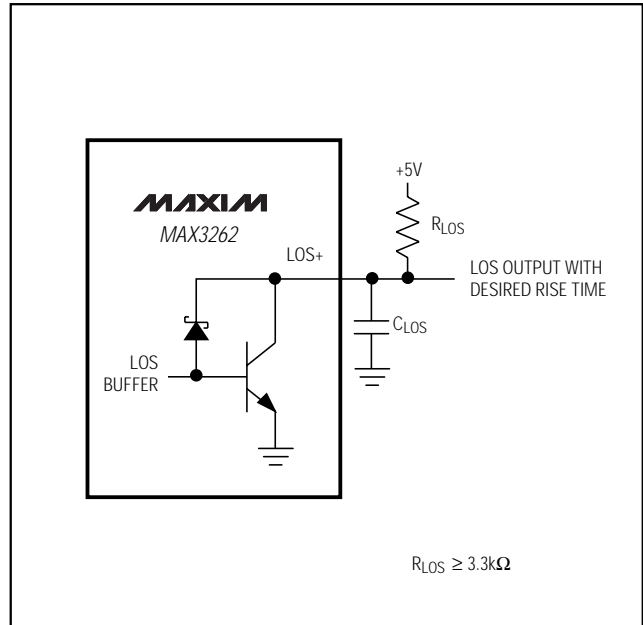


図3. LOSの時定数の設定

小さくしなければなりません。オープンファイバ状態になった時に、入力カップリングコンデンサの電圧がLOSスレッシュホールドのレベルよりも低くなるまで放電しなければならず、これが行われるまでLOSは発生しません。放電時間の条件が最悪になるのは、入力信号が最大でLOSスレッシュホールドが最小の時です。この場合、入力コンデンサは0.9Vから4.5mVまで放電しなければなりません。これに要する時間は以下の通りです。

$$t = (1500) (C_{IN}) I_n (V_{MAX} / V_{THRESH}) \text{ 秒}$$

例) MAX3262の感度が6mVに設定されていて、 $C_{IN} = 100\text{pF}$ であれば、-3dBの周波数は1MHz、最大LOS遅延時間は約1 μs になります。

安定した動作を得るためには、オフセット補正コンデンサ(C_{AZ})が100nF以上でなければなりません。このコンデンサは40k Ω の内部抵抗と直列になっています。オフセットゼロ回路の-3dB点は以下の通りです。

$$1 / [(2 \pi)(C_{AZ})(40\text{k} \Omega)] \text{ Hz}$$

$C_{AZ} = 180\text{nF}$ の場合、オフセット補正回路の帯域幅は22Hzです。マキシム社独自のオフセット補正構造は入力カップリング時定数とオフセット補正時定数を分離しています。このため、この2つのネットワークの間には相互作用がなくなり、LOSのチャタリング原因を1つ取り除いています。

1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

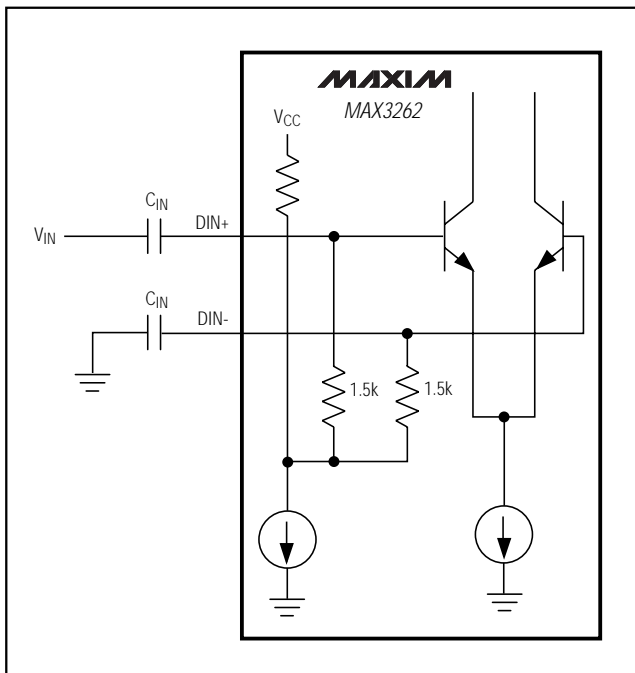


図4. MAX3262等価入力回路

出力の終端

MAX3262の出力は50Ωの負荷で($V_{CC} - 2V$)又はテブナン等価回路に終端しなければなりません。図5に出力終端法を2つ示します。

レイアウト及びPCボード設計

MAX3262は高周波部品であるため、回路の性能はボードレイアウトと設計に大きく依存します。高利得アンプによく見られる問題は、スイングの大きな出力が電源を経由して入力にフィードバックする現象です。また、一部の光ファイバリミティングアンプで問題となるのはLOSのチャタリングです。つまり、LOS出力のオン/オフ切り替えが電源ノイズを生じさせ、それがLOS出力のチャタリングを引き起こします。ボードレイアウトが適切であれば、MAX3262はチャタリングのないLOS動作を保証しています。

MAX3262はグランドピンを5個、基板接続部を1箇所備えています。これらは全て回路ボードのグランドに接続してください。グランドへの接続には、部品の近くから複数のスルーホールを使用してください。長い誘導性の配線はMAX3262の性能を劣化させますので避けてください。MAX3262の6個のV_{CC}電源ピンは全て接続する必要があります。V_{CC}A ~ V_{CC}Eは1個のコンデンサでまとめてデカップリングすることができます。V_{CC}(ピン23)のデカップリングは独立して行ってください(「標準動作回路」を参照)。

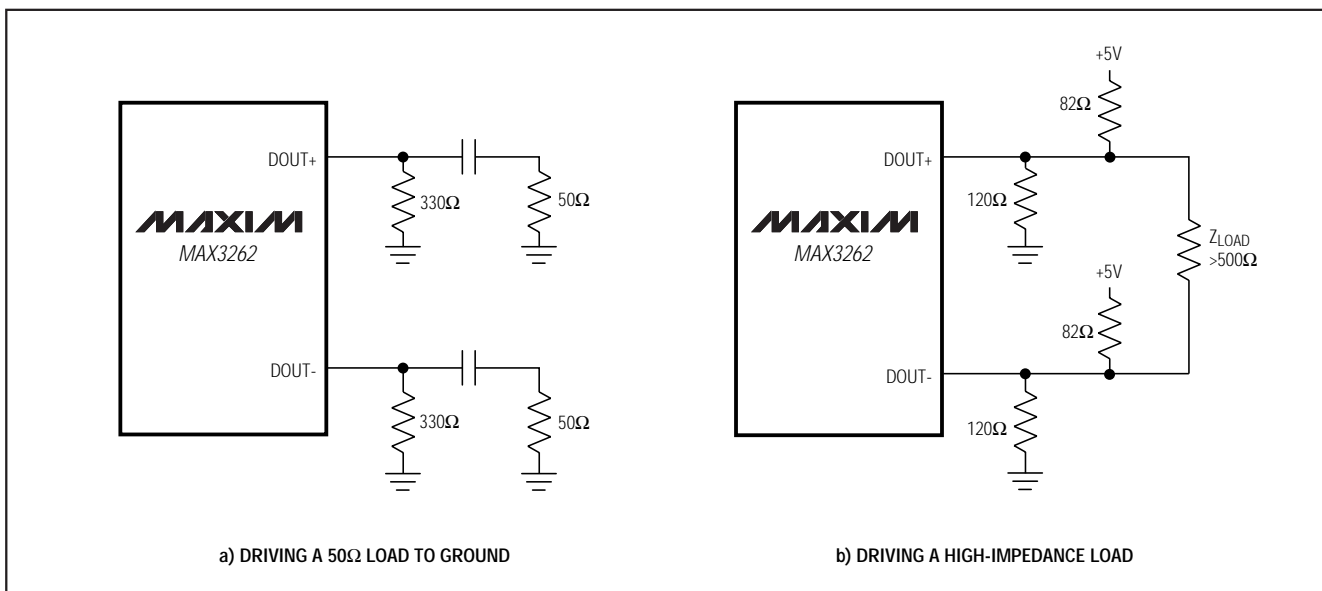
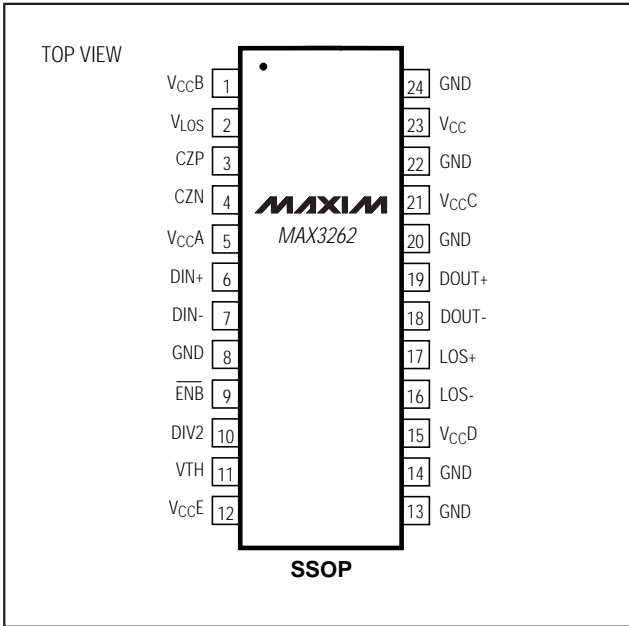


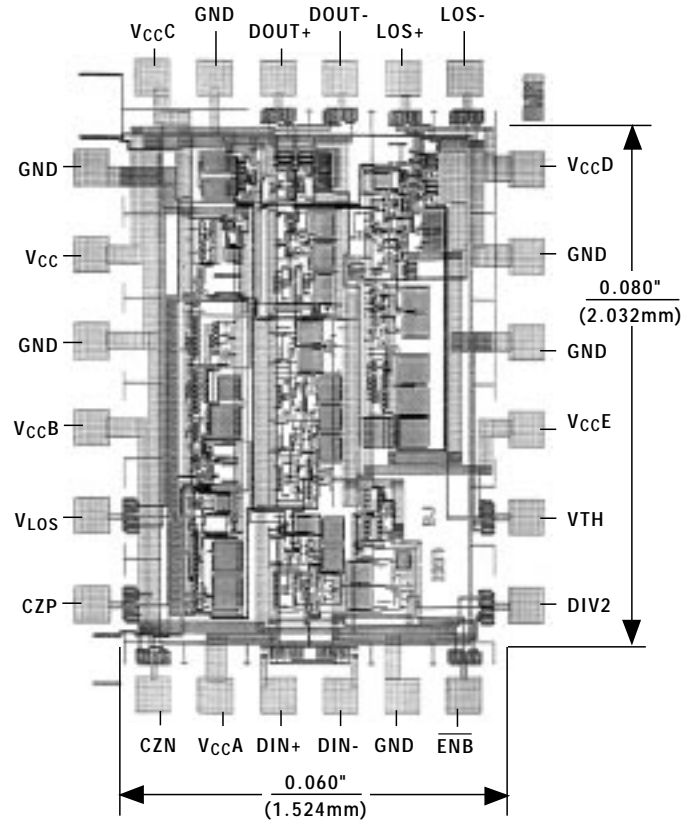
図5. 出力の終端法

1Gbps、高速、リミティングアンプ チャタリングなし、ロスオブシグナル検出付

ピン配置



チップ構造図



TRANSISTOR COUNT: 200

SUBSTRATE CONNECTED TO GND PIN 17

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600