

アクティブになります。一部のマイクロコントローラでは、非アクティブ時のクロックの極性を設定することができます。MAX31865は、CSがアクティブ化した時点でSCLKをサンプリングし、非アクティブ時のクロックの極性を判定することによって、どちらのクロック極性にも自動的に対応します。入力データ(SDI)は内部ストロブのエッジでラッチされ、出力データ(SDO)はシフトエッジでシフトアウトされます(表8および図5を参照)。転送される各ビットに対して1クロックが使用されます。アドレスおよびデータビットは8ビット単位で、MSBから先に転送されます。

アドレスおよびデータバイト

アドレスおよびデータバイトは、MSBから先にシリアルデータ入力(SDI)にシフトインされ、シリアルデータ出力(SDO)からシフトアウトされます。すべての転送には、書込みまたは読取りを指定するバイトのアドレスが必要で、そのあとに1バイト以上のデータが続きます。データは、読取り操作の場合はSDOから転送され、書込み操作の場合

はSDIに転送されます。アドレスバイトは、常にCSがローに駆動されたあとに転送される最初のバイトです。このバイトのMSB (A7)は、後続のバイトが書込みか読取りかを決定します。A7が0の場合、アドレスバイトのあとに1つ以上のバイト読取りが続きます。A7が1の場合、アドレスバイトのあとに1つ以上のバイト書込みが続きます。

単一バイト転送の場合、1バイトの読取りまたは書込みが行われたあと、CSがハイに駆動されます(図6および図7を参照)。複数バイト転送の場合、アドレスが書き込まれたあとに複数のバイトの読取りまたは書込みを行うことができます(図8を参照)。CSがローのままである限り、アドレスはすべてのメモリ位置にわたりインクリメントを続けます。データのクロックインまたはクロックアウトが継続された場合、アドレスは7Fh/FFhから00h/80hにループします。無効なメモリアドレスに対してはFFhの値が通知されます。読取り専用レジスタに書込みを試みた場合、レジスタの内容は変化しません。

表8. 機能表

MODE	CS	SCLK	SDI	SDO
Disable Reset	High	Input disabled	Input disabled	High impedance
Write	Low	CPOL = 1*, SCLK rising	Data bit latch	High impedance
		CPOL = 0, SCLK falling		
Read	Low	CPOL = 1, SCLK falling	X	Next data bit shift**
		CPOL = 0, SCLK rising		

注：CPHA ビット極性は 1 に設定される必要があります。

*CPOL はマイクロコントローラの制御レジスタで設定されるクロック極性ビットです。

** 読取り中に 8 ビットのデータをシフトアウトする準備ができるまで SDO はハイインピーダンスのままになります。

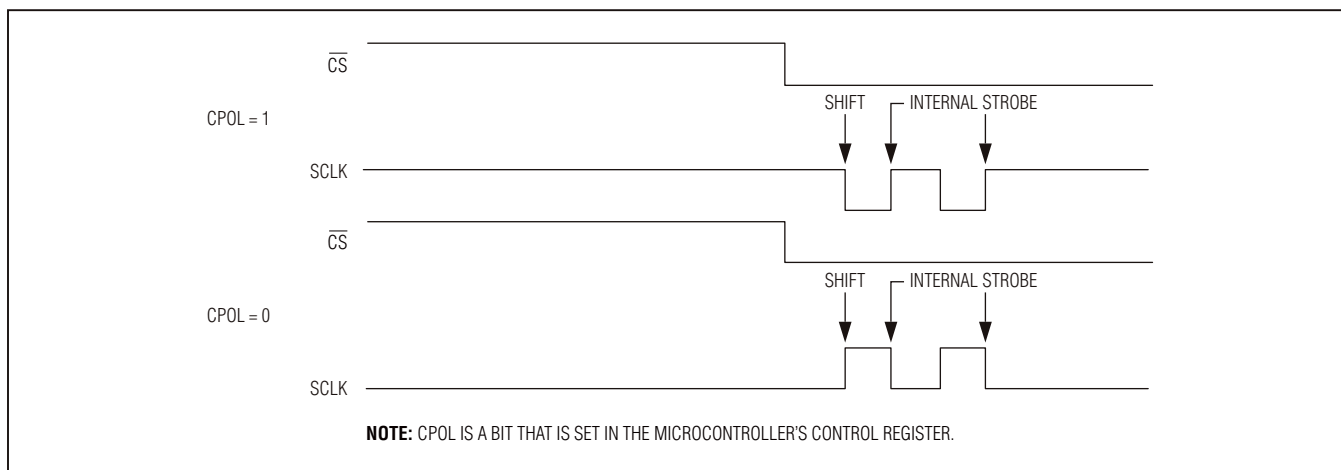


図 5. マイクロコントローラのクロック極性 (CPOL) の関数としてのシリアルクロック

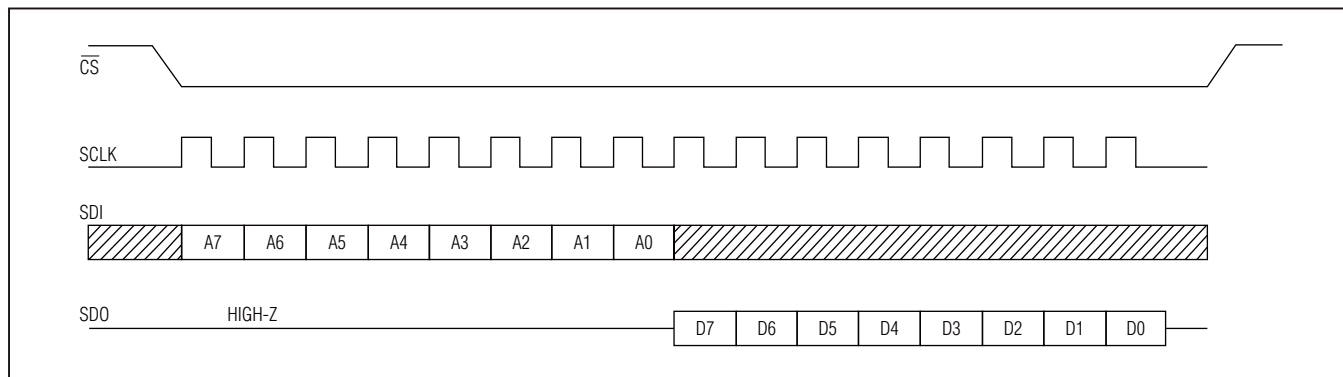


図 6. SPI の単一バイト読取り

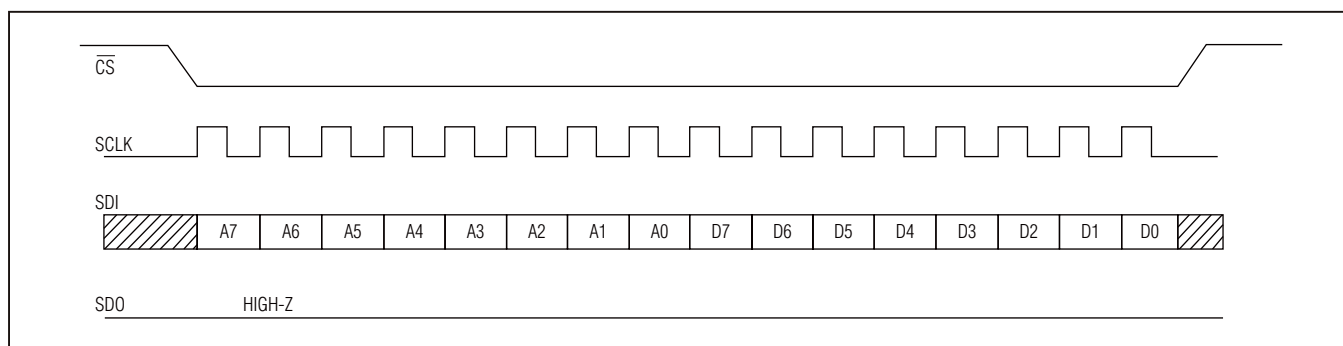


図 7. SPI の単一バイト書込み

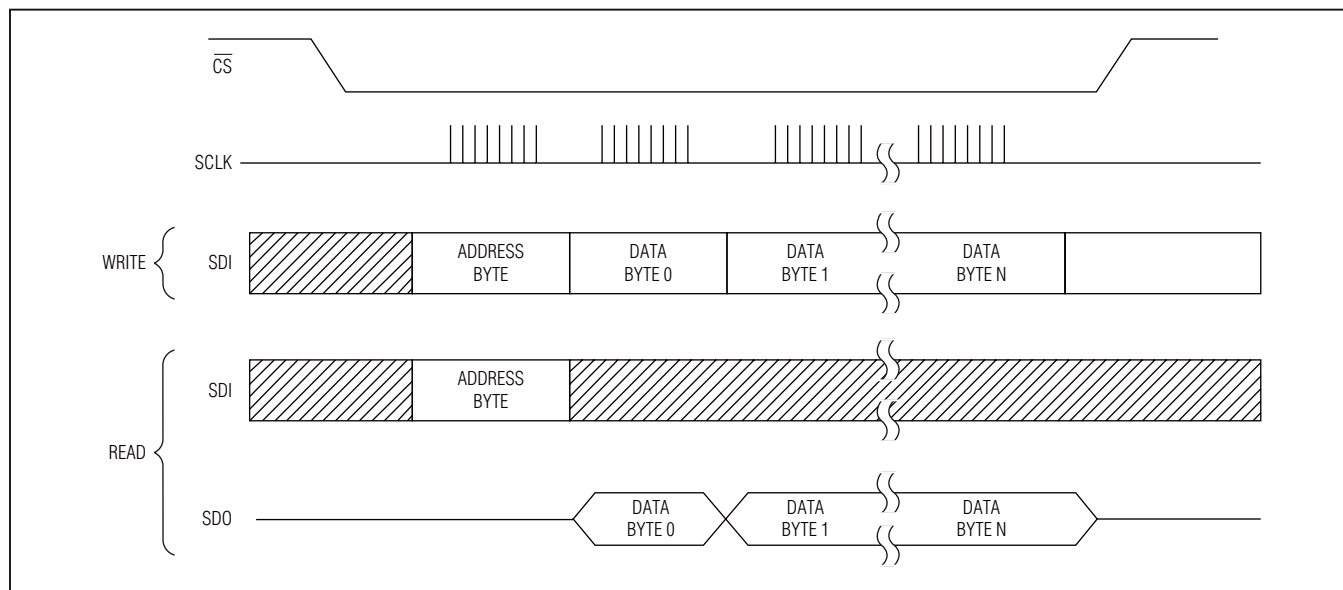


図 8. SPI のマルチバイト転送

DRDY

DRDY出力は、新しい変換結果がRTD Dataレジスタで利用可能になったときローになります。RTD Dataレジスタの読み取り操作が完了すると、DRDYはハイに戻ります。

アプリケーション情報

ノイズの多い環境で動作する場合、RTDIN+とRTDIN-入力間にフィルタコンデンサを配置することができます。過電圧または低電圧フォルトのあと、フォルト検出サイクルのあと、またはVBIASをイネーブルしたあとは、常に入力フィルタのセトリング時間を待ってからADCを再起動して

ください。規定の精度を達成するには、少なくとも時定数の5倍 + (保護デバイスの安定化のための)追加の1msの遅延時間を推奨します。

RTD Dataレジスタ値から温度への変換

RTD Dataレジスタに格納されたレシオメトリックAD変換結果は、数ステップの計算により温度に変換することができます。

最初に、次式を使用してRTDの抵抗値を決定する必要があります。

$$R_{RTD} = (ADCコード \times R_{REF}) / 2^{15}$$

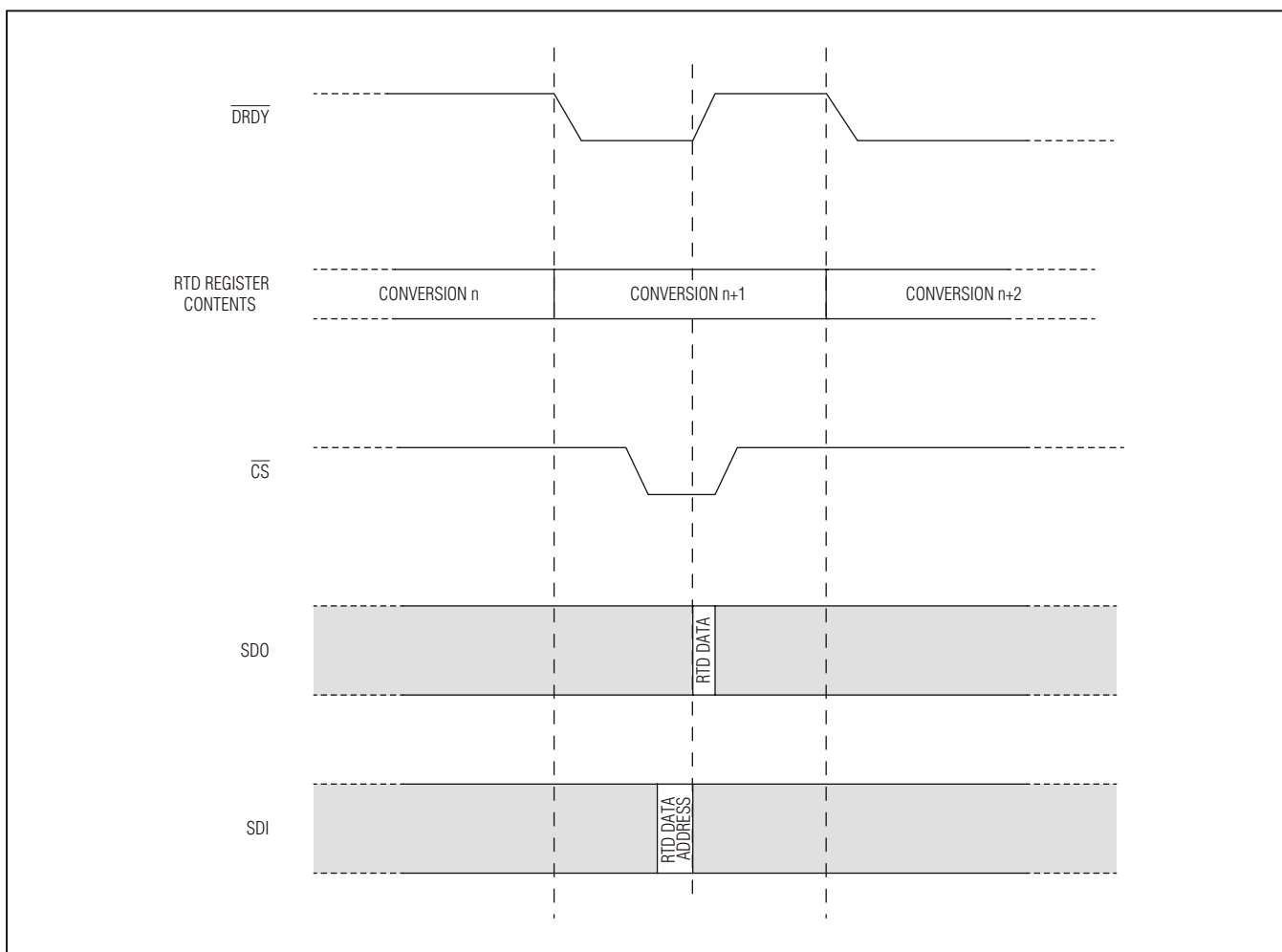


図 9. DRDY の動作

ADCコード = RTD Dataレジスタ(01h~02h)の15ビットのAD変換結果

R_{REF} = 基準抵抗の抵抗値

RTDの抵抗値が判明した時点で、選択したRTDの明確に定義された抵抗特性を使用し、計算またはルックアップ

テーブルにより温度を決定することができます。

PT100 RTDと400Ωの高精度低ドリフト基準抵抗を使用した標準的な場合について、表9に温度と抵抗値および対応するADCコード結果の例を示します。

表9. PT100と400Ωの R_{REF} を使用した場合の温度の例

TEMPERATURE (°C)	RTD RESISTANCE (Ω)	RTD DATA REG (01h-02h) (hex)	ADC CODE (dec)	ADC CODE/32-256 (°C)
-200	18.52	0BDAh	1517	-208.59
-175	29.22	12B4h	2394	-181.19
-150	39.72	196Ch	3254	-154.31
-125	50.06	200Ah	4101	-127.84
-100	60.26	2690h	4936	-101.75
-75	70.33	2D04h	5762	-75.94
-50	80.31	3366h	6579	-50.41
-40	84.27	35EEh	6903	-40.28
-30	88.22	3876h	7227	-30.16
-20	92.16	3AFCh	7550	-20.06
-10	96.09	3D7Eh	7871	-10.03
0	100.00	4000h	8192	0.00
10	103.90	4280h	8512	10.00
20	107.79	44FCh	8830	19.94
30	111.67	4778h	9148	29.88
40	115.54	49F2h	9465	39.78
50	119.40	4C6Ah	9781	49.66
60	123.24	4EE0h	10096	59.50
70	127.08	5154h	10410	69.31
80	130.90	53C6h	10723	79.09
90	134.71	5636h	11035	88.84
100	138.51	58A4h	11346	98.56
110	142.29	5B12h	11657	108.28
120	146.07	5D7Ch	11966	117.94
130	149.83	5FE4h	12274	127.56
140	153.58	624Ch	12582	137.19
150	157.33	64B0h	12888	146.75
160	161.05	6714h	13194	156.31
170	164.77	6974h	13498	165.81
180	168.48	6BD4h	13802	175.31
190	172.17	6E30h	14104	184.75
200	175.86	708Ch	14406	194.19
225	185.01	7668h	15156	217.63
250	194.10	7C3Ah	15901	240.91

表9. PT100と400ΩのR_{REF}を使用した場合の温度の例(続き)

TEMPERATURE (°C)	RTD RESISTANCE (Ω)	RTD DATA REG (01h-02h) (hex)	ADC CODE (dec)	ADC CODE/32-256 (°C)
275	203.11	81FEh	16639	263.97
300	212.05	87B6h	17371	286.84
325	220.92	8D64h	18098	309.56
350	229.72	9304h	18818	332.06
375	238.44	989Ah	19533	354.41
400	247.09	9E24h	20242	376.56
425	255.67	A3A2h	20945	398.53
450	264.18	A914h	21642	420.31
475	272.61	AE7Ah	22333	441.91
500	280.98	B3D4h	23018	463.31
525	289.27	B922h	23697	484.53
550	297.49	BE64h	24370	505.56

RTDIN+ケーブルのフォルト検出

3線式および4線式RTD接続構成では、RTDIN+ケーブルが破損または切断された場合、バイアスなしのADC+がMAX31865に入力される結果となります。これにより、予測不可能なAD変換結果が発生し、PCBレイアウト、外部回路のノイズ、および周囲温度による影響を受ける可能性があります。Fault Thresholdレジスタに設定された値によっては、このケーブルフォルト状態が検出されない場合があります。この状態が問題となる場合は、RTDIN+端子とBIAS端子間に10MΩの抵抗を追加してください。それにより、RTDIN+リードが破損または切断している場合、RTD抵抗の測定値はフルスケールになります。

RTDおよびケーブルのフォルト状態の分析

RTD素子開回路またはRTD素子両端の短絡は、抵抗値データに基づいて変換のたびに検出されます。RTD素子開回路の結果は、フルスケールの読み値になります。High Fault Thresholdレジスタを使用して、RTD素子開回路検出のスレッシュホールドを設定してください。変換結果がスレッシュホールド値以上の場合、変換終了時にFault StatusレジスタのRTDハイビットがセットされます。RTD素子開回路は、

$V_{REFIN-} > 0.85 \times V_{BIAS}$ かどうかを調べることによって、オンデマンドでも検出することができます。RTD素子短絡は、ゼロに近い変換結果を生成します。Low Fault Thresholdレジスタで、RTD短絡検出のスレッシュホールドを設定してください。

表10、表11、および表12に、2線式、3線式、および4線式構成でのRTDおよびケーブルのフォルト検出方法の概要を示し、最も一般的な原因について説明します。

フォルトステータスビットは、Configurationレジスタのフォルトクリアビットがセットされるまでラッチされます。そのため、断続的なフォルトを捕捉することができます。

電源デカップリング

デバイスの使用時に最高の結果を実現するために、0.1μFのコンデンサでV_{DD}およびDVDD電源をデカップリングしてください。可能な場合、高品質の表面実装型セラミックコンデンサを使用してください。表面実装部品はリードインダクタンスが最小限に抑えられるため性能が向上し、セラミックコンデンサの多くはデカップリング用途に適した高周波数応答を備えています。

表10. RTD Data LSBレジスタのフォルトビット = 1のときのRTDフォルトの分析(2線式構成)

FAULT STATUS BIT SET	DESCRIPTION OF POSSIBLE CAUSE	CONDITION DETECTED	DESCRIPTION OF RESULTING DATA
D7	Open RTD element	Measured resistance greater than High Fault Threshold value	Full scale
D6	Shorted RTD element RTDIN+ shorted low	Measured resistance less than Low Fault Threshold value	Near zero
D5	Open RTD	$V_{REFIN-} > 0.85 \times V_{BIAS}$	Full scale
	RTDIN+ shorted high		Indeterminate
	RTDIN- shorted high		Indeterminate
D4	RTDIN- shorted low	$V_{REFIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Appear to be valid
D3	RTDIN- shorted low	$V_{RTDIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Appear to be valid
	RTDIN+ shorted low		Near zero
D2	Overvoltage or undervoltage fault	Any protected input voltage $>V_{DD}$ or $<GND1$	Indeterminate

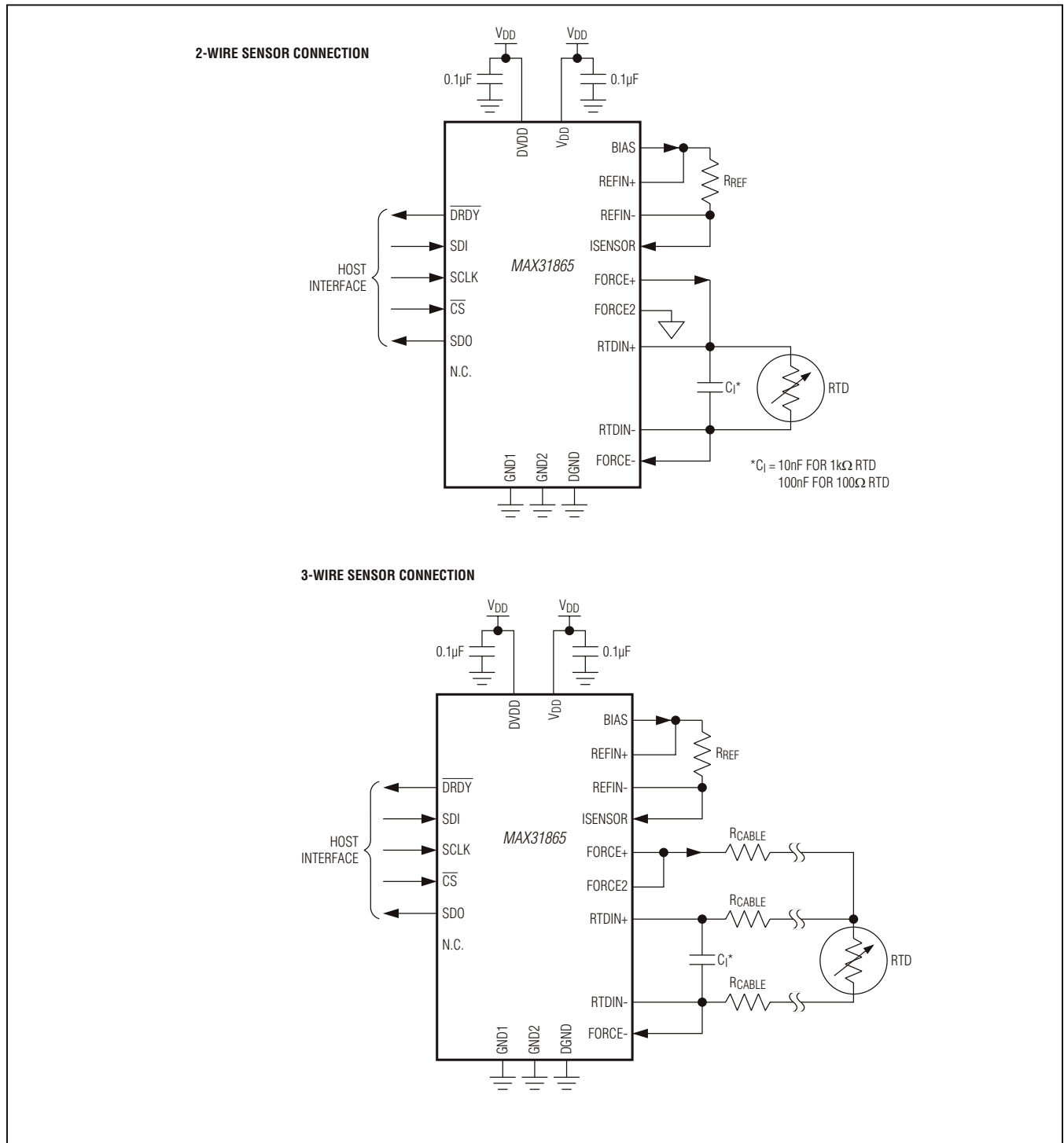
表11. RTD Data LSBレジスタのフォルトビット = 1のときのRTDフォルトの分析(3線式構成)

FAULT STATUS BIT SET	DESCRIPTION OF POSSIBLE CAUSE	CONDITION DETECTED	DESCRIPTION OF RESULTING DATA
D7	Open RTD element	Measured resistance greater than High Fault Threshold value	Full scale
	RTDIN+ shorted high and not connected to RTD		
	Force+ shorted high and connected to RTD		
D6	RTDIN+ shorted to RTDIN-	Measured resistance less than Low Fault Threshold value	Near zero
	RTDIN+ shorted low and not connected to RTD		
	Force+ shorted low		
D5	Open RTD element	$V_{REFIN-} > 0.85 \times V_{BIAS}$	Full scale
	Force+ shorted high and connected to RTD		
	Force+ unconnected		Indeterminate
	Force+ shorted high and not connected to RTD		
	RTDIN- shorted high		
D4	RTDIN- shorted low	$V_{REFIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Appear to be valid
D3	Force+ shorted low	$V_{RTDIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Near zero
	RTDIN+ shorted low and connected to RTD		
	RTDIN- shorted low		Appear to be valid
D2	Overvoltage or undervoltage fault	Any protected input voltage $>V_{DD}$ or $<GND1$	Indeterminate

表12. RTD Data LSBレジスタのフォルトビット = 1のときのRTDフォルトの分析(4線式構成)

FAULT STATUS BIT SET	DESCRIPTION OF POSSIBLE CAUSE	CONDITION DETECTED	DESCRIPTION OF RESULTING DATA
D7	Open RTD element	Measured resistance greater than High Fault Threshold value	Full scale
	RTDIN+ shorted high and not connected to RTD		
	Force+ shorted high and connected to RTD		
D6	RTDIN+ shorted to RTDIN-	Measured resistance less than Low Fault Threshold value	Near zero
	RTDIN+ shorted low and not connected to RTD		
	RTDIN- shorted high and not connected to RTD		
	Force+ shorted low		
D5	Open RTD element	$V_{REFIN^-} > 0.85 \times V_{BIAS}$	Full scale
	Force+ shorted high and connected to RTD		Indeterminate
	Force- unconnected		
	Force+ unconnected		
	Force+ shorted high and not connected to RTD		
	Force- shorted high and not connected to RTD		
	Force- shorted high and connected to RTD		
	Force- shorted low and not connected to RTD		
D4	Force- shorted low and connected to RTD	$V_{REFIN^-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Indeterminate
	RTDIN- shorted low and connected to RTD		Appear to be valid
D3	Force+ shorted low	$V_{RTDIN^-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Near zero
	RTDIN+ shorted low and connected to RTD		Appear to be valid
	RTDIN- shorted low and connected to RTD		
	RTDIN- shorted low and not connected to RTD		
	Force- shorted low		
D2	Overvoltage or undervoltage fault	Any protected input voltage $>V_{DD}$ or $<GND1$	Indeterminate

標準アプリケーション回路(続き)



型番

PART	TEMP RANGE	PIN-PACKAGE
MAX31865AAP+	-40°C to +125°C	20 SSOP
MAX31865AAP+T	-40°C to +125°C	20 SSOP
MAX31865ATP+	-40°C to +125°C	20 TQFN-EP*
MAX31865ATP+T	-40°C to +125°C	20 TQFN-EP*

+ は鉛 (Pb) フリー /RoHS 準拠パッケージを表します。

T = テープ&リール。

*EP = エクスポーズドパッド。

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はwww.maximintegrated.com/jp/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
20 TQFN-EP	T2055+5	21-0140	90-0010
20 SSOP	A20+1	21-0056	90-0094

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/12	初版	—
1	1/15	「利点および特長」の項を改訂	1
2	5/15	データシートにSSOPパッケージを追加し、入力電圧保護を±45Vに更新。	1, 2, 7, 10, 11, 24
3	7/15	表6を更新	16



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。