

高集積パワーラインデジタルトランシーバ

MAX2986

概要

パワーライン(電力線)トランシーバのMAX2986は最新のCMOS設計技術によって、最高レベルの性能と柔軟性を提供します。この高集積度設計によって、メディアアクセス制御層(MAC)と物理層(PHY)をシングルチップに統合しています。MAX2986のデジタルベースバンドとその対となるデバイスのアナログフロントエンド(AFE)のMAX2980*は、サードパーティのHomePlug® 1.0デバイスと完全互換の完全高速電力線通信ソリューションを提供します。

デジタルトランシーバのMAX2986は、最高14Mbpsの適応型データ速度のマキシムの高性能OFDM電力線エンジンを使用しています。MAX2986のオープンアーキテクチャによって、MACにおいて広範なプログラム性、機能拡張能力、および試験容易性の向上が可能で、最高の性能が得られます。したがって、このデバイスは、ローカルエリアネットワーク(LAN)、オーディオ、音声、ホームオートメーション、産業用オートメーション、およびBroadband over Powerline (BPL)、スペクトル整形およびトーンノッチング機能などのアプリケーション向けであり、さまざまな地域の規制機関に適合する卓越したレベルの柔軟性を提供します。マキシムの改良型OFDM方式によって、送信される信号の電力スペクトル密度の形成を自由に所望の副搬送波セットに対応させ、存在しないことが望ましい周波数ロケーションにスペクトルヌルを配置することができます。MAX2986の自動チャネル適応および干渉除去機能によって、卓越した性能が保証されます。プライバシーは、キー管理付きの56ビットDES暗号によって提供されます。

MAX2986は、IEEE 802.03規格のMedia Independent Interface (MII)、Reduced Media Independent Interface (rMII)、バッファ付きFIFOデータ通信、IEEE 802.03規格対応の10/100 Ethernet MAC、またはUSB 1.1インタフェースで動作します。これらのインタフェースによって、MAX2986を各種情報機器で使用されるほぼすべてのデータ通信デバイスとセットにすることができます。

アプリケーション

Broadband over Powerline	産業用オートメーション
ローカルエリア	(遠隔監視および制御)
ネットワーク(LAN)	ホームオートメーション
Multimedia over Powerline	セキュリティおよび安全
Voice over Powerline	

*開発中。入手性についてはお問い合わせください。
HomePlugはHomePlug Powerline Alliance, Inc.の登録商標です。



特長

- ◆ シングルチップ電力線網トランシーバ
- ◆ 最高データ速度：14Mbps
- ◆ 周波数帯域：4.49MHz~20.7MHz
- ◆ アップグレード可能/プログラマブルなMAC
帯域幅およびノッチング機能を含むスペクトル整形
プログラマブルなプリアンプル
アプリケーションプロトコルインタフェース
(API)へのアクセス
内蔵SRAM：128kB
- ◆ JTAGインタフェース
- ◆ 大型ブリッジテーブル：最大512のアドレス
- ◆ キー管理付き56ビットDES暗号によってセキュアな通信を実現
- ◆ 高性能狭帯域干渉除去回路
- ◆ OFDMベースのPHY
84の搬送波
自動チャネル適応
FEC (前方誤り訂正)
DQPSK、DBPSK、ROBO
- ◆ インタフェース内蔵
10/100 Ethernet
USB 1.1
MII/rMII/FIFO
- ◆ HomePlug 1.0規格に準拠

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX2986CXV	0°C to +70°C	144 CSBGA

ピン配置および標準動作回路はデータシートの最後に記載されています。

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

高集積パワーラインデジタルトランシーバ

MAX2986

ABSOLUTE MAXIMUM RATINGS

V _{DD33} to DGND	-0.5V to +4.6V
V _{DD18} to DGND, DV _{DD} to DV _{SS}	-0.5V to +2.5V
AV _{DD} to AV _{SS}	-0.5V to +2.5V
All Other Input Pins	-0.5V to +6V
All Other Output Pins	-0.5V to +4.6V

Continuous Power Dissipation (T _A = +70°C)	
144-Bump CSBGA (derate 25.6mW/°C at +70°C)	2045mW
Operating Temperature Range	0°C to +70°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C

 **CAUTION!** ESD SENSITIVE DEVICE

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD33} = +3.3V, V_{DD18} = DV_{DD} = AV_{DD} = +1.8V, AV_{SS} = DV_{SS} = DGND = 0, T_A = 0°C to +70°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER-SUPPLY CHARACTERISTICS						
Digital-Supply Voltage Range	V _{DD33}	Guaranteed by PSRR	3.0	3.3	3.6	V
Core-Supply Voltage Range	V _{DD18}		1.62	1.8	1.98	V
Digital I/O Supply Current	I _{DD33}			41		mA
Core Supply Current	I _{DD18}			426		mA
PLL Supply Current	I _{PLL}			8		mA
Output-Voltage High	V _{OH}		2.3			V
Output-Voltage Low	V _{OL}				0.5	V
LOGIC INPUT CHARACTERISTICS						
Input High Voltage	V _{IH}		2.0		5.5	V
Input Low Voltage	V _{IL}		-0.3		+0.8	V
Input Leakage Current	I _{LEAK}		-80		+80	μA
Output High Current	I _{OH}	UARTTXD, AFEFRZ, AFEPDRX, AFEREN, AFERESET, AFETXEN, ETHMDC, ETHTXD[0], ETHTXD[1], ETHTXD[2], ETHTXD[3], ETHTXEN, ETHTXER, JRTCK, MIICRS, MIIRXDV, MIIRXER			4	mA
		AFECLK			16	
		JTDO (tri-state port)			4	
Output Low Current	I _{OL}	UARTTXD, AFEFRZ, AFEPDRX, AFEREN, AFERESET, AFETXEN, ETHMDC, ETHTXD[0], ETHTXD[1], ETHTXD[2], ETHTXD[3], ETHTXEN, ETHTXER, JRTCK, MIICRS, MIIRXDV, MIIRXER			4	mA
		AFECLK			16	
		JTDO (tri-state port)			4	

高集積パワーラインデジタルトランシーバ

MAX2986

端子説明

端子	名称	機能
A1, L2	DVDD	1.8VのPLLデジタル電源。端子にできる限り近接した100nFのコンデンサでDVSSにバイパスしてください。
A2, L3	DVSS	PLLグラウンド
A3, M1	AVDD	1.8VのPLLアナログ電源。端子にできる限り近接した100nFのコンデンサでAVSSにバイパスしてください。
A4	GPIO[2]	汎用入力/出力2。GPIO[2]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[2]に接続してください。MAX2986のソフトウェアはGPIO[2]を使って、外部USB回路を制御します。
A5	GPIO[22]	汎用入力/出力22。GPIO[22]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[22]に接続してください。MAX2986 MACは、GPIO[22]をAFEインタフェースリンク状態LED (出力)およびブート端子ビット1 (入力)用に使います。
A6, C1, C13, F12, J1, L1, L4, L10, M13	VDD33	3.3Vのデジタル電源。端子にできる限り近接した100nFのコンデンサでDGNDにバイパスしてください。
A7	GPIO[17]	汎用入力/出力17。GPIO[17]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[17]に接続してください。
A8	GPIO[14]	汎用入力/出力14。GPIO[14]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[14]に接続してください。
A9	GPIO[11]	汎用入力/出力11。GPIO[11]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[11]に接続してください。MAX2986のMACは、GPIO[11]をプロセスID、ビット0 (入力)として使います。
A10	GPIO[9]	汎用入力/出力9。GPIO[9]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[9]に接続してください。MAX2986のMACは、GPIO[9]を揮発性メモリインタフェースのシリアルデータとして使います。
A11	GPIO[7]	汎用入力/出力7。GPIO[7]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[7]に接続してください。MAX2986のMACは、GPIO[7]をAFEインタフェースのパワーダウン信号として使います。
A12	GPIO[5]	汎用入力/出力5。GPIO[5]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[5]に接続してください。MAX2986のMACは、GPIO[5]をAFEインタフェースのシリアルデータ信号として使います。
A13	GPIO[4]	汎用入力/出力4。GPIO[4]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[4]に接続してください。MAX2986のMACは、GPIO[4]をAFEインタフェースシリアルクロック信号(出力)および上位層インタフェースビット0 (入力)用に使います。
B1, C2, D4-D9, E3, E11, E12, E13, F4, F13, K5, K6, K8, K9, M10, M11, N1, N6	DGND	デジタルグラウンド
B2, M2	AVSS	アナログPLLグラウンド
B3	GPIO[0]	汎用入力/出力0。GPIO[0]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[0]に接続してください。

高集積パワーラインデジタルトランシーバ

MAX2986

端子説明(続き)

端子	名称	機能
B4	GPIO[3]	汎用入力/出力3。GPIO[3]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[3]に接続してください。
B5	USB D+	USBインタフェースデータ信号(+)
B6	GPIO[21]	汎用入力/出力21。GPIO[21]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[21]に接続してください。MAX2986のMACは、GPIO[21]をAFEインタフェース衝突LED (出力)およびブート端子ビット0 (入力)用に使用します。
B7	GPIO[18]	汎用入力/出力18。GPIO[18]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[18]に接続してください。
B8	GPIO[15]	汎用入力/出力15。GPIO[15]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[15]に接続してください。
B9	GPIO[12]	汎用入力/出力12。GPIO[12]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[12]に接続してください。MAX2986のMACは、GPIO[12]をプロセスID、ビット1 (入力)として使用します。
B10	GPIO[10]	汎用入力/出力10。GPIO[10]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[10]に接続してください。MAX2986のMACは、GPIO[10]を不揮発性メモリチップセレクト信号(出力)および不揮発性メモリタイプ、ビット1 (入力)として使用します。
B11	GPIO[8]	汎用入力/出力8。GPIO[8]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[8]に接続してください。MAX2986のMACは、GPIO[8]を不揮発性メモリシリアルクロック信号(出力)および不揮発性メモリタイプ、ビット0 (入力)として使用します。
B12	GPIO[6]	汎用入力/出力6。GPIO[6]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[6]に接続してください。MAX2986のMACは、GPIO[6]をAFEインタフェースシリアル書き込み信号(出力)および上位層インタフェースビット1 (入力)として使用します。
B13, D1, D11, D12, D13, E1, K4, M12	N.C.	接続なし。未接続状態(フローティング出力)に維持する必要があります。
C3	GPIO[1]	汎用入力/出力1。GPIO[1]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[1]に接続してください。
C4	GPIO[23]	汎用入力/出力23。GPIO[23]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[23]に接続してください。MAX2986 MACは、GPIO[23]をAFEインタフェースリンクアクティビティLED (出力)およびブート端子ビット2 (入力)用に使用します。
C5	USB D-	USBインタフェースデータ信号(-)
C6	GPIO[20]	汎用入力/出力20。GPIO[20]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[20]に接続してください。
C7	GPIO[19]	汎用入力/出力19。GPIO[19]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[19]に接続してください。
C8	GPIO[16]	汎用入力/出力16。GPIO[16]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[16]に接続してください。
C9	GPIO[13]	汎用入力/出力13。GPIO[13]は、起動中はトライステート状態になります。使用しない場合は、100kΩのプルアップまたはプルダウン抵抗をGPIO[13]に接続してください。MAX2986のMACは、GPIO[13]をプロセスID、ビット2 (入力)として使用します。

高集積パワーラインデジタルトランシーバ

MAX2986

端子説明(続き)

端子	名称	機能
C10, D10, E10, F10, G10, J10, K10	VDD18	+1.8Vのデジタル電源。端子にできる限り近接した100nFのコンデンサでDGNDにバイパスしてください。
C11	JTMS	JTAGテストモードの選択
C12	JTDI	JTAGテストデータの入力
D2	USBRESET	アクティブロー、USBリセット信号。 $\overline{\text{RESET}}$ に接続してください。
D3	RESET	非同期、アクティブロー、リセット入力
E2	JRTCK	JTAGリターンテストクロック
E4	AFEFRZ	アナログフロントエンド搬送波検出インジケータ
F1	AFETXEN	アナログフロントエンドトランスミッタイネーブル出力
F2	XIN	水晶入力(30MHz)
F3	XOUT	水晶出力
F11	MII TXEN	MII送信のイネーブル
G1	AFERESSET	AFEのリセット
G2	AFEDAD[0]	アナログフロントエンドDAC/ADC入力/出力0のインタフェース
G3	AFEDAD[1]	アナログフロントエンドDAC/ADC入力/出力1のインタフェース
G4	AFEDAD[2]	アナログフロントエンドDAC/ADC入力/出力2のインタフェース
G11	JTDO	JTAGテストデータの出力
G12	JTRST	アクティブロー、JTAGテストのリセット
G13	JTCK	JTAGテストクロック
H1	AFEDAD[3]	アナログフロントエンドDAC/ADC入力/出力3のインタフェース
H2	AFEDAD[4]	アナログフロントエンドDAC/ADC入力/出力4のインタフェース
H3	AFEDAD[5]	アナログフロントエンドDAC/ADC入力/出力5のインタフェース
H4	AFEDAD[6]	アナログフロントエンドDAC/ADC入力/出力6のインタフェース
H10	MII RXDV	MII受信データ有効
H11	BUFRD	アクティブロー、FIFO読取りのイネーブル
H12	BUFCS	アクティブロー、FIFOチップのイネーブル
H13	BUFWR	アクティブロー、FIFO書込みのイネーブル
J2	AFEDAD[7]	アナログフロントエンドDAC/ADC入力/出力7のインタフェース
J3	AFEDAD[8]	アナログフロントエンドDAC/ADC入力/出力8のインタフェース
J4	AFEDAD[9]	アナログフロントエンドDAC/ADC入力/出力9のインタフェース
J11	MII MDC	MII管理データクロック
J12	MII DAT[7]	MII/FIFO送信/受信データ[7]
J13	MII DAT[5]	MII/FIFO送信/受信データ[5]
K1	AFECLK	50MHzのAFEクロック
K2	AFEREN	アナログフロントエンド読取りイネーブル出力
K3	AFEPDRX	AFEレシーバのパワーダウン
K7	UARTTXD	UARTの送信
K11	MII CRS	MII搬送波の検出
K12	MII DAT[6]	MII/FIFO送信/受信データ[6]

高集積パワーラインデジタルトランシーバ

MAX2986

端子説明(続き)

端子	名称	機能
K13	MIIMDIO	MII管理データ
L5	ETHRXD[1]	Ethernet MII受信データビット1
L6	UARTRXD	UART受信
L7	ETHTXD[3]	Ethernet MII送信データビット3
L8	ETHTXD[2]	Ethernet MII送信データビット2
L9	ETHTXCLK	Ethernet MII送信クロック
L11	MIIRXER	MII受信エラーインジケータ
L12	MIIDAT[4]	MII/FIFO送信/受信データ[4]
L13	MIIDAT[0]	MII/FIFO送信/受信データ[0]
M3	ETHMDC	Ethernet管理データインタフェースクロック
M4	ETHRXCLK	Ethernet MII受信クロック
M5	ETHRXD[2]	Ethernet MII受信データビット2
M6	ETHRXD[0]	Ethernet MII受信データビット0
M7	ETHRXDV	Ethernet MII受信データ有効
M8	ETHTXD[0]	Ethernet MII送信データビット0
M9	ETHTXEN	Ethernet MII送信のイネーブル
N2	ETHCOL	Ethernet MIIの衝突
N3	ETHCRS	Ethernet MII搬送波の検出
N4	ETHMDIO	Ethernet管理データの入力/出力
N5	ETHRXD[3]	Ethernet MII受信データビット3
N7	ETHRXER	Ethernet MII受信エラー
N8	ETHTXD[1]	Ethernet MII送信データビット1
N9	ETHXER	Ethernet MII送信エラー
N10	MIICLK	MIIクロック
N11	MIIDAT[3]	MII/FIFO送信/受信データ[3]
N12	MIIDAT[2]	MII/FIFO送信/受信データ[2]
N13	MIIDAT[1]	MII/FIFO送信/受信データ[1]

高集積パワーラインデジタルトランシーバ

MAX2986

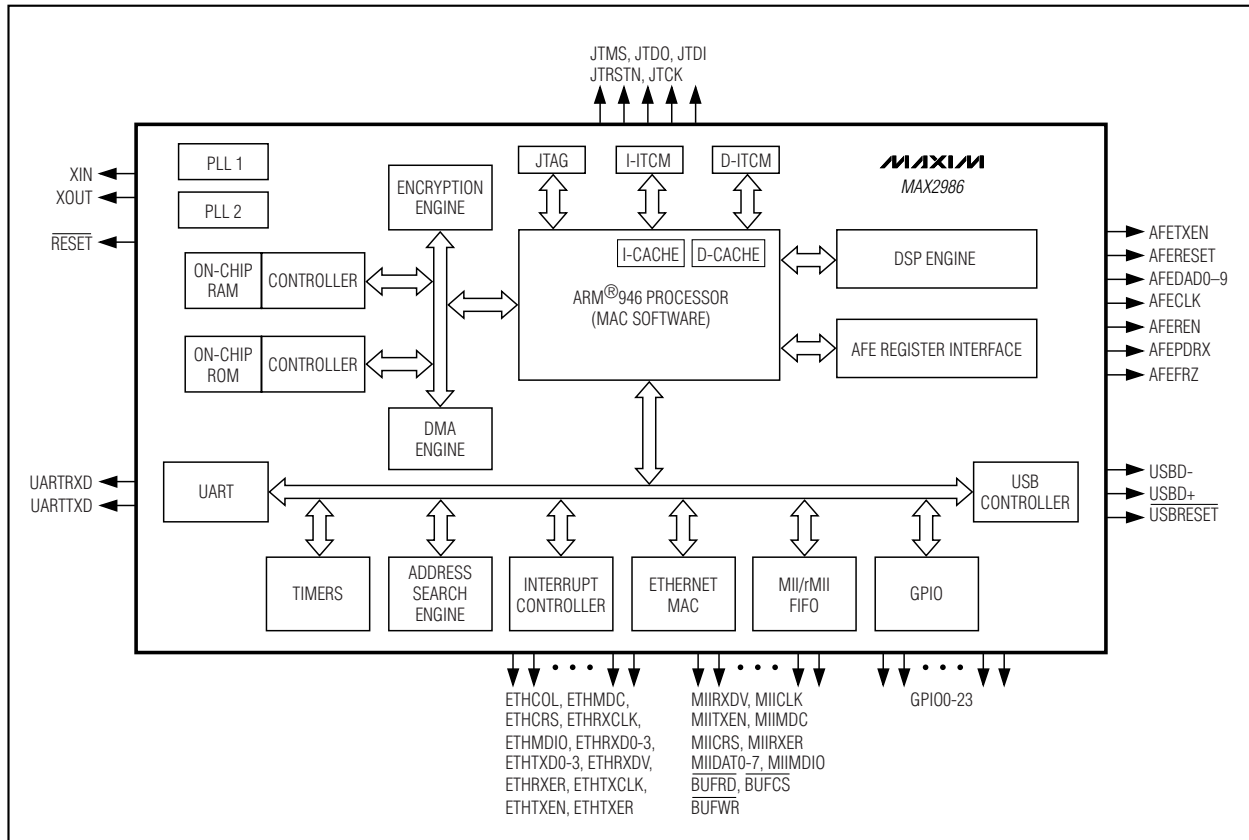


図1. MAX2986のファンクションダイアグラム

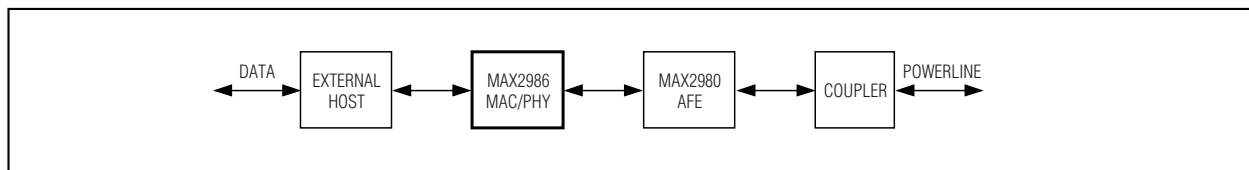


図2. 電力線チップセットシステムブロック図

詳細

パワーライン(電力線)トランシーバICのMAX2986は最新のCMOSデバイスであり、低コストで高性能を実現します。高集積度設計によって、シングルチップセットにMAC層とPHY層が統合されています。MAX2986とその対になるデバイスのMAX2980 AFEは、超低システムコストでHomePlug対応の完全ソリューションを構築します。

MII/rMII/FIFOインタフェース

MII/rMII/FIFOブロックは、MAX2986トランシーバのインタフェース層です。この層は、FIFOインタフェース

を用いてIEEE 802.3規格のMII、rMII、またはその他のデバイスで動作するように設計されています。

このインタフェースは、フローを搬送波検出(MIICRS)信号で制御して、データをパケットで送信するデータチャンネルです。この信号は、外部ホストとMAC間のハーフデュプレックス送信を制御します。フレーム受信が進行中に(MIICRSおよびMIIRXDVはハイ)、受信が終了しMIICRSがデアサートされるまで、外部ホストは待機する必要があり、その後、送信が開始されます。2フレーム連続でフレームを送信する場合は、外部ホストが待機する必要がある最低時間は、1フレームの送信時間にインタフレームギャップを加えた時間です。

ARMはARM Ltd.の登録商標です。

高集積パワーラインデジタルトランシーバ

MAX2986

注：信号タイミング特性や電気的特性などの情報については、IEEE 802.3uを参照してください。

注：電力線網デバイスはどのような送信障害も検出し、管理可能であるため、MII信号MIICOLおよびMIITXERは使用されません。信号MIITXCLKとMIIRXCLKの信号源は同じで、これらの信号は本書ではMIICLKと呼ばれます。

MIIモードでは、データは2.5MHz/25MHzクロックと同期して送信されます。MIIモードでのデータ送信はニブル形式であるため、データ送信速度は10Mbps/100Mbpsです。

rMIIモードでは、データは5MHz/50MHzクロックと同期して送信されます。rMIIモードでのデータ送信は

2ビット形式であるため、データ送信速度は10Mbps/100Mbpsです。

FIFOモードでは、データは、 $\overline{\text{BUFRD}}$ および $\overline{\text{BUFWR}}$ の各立上りエッジでバイト形式で読取りと書込みが行われます。このモードにおける唯一の制限は、 $\overline{\text{BUFRD}}$ および $\overline{\text{BUFWR}}$ は、有効信号と見なされるためには、最低でもMIICLKの3パルスの間、ローである必要があることです。

上位層インタフェースは、表1に示す設定値に応じて選択することができます。

MIIインタフェース信号

表2は、MIIモードにおいてMAX2986との間でデータ、ステータス、および制御を供給する信号を示しています。

表1. 上位層インタフェース選択の端子設定値

INTERFACE	GPIO[3]	GPIO[6]	GPIO[4]
MII	0	0	1
rMII	0	1	0
FIFO	0	1	1

表2. MII信号の説明

NAME	LINES	I/O	DESCRIPTION
MIIDAT [3:0]	4	I	Transmit Data. Data are transferred to the MAX2986 from the external MAC across these four lines, one nibble at a time, synchronous to MIICLK.
MIITXEN	1	I	Transmit Enable. Provides the framing for the Ethernet packet from the Ethernet MAC. This signal indicates to the MAX2986 that valid data is present on MIIDAT[3:0] and must be sampled using MIICLK.
MIICRS	1	O	Carrier Sense. Logic-high indicates to the external host that traffic is present on the powerline and the host must wait until the signal goes invalid before sending additional data. When a packet is being transmitted, MIICRS is held high.
MIIDAT [7:4]	4	O	Receive Data. Data are transferred from the MAX2986 to the external MAC across these four lines, one nibble at a time, synchronous to MIICLK. The MAX2986 properly formats the frame so the Ethernet MAC is presented with the expected preamble plus the start frame delimiter (SFD).
MIIRXDV	1	O	Receive Data Valid. Logic-high indicates that the incoming data on the MIIDAT pins are valid.
MIIRXER	1	O	Receive Error. Logic-high indicates to the external MAC that the MAX2986 detected a decoding error in the receive stream.
MIICLK	1	I	Reference Clock. A 2.5MHz (25MHz) clock in 10Mbps (100Mbps) as reference clock.
MANAGEMENT DATA UNIT			
MIIMDC	1	I	Management Data Clock. A 2.5MHz noncontinuous clock reference for the MIIMDIO signal.
MIIMDIO	1	I/O	Management Data Input/Output. A bidirectional signal that carries the data for the management data interface.

高集積パワーラインデジタルトランシーバ

MAX2986

MII MACおよびPHY接続

図3は、MIIモードにおけるMACとPHY間の接続を示しています。TxおよびRxデータ経路はフルデュープレックスですが、MIIインタフェースはハーフデュープレックスモードで動作します。MIIRXDVは、MIITXENと同時にアサートされることはありません。

送信時にMAX2986はMIITXENがアサートされてからしばらく経った後にMIICRSをアサートし、MIITXENのデアサート後にMAX2986がさらにもう1つのパケットを受信可能になったときに、MAX2986はMIICRSを立ち下げます。MIICRSが立ち下がると、Ethernet MACはインタフレームギャップ(IFG) (0.96 μ s、typ)をタイムアウトして、さらに送信パケットがある場合はMIITXENを再びアサートします。MAX2986がチャンネルにアクセスし、パケットを送信している間に、MIICRSは任意の時間長でパケット末を超過することができるという点で、これはMIICRSの通常動作とは異なります。

10MbpsモードではMACはジャバタイムアウトを用いませぬ。このため、MIICRSがアサート可能な時間長に対するタイミング制限はありません(MAX2986が実装可能なタイムアウトは除く)。

変調器がデータを利用可能になるのに必要な速度より速くMIIがMAX2986のバッファを満たすため、転送が始まるとすぐに、送信が変調されて出力されます。パケットがMAX2986に着信すると、チャンネルにアクセスしようとして、パケット全体がMIIインタフェース全体に送信される前に、この動作が行われない場合があります。このため、MAX2986は最低1つのEthernetパケットをバッファし、この速度適応を行います。

受信時には、MAX2986はパケットを復調すると予想すると、MAX2986はMIICRSを立ち上げ、ハーフデュープレックスMIIチャンネルを確保し、短時間(IFG)待機して、場合によってはIFGのほかに(アサート済みの可能性がある) MIITXENまで遅延し、次にMIIRXDVを立ち上げて、パケットを送信します。送信の最後に、MAX2986はMIICRSを立ち下げます。ただし、送信バッファが一杯か、または送信可能なさらなる受信パケットがある場合は除きます。これは図4に示されています。この図では、1つの受信の後に、さらにもう1つの受信が続き、この受信はMIITXENまで遅延されます。パケットがワイヤに着信するよりも速くバッファが空になるように、データ受信は送信よりも優先する必要があります。レシーバが待機する必要がある最長時間は、IFGのほかに1つのTxフレームを送信する時間であり、すなわち約134 μ sです。ただし、最小サイズフレームは65 μ sごとに1回のピークレートで着信することが可能です。このため、受信側バッファは複数フレームに対応する必要があります(ただし、1つのEthernetデータパケットを若干上回るのみ)。

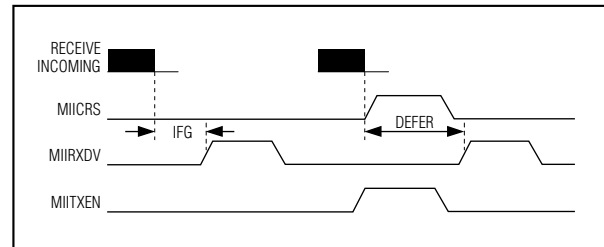


図4. MIIモードにおける受信遅延

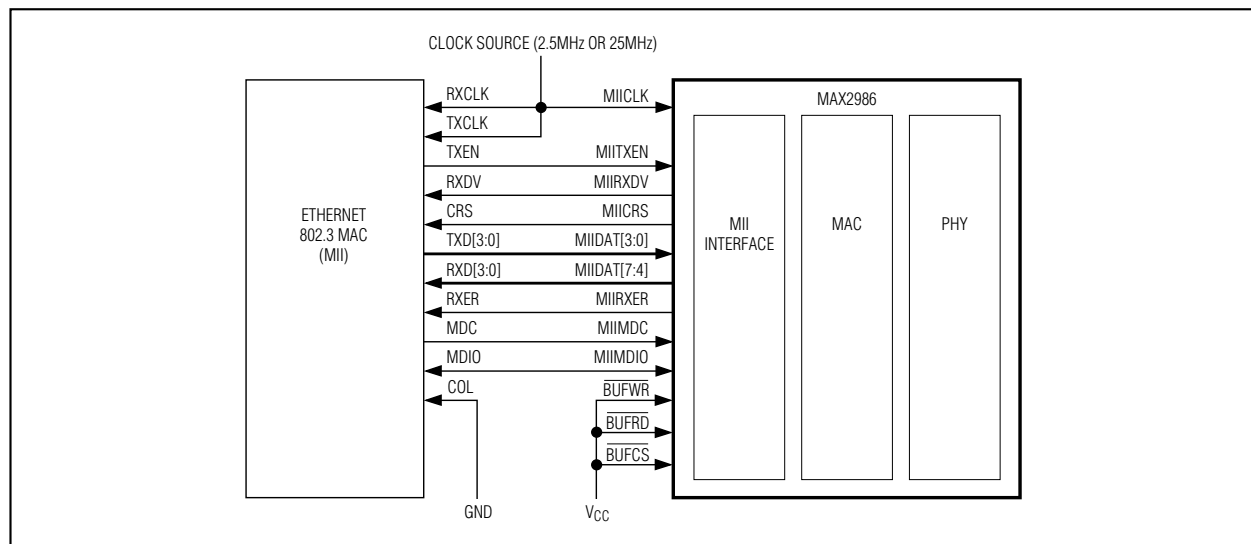


図3. MIIモードにおけるMACおよびPHY接続

高集積パワーラインデジタルトランシーバ

MAX2986

MIIの信号タイミング—送信

外部ホストのフレームが送信可能で、MIICRSがハイでないときは(直前の送信は終了)、データがMIIDAT[3:0]で準備されている間に、外部ホストはMIITXENをアサートします。これに応じて、MAX2986はMIICRSをアサートします。

外部ホストがMIITXENをハイに維持している間に、データは、MIIDATを通じてMAX2986へのMIICLKに対して同期してサンプリングされます。

最後のデータバイトが送信された後、MIICLKの次の立上りエッジの前に、MIITXENは外部ホストによってリセットされます。

MIIインタフェースの送信タイミングは図5に示され、図6と表3に詳細があります。

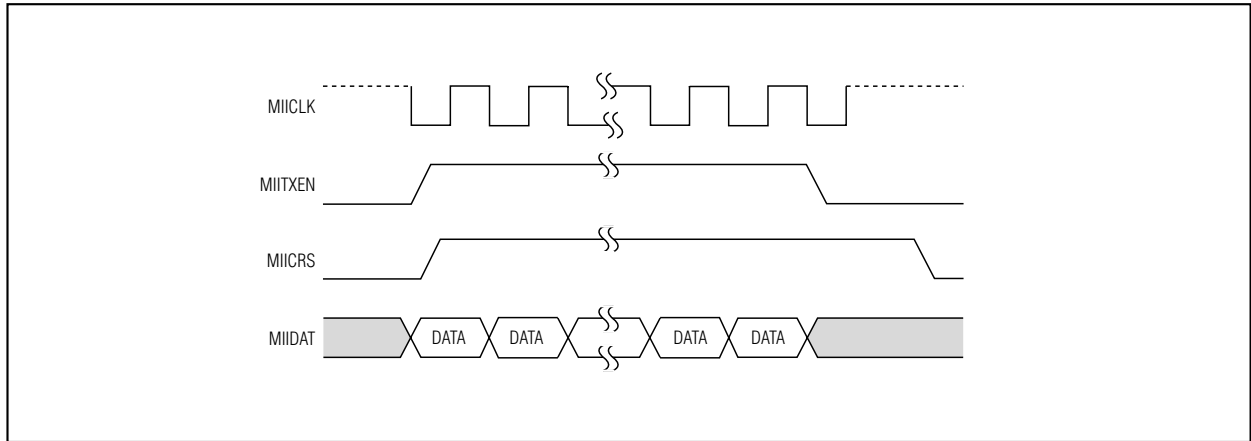


図5. MIIインタフェースの送信動作

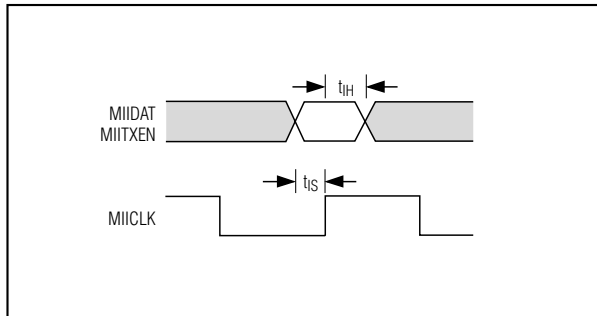


図6. MIIインタフェース—送信タイミング詳細

表3. MIIインタフェース—送信タイミング詳細*

PARAMETER	DESCRIPTION	MIN	UNITS
t_{IS}	Setup prior to positive edge of MIICLK	2.5	ns
t_{IH}	Hold after positive edge of MIICLK	2.5	ns

*IEEE 802.3u規格に準拠

高集積パワーラインデジタルトランシーバ

MIIの信号タイミング—受信

フレームがMAX2986から外部ホストに送信可能になると、(MIICRSに対する)進行中の送信セッションがない間に、MAX2986はIFG (約0.96μs)の後にMIIRXDVをアサートします。

注：受信プロセスは、送信が進行中の間は、開始することはできません。

MAX2986がMIIRXDVをハイに維持している間に、データは、MIIDATを通じてMAX2986からのMIICLKに対して同期してサンプリングされます。最後のデータバイトが受信されると、MAX2986はMIIRXDVをリセットします。

MIIインタフェースの受信タイミングは図7に示され、図8と表4に詳細があります。

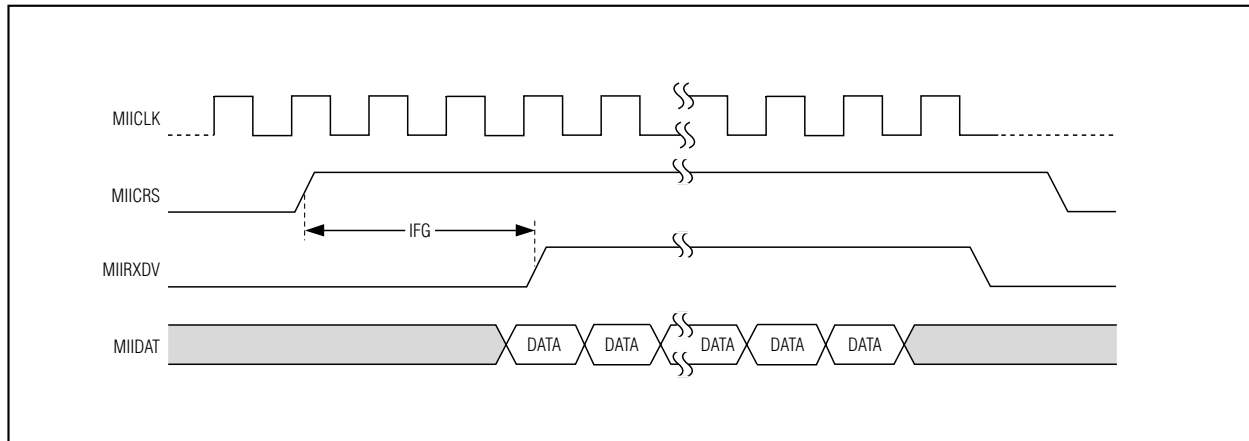


図7. MIIインタフェースの受信動作

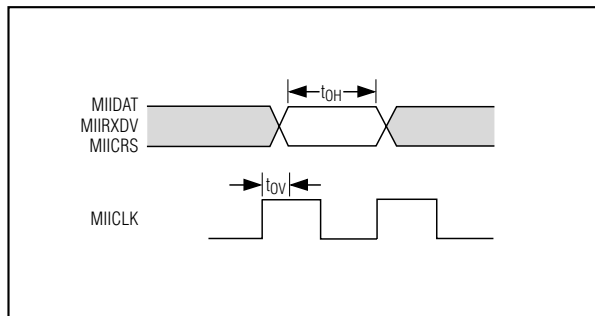


図8. MIIインタフェース—受信タイミング詳細

表4. MIIインタフェース—受信タイミング詳細*

PARAMETER	DESCRIPTION	MAX	UNITS
t_{OV}	Data valid after positive edge of MIICLK	2.5	ns
t_{OH}	Nominal data hold time	One MIICLK period	ns

*IEEE 802.3u規格に準拠

高集積パワーラインデジタルトランシーバ

MAX2986

Reduced Media Independent Interface (rMII)

表5は、rMIIモードにおいてMAX2986にデータ、ステータス、および制御を供給する信号を示しています。このモードでは、データはビットペア単位で送受信されます。rMIIモードの接続は、図9に示されています。

受信データにエラーがある場合は、MIIRXERの要件を回避し、未検出のエラー率の要件を満たすために、MIIDAT[5:4]では、搬送波アクティビティが終了するまで、受信ストリーム内のデコード済みデータを10に置き換えます。この置換えによって、CRCチェックは、エラーの検出とそのパケットの除去が保証されます。

表5. rMII信号の説明

NAME	DATA LINES	I/O	DESCRIPTION
MIIDAT[1:0]	2	I	Transmit Data. Data are transferred to the interface from the external MAC across these two lines, one di-bit at a time. MIIDAT[1:0] is 00 to indicate idle when MIITXEN is deasserted.
MIITXEN	1	I	Transmit Enable. This signal indicates to the MAX2986 that valid data is present on the MIIDAT pins. MIITXEN is asserted synchronously with the first nibble of the preamble and remains asserted while all di-bits to be transmitted are presented to the rMII.
MIIDAT[5:4]	2	O	MII Receive Data. Data is transferred from the MAX2986 to the external MAC across these two lines, one di-bit at a time. Upon assertion of MIIRXDV, the MAX2986 ensures that MIIDAT[5:4] = 00 until proper receive decoding takes place.
MIIRXDV	1	O	Receive Data Valid (CRS_DV). When asserted high, MIIRXDV indicates that the incoming data on the MIIDAT pins are valid.
MIICLK	1	I	rMII Reference Clock. A continuous clock that provides the timing reference for MIIRXDV, MIIDAT, MIITXEN, and MIIRXER. MIICLK is sourced by the Ethernet MAC or an external source and its frequency is 5MHz (50MHz) in 10Mbps (100Mbps) data rate.
MANAGEMENT DATA UNIT			
MIIMDC	1	I	MII Management Data Clock. A 2.5MHz noncontinuous clock reference for the MIIMDIO signal.
MIIMDIO	1	I/O	MII Management Data Input/Output. It is a bidirectional signal that carries the data for the management data interface.

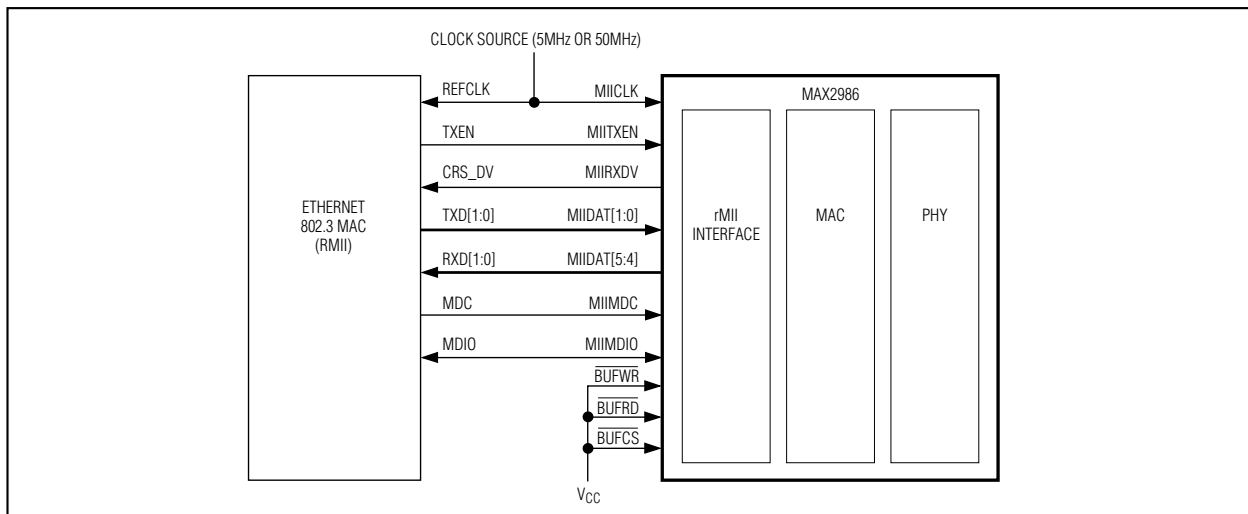


図9. rMIIモードにおけるMAC-PHYの接続

高集積パワーラインデジタルトランシーバ

MAX2986

rMII信号タイミング

rMIIの送信/受信タイミングは、データが2ビット形式で送受信され、MIICRSが除去されることを除き、MIIの場合と同じです。

FIFOインタフェース信号

表6は、バッファリング(FIFO)モードにおけるMAX2986との間でデータ、ステータス、および制御を供給する信号を示しています。FIFOバッファリングインタフェースは、ハーフデュプレックスモードで動作します。MIIRXDVはMIITXENと同時にアサートされませんが、受信の間送信を開始することができます。データ消失を回避するために、受信を優先することを強く推奨します。

送信時にMAX2986はMIITXENがアサートされた後にMIICRSをアサートし、MIITXENのデアサート後にMAX2986がさらにもう1つのパケットを受信可能になったときにMAX2986はMIICRSを立ち下げます。

MIICRSが立ち下がると、さらに送信パケットがある場合は、MIICRSを再びアサートすることができます。

変調器がデータを利用可能になるのに必要な速度よりも速くインタフェースがMAX2986のバッファを満たすため、転送が始まるとすぐに、送信変調されて送出されます。パケットがMAX2986に着信すると、チャンネルにアクセスしようとします。パケット全体がインタフェース全体に送信される前に、この動作が行われない場合があるため、MAX2986は最低1つのEthernetパケットをバッファし、この速度適応を行います。

受信時には、MAX2986はパケット復調すると予想すると、MAX2986はMIIRXDVを立ち上げ、パケットが送信可能な上位層を識別します。最後のバイトが送信されると、MIIRXDVは立ち下がります。

パケットが着信するよりも速くバッファが空になるように、受信方向の転送は送信方向よりも優先します。最短受信時間は、1つのTxフレーム時間にIFGを加えた時間です。

表6. FIFO信号の説明

NAME	DATA LINES	I/O	DESCRIPTION
MIIDAT[7:0]	8	I/O	Transmit/Receive Data. Data are transferred to/from the MAX2986 from/to the external MAC across this bidirectional port, one byte at a time.
MIITXEN	1	I	Transmit Enable [Active High]. This signal indicates to the MAX2986 that the transmission has started, and that data on MIIDAT should be sampled using $\overline{\text{BUFWR}}$. MIITXEN remains high to the end of the session.
MIICRS	1	O	Transmit In Progress [Active High]. When asserted high, MIICRS indicates to the external host that outgoing traffic is present on the powerline and the host should wait until the signal goes low before sending additional data.
$\overline{\text{BUFWR}}$	1	I	Write [Active Low]. Inputs a write signal to the MAX2986 from the external MAC, writing the present data on MIIDAT pins into the interface buffer on each positive edge.
MIIRXDV	1	O	Receive Data Valid [Active High]. When asserted high, MIIRXDV indicates that the incoming data on the MIIDAT pins are valid.
MIIRXER	1	O	Receive Error [Active High]. When asserted high, MIIRXER indicates to the external MAC that an error has occurred during the frame reception.
$\overline{\text{BUFRD}}$	1	I	Read [Active Low]. Inputs a read signal to the MAX2986 from the external MAC, reading the data from the MIIDAT pins of the MAX2986 on each positive edge.
BUFCS	1	I	Chip Select [Active Low]. When asserted low, it enables the chip.
MIICLK	1	I	Reference Clock. Used for sampling $\overline{\text{BUFWR}}$ and $\overline{\text{BUFRD}}$.

高集積パワーラインデジタルトランシーバ

MAX2986

FIFOの信号タイミング—送信

外部ホストがフレームを送信可能状態で、MIICRSがローの場合は(直前の送信は終了)、外部ホストはMIITXENをアサートします。MIIRXDVがハイでない場合は、データ消失を回避するために、外部ホストはMIITXENをアサートする必要があります。これに応じて、MIICRSはMAX2986によってアサートされます。外部ホストがMIITXENをハイに維持している間に、1バイトのデータが、 $\overline{\text{BUFWR}}$

の立上りエッジごとにMIIDATを通じてMAX2986に送信されます。最後のデータバイトが送信されると、外部ホストはMIITXENをリセットします。外部ホストとMAX2986ベースバンドチップ間の相互関係は、図10に示されています。

FIFOインタフェースの送信タイミング全体は図11に示され、詳細なタイミングは図12と表7に示されています。

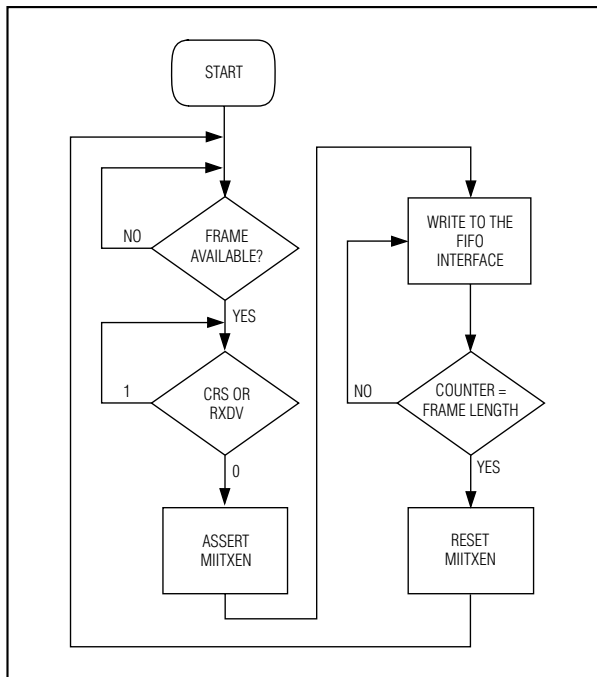


図10. 外部ホストから見たバッファリング送信プロセス

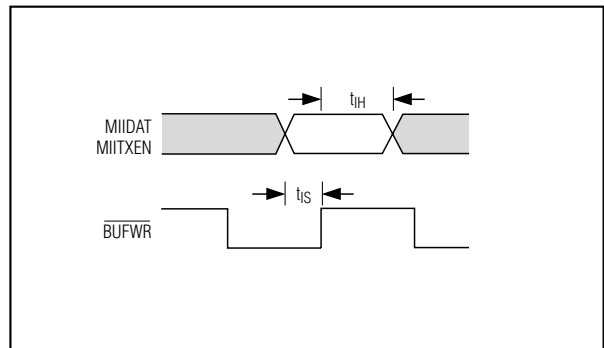


図12. FIFOインタフェース—送信タイミング詳細

表7. FIFOインタフェース—送信タイミング*

PARAMETER	DESCRIPTION	TYP	UNITS
t_s	Setup prior to positive edge of $\overline{\text{BUFWR}}$	3	ns
t_H	Hold after positive edge of $\overline{\text{BUFWR}}$	Debounce** MIICLK + 3	ns

*IEEE 802.3u規格に準拠

**デバウンスパラメータのデフォルト値は3です。

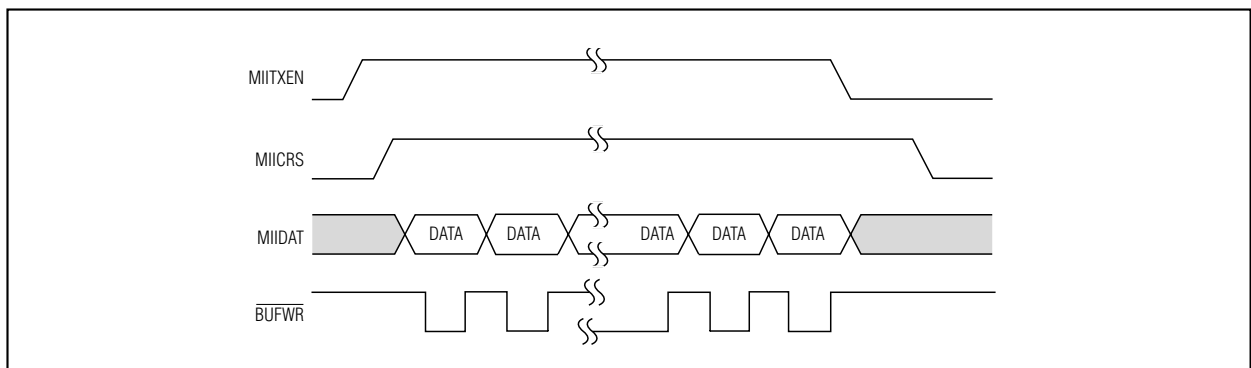


図11. バッファリング(FIFO)インタフェースの送信タイミング

高集積パワーラインデジタルトランシーバ

MAX2986

FIFO信号タイミング—受信

フレームがMAX2986から外部ホストに送信可能になると、(MIICRSに対する)進行中の送信セッションがない間に、MAX2986はIFG (約0.96 μ s)の後にMIIRXDVをアサートします。受信プロセスは、送信が進行中の間は、開始することはできません。

MAX2986がMIIRXDVをハイに維持している間に、MAX2986はBUFRDの立上りエッジごとにMIIDATで1バイトのデータを送信します。先頭の2バイトは、MSB

先頭形式でフレーム長を表しています。最後のデータバイトが受信されると、MAX2986はMIIRXDVをリセットします。双方向データ端子の方向は、BUFCSおよびBUFRD端子を通じて制御されます。BUFCS = 0およびBUFRD = 0の場合に、MAX2986はデータ出力ドライバをイネーブルします。外部ホストとMAX2986ベースバンド間の相互関係は図13に示され、バッファリングインタフェースの受信タイミング全体は図14に示されて、図15と表8に詳細があります。

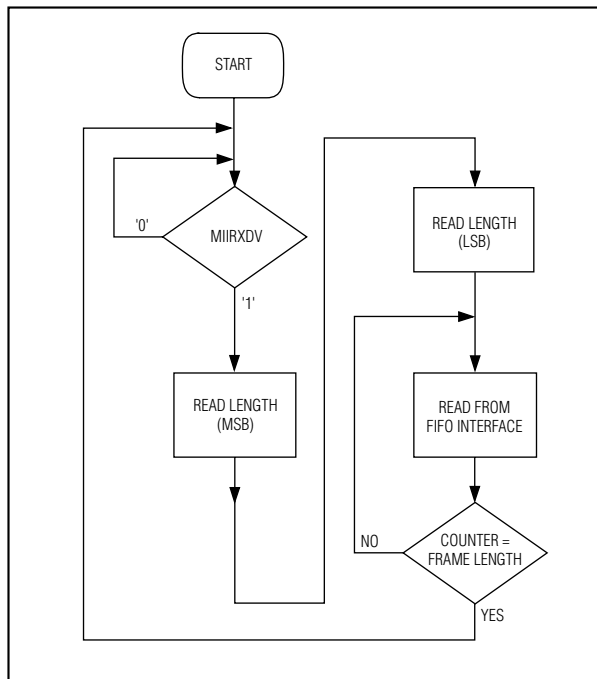


図13. 外部ホストから見たバッファリング(FIFO)インタフェース受信プロセス

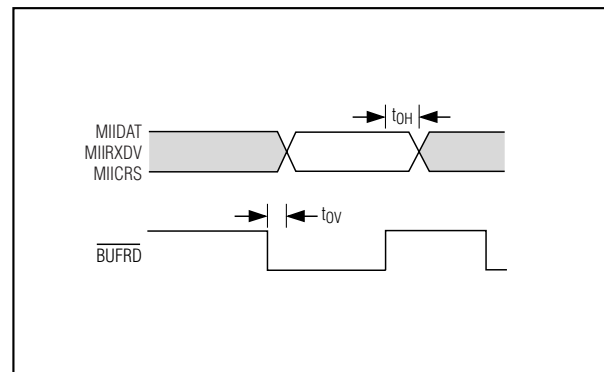


図15. FIFOインタフェース—受信タイミング詳細

表8. FIFOインタフェース—受信タイミング*

PARAMETER	DESCRIPTION	MIN	UNITS
tOV	Valid after negative edge of BUFRD	Debounce** MIICLK + 3	ns
tOH	Hold after positive edge of BUFRD	0	ns

*IEEE 802.3u規格に準拠

**デバウンスパラメータのデフォルト値は3です。

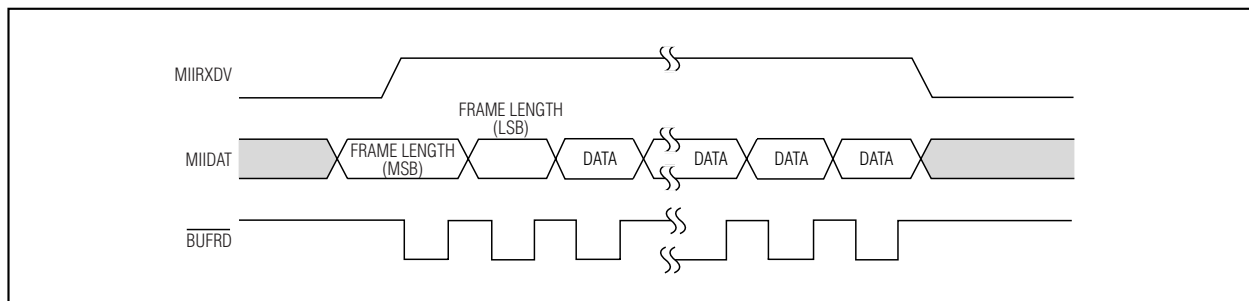


図14. バッファリング(FIFO)インタフェースの受信タイミング

高集積パワーラインデジタルトランシーバ

MAX2986

管理データユニット—MDU

MIIMDIO端子は、管理データインタフェース用の双方向データ端子です。MIIMDC信号は、MIIMDIO信号用のクロックリファレンスです。管理データユニットの書き込み動作は、図16に示されています。管理データユニットの読取り動作は、図17に示されています。

Ethernetインタフェース

上位層インタフェースは、表9に示す端子設定値に応じて選択することができます。

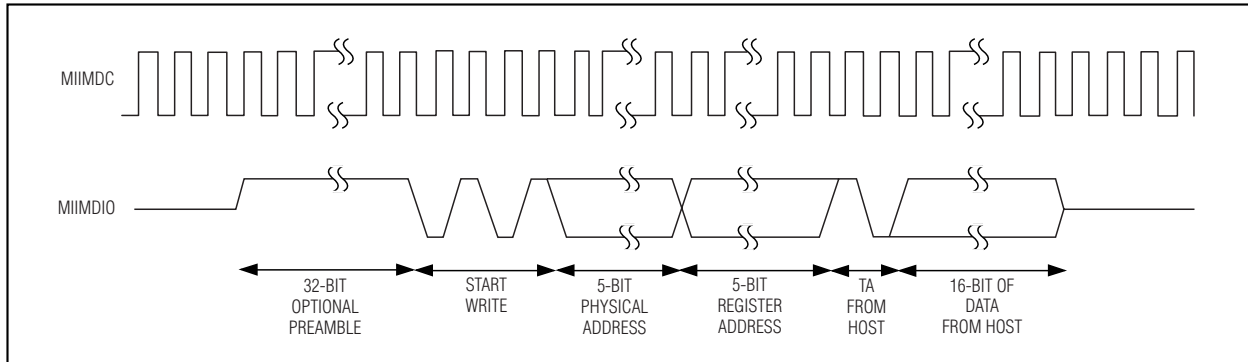


図16. 管理データユニットの書き込み動作

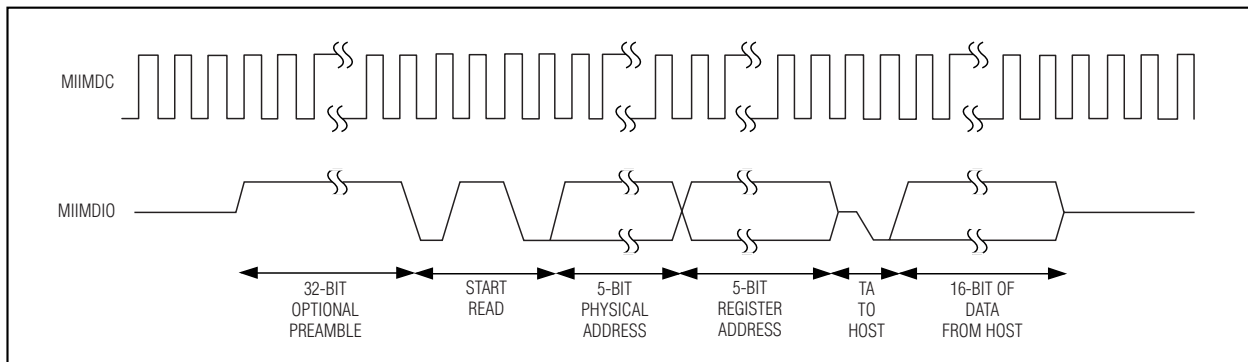


図17. 管理データユニットの読取り動作

表9. 上位層インタフェース選択の端子設定値

INTERFACE	GPIO[3]	GPIO[6]	GPIO[4]
MII	1	0	0
rMII	1	0	1

高集積パワーラインデジタルトランシーバ

MAX2986

図18は、送信タイミングを示しています。t_{TXDV}は、ETHTXCLKにおけるローからハイへの遷移後に、データを有効にする必要がある持続時間です。t_{TXDH}は、ETHTXCLKにおけるローからハイへの遷移後に、データを保持する必要がある持続時間です。図19は、受信タイミングを示しています。t_{RXS}は、ETHRXCLKの立上りエッジ前のセットアップ時間です。t_{RXH}は、ETHRXCLKの立上りエッジの後の保持時間です。Ethernet MACインタフェースの詳細については、IEEE 802.3規格を参照してください。

USBインタフェース

図20は、USBケーブル部の構造を示しています。2個の端子USB_{D+}およびUSB_{D-}はUSBインタフェースで使用されるデータ端子であり、図20のD+およびD-に対応します。V_{BUS}は、ソースにおいて公称+5Vです。

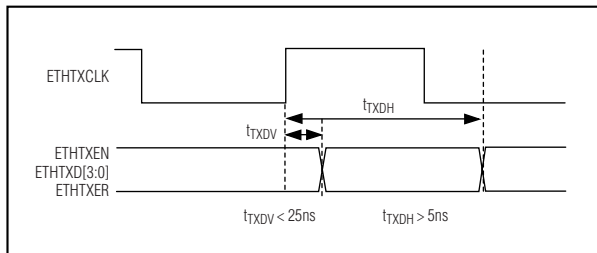


図18. MAX2986へのEthernet MACのインタフェース用の送信タイミング

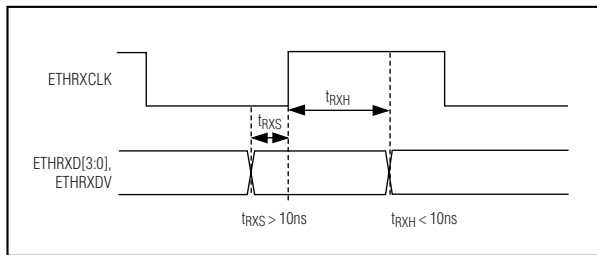


図19. MAX2986へのEthernet MACのインタフェース用の受信タイミング

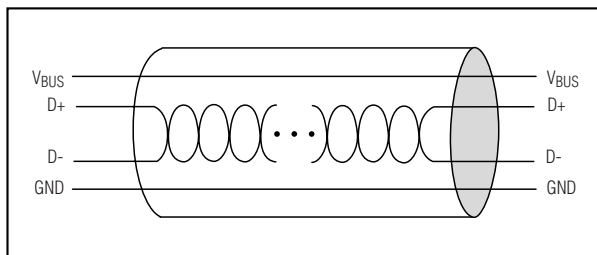


図20. USBケーブル

表10は、USBを選択するための上位層インタフェース端子設定を示しています。USBインタフェースの詳細については、ユニバーサルシリアルバス規格のRevision 1.1を参照してください。

UARTインタフェース

UART標準インタフェースによるシリアル非同期通信プロトコルが、MACソフトウェアのダウンロード/デバッグ用にMAX2986のベースバンドチップに実装されています。現行のMACソフトウェアと通信するには、UARTインタフェースを表11に示すように設定する必要があります。

HomePlug MACソフトウェアのダウンロードとデバッグを行うには、図21に示すようなシリアル接続を行うためにマルチモテムケーブルが必要です。MAX3221は、UARTドライバとして使用されます。

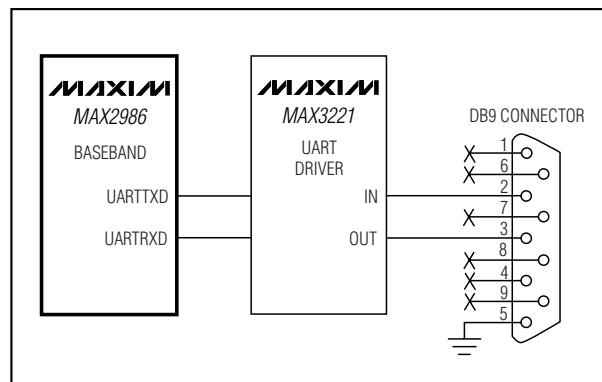


図21. ドライバおよびDB9コネクタ付きMAX2986 UARTインタフェース

表10. 上位層インタフェース選択の端子設定値

INTERFACE	GPIO[3]	GPIO[6]	GPIO[4]
USB	0	0	0

表11. UARTインタフェースの設定

Data Rate	115,200bps
Data Length	8 Bits
Stop Bit	1 Bit
Flow Control	None

高集積パワーラインデジタルトランシーバ

MAX2986

アプリケーション情報

インタフェースの終端

いずれかのインタフェースを終端するには、対応するI/O端子を表12~15に示すように設定する必要があります。

表12. USBインタフェースのディセーブル

LOCATION	NAME	DIRECTION	TERMINATE STATUS
C5	USBD-	I/O	Connect to DGND with a 5.1M Ω resistor.
B5	USBD+	I/O	N.C. (no connection).

表13. Ethernetインタフェースのディセーブル

LOCATION	NAME	DIRECTION	TERMINATE STATUS
L9	ETHTXCLK	I	DGND
M4	ETHRXCLK	I	DGND
N2	ETHCOL	I	DGND
N3	ETHCRS	I	DGND
M9	ETHTXEN	O	N.C.
M7	ETHRXDV	I	DGND
N9	ETHTXER	O	N.C.
N7	ETHRXER	I	DGND
M6	ETHRXD[0]	I	DGND
L5	ETHRXD[1]	I	DGND
M5	ETHRXD[2]	I	DGND
N5	ETHRXD[3]	I	DGND
M8	ETHTXD[0]	O	N.C.
N8	ETHTXD[1]	O	N.C.
L8	ETHTXD[2]	O	N.C.
L7	ETHTXD[3]	O	N.C.
M3	ETHMDC	O	N.C.
N4	ETHMDIO	I/O	N.C.

高集積パワーラインデジタルトランシーバ

MAX2986

表14. MII/rMII/FIFOインタフェースのディセーブル

LOCATION	NAME	DIRECTION	TERMINATE STATUS
K11	MIICRS	O	N.C.
F11	MIITXEN	I	DGND
N10	MIICLK	I	DGND
J12	MIIDAT[7]	I/O	N.C.
K12	MIIDAT[6]	I/O	N.C.
J13	MIIDAT[5]	I/O	N.C.
L12	MIIDAT[4]	I/O	N.C.
N11	MIIDAT[3]	I/O	N.C.
N12	MIIDAT[2]	I/O	N.C.
N13	MIIDAT[1]	I/O	N.C.
L13	MIIDAT[0]	I/O	N.C.
L11	MIIRXER	O	N.C.
H10	MIIRXDV	O	N.C.
H12	BUFCS	I	VDD
H11	BUFRD	I	VDD
H13	BUFWR	I	VDD
J11	MIIMDC	I	DGND
K13	MIIMDIO	I/O	N.C.

表15. UARTのディセーブル

LOCATION	NAME	DIRECTION	TERMINATE STATUS
UARTTXD	K7	O	N.C.
UARTRXD	L6	I	VDD

注：UARTインタフェースをディセーブルすると、チップのフラッシュプログラミング機能とMACコード更新がディセーブルされます。

MAX2980アナログフロントエンド(AFE)へのMAX2986のインタフェース

MAX2980 AFEチップとのインタフェースは、双方向バスを通じてDACおよびADCとの間でデジタルデータを受け渡します。ハンドシェイクラインによって、AFEのデータ転送および動作を実行することができます。図22は、インタフェース信号を示しています。AFEのピン構成/説明については、MAX2980のデータシートを参照してください。

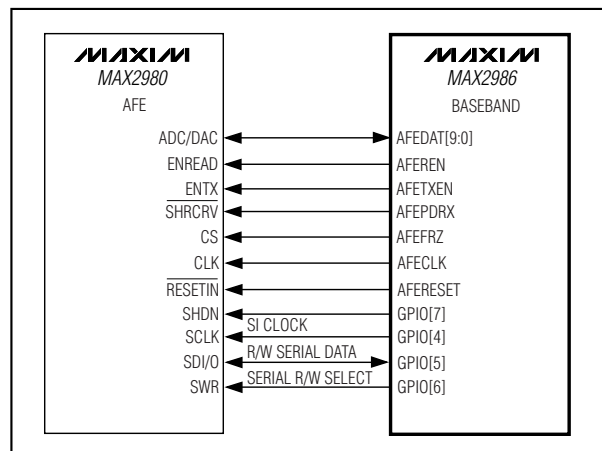


図22. MAX2986へのMAX2980 AFEのインタフェース

高集積パワーラインディジタルトランシーバ

MAX2986

表16. MAX2986-AFE信号インタフェースの説明

NAME	DATA LINES	I/O	DESCRIPTION
AFETXEN	1	O	AFE Transmit Enable. The AFETXEN signal is used to enable the transmitter of the AFE. When AFETXEN and AFEREN are high, data is sent through the AFEDAD[9:0] to the DAC and then into the powerline.
AFEREN	1	O	Setting Bus Direction. The AFEREN signal sets the direction of the data bus AFEDAD[9:0]. When high, data can be sent from the MAX2986 to the DAC in the AFE, and when low, data is sent from the ADC to the MAX2986.
AFEPDRX	1	O	AFE Receiver Power-Down. When the AFE is in transmit mode, the AFEPDRX signal goes high, the receiver section of the AFE is powered down. The MAX2986 features a transmit power-saving mode that reduces current dissipation. To use this power-saving mode, lower AFEPDRX prior to the end of a transmission. If this mode is not required, connect AFEPDRX to AFETXEN and AFEREN.
AFEDAD[9:0]	10	I/O	AFE 10-Bit ADC and DAC Bus. AFEDAD[9:0] is the 10-bit bidirectional bus that connects the MAX2986 to the AFE DAC and ADC. The direction of the bus is controlled by AFEREN described above.
AFEFRZ	1	O	AFE Receive AGC Control. The AFEFRZ signal controls the AGC circuit in the receive path in the AFE. When this signal is low, the gain circuit on the input signal continuously adapts for maximum sensitivity. This signal is raised high when the MAX2986 detects a valid preamble. After the AFEFRZ signal is raised high, it continues to adapt for an additional short period of time, then it locks the currently adapted level on the incoming signal. The MAX2986 holds AFEFRZ high while receiving a transmission, and then lowers for continuous adaptation for maximum sensitivity of other incoming signals.
AFECLK	1	O	AFE Clock. A 50MHz clock generated for the MAX2980 AFE.
AFERESET	1	O	AFE Reset. To perform a reset on the MAX2980 AFE, AFECLK must be free running and AFERESET must be LOW for typically 1s. A reset must be performed at power-up.
GPIO[6]	1	O	AFE Serial Interface Read/Write Select.
GPIO[5]	1	I/O	AFE Serial Interface Data (Write/Read).
GPIO[4]	1	O	AFE Serial Interface Clock.
GPIO[7]	1	O	AFE Power-Down.

AFEのタイミング

図23は、AFE入カクロックと、DACへのADCからのデータとの関係を示しています。

AFEシリアルインタフェース

AFE構成信号GPIO[4]、GPIO[5]、およびGPIO[6]を使って、AFE内部レジスタを設定します。GPIO[4]はシリアルクロックであり、GPIO[5]はレジスタの再設定および読取り用の双方向データラインであり、GPIO[6]がハイにアサートされると、レジスタは書込みモード状態です。使用しない場合は、これらのラインをローにしてください。AFEシリアルインタフェースのタイミングに関する詳細については、MAX2980のデータシートを参照してください。

MACのアップグレードおよび設定

各種チップインタフェースを通じて、MAX2986でのコードアプリケーションを柔軟に実行する広範囲のブートオプションがあります。各種ブートモードの選択は、ブート端子とフラッシュタイプ端子を通じて可能です。これらの端子は、MAX2986の起動プロセス時に検出されます。以下の2種類のブートモードがあります。

1) 暗号化フラッシュ常駐コードのダウンロード：

I²CまたはSPI™インタフェースを通じて、イメージをフラッシュメモリにダウンロードすることができます。コードイメージアドレスは、フラッシュメモリ先頭に保存されます。フラッシュメモリ内の暗号化コード

イメージは、TFTPプロトコルによって更新することができます。

2) UARTを通じてダウンロードされるシンプルコード：

MAX2986は、UARTからコードイメージを受け取るように設定可能です。イメージ先頭の4バイトによって、SSRAM内のメモリ位置が指定され、この位置にバイナリイメージがコピーされる必要があります(0x2020000~0x203FFFF)。その次の4バイトは、ワードに基づいてイメージの長さを指定します(8ヘッダバイトおよび4テールバイトを除く)。指定する長さは128kB (SSRAMの容量)を上回ることができず、ゼロ以外である必要があります。そうでない場合は、該当するエラーメッセージをホストに送出した後に、ブートはUARTを通じてダウンロードされるシンプルコードを再始動します。イメージ最後の4バイトは、チェックサムです。イメージがロードされ、チェックサムが有効であると、対象(宛先)アドレスに分岐してイメージが始動されます。そうでない場合は、ブートはUARTを通じてダウンロードされるシンプルコードを再始動します。

5個の端子を使って、ブートモードを設定します。表17は、対応する設定値を示しています(PU：プルアップ、PD：プルダウン、X：任意)。プルアップおよびプルダウン抵抗は、10kΩです。GPIO[8]およびGPIO[10]は、フラッシュの動作に使用される2個の端子です。これらの2個の端子はフラッシュ動作では出力ですが、システムブートプロセスでは入力になります。

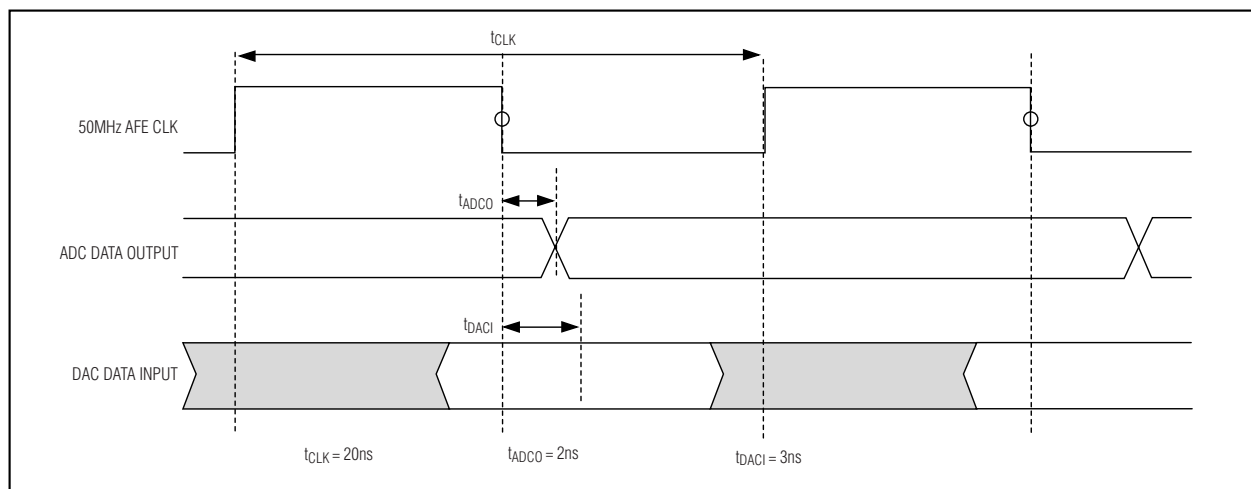


図23. AFEのADC/DACタイミング図

SPIはMotorola, Inc.の商標です。

高集積パワーラインデジタルトランシーバ

MAX2986

エラーがブートプロセス時に発生する場合は、エラーコードは、表18に従って、LED端子のGPIO[21] (LED0_BP0)、GPIO[22] (LED1_BP1)、およびGPIO[23] (LED2_BP2)に表示されます。LEDのプルアップ/プルダウン抵抗は、1kΩ以下です。

ブートプロセス時のGPIO端子と初期化端子の状態は、表17に示されています。詳細については、「端子説明」を参照してください。

クロックおよびリセット

MAX2986は、外付け水晶が必要な発振器を内蔵しています。全動作温度で±25ppm (max)の安定性を備える30MHzの水晶を使用してください。他のすべての必

要なクロックは、2個の内蔵PLLによって内部で生成されます。図24は、MAX2986への水晶の接続方法を示しています。外部クロック発振器を使用する場合は、図25に示すようにXOUTを未接続状態にしてください。

リセット信号RESETがPLLモジュールで使用されるため、PLLクロック生成の遅延(約0.5ms)後にそれを始動する必要があります。

GPIO端子の用法

MAX2986のファームウェアによる、表19に示すようにGPIO端子の特別な用法があります。GPIO端子は、入力、出力、または両方向で使用されます。

表17. ブートモード

BOOT MODE	FLASH TYPE	BOOT/FT PINS				
		GPIO[23]	GPIO[22]	GPIO[21]	GPIO[8]	GPIO[10]
Encrypted image downloaded from flash	Flash type is SPI (AT45DB)	0	1	0	PU	PU
	Flash type is SPI (SST25VF)	1	1	0	PU	PU
	Flash type is I ² C	X	1	0	PD	PU
Code downloaded through UART	X	0	0	0	X	PU*

X = 任意

*PU: 端子GPIO[10]がプルアップではなくプルダウンされると、チップに接続されたフラッシュデバイスがないことが示されます。こうした場合で、かつLED0_BP0 = LED1_BP1 = 0である場合は、GPIO[8]ラインをプルアップする必要があります。

表18. ブートエラーコード

LED2_BP2	LED1_BP1	LED0_BP0	BOOT STATUS
0	0	1	The flash does not contain a valid image.
0	1	0	The size of the image is more than 128kB.
0	1	1	The base address of the image is out of the allowed range.
1	0	0	Checksum error.
1	0	1	No flash is available.
1	1	0	Invalid boot mode.
1	1	1	No error.
0	0	0	

高集積パワーラインデジタルトランシーバ

MAX2986

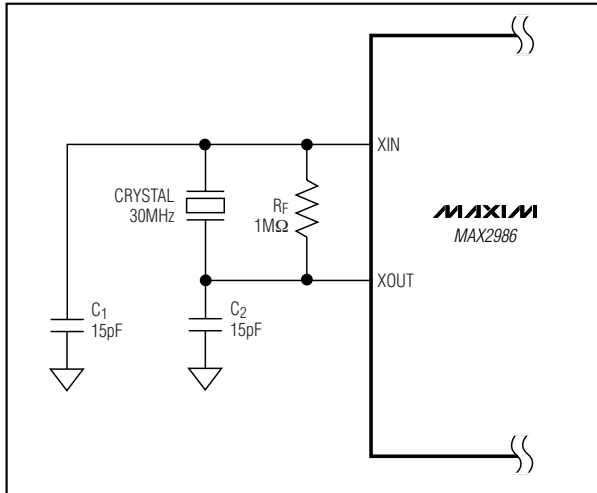


図24. MAX2986への水晶の接続

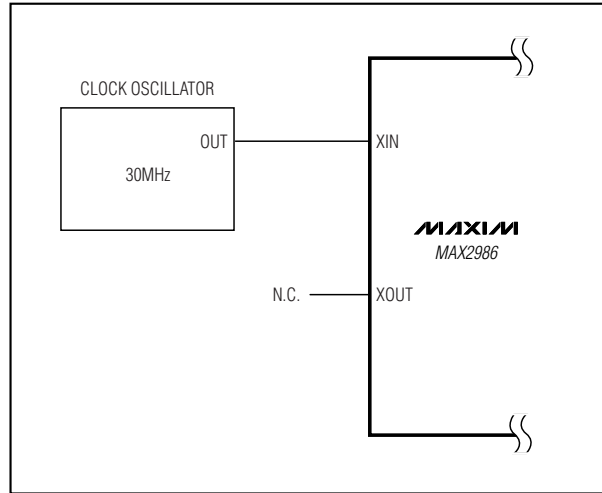


図25. MAX2986へのクロック発振器の接続

高集積パワーラインデジタルトランシーバ

MAX2986

表19. MAX2986ファームウェアによるGPIO端子の使用法

LOCATION	GPIO	MAX2986 EV KIT USE	DESCRIPTION
C4	GPIO[23]	HPACT_BP2	Output: Drive AFE interface activity LED Input: Boot pin 2
A5	GPIO[22]	HPLINK_BP1	Output: Drive AFE interface link status LED Input: Boot pin 1
B6	GPIO[21]	HPCOL_BP0	Output: Drive AFE interface collision LED Input: Boot pin 0
C9	GPIO[13]	PID2	Output: None Input: Processor ID, bit 2
B9	GPIO[12]	PID1	Output: None Input: Processor ID, bit 1
A9	GPIO[11]	PID0	Output: None Input: Processor ID, bit 0
B10	GPIO[10]	IWCS_FT1	Output: Flash interface chip select Input: Nonvolatile memory bit 1
A10	GPIO[9]	ISDAT	Output: Flash interface data (write) Input: Flash interface data (read)
B11	GPIO[8]	ISCL_FT0	Output: Flash interface serial clock Input: Nonvolatile memory, bit 0
A11	GPIO[7]	PDAFE	Output: AFE power-down Input: None
B12	GPIO[6]	AWR_UL1	Output: AFE serial interface write Input: Upper interface select, bit 1
A12	GPIO[5]	ASDAT	Output: AFE serial interface data (write) Input: AFE serial interface data (read)
A13	GPIO[4]	ASCL_UL0	Output: AFE serial interface clock Input: Upper layer interface select, bit 0
B4	GPIO[3]	UL2	Output: None Input: Upper layer interface select, bit 2
A4	GPIO[2]	—	Output: It is used to control external USB circuit Input: None

高集積パワーラインデジタルトランシーバ

MAX2986

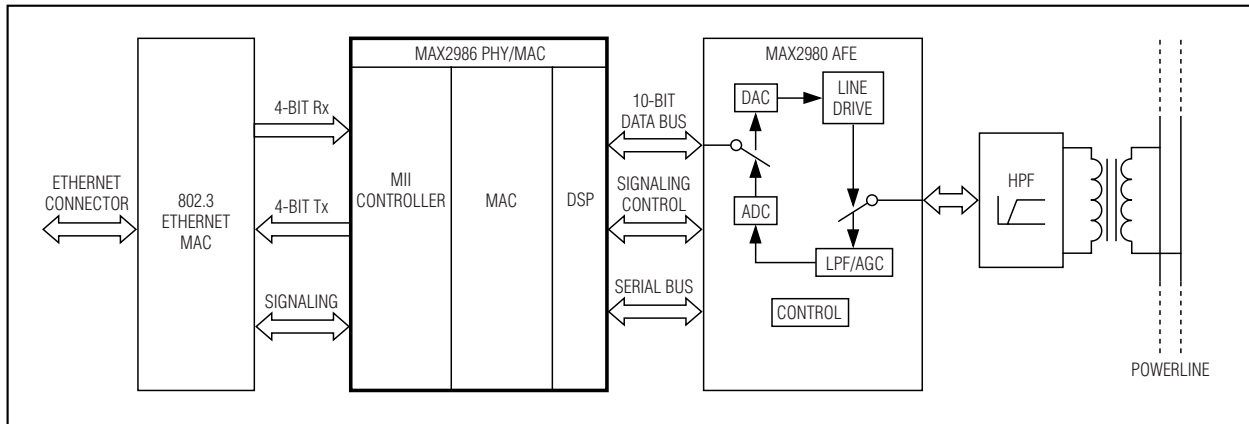


図26. 電力線ベースバンド-MIIアプリケーションブロック図

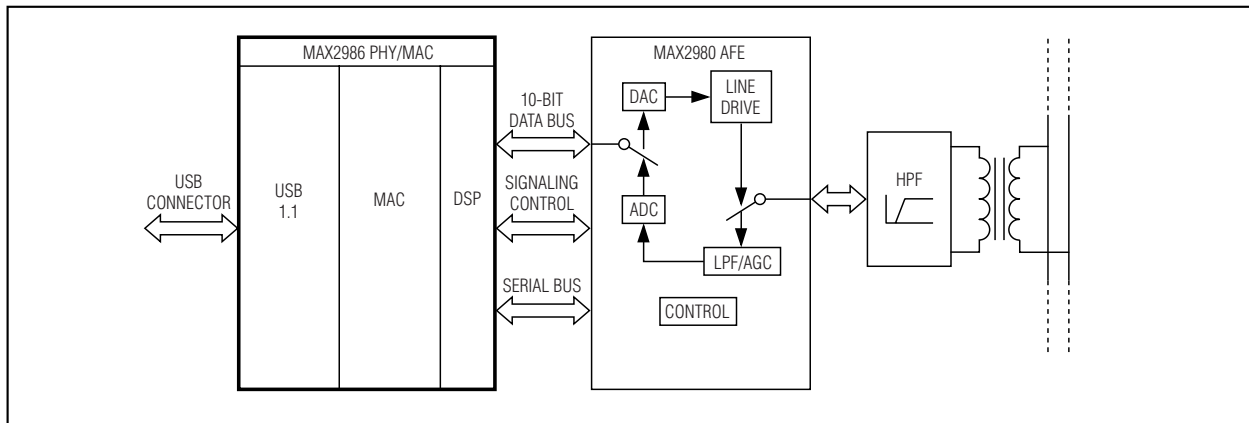


図27. 電力線ベースバンド-USBアプリケーションブロック図

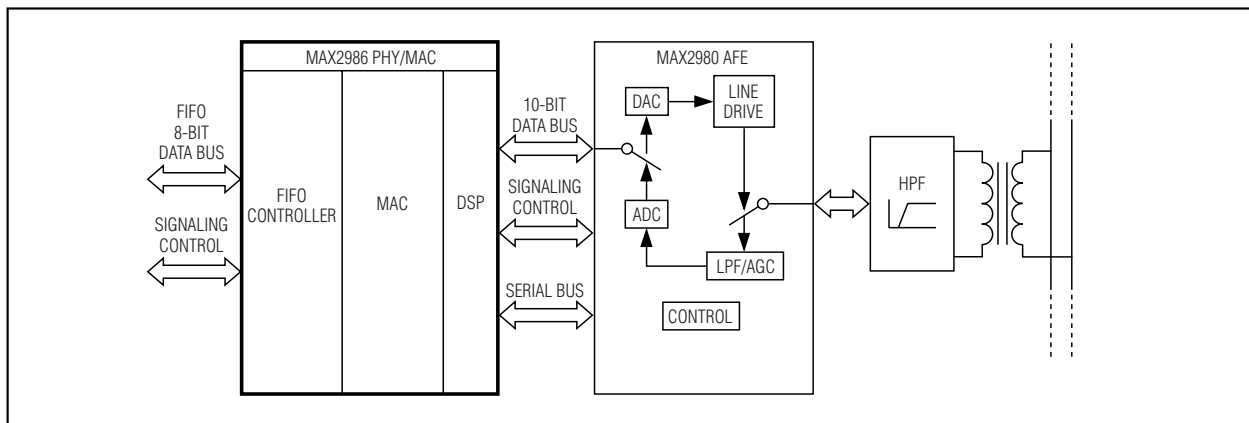
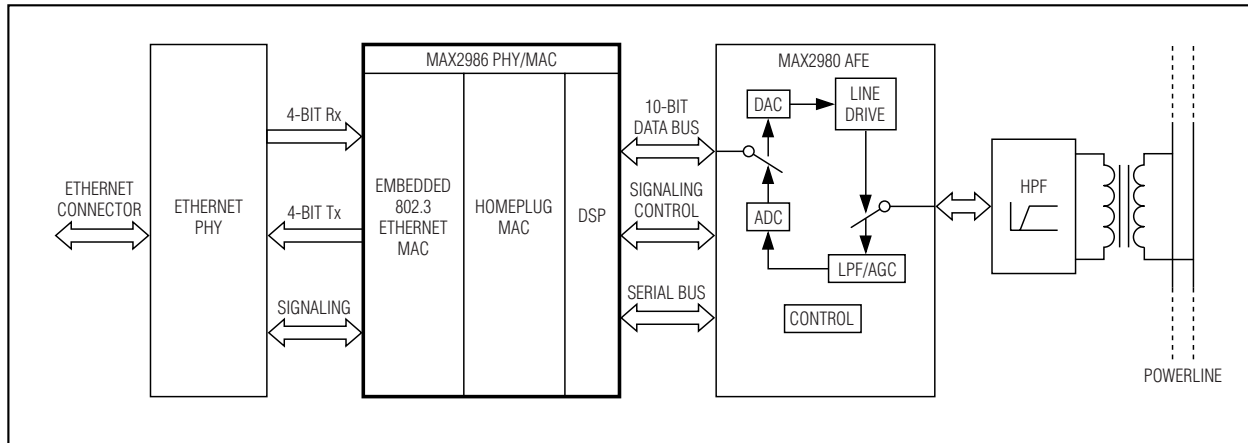


図28. 電力線ベースバンド-FIFOアプリケーションブロック図

高集積パワーラインデジタルトランシーバ

MAX2986

標準動作回路



チップ情報

PROCESS: CMOS

高集積パワーラインデジタルトランシーバ

MAX2986

ピン配置

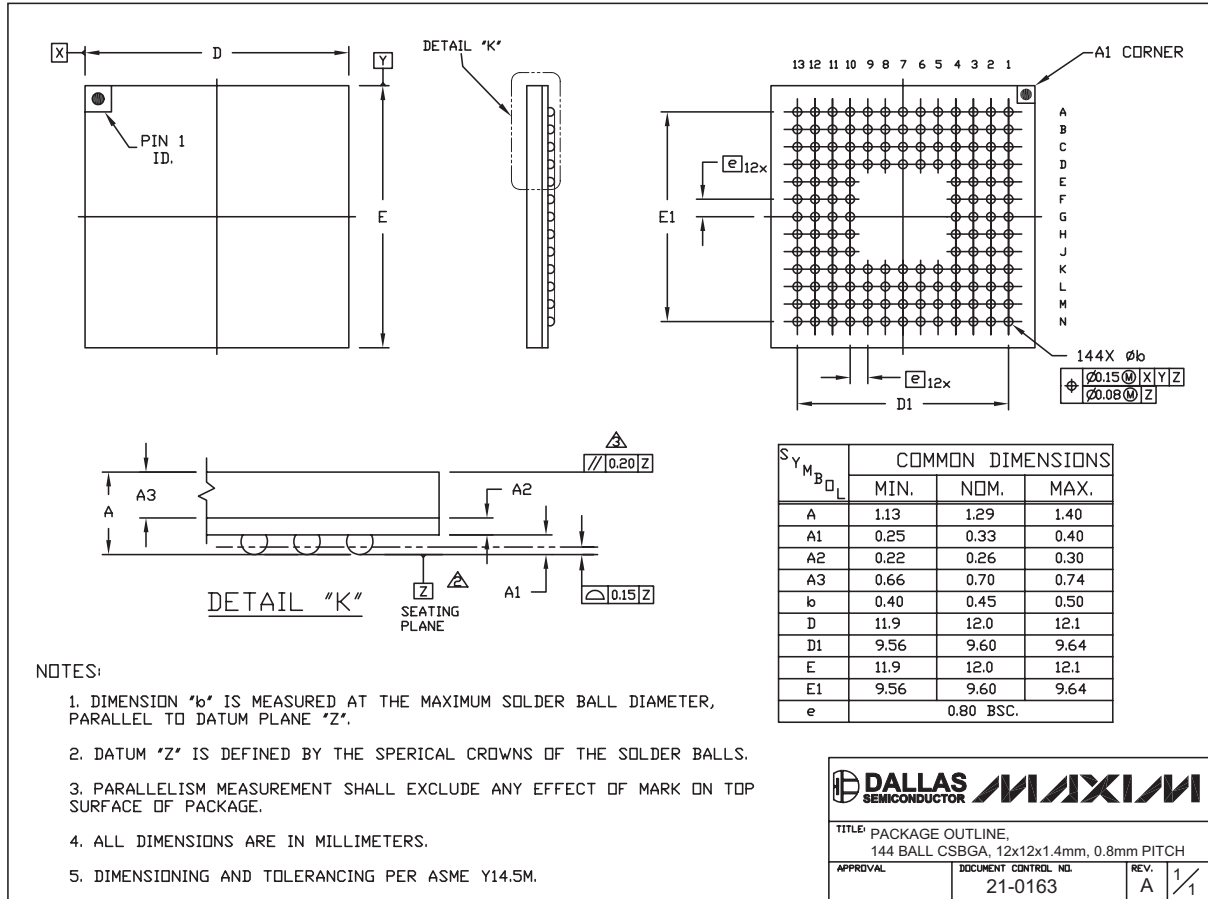
	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	DV _{DD}	DV _{SS}	AV _{DD}	GPIO[2]	GPIO[22]	V _{DD33}	GPIO[17]	GPIO[14]	GPIO[11]	GPIO[9]	GPIO[7]	GPIO[5]	GPIO[4]	A
B	DGND	AV _{SS}	GPIO[0]	GPIO[3]	USB+	GPIO[21]	GPIO[18]	GPIO[15]	GPIO[12]	GPIO[10]	GPIO[8]	GPIO[6]	N.C.	B
C	V _{DD33}	DGND	GPIO[1]	GPIO[23]	USB-	GPIO[20]	GPIO[19]	GPIO[16]	GPIO[13]	V _{DD18}	JTMS	JTDI	V _{DD33}	C
D	N.C.	USBRESET	RESET	DGND	DGND	DGND	DGND	DGND	DGND	V _{DD18}	N.C.	N.C.	N.C.	D
E	N.C.	JRTCLK	DGND	AFEFRZ						V _{DD18}	DGND	DGND	DGND	E
F	AFETXEN	XIN	XOUT	DGND						V _{DD18}	MIIXEN	V _{DD33}	DGND	F
MAXIM MAX2986														
G	AFERESET	AFEDAD[0]	AFEDAD[1]	AFEDAD[2]						V _{DD18}	JTDO	JTRST	JTCK	G
H	AFEDAD[3]	AFEDAD[4]	AFEDAD[5]	AFEDAD[6]						MIIRXDV	B _{UF} RD	B _{UF} CS	B _{UF} WR	H
J	V _{DD33}	AFEDAD[7]	AFEDAD[8]	AFEDAD[9]						V _{DD18}	MIIMDC	MIIDAT[7]	MIIDAT[5]	J
K	AFECLK	AFEREN	AFEPDRX	N.C.	DGND	DGND	UARTXD	DGND	DGND	V _{DD18}	MIICRS	MIIDAT[6]	MIIMDIO	K
L	V _{DD33}	DV _{DD}	DV _{SS}	V _{DD33}	ETHRXD[1]	UARTRXD	ETHTXD[3]	ETHTXD[2]	ETHTXCLK	V _{DD33}	MIIRXER	MIIDAT[4]	MIIDAT[0]	L
M	AV _{DD}	AV _{SS}	ETHMDC	ETHRXCLK	ETHRXD[2]	ETHRXD[0]	ETHRXDV	ETHTXD[0]	ETHTXEN	DGND	DGND	N.C.	V _{DD33}	M
N	DGND	ETHCOL	ETHCRS	ETHMDIO	ETHRXD[3]	DGND	ETHRXER	ETHTXD[1]	ETHTXER	MIICLK	MIIDAT[3]	MIIDAT[2]	MIIDAT[1]	N
CSBGA														

高集積パワーラインデジタルトランシーバ

MAX2986

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

28 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2004 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.