

特定型番の生産状況については[こちら](#)をクリックしてください。

MAX22502E

100MbpsフルデュプレックスRS-485/RS-422 トランシーバ、長尺ケーブル用

概要

フルデュプレックス、ESD保護、RS-485/RS-422トランシーバのMAX22502Eは、長尺ケーブル上での高速(最大100Mbps)通信用に最適化されています。このトランシーバはより大きいレシーバヒステリシスを備え、高いノイズ除去と信号完全性の向上を実現しています。内蔵のプリエンファシス回路は、5V給電時に長尺ケーブルによって発生するシンボル間干渉(ISI)を低減することによって高信頼性通信の距離を延長し、データレートを高めます。内蔵のホットスワップ保護およびフェイルセーフレシーバは、入力信号が10 μ s (typ) 以上にわたって短絡またはオープンの場合、レシーバ出力がロジックハイになることを確保します。

MAX22502Eは12ピンTDFN-EPパッケージ(3mm x 3mm)で提供され、-40 $^{\circ}$ C~+125 $^{\circ}$ Cの周囲温度範囲で動作します。

アプリケーション

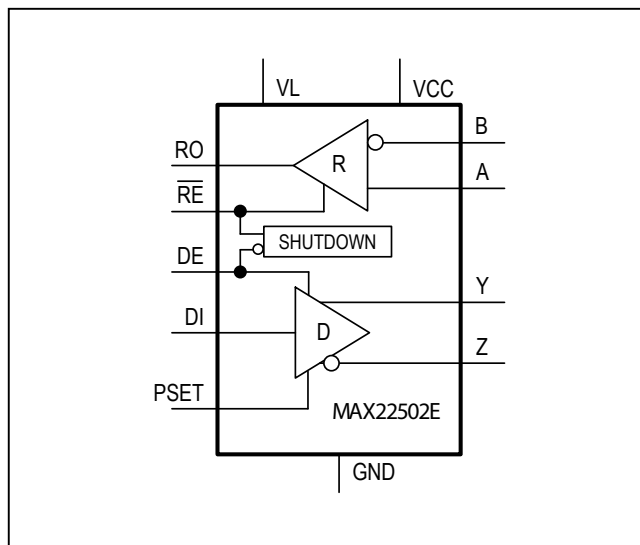
- モーションコントロール
- エンコーダインタフェース
- フィールドバスネットワーク
- 産業用制御システム
- バックプレーンバス

利点と特長

- 長距離での高速動作
 - データレート：最大100Mbps
 - 内蔵プリエンファシスによってケーブル長を延長
 - 高感度レシーバ
 - 広帯域幅レシーバ
 - 対称型レシーバスレッショルド
- 内部保護機能によって堅牢性を向上
 - コモンモード範囲：-15V~+15V
 - ESD保護： \pm 15kV (ヒューマンボディモデル)
 - ESD保護： \pm 7kV (IEC61000-4-2気中放電)
 - ESD保護： \pm 6kV (IEC61000-4-2接触放電)
 - ドライバ出力の短絡保護
- 各種のアプリケーションに対応する柔軟性
 - 電源範囲：3V~5.5V
 - 低電圧ロジック電源：最小1.6V
 - 低シャットダウン電流：5 μ A (max)
 - 12ピンTDFNパッケージ(3mm x 3mm)で提供
 - 動作温度範囲：-40 $^{\circ}$ C~+125 $^{\circ}$ C

型番はデータシートの最後に記載されています。

簡略ブロック図



Absolute Maximum Ratings

V _{CC}	-0.3 V to +6 V	Continuous Power Dissipation (Multilayer Board (derate 24.4mW/°C above +70°C)).....	1951mW
R _E , D _E , D _I , V _L	-0.3 V to +6 V	Operating Temperature Range	-40°C to +125°C
RO	-0.3 V to (V _L + 0.3) V	Junction Temperature	+150°C
PSET	-0.3 V to (V _{CC} + 0.3) V	Storage Temperature Range	-65°C to +150°C
A, B, Y, Z	-15V to +15V	Reflow Temperature	+300°C
Short-Circuit Duration (RO, Y, Z) to GND			
Continuous Power Dissipation (Single Layer Board (derate 15.9mW/°C above +70°C))	1269mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Information

12 TDFN-EP

PACKAGE CODE	TD1233+1C
Outline Number	21-0664
Land Pattern Number	90-0397
Thermal Resistance, Single-Layer Board:	
Junction to Ambient (θ_{JA})	63°C/W
Junction to Case (θ_{JC})	8°C/W
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	41°C/W
Junction to Case (θ_{JC})	8°C/W

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/jp/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board.

For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Electrical Characteristics

(V_{CC} = 3V to 5.5V, V_L = 1.6V to V_{CC}, V_L ≤ V_{CC}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted (Notes 1, 2))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
POWER							
Supply Voltage	V _{CC}	Preemphasis disabled	3.0		5.5	V	
		Preemphasis enabled	4.5	5	5.5		
Supply Current	I _{CC}	DE = high, \overline{RE} = low, no load		12.7	16.5	mA	
Shutdown Supply Current	I _{SHDN}	DE = low, \overline{RE} = high			5	μA	
Logic Supply Voltage	V _L		1.6		V _{CC}	V	
Logic Supply Current	I _L	No load on RO		16.4	23	μA	
DRIVER							
Differential Driver Output	V _{OD}	Figure 1, Figure 2	R _L = 54Ω	1.5		V	
			R _L = 100Ω	2.0			
Differential Driver Preemphasis Ratio	D _{PRE}	Preemphasis enabled, 4.5V ≤ V _{CC} ≤ 5.5V (Note 3)	R _L = 54Ω	1.33	1.37	1.41	V/V
			R _L = 100Ω	1.33	1.37	1.41	
Change in Magnitude of Differential Output Voltage	ΔV _{OD}	R _L = 54Ω, Figure 1 (Note 4)			0.2	V	
Driver Common-Mode Output Voltage	V _{OC}	R _L = 54Ω, Normal mode and preemphasis, Figure 1		V _{CC} /2	3	V	
Change In Magnitude of Common-Mode Voltage	ΔV _{OC}	R _L = 100Ω or 54Ω, Figure 1 (Note 4)			0.2	V	
Single-Ended Driver Output High	V _{OH}	Y or Z output	I _{OUT} = -20mA	2.2		V	
Single-Ended Driver Output Low	V _{OL}	Y or Z output	I _{OUT} = +20mA		0.8	V	
Differential Output Capacitance	C _{OD}	DE = \overline{RE} = high, f = 4MHz		50		pF	
Driver Short-Circuit Output Current	I _{OST}	-15V ≤ V _{OUT} ≤ +15V			250	mA	
RECEIVER							
Input Current (A and B)	I _{A,B}	DE = GND, V _{CC} = GND, +3.6V or 5.5V	V _{IN} = +12V		+1100	μA	
			V _{IN} = -7V	-1000			
Differential Input Capacitance	C _{A,B}	Between A and B, DE = GND, f = 2MHz		50		pF	
Common Mode Voltage Range	V _{CM}		-15		+15	V	
Receiver Differential Threshold High	V _{TH_H}	-15V ≤ V _{CM} ≤ +15V	+50		+200	mV	
Receiver Differential Threshold Low	V _{TH_L}	-15V ≤ V _{CM} ≤ +15V	-200		-50	mV	
Receiver Input Hysteresis	ΔV _{TH}	V _{CM} = 0V, time from last transition is < t _{D_FS}		250		mV	
Differential Input Fail-Safe Level	V _{TH_FS}	-15V ≤ V _{CM} ≤ +15V	-50		+50	mV	

Electrical Characteristics (continued)(V_{CC} = 3V to 5.5V, V_L = 1.6V to V_{CC}, V_L ≤ V_{CC}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted (Notes 1, 2))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC INTERFACE (\overline{RE}, RO, DE, DI)						
Input Voltage High	V _{IH}	DE, DI, \overline{RE}	2/3 x V _L			V
Input Voltage Low	V _{IL}	DE, DI, \overline{RE}			1/3 x V _L	V
Input Current	I _{IN}	DI and DE, \overline{RE} (after first transition)	-2		+2	μA
Input Impedance on First Transition	R _{IN_FT}	DE, \overline{RE}			10	kΩ
RO Output Voltage High	V _{OH}	\overline{RE} = GND, (V _A - V _B) > 200mV, I _{OUT} = -1mA	V _L - 0.4			V
RO Output Low Voltage	V _{OL}	\overline{RE} = GND, (V _A - V _B) < -200mV, I _{OUT} = +1mA			0.4	V
Three-State Output Current at Receiver	I _{OZR}	\overline{RE} = high, 0 ≤ V _{RO} ≤ V _L	-1		+1	μA
PROTECTION						
Thermal Shutdown Threshold	T _{SH}		+160			°C
Thermal Shutdown Hysteresis	T _{SH_HYS}		10			°C
ESD Protection (A and B Pins)		Human Body Model	±15			kV
		IEC61000-4-2 Air Gap Discharge to GND	±7			
		IEC61000-4-2 Contact Discharge to GND	±6			
ESD Protection (All Other Pins)		Human Body Model	±2			kV

Electrical Characteristics - Switching(V_{CC} = 3V to 5.5V, V_L = 1.6V to V_{CC}, V_L ≤ V_{CC}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted (Note 1, 2))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DRIVER (Note 5)						
Driver Propagation Delay	t _{DPLH}	R _L = 54Ω, C _L = 50pF, Figures 3, 4			20	ns
	t _{DPHL}	R _L = 54Ω, C _L = 50pF, Figures 3, 4			20	
Differential Driver Output Skew	t _{DSKEW}	t _{DPLH} - t _{DPHL} , R _L = 54Ω, C _L = 50pF, Figure 3 , Figure 4 (Note 6)	V _L = V _{CC} , V _{CC} ≥ 3V	1.2		ns
		t _{DPLH} - t _{DPHL} , R _L = 54Ω, C _L = 50pF, Figure 3 , Figure 4 (Note 6)	V _L does not equal V _{CC}	1.6		
Driver Differential Output Rise and Fall Time	t _{HL} , t _{LH}	R _L = 54Ω, C _L = 50pF, Figure 4 (Note 6)			3	ns
Data Rate	DR				100	Mbps

Electrical Characteristics - Switching (continued)

(V_{CC} = 3V to 5.5V, V_L = 1.6V to V_{CC}, V_L ≤ V_{CC}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted (Note 1, 2))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Driver Enable to Output High	t _{DZH}	R _L = 500Ω, C _L = 50pF, Figure 5 , Figure 6			30	ns	
Driver Enable to Output Low	t _{DZL}	R _L = 500Ω, C _L = 50pF, Figure 5 , Figure 6			30	ns	
Driver Disable Time from Low	t _{DLZ}	R _L = 500Ω, C _L = 50pF, Figure 5 , Figure 6			30	ns	
Driver Disable Time from High	t _{DHZ}	R _L = 500Ω, C _L = 50pF, Figure 5 , Figure 6			30	ns	
Driver Enable from Shutdown to Output High	t _{DZH(SHDN)}	R _L = 1kΩ, C _L = 15pF, Figure 5 , Figure 6			100	μs	
Driver Enable from Shutdown to Output Low	t _{DZL(SHDN)}	R _L = 1kΩ, C _L = 15pF, Figure 5 , Figure 6			100	μs	
Time to Shutdown	t _{SHDN}	(Note 7, Note 8)	50		800	ns	
Driver Preemphasis Interval	t _{PRE}	4.5V ≤ V _{CC} ≤ 5.5V, Figure 2	R _{PSET} = 4kΩ	10	13	16	ns
			R _{PSET} = 400kΩ	0.8	1	1.2	μs
RECEIVER (Note 5)							
Delay to Fail-Safe Operation	t _{D_FS}			10		μs	
Receiver Propagation Delay	t _{RPLH}	C _L = 15pF, Figure 7 , Figure 8			20	ns	
	t _{RPHL}	C _L = 15pF, Figure 7 , Figure 8			20		
Receiver Output Skew	t _{RSKEW}	t _{RPHL} - t _{RPLH} , C _L = 15pF, Figure 7 , Figure 8			2.5	ns	
Data Rate	DR				100	Mbps	
Receiver Enable to Output High	t _{RZH}	R _L = 1kΩ, C _L = 15pF, Figure 9			30	ns	
Receiver Enable to Output Low	t _{RZL}	R _L = 1kΩ, C _L = 15pF, Figure 9			30	ns	
Receiver Disable Time from Low	t _{RLZ}	R _L = 1kΩ, C _L = 15pF, Figure 9			30	ns	
Receiver Disable Time from High	t _{RHZ}	R _L = 1kΩ, C _L = 15pF, Figure 9			30	ns	
Receiver Enable from Shutdown to Output High	t _{RZH(SHDN)}	R _L = 1kΩ, C _L = 15pF, Figure 9			100	μs	
Receiver Enable from Shutdown to Output Low	t _{RZL(SHDN)}	R _L = 1kΩ, C _L = 15pF, Figure 9			100	μs	
Time to Shutdown	t _{SHDN}	(Note 7, Note 8)	50		800	ns	

Note 1: All devices are 100% production tested at T_A = +25°C. Specifications for all temperature limits are guaranteed by design.**Note 2:** All currents into the device are positive; all currents out of the device are negative. All voltages are referenced to device ground, unless otherwise noted.**Note 3:** V_{ODP} is the differential voltage between Y and Z during the preemphasis interval and is the differential voltage when preemphasis is disabled. V_{ODP} = D_{PRE} × V_{OD}.**Note 4:** ΔV_{OD} and ΔV_{OC} are the changes in V_{OD} and V_{OC}, respectively, when the DI input changes state.**Note 5:** Capacitive load includes test probe and fixture capacitance.**Note 6:** Not production tested. Guaranteed by design.**Note 7:** Shutdown is enabled by driving \overline{RE} high and DE low. The device is guaranteed to have entered shutdown after t_{SHDN} has elapsed.**Note 8:** The timing parameter refers to the driver or receiver enable delay, when the device has exited the initial hot-swap protect state and is in normal operating mode.

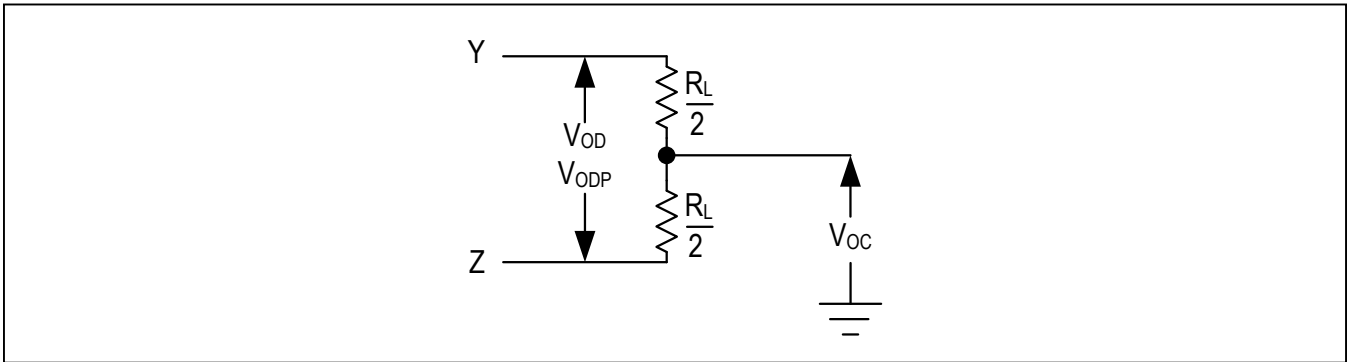


図1. ドライバのDCテスト負荷

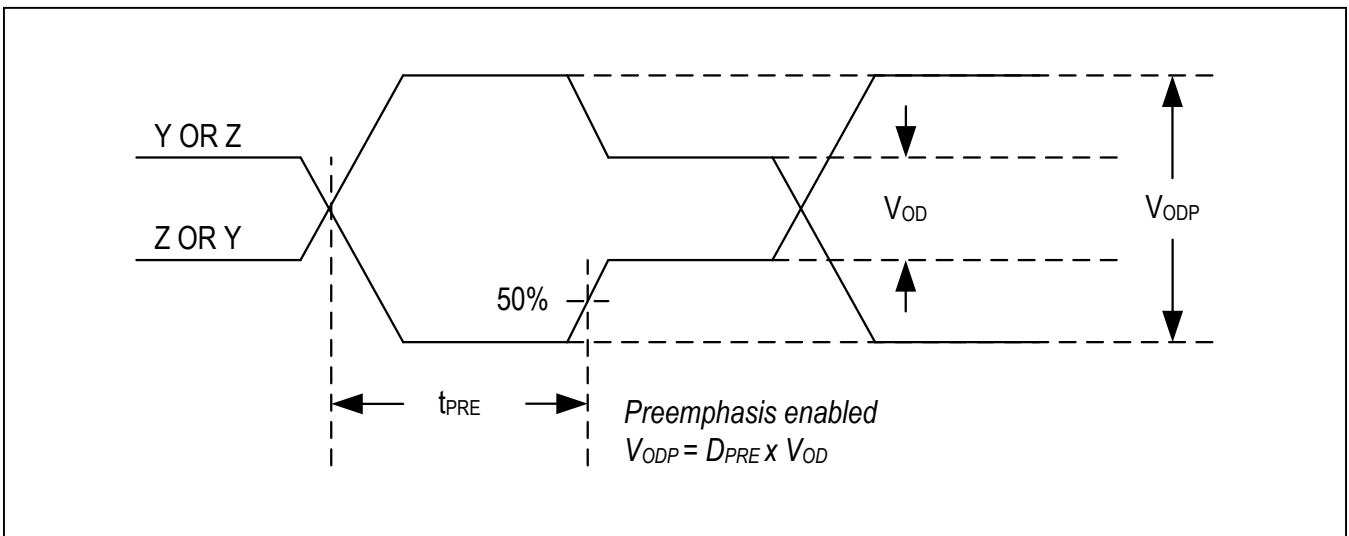


図2. ドライバのプリエンファシスタイミング

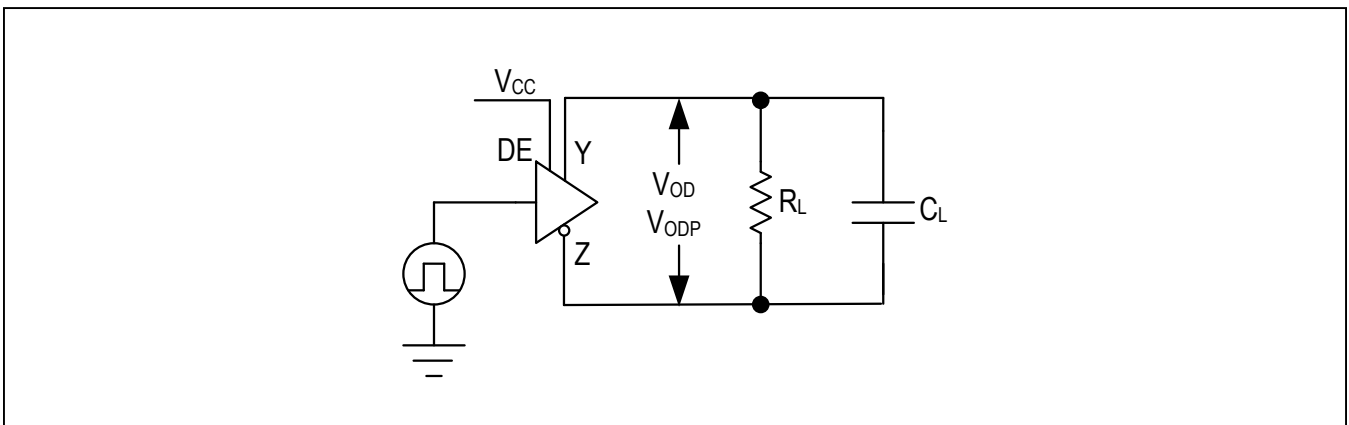


図3. ドライバのタイミングテスト回路

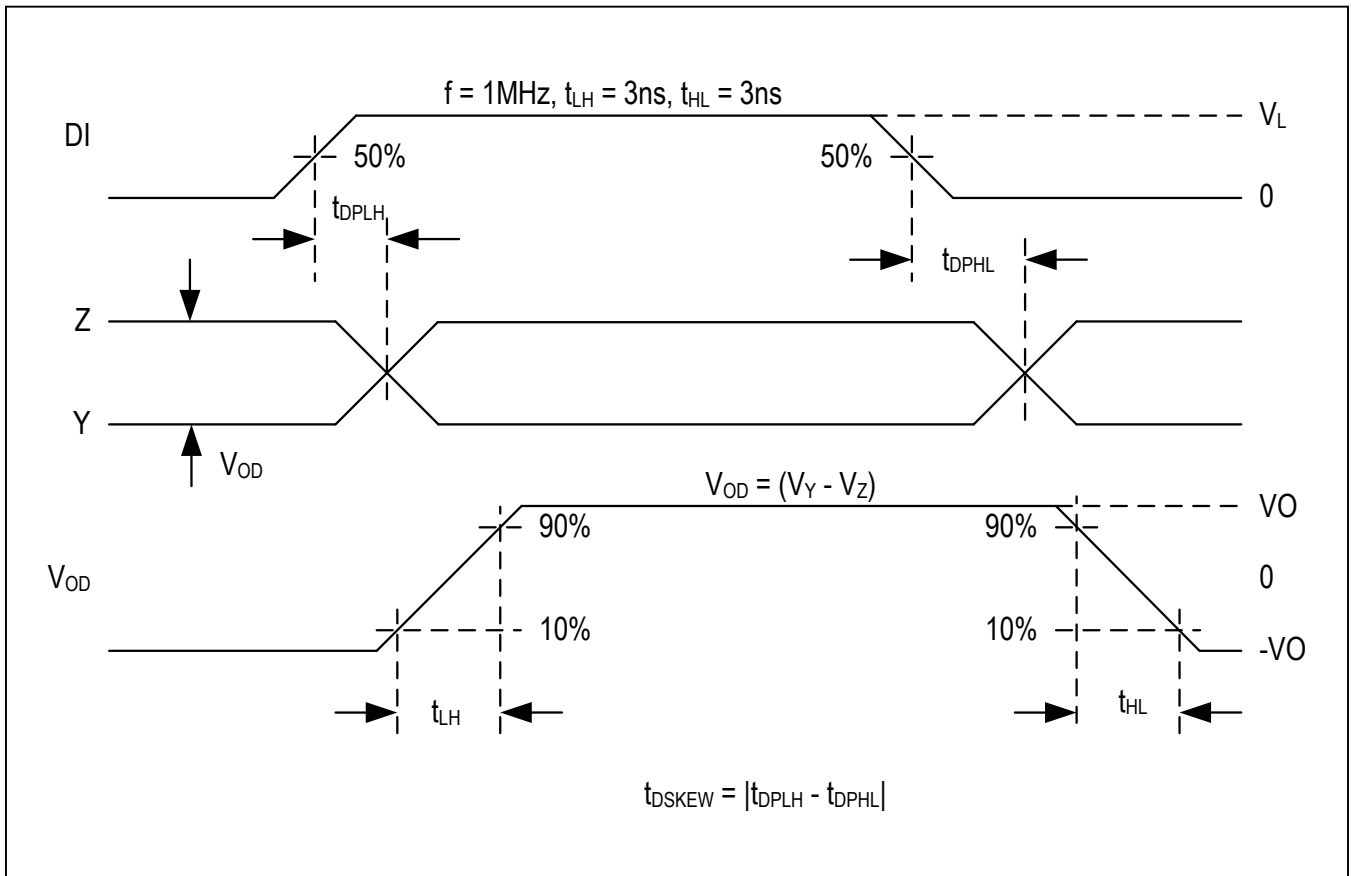


図4. ドライバの伝播遅延

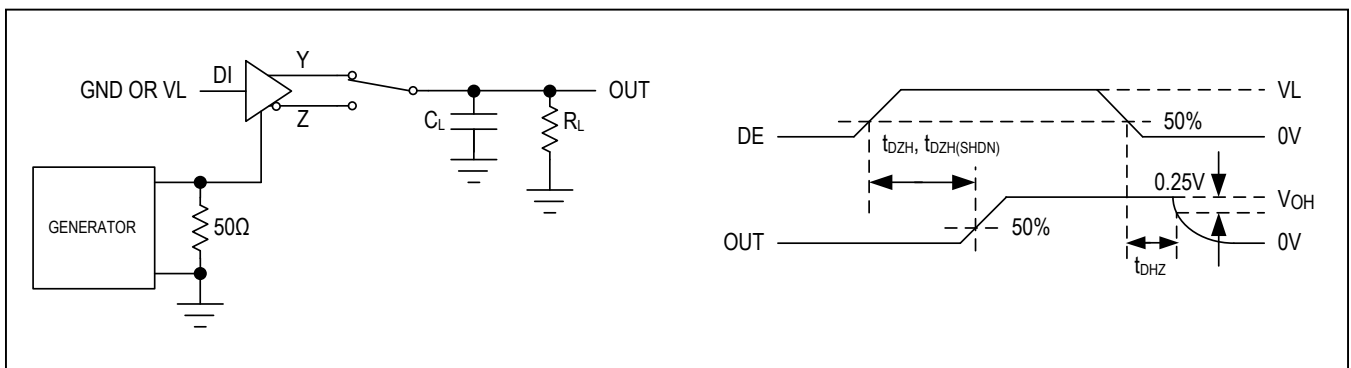


図5. ドライバのインエールおよびディセーブル時間(t_{DZH} 、 t_{DZH})

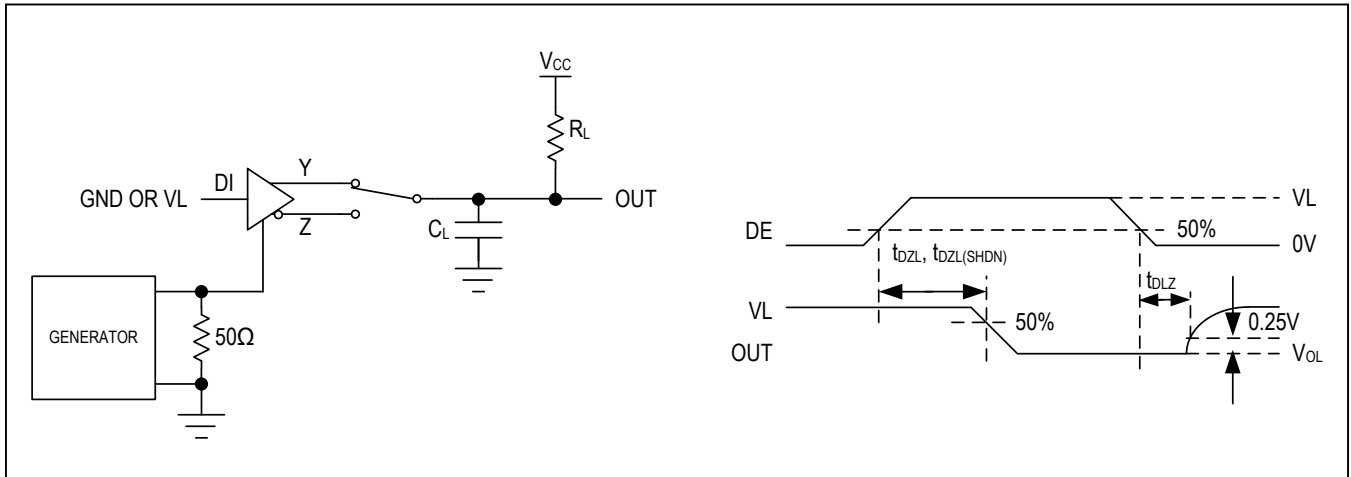


図6. ドライバのイネーブ爾およびディセーブ爾時間(t_{DZL} 、 t_{DLZ})

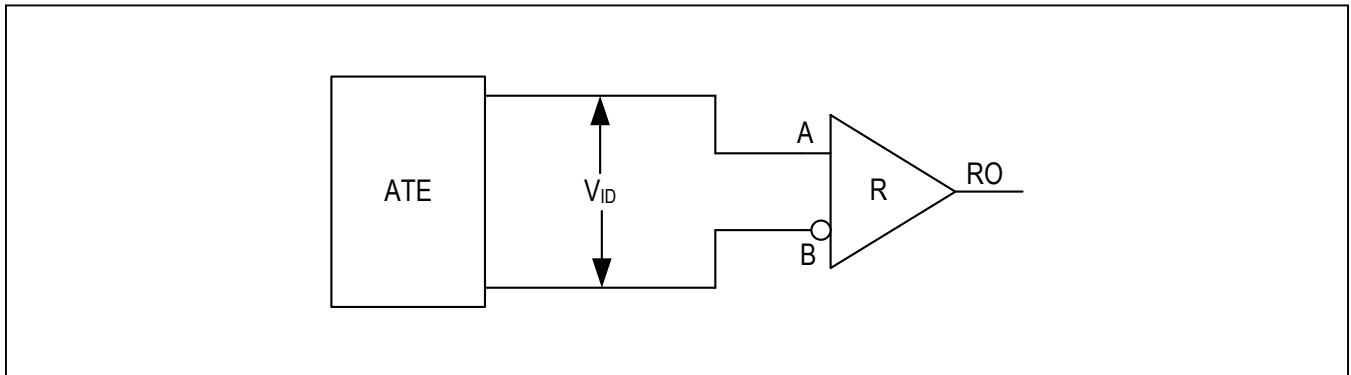


図7. レシーバの伝播遅延テスト回路

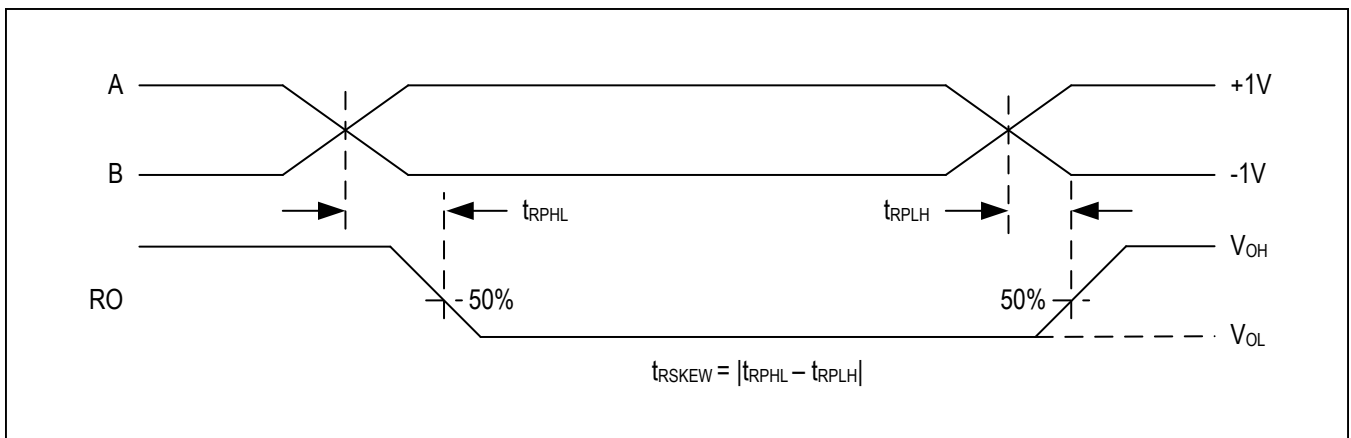


図8. レシーバの伝播遅延

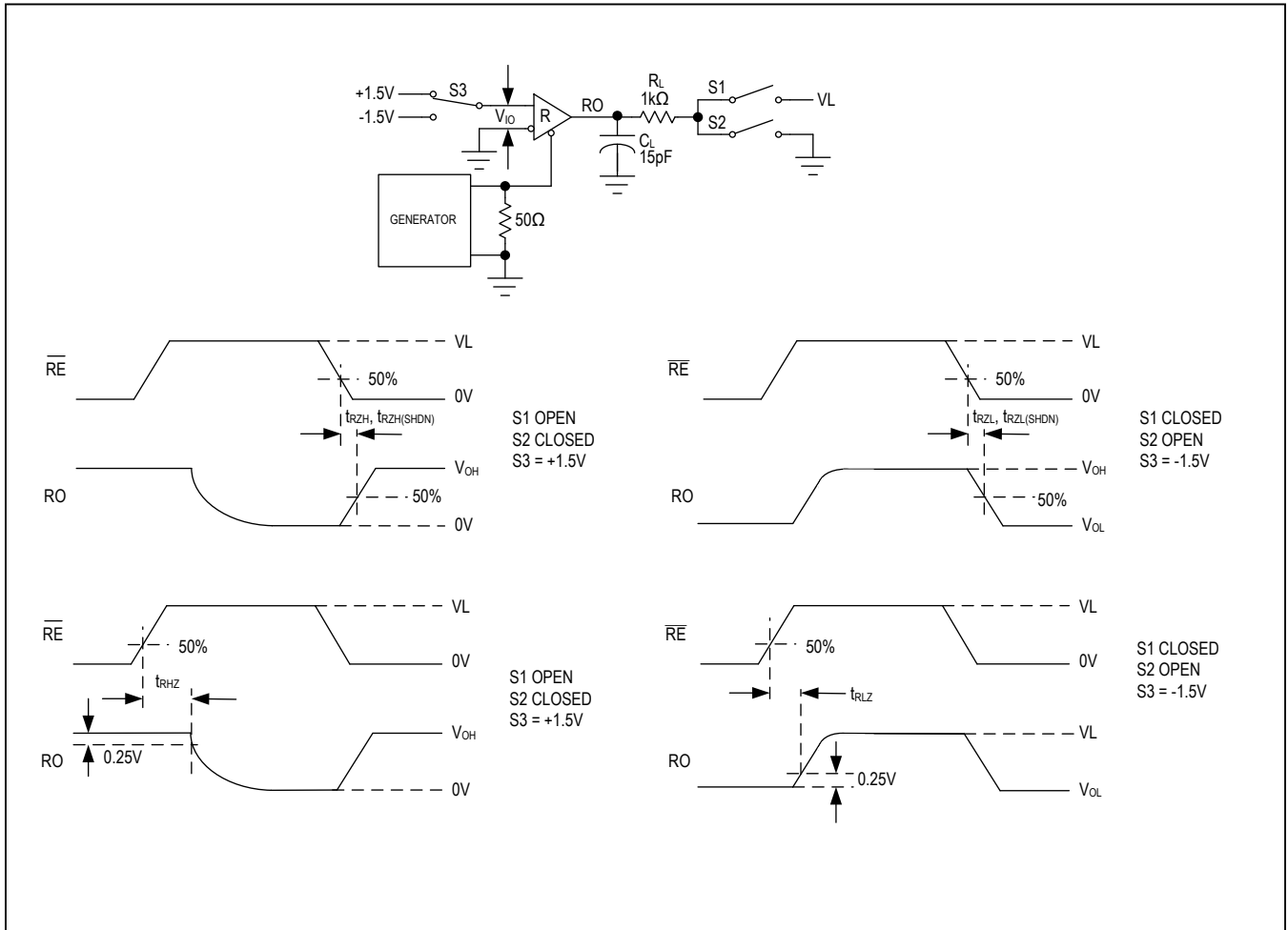
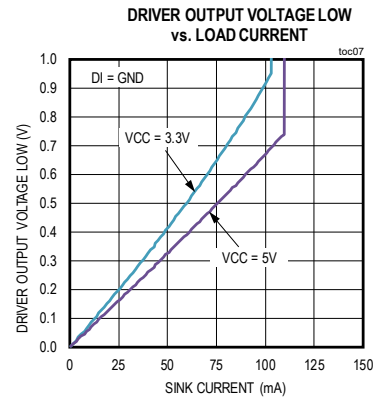
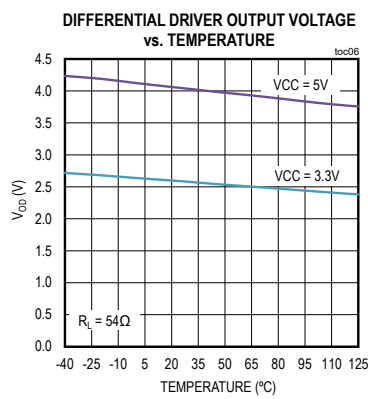
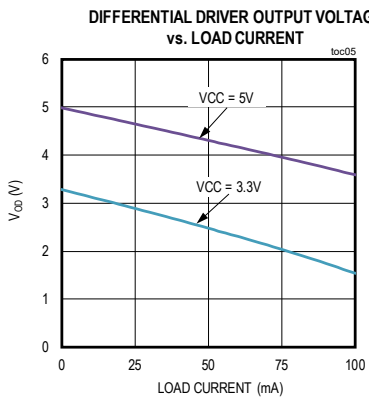
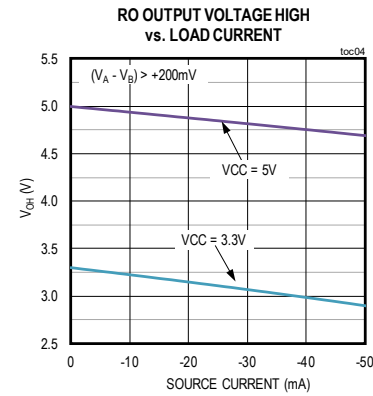
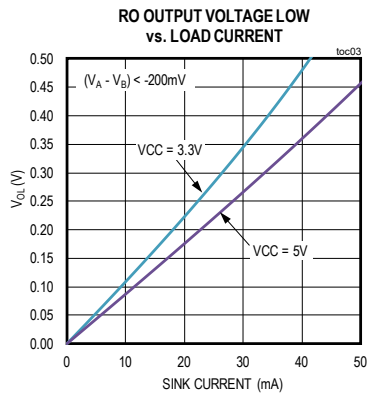
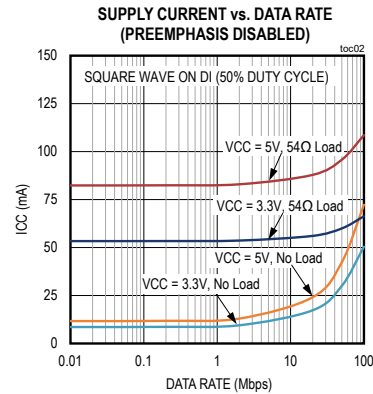
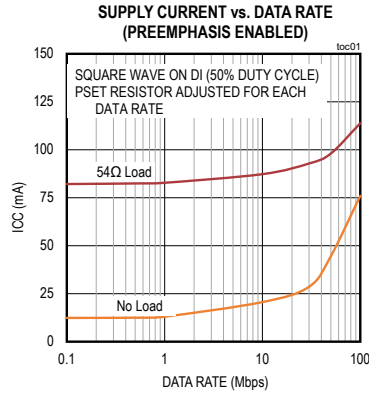


図9. レシーバのイネーブルおよびディセーブル時間

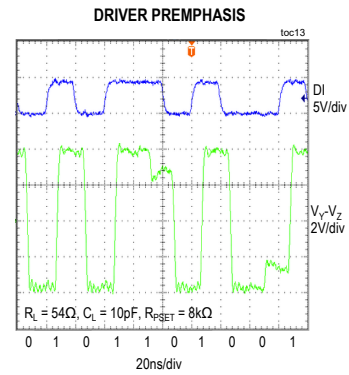
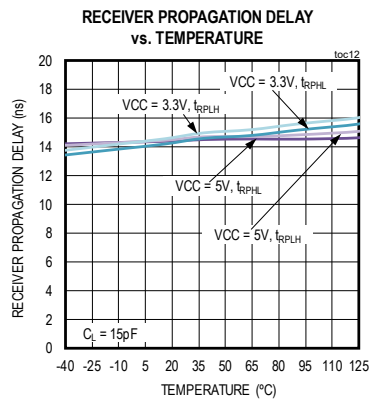
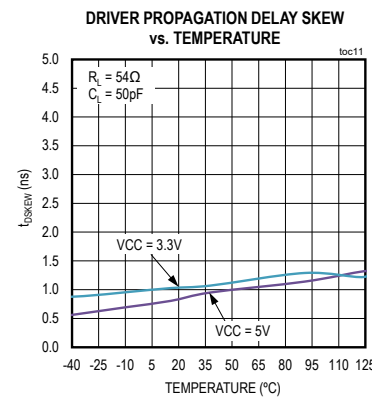
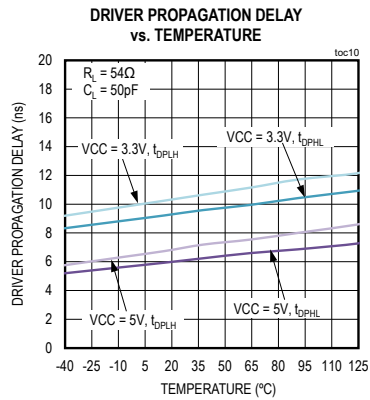
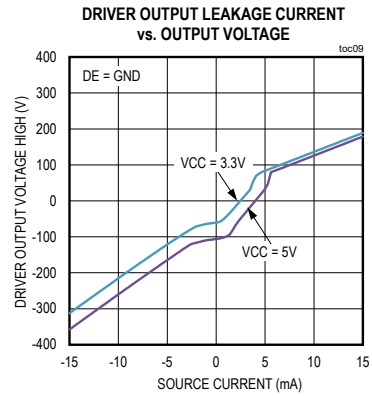
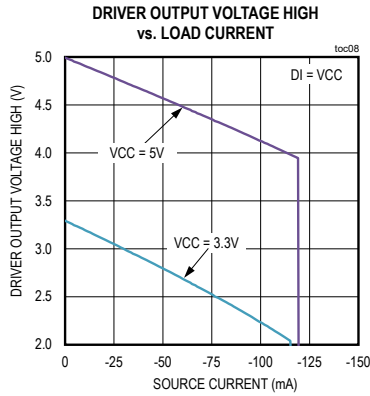
標準動作特性

$V_{CC} = 5V$, $V_L = V_{CC}$, 60Ω termination between Y and Z, $T_A = 25^\circ C$, unless otherwise noted.

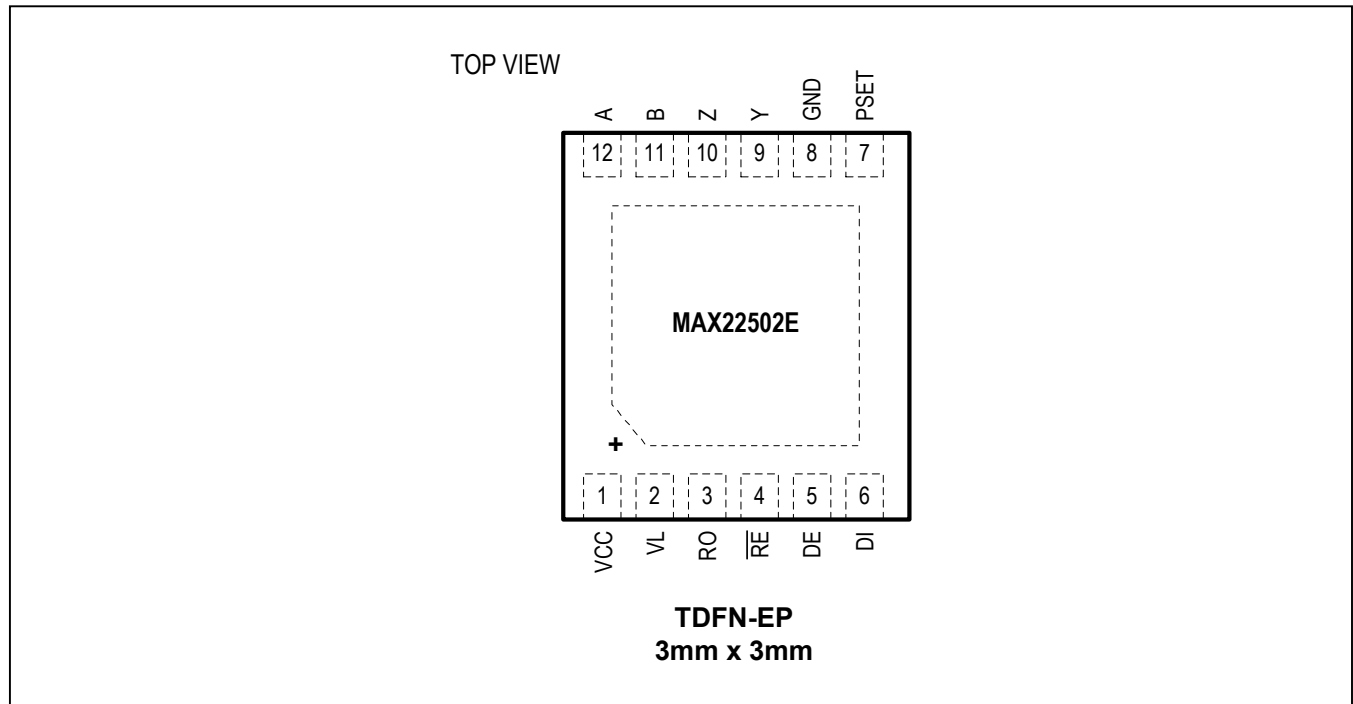


標準動作特性(続き)

$V_{CC} = 5V$, $V_L = V_{CC}$, 60Ω termination between Y and Z, $T_A = 25^\circ C$, unless otherwise noted.



ピン配置



端子説明

MAX22502E

端子	名称	機能
1	V _{CC}	電源入力。できる限りデバイスの近くに配置した0.1μFのセラミックコンデンサでV _{CC} をグランドに接続します。
2	V _L	ロジック電源入力。V _L はDE、DI、およびROのインタフェースロジックレベルを定義します。1.6V~5.5Vの範囲の電圧をV _L に印加します。正常な動作のためにV _L ≤ V _{CC} であることを確保してください。できる限りデバイスの近くに配置した0.1μFのコンデンサでV _L をグランド接続してください。
3	RO	レシーバ出力。詳細については、「 受信の機能表 」を参照してください。
4	\overline{RE}	レシーバイネーブル。レシーバをディセーブルしてROをトライステートにする場合は \overline{RE} をハイに設定します。 \overline{RE} = ハイおよびDE = ローのとき、デバイスは低電力シャットダウン状態です。
5	DE	ドライバ出力イネーブル。ドライバをイネーブルする場合はDEをハイに設定します。ドライバ出力をスリーステートにする場合はDEをローに設定します。
6	DI	ドライバ入力。詳細については、「 送信の機能表 」を参照してください。
7	PSET	プリエンファシス選択制御入力。PSETとGND間に抵抗を接続してプリエンファシスの継続時間を選択します。詳細については、「 アプリケーション情報 」の項の「 推奨レイアウト 」を参照してください。プリエンファシスをディセーブルする場合は、PSETをGNDまたはV _{CC} に接続します。
8	GND	グランド
9	Y	非反転ドライバ出力
10	Z	反転ドライバ出力
11	B	反転レシーバ入力
12	A	非反転レシーバ入力

ファンクションダイアグラム

送信の機能表

INPUTS			OUTPUTS	
RE	DE	DI	Y	Z
X	1	1	1	0
X	1	0	0	1
0	0	X	High Impedance	High Impedance
1	0	X	Shutdown. Y and Z are high-impedance	

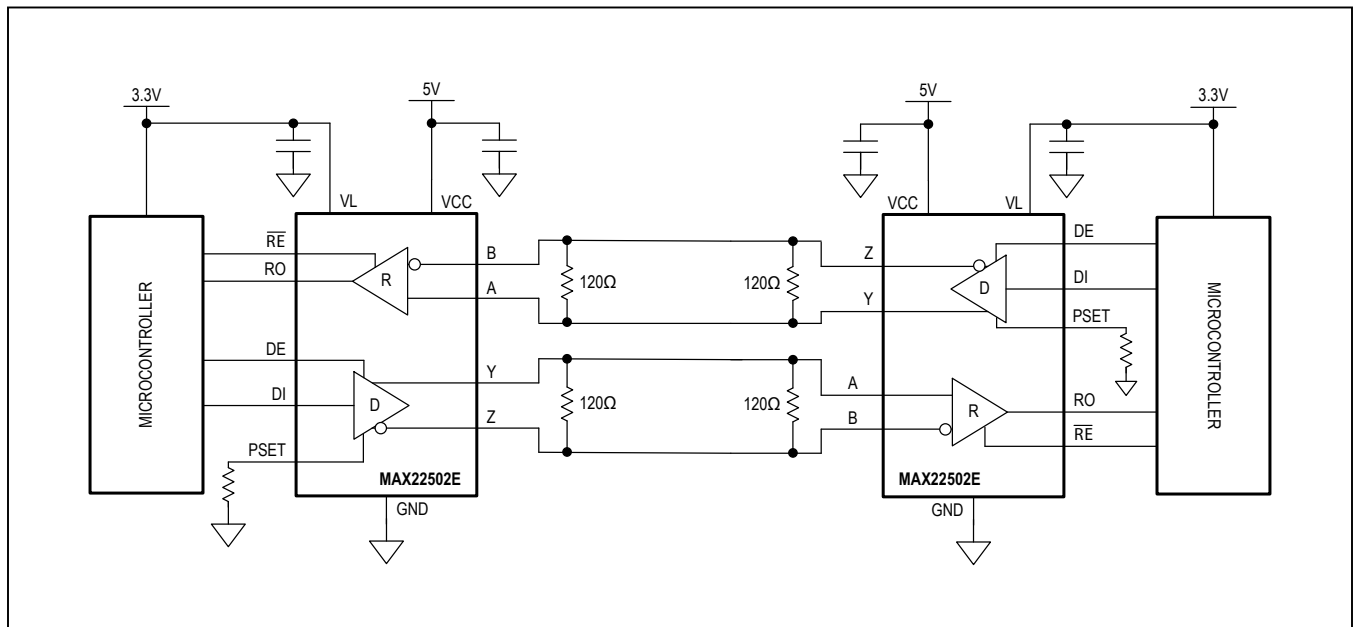
X = 任意

受信の機能表

INPUTS				OUTPUTS
RE	DE	(VA - VB)	Time from Last A-B Transition	RO
0	X	$\geq V_{TH_H}$	Always	1
0	X	$V_{TH_L} < (V_A - V_B) < V_{TH_H}$	$< t_{D_FS}$	Indeterminate RO is latched to previous value
0	X	$-50mV < (V_A - V_B) < +50mV$	$> t_{D_FS}$	1
0	X	$\leq V_{TH_L}$	Always	0
0	X	Open/Shorted	$> t_{D_FS}$	1
1	1	X	X	High Impedance
1	0	X	X	Shutdown. RO is high-impedance

X = 任意

フルデュプレックスポイントツーポイントのアプリケーション回路



詳細

ESD保護RS-485/RS-422トランシーバのMAX22502Eは、長尺ケーブル上での高速、フルデュプレックス通信に最適化されています。このトランシーバはホットスワップ機能を内蔵し、パワーアップ時または活線挿抜時のドライバの不正な遷移を除去します。レシーバ入力のフェイルセーフは、10 μ s (typ)以上にわたって入力短絡またはオープンの際にレシーバ出力がロジックハイになることを保証します。

レシーバスレッショルド電圧

MAX22502Eのレシーバは250mV (typ)という大きいスレッショルドヒステリシスを備え、差動ノイズ除去を向上させています。

さらに、このレシーバは対称型スレッショルド電圧を備えています。対称型スレッショルドには、RO出力の復元データにデューティサイクル歪みがないという特長があります。通常、ユニポーラ(非対称)スレッショルドを備えたフェイルセーフレシーバは、長いケーブル長による高い信号減衰においてある程度のデューティサイクル歪みを示します。

プリエンファシス

5Vによる給電時、MAX22502Eはドライバプリエンファシス回路を内蔵し、長尺ケーブルに起因するシンボル間干渉(ISI)を低減することによって長距離での高データレートの信号完全性が大幅に向上します。プリエンファシスはPSETとグランド間に抵抗(R_{PSET})を接続することによって設定します。

ケーブルの帯域幅は限られているため、長いケーブルは送信信号の高周波数成分を減衰させます。これによって受信側で信号/パルス歪みが発生し、ISIにつながります。ISIはデータおよびクロック復元回路のジッタを引き起こします。ISIは、以下の場合を考えることによって頭に思い描くことができます。連続した1に続いて0が送信される場合、一連の1の最後までに伝送ライン電圧は高い値に上昇しています。ライン上の開始電圧がゼロクロスから遠く離れているため、信号が「0」状態に向かって変化するのにより長い時間がかかります。同様に、データパターンに一連の0とそれに続く1およびもう1つの0が含まれている場合、1から0への遷移はゼロクロス(V_Y - V_Z = 0)に近い電圧から始まるため、信号がゼロクロスに達する時間が大幅に短くなります。

プリエンファシスは、各遷移エッジで差動信号の振幅をブーストし、ケーブルの高周波数減衰を相殺することによってISIを低減します。DI入力がロジックローからロジックハイに変化する時、差動出力(V_Y - V_Z)はハイのV_{ODP}に駆動されます。プリエンファシス間隔の最後で、差動電圧はより低いレベル(V_{OD})に戻ります。プリエンファシスの差動ハイ電圧(V_{ODP})はV_{OD}電圧の1.37倍(typ)です。プリエンファシス間隔が終わる前にDIがロジックロー状態に戻る場合、

差動出力は「ストロング」V_{ODP}ハイから「ストロング」ロー(-V_{ODP})へと直接切り替わります。

DI入力がロジックハイからロジックローへと変化するときも、ドライバの動作は同様です。これが発生するとき、差動出力はプリエンファシス間隔の最後までローの-V_{ODP}に引き下げられ、その時点でV_Y - V_Z = -V_{ODP}になります。

プリエンファシスの設定

PSETとGND間に抵抗(R_{PSET})を接続して、MAX22502Eのプリエンファシス時間間隔を設定します。最適なプリエンファシス間隔は、1~1.5ユニット間隔(ビット時間)の範囲です。次式を使用して、1.2のプリエンファシス間隔を実現するためにPSETに必要な抵抗を計算します。

$$R_{PSET} = 400 \times 10^9 / DR$$

ここで、DRはデータレートで、1Mbps ≤ DR ≤ 100Mbpsです。

短いケーブルを使用する場合プリエンファシスはアイダイアグラムのジッタをごくわずかに劣化させるのみであるため、ケーブル長が変動または変化する可能性があるシステムでプリエンファシスを永続的にイネーブルすることは合理的です。[図10](#)および[図11](#)は、10mのcat5eケーブル上で100Mbpsで測定したアイダイアグラムです。プリエンファシスをイネーブルするかディセーブルするかによってアイはわずかに変化するのみであることに注意してください。

[図12](#)および[図13](#)は、長いケーブル長でのドライバのアイダイアグラムを示しています。MAX22502Eをドライバとして使用して、100mのcat5eケーブルの先のレシーバ入力アイダイアグラムを測定しました。[図12](#)はドライバのプリエンファシスをディセーブルした場合のレシーバでの信号を示しています。[図13](#)はプリエンファシスをイネーブルした場合のレシーバ信号を示しています。

フェイルセーフ機能

MAX22502Eはフェイルセーフレシーバ入力を備え、10 μ s (typ)以上にわたってレシーバ入力短絡またはオープンの場合にレシーバ出力(RO)がロジックハイになることを保証します。10 μ s (typ)以上にわたって差動レシーバ入力電圧が50mV以下の場合、ROはロジックハイです。たとえば、終端されたバスで全トランスミッタがディセーブルの場合、レシーバの差動入力電圧は終端抵抗によって0Vにプルダウンされるため、(V_A - V_B = 0V) > -50mVになり、ROは10 μ s (typ)後にロジックハイになることが保証されます。

ドライバのシングルエンド動作

MAX22502EのYおよびZ出力は、標準の差動動作モードまたはシングルエンド出力として使用可能です。ドライバ出力の振幅はレール・ツー・レールであるため、個別の標準TTLロジック出力として使うこともできます。

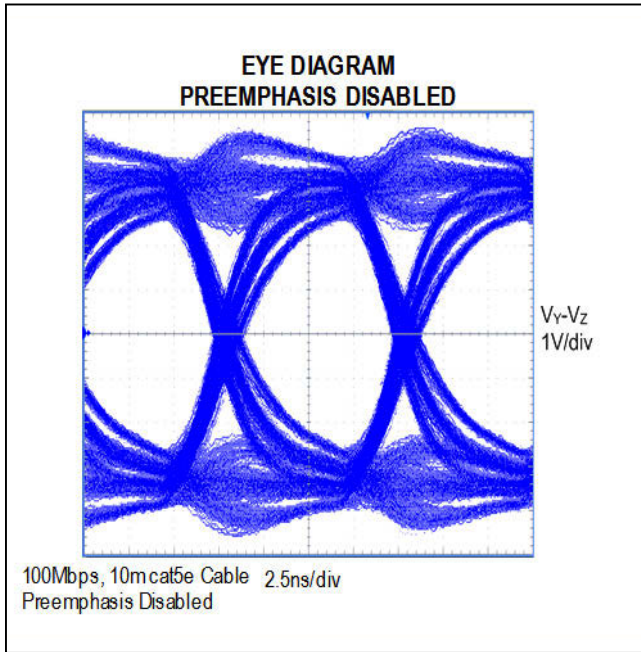


図10. アイダイアグラム、10mのCat5eケーブル上で100Mbps、プリエンファシスはディセーブル、 $V_{CC} = V_L = 5V$

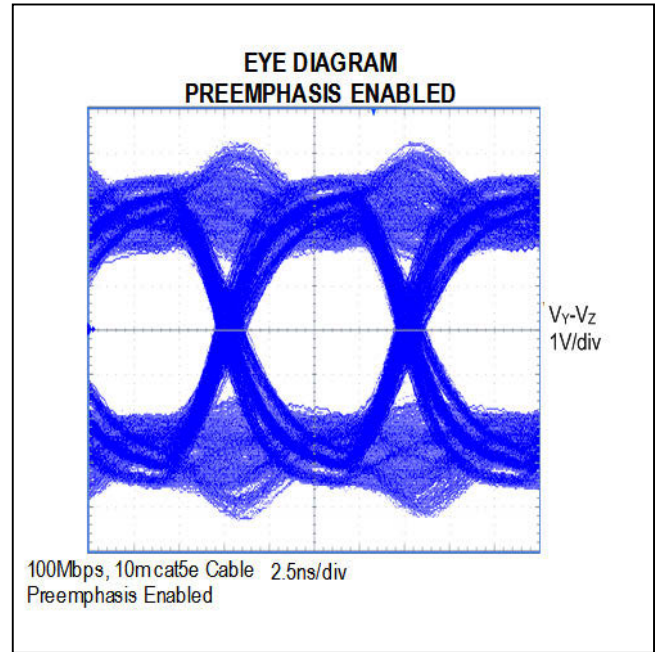


図11. アイダイアグラム、10mのCat5eケーブル上で100Mbps、プリエンファシスはイネーブル、 $V_{CC} = V_L = 5V$

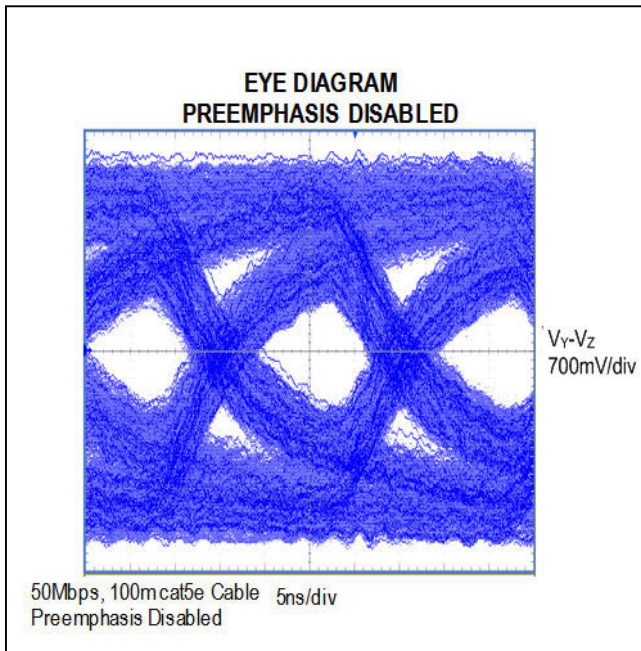


図12. アイダイアグラム、100mのCat5eケーブル上で50Mbps、プリエンファシスはディセーブル、 $V_{CC} = V_L = 5V$

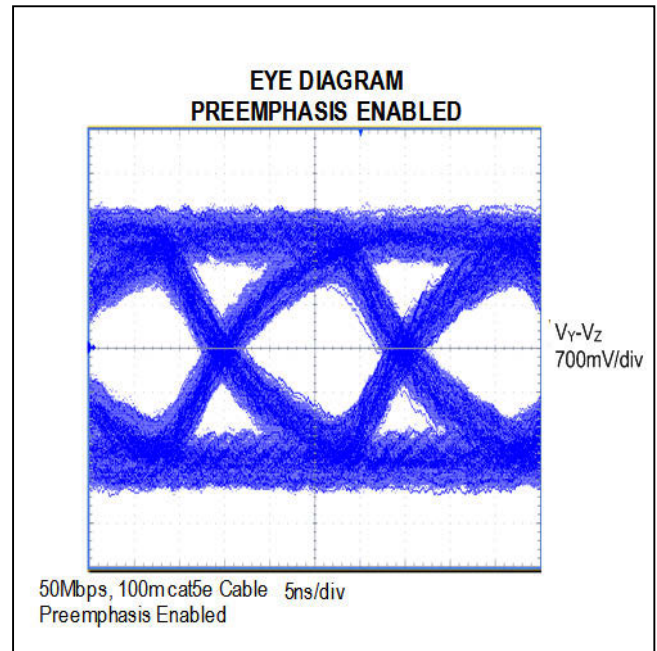


図13. アイダイアグラム、100mのCat5eケーブル上で50Mbps、プリエンファシスはイネーブル、 $V_{CC} = V_L = 5V$

ホットスワップ機能

DEおよびREイネーブル入力はホットスワップ機能を備えています。各入力に2つのNMOSデバイス(M1およびM2)があります(図14)。V_{CC}がゼロから立ち上がる時、内部10msタイマーがM2をオンにしてSRラッチを設定し、それによってM1もオンになります。トランジスタM2 (500 μ A電流シンク)およびM1 (100 μ A電流シンク)は5k Ω の抵抗を介してDEをGNDにプルダウンします。M2は、DEをハイに駆動する可能性のある最大100pFの外部寄生容量に対してDEをディセーブル状態にプルダウンするように設計されています。10 μ s後、タイマーはM2を非アクティブ化し、一方M1はオンのままで、DEをハイに駆動する可能性のある3ステート状態へのリーク電流に対してDEをローに維持します。M1は、外部ソースが必要な入力電流を上回るまでオンのままです。この時点で、SRラッチがリセットされM1がオフになります。M1がオフになると、DEは標準の、ハイインピーダンスCMOS入力に戻ります。V_{CC}が1Vを下回るたびに、ホットスワップ入力はリセットされます。

RE用の補助回路があり、2つのPMOSデバイスを使ってREをV_{CC}にプルアップします。

ドライバ出力の保護

障害またはバス競合によって発生する過大な出力電流および消費電力を防ぐため、2つの仕組みを備えています。第1の仕組みは出力段の電流制限で、コモンモード電圧範囲全体にわたって短絡に対して即座に保護を提供します。第2の仕組みはサーマルシャットダウン回路で、チップ温度が+160 $^{\circ}$ C (typ)を超えるとドライバ出力を強制的にハイインピーダンス状態にします。

低電力シャットダウンモード

MAX22502Eは、トランシーバが不要の場合に消費電流を低減するための低電力シャットダウンモードを備えています。デバイスを低電力シャットダウンモードにするには、RE入力をハイにプルアップし、DE入力をローにプルダウンします。入力が少なくとも800nsにわたってこの状態の場合、デバイスはシャットダウンに移行することが保証されています。デバイスがシャットダウン状態のとき、MAX22502Eの消費電流は5 μ A (max)です。

REおよびDE入力は同時に駆動することができます。REがハイでDEがローの時間が50ns以下の場合、MAX22502Eはシャットダウンに移行しないことが保証されています。

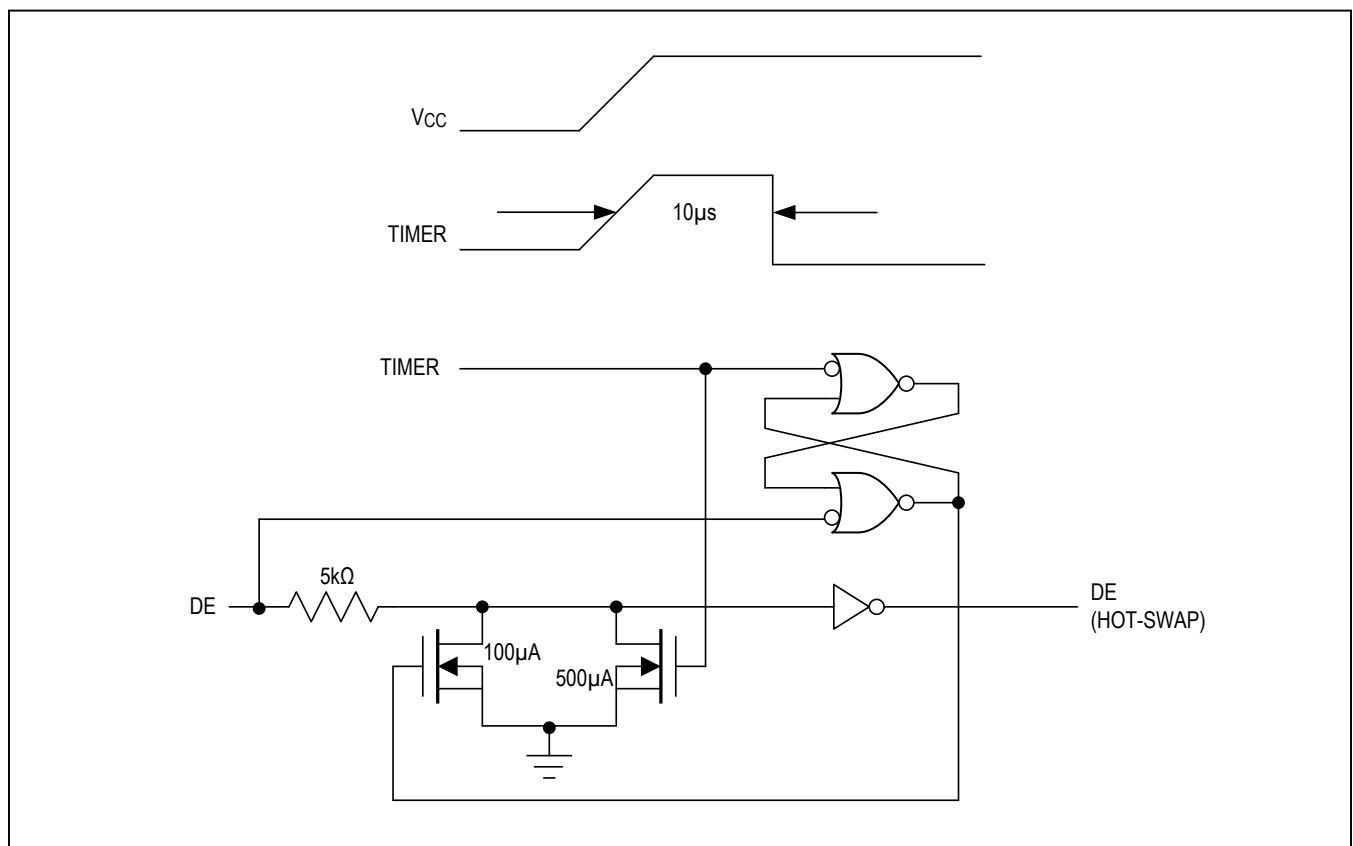


図14. ドライバイネーブル(DE)端子の簡略構造

アプリケーション情報

MAX22502Eへの給電

起動時に、MAX22502のV_{CC}およびV_L電源の特別な電源シーケンスは不要です。ただし、正常な動作のためにV_L ≤ V_{CC}であることを確保してください。

推奨レイアウト

他の信号による干渉を最小限に抑えるために、プリエンファシス設定抵抗(R_{PSET})がPSETおよびGND端子の近くに配置されていることを確実にしてください。PSET抵抗へのトレース長は最小限に抑えます。さらに、R_{PSET}の下にグランドプレーンを配置し、その周囲をグランド接続/トレースで囲んで、AおよびBスイッチング信号からの干渉を最小限に抑えます。図15を参照してください。

ネットワークポロジ

MAX22502Eトランシーバは、高速双方向RS-485/RS-422データ通信用に設計されています。マルチドロップネットワークではインピーダンスの不連続性が発生し、信号完全性に影響する可能性があります。高データレートでの通信を行う場合、マキシムはマルチドロップポロジの代わりにポイントツーポイントネットワークポロジの使用を推奨しています。反射を低減するために、ケーブルの特性インピーダンスで伝送ラインの両端を終端してください。

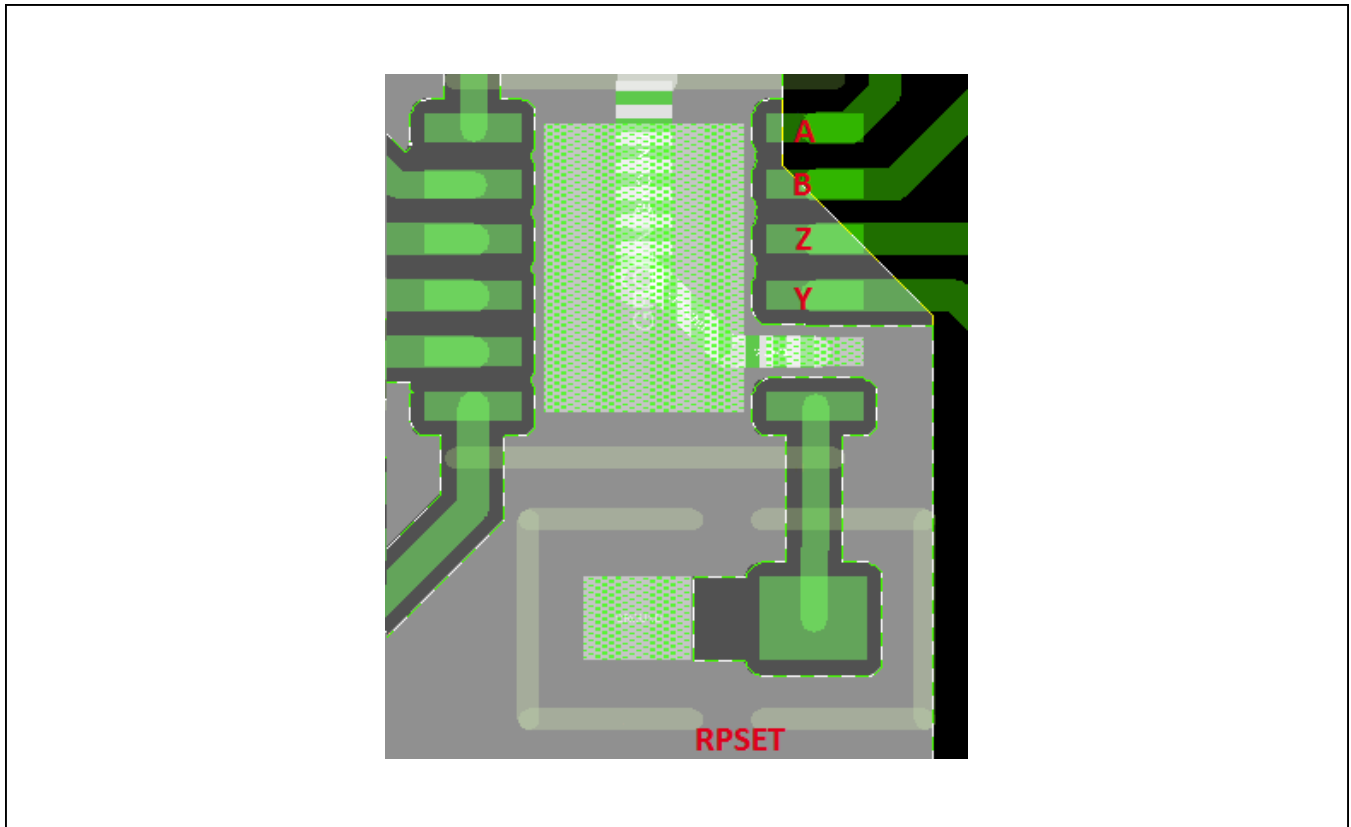


図15. PSET抵抗の配置例

型番

PART	PREEMPHASIS	LOGIC SUPPLY	PIN-PACKAGE	PACKAGE CODE
MAX22502EATC+	Y	Y	TDFN12-EP*	TD1233+1C
MAX22502EATC+T	Y	Y	TDFN12-EP*	TD1233+1C

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

改訂履歴

版数	改訂日	説明	改訂ページ
0	8/17	初版	—
1	4/19	テキスト内参照製品を修正	14, 17
.1		図8の誤字を修正	8



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。