

シングルコンバージョンDVB-Hチューナ

概要

ダイレクトコンバージョンチューナIC MAX2165は、携帯型のデジタルビデオ放送(DVB-H)アプリケーション用に設計されています。このチューナは470MHz~780MHzの入力周波数範囲に対応し、I/Qベースバンドインタフェースを備えています。

MAX2165のダイレクトコンバージョンアーキテクチャは、IF-SAWフィルタが不要であり、部品コストを削減することができます。このデバイスの設計には、可変利得の低ノイズアンプ(LNA)、ノッチフィルタ、RFトラッキングフィルタ、直交ミキサ、電力検出器、プログラマブルなベースバンドローパスチャネル選択フィルタ、ベースバンド可変利得アンプ(VGA)、DCオフセット補正回路、および完全なフラクショナルN周波数シンセサイザが内蔵されています。このデバイスは2線式I²C対応シリアルインタフェースを通してプログラムすることができます。

MAX2165は、調節可能なノッチフィルタを内蔵しています。このフィルタは、大きなセルラ信号が存在する条件下での動作に対応するため、830MHz~950MHzの周波数範囲の干渉信号を除去するよう設計されています。プログラマブルなベースバンドチャネル選択フィルタによって、7MHzおよび8MHz各チャネルでの動作が可能です。デジタルDCオフセット補正回路は、立上り時間遅延を最小化することによって時分割動作をサポートします。フラクショナルNシンセサイザがVCOのロック時間を短縮し、隣接位相ノイズが最小化されるため、多くの計算量を必要とする位相ノイズ低減アルゴリズムが不要となります。

MAX2165は、エクスポーズドパッドを備えた5mm x 5mm x 0.8mmの小型28ピンTQFNパッケージで提供されます。このデバイスは、-40°C~+85°Cの拡張温度範囲での動作が保証されています。

アプリケーション

- DVB-Hハンドヘルドレシーバ
- DVB-Tポータブルデバイス
- DMB-T/Hポータブルデバイス
- ISDB-Tレシーバ(13セグメント)

特長

- ◆ 単一電源電圧: +2.85V、消費電流: 93mA (typ)
- ◆ 平均消費電力: 21mW (typ)
(8%デューティサイクル時)
- ◆ ダイレクトコンバージョンアーキテクチャの採用でIF-SAWフィルタが不要
- ◆ セルラ妨害信号存在下での動作を可能にするRF調節可能ノッチフィルタ内蔵
- ◆ DCオフセット補正回路内蔵
- ◆ 最大-7dBmのセルラ妨害信号存在下での動作を可能にするRFノッチフィルタ内蔵
- ◆ 拡張UHFバンド動作
- ◆ 5mm x 5mm x 0.8mmの28ピンTQFNパッケージ

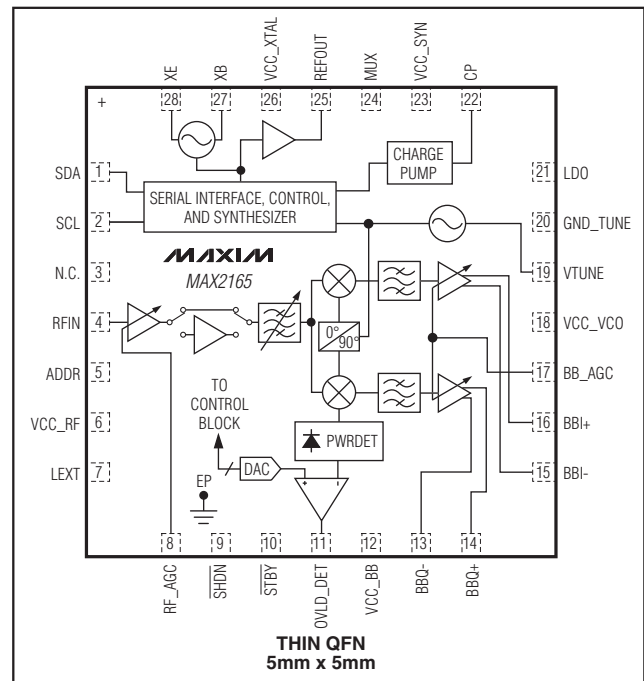
型番

PART	TEMP RANGE	PIN-PACKAGE
MAX2165ETI+	-40°C to +85°C	28 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

ピン配置/ファンクションダイアグラム



シングルコンバージョンDVB-Hチューナー

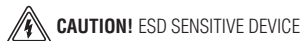
MAX2165

ABSOLUTE MAXIMUM RATINGS

All V_{CC} Pins to GND-0.3V to +3.6V
 GND_TUNE to GND-0.3V to +0.3V
 All Other Pins to GND-0.3V to (V_{CC} + 0.3V)
 BBI_, BBQ_ Short Circuit to Ground DurationIndefinite
 Maximum RF Input Power+13dBm
 Continuous Power Dissipation (T_A = +70°C)
 28-Pin Thin QFN (derate 34.5mW/°C above +70°C).....2758mW

Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.



DC ELECTRICAL CHARACTERISTICS

(MAX2165 EV kit, V_{CC} = +2.75V to +3.3V, V_{RF_AGC} = V_{BB_AGC} = 2.3V (maximum gain), no RF input signals at RFIN, default register settings, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +2.85V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE AND CURRENT					
Supply Voltage		2.75		3.30	V
Supply Current	LNASW = 1 (RF LNA on)		109	134	mA
	LNASW = 0 (RF LNA off)		93	116	
Shutdown Current				20	μA
Gain-Control Voltage	Required to obtain full range of RF and baseband gain	0.4		2.3	V
RF_AGC and BB_AGC Input Bias Current	V _{AGC} at +0.4V and +2.3V	-50		+50	μA
SERIAL INTERFACE					
Input Logic-Level Low				0.3 x V _{CC}	V
Input Logic-Level High		0.7 x V _{CC}			V
Input Hysteresis			0.05 x V _{CC}		V
SDA, SCL Input Current		-10		+10	μA
Output Logic-Level Low	I _{SINK} = 0.3mA			0.4	V
Output Logic-Level High	I _{SOURCE} = 0.3mA	V _{CC} - 0.4			V

AC ELECTRICAL CHARACTERISTICS

(MAX2165 EV kit, V_{CC} = +2.75V to +3.3V, V_{RF_AGC} = V_{BB_AGC} = 2.3V (maximum gain), V_{OUT} = 1V_{P-P}, 75Ω system impedance, registers set according to the specified default register conditions, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +2.85V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OVERALL PERFORMANCE (RF INPUT TO BASEBAND OUTPUTS)					
Operating Frequency Range	Meets specified performance	470		783	MHz
	Operates with derated performance (Note 2)	470		832	
Input Return Loss	50Ω system, worst case across band, any gain-control setting (Note 3)	7			dB

シングルコンバージョンDVB-Hチューナ

MAX2165

AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2165 EV kit, $V_{CC} = +2.75V$ to $+3.3V$, $V_{RF_AGC} = V_{BB_AGC} = 2.3V$ (maximum gain), $V_{OUT} = 1V_{P-P}$, 75Ω system impedance, registers set according to the specified default register conditions, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Voltage Gain	$Z_{SOURCE} = 75\Omega$, $Z_{LOAD} > 1k\Omega$	Maximum gain	74	82	dB
		Minimum gain on (LNASW = 1)		23 29	
RF Gain-Control Range	$0.4V \leq V_{RF_AGC} \leq 2.3V$	29	34		dB
Baseband Gain-Control Range	$0.4V \leq V_{BB_AGC} \leq 2.3V$	21	25		dB
LNA Gain Step	Gain change caused by switching RF LNA on (LNASW = 1) and off (LNASW = 0)	13.5	17		dB
LNA Gain Step Phase Change	Phase change caused by switching RF LNA on (LNASW = 1) and off (LNASW = 0)		10		degrees
Noise Figure (Note 3)	At 470MHz		3.8	6.5	dB
	At 783MHz		4.0	6.5	
Input IP2 (Note 4)	Maximum gain	0	9		dBm
	23dB gain reduction		26		
Input IP3 (Note 5)	Maximum gain	-20	-4		dBm
	23dB gain reduction		17		
In-Band Input P_{1dB}	Maximum gain (Note 6)	-22			dBm
Cellular Blocker Desensitization (Note 7)	Cellular Tx blocker gain compression		1.2	3	dB
	Cellular Tx blocker noise figure rise		3		
In-Band IM3	Two tones (782.8MHz and 782.3MHz) within passband of baseband filter, 780MHz LO frequency		-55	-40	dBc
RF Beats Converted to Output	170MHz to 960MHz RF input frequency		< -60		dBc
	960MHz to 1400MHz RF input frequency		< -60		
RF Isolation	DC to 50MHz, RF input to baseband outputs relative to desired channel		-60		dBc
I/Q Output Swing	$Z_{LOAD} = 10k\Omega \parallel 10pF$		0.5	1	V_{P-P}
I/Q DC Voltage	I+, I-, Q+, Q- outputs to ground		$V_{CC} / 2$		V
I/Q Quadrature Accuracy	Phase error			2	degrees
	Amplitude error	-1.5		+1.5	dB
Spurious Emissions at RF Input (Note 3)	50MHz to 470MHz		-38	-33	dBmV
	470MHz to 878MHz		-52	-35	
	878MHz to 1732MHz		-49	-35	
	Spur at four times Rx frequency, tested at $f_{LO} = 474MHz$, $f_{SPUR} = 1896MHz$		-58	-51	dBm
Closed-Loop Phase Noise	1kHz offset to 10kHz (Note 3)	-86	-96		dBc/Hz
	1MHz offset (Note 3)	-108	-126		
	> 10MHz offset		-140		

シングルコンバージョンDVB-Hチューナ

MAX2165

AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2165 EV kit, $V_{CC} = +2.75V$ to $+3.3V$, $V_{RF_AGC} = V_{BB_AGC} = 2.3V$ (maximum gain), $V_{OUT} = 1V_{P-P}$, 75Ω system impedance, registers set according to the specified default register conditions, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Up Time	Shutdown to full operation, VCO settled to the Rx frequency, DC offset calibrated (Note 8)		< 1	20	ms
BASEBAND FILTERS					
Passband Cutoff Attenuation	Lower corner (Note 9)		0 or 200		Hz
	Upper corner at 3.85MHz (UHF mode), $T_A = +25^\circ C$		0.9	5	dB
	Upper corner at 3.35MHz (VHF mode), $T_A = +25^\circ C$		2.7	5	
Amplitude Ripple	$T_A = +25^\circ C$		0.5	1.5	dB _{P-P}
Group Delay Ripple			150		μ s _{P-P}
Group Delay Matching			5		ns
Rejection Ratio (Note 10)	4.75MHz (VHF mode) (Note 11)		23		dB
	5.25MHz (UHF mode) (Note 11)		23		
	14.5MHz (VHF and UHF mode) (Note 12)		59	75	
	> 16.2MHz			84	
FRACTIONAL SYNTHESIZER					
RF N-Divider Ratio		7		251	
RF R-Divider Ratio		1		2	
Fractional Ratio	Length of fractional accumulator (Note 13)		20		bits
Integer Spurs	Worst-case spur inside baseband filter bandwidth		-60		dBc
Settling Time	35MHz step, settled to within 100Hz frequency error/20° phase error		200		μ s
Charge-Pump Current	ICP = 0		0.6		mA
	ICP = 1		1.2		
Charge-Pump Leakage		-10		+10	μ A
REFERENCE OSCILLATOR					
Reference Frequency		4		26	MHz
Reference Buffer Output Voltage Swing	10k Ω 10pF load	0.5	1		V _{P-P}
Input Impedance	When used as a passive input for an external reference oscillator		12		k Ω
Input Voltage	When used as a passive input for an external reference oscillator	100		600	mV _{RMS}
OVERLOAD DETECTOR					
Attack-Point Accuracy			± 2.5		dB
Attack-Point Increment	3-bit DAC, change per LSB step		2.5		dB
Detector Output Sink	Detector on	0.1			mA
	Detector off			5	μ A

AC ELECTRICAL CHARACTERISTICS (continued)

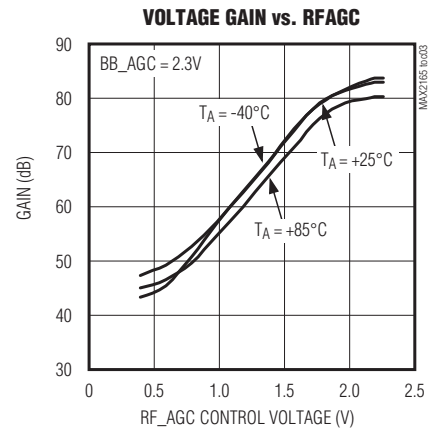
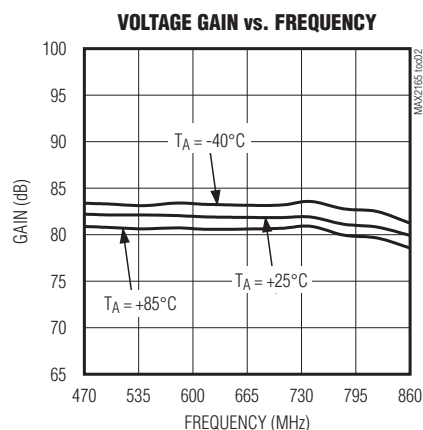
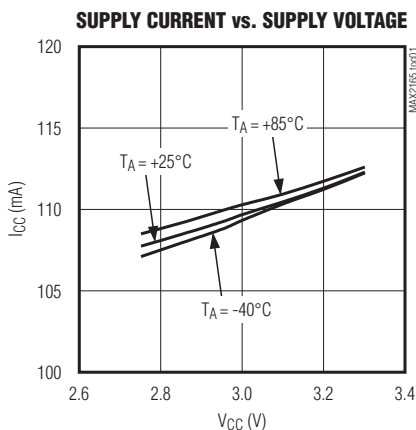
(MAX2165 EV kit, $V_{CC} = +2.75V$ to $+3.3V$, $V_{RF_AGC} = V_{BB_AGC} = 2.3V$ (maximum gain), $V_{OUT} = 1V_{P-P}$, 75Ω system impedance, registers set according to the specified default register conditions, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Detector Gain			150		V/V
Detector Response Time			5		μs
2-WIRE SERIAL INTERFACE					
Clock Rate	I2C fast mode, slave category			400	kHz

- Note 1:** Min and max limits are guaranteed by test at $T_A = +25^\circ C$ and are guaranteed by design and characterization at $T_A = -40^\circ C$ and $+85^\circ C$. The default register settings are not production tested. Load registers no sooner than $100\mu s$ after power-up.
- Note 2:** Notch filter must be disabled by programming the TF_NTCH[3:0] bits to 1111 to enable operation up to 832MHz. Under extreme conditions, the part can experience up to 3dB degradation in sensitivity and intermodulation distortion.
- Note 3:** Guaranteed by design and characterization over the specified operating conditions. Not production tested.
- Note 4:** UHF tones resulting in $f_1 - f_2$ beat frequency within the baseband output. Two tones at 350MHz and 1133MHz with IM2 measured at 783MHz.
- Note 5:** Two tones converted to 5.25MHz and 10.75MHz, IM3 measured at 250kHz.
- Note 6:** A desired signal at $P_{DESIRED} = -78dBm$ is injected and downconverted to 3.75MHz. A blocker tone is injected at 10MHz higher in frequency. Specified level is blocker power at which desired output signal compresses by 1dB. $T_A = +25^\circ C$.
- Note 7:** A single blocker at $-7dBm$ with a bandwidth of less than 4MHz is injected at 880MHz with the receiver tuned to 783MHz and set to maximum gain.
- Note 8:** VCO locked to within 100Hz of the Rx frequency. Wake-up initiated by toggling the \overline{SHDN} pin from low to high and connecting the \overline{STBY} pin to ground.
- Note 9:** Applies to continuous DC correction operation (DVB-T mode). In DVB-H mode, optional correction hold feature allows quasi-DC-coupling.
- Note 10:** Depends on 7MHz/8MHz bandwidth mode.
- Note 11:** Equivalent to video carrier in upper adjacent channel. $T_A = +25^\circ C$.
- Note 12:** Equivalent to $f_{NYQUIST} - 3.8MHz$ for 18.3MHz sampling rate baseband DAC.
- Note 13:** Total frequency resolution is $f_{REF}/2^{20}$, or approximately 20Hz with a 20MHz reference frequency.

標準動作特性

(MAX2165 EV kit, $V_{CC} = +2.85V$, default register settings, $V_{RF_AGC} = V_{BB_AGC} = 2.3V$, $V_{IOUT} = V_{QOUT} = 500mV_{P-P}$, $T_A = +25^\circ C$, unless otherwise noted.)

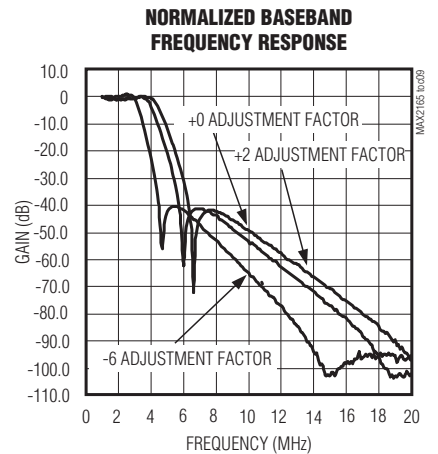
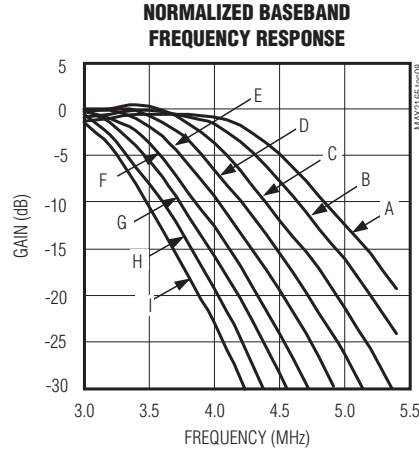
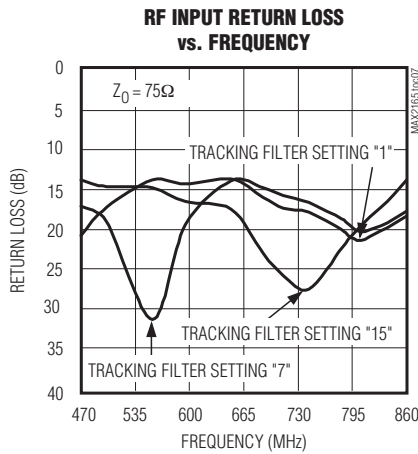
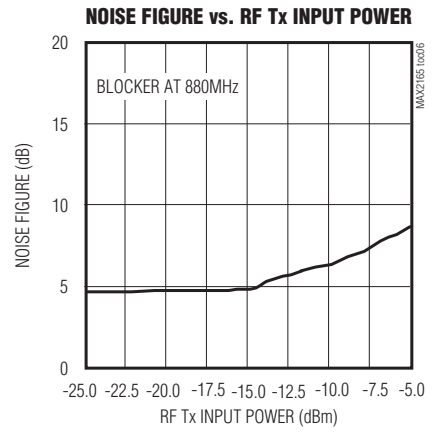
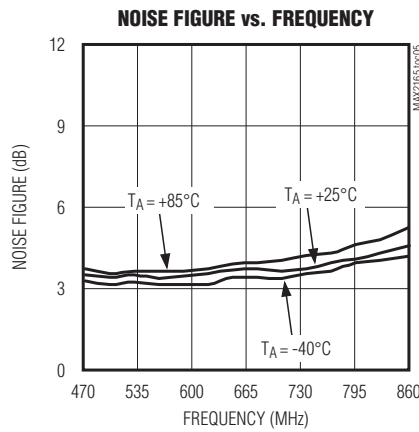
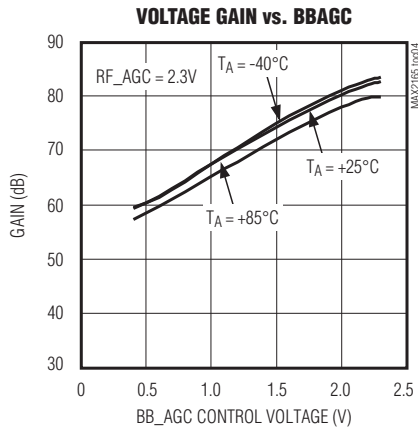


シングルコンバージョンDVB-Hチューナー

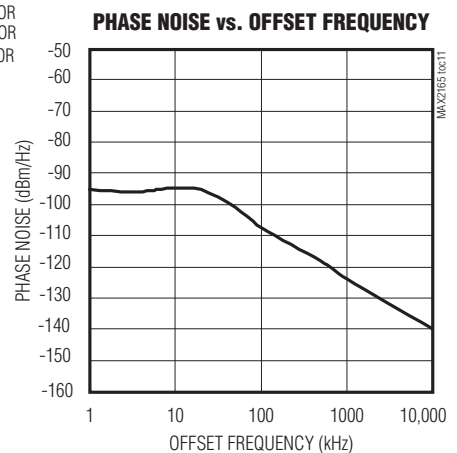
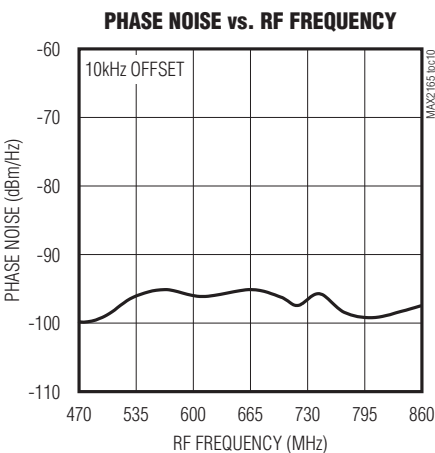
MAX2165

標準動作特性(続き)

(MAX2165 EV kit, $V_{CC} = +2.85V$, default register settings, $V_{RF_AGC} = V_{BB_AGC} = 2.3V$, $V_{IOUT} = V_{QOUT} = 500mV_{P-P}$, $T_A = +25^\circ C$, unless otherwise noted.)



A: +2 ADJUSTMENT FACTOR F: -3 ADJUSTMENT FACTOR
 B: +1 ADJUSTMENT FACTOR G: -4 ADJUSTMENT FACTOR
 C: 0 ADJUSTMENT FACTOR H: -5 ADJUSTMENT FACTOR
 D: -1 ADJUSTMENT FACTOR I: -6 ADJUSTMENT FACTOR
 E: -2 ADJUSTMENT FACTOR

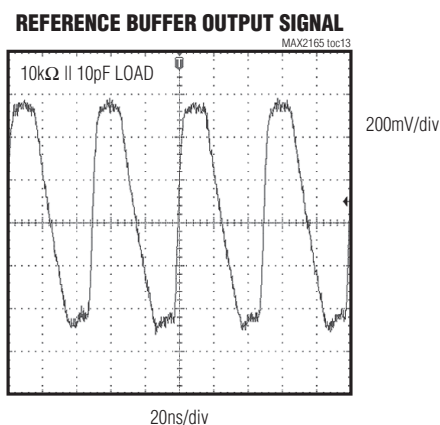
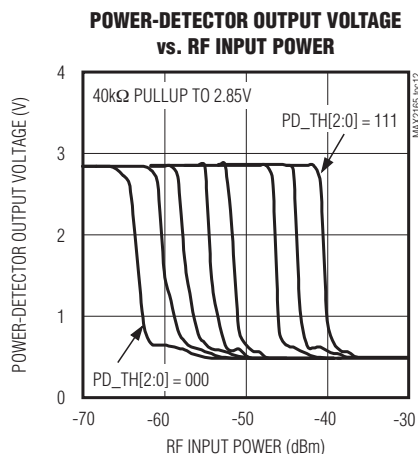


シングルコンバージョンDVB-Hチューナ

MAX2165

標準動作特性(続き)

(MAX2165 EV kit, $V_{CC} = +2.85V$, default register settings, $V_{RF_AGC} = V_{BB_AGC} = 2.3V$, $V_{IOUT} = V_{QOUT} = 500mV_{P-P}$, $T_A = +25^{\circ}C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	SDA	シリアルデータ入出力。プルアップ抵抗で V_{CC} に接続する必要があります。
2	SCL	シリアルクロック入力。プルアップ抵抗で V_{CC} に接続する必要があります。
3	N.C.	接続なし。この端子はグランドに接続してください。
4	RFIN	RF入力。内部で75 Ω に整合されています。DCブロックコンデンサが必要です。
5	ADDR	アドレス選択入力。I ² Cのスレーブアドレスを選択します。表20をご覧ください。
6	VCC_RF	RF電源入力。低ノイズの電源に接続してください。できる限り端子の近くに配置した2200pFと100nFのコンデンサで、PCBのグランドプレーンにバイパスしてください。
7	LEXT	外付けインダクタ接続点。39nHのインダクタで V_{CC} に接続してください。
8	RF_AGC	RF利得制御電圧入力。0.4V~2.3Vの電圧を受け付け、2.3VのときRF利得が最大になります。この端子は、OVLN_DET出力で制御することもできます。「標準アプリケーション回路」をご覧ください。
9	\overline{SHDN}	シャットダウン入力。すべての内部回路をディセーブルして、デバイスを低電力のシャットダウンモードにするには、この端子をローに駆動してください。通常動作させる場合は、この端子をハイに駆動してください。
10	\overline{STBY}	スタンバイ入力。チップの起動シーケンスを制御します。この端子の動作の詳細については、「起動シーケンス」の項をご覧ください。
11	OVLN_DET	過負荷検出出力。この出力は、内蔵の電力検出器の出力電圧と、プログラマブルな内部リファレンス電圧の間の誤差信号を出力します。この出力をRF_AGC入力に接続して、閉ループのRF自動利得制御を実行することも可能です。
12	VCC_BB	ベースバンド電源入力。低ノイズ電源に接続してください。できる限り端子の近くに配置した1000pFと100nFのコンデンサで、PCBのグランドプレーンにバイパスしてください。
13	BBQ-	反転直交ベースバンド出力

シングルコンバージョンDVB-Hチューナ

MAX2165

端子説明(続き)

端子	名称	機能
14	BBQ+	非反転直交ベースバンド出力
15	BBI-	反転同相ベースバンド出力
16	BBI+	非反転同相ベースバンド出力
17	BB_AGC	ベースバンド利得制御電圧入力。0.4V~2.3Vの電圧を受け付け、2.3Vのときベースバンド利得が最大になります。
18	VCC_VCO	VCO電源入力。低ノイズの電源電圧に接続してください。できる限り端子の近くに配置した1000pFと100nFのコンデンサで、PCBのグランドプレーンにバイパスしてください。
19	VTUNE	VCO同調電圧入力。PLLループフィルタの出力に接続してください。
20	GND_TUNE	VCO同調電圧グランド。PCBのグランドプレーンに接続してください。
21	LDO	VCOリニアレギュレータノイズバイパス。できる限り端子の近くに配置した470nFのコンデンサで、PCBのグランドプレーンにバイパスしてください。
22	CP	チャージポンプ出力。PLLループフィルタの入力に接続してください。
23	VCC_SYN	シンセサイザ電源入力。低ノイズの電源電圧に接続してください。できる限り端子の近くに配置した1000pFと100nFのコンデンサで、PCBのグランドプレーンにバイパスしてください。
24	MUX	多重化出力ライン。各種のテスト機能の出力であり、PLLロック検出インジケータとして使用することもできます。詳細については表9をご覧ください。PLLロック検出器として使用する場合は、ロジックのハイはPLLがロックされていないことを示し、ロジックのローはPLLがロックされていることを示します。
25	REFOUT	リファレンスバッファ出力。デモモジュレータ用のクロックリファレンスとして使用可能なバッファ付き水晶発振器信号を供給します。DCブロッキングコンデンサが必要です。
26	VCC_XTAL	水晶発振器電源入力。低ノイズの電源電圧に接続してください。できる限り端子の近くに配置した1000pFと100nFのコンデンサで、PCBのグランドプレーンにバイパスしてください。
27	XB	リファレンス入力。負荷整合コンデンサを通して並列共振モードの水晶に接続するか、またはリファレンス発振器に接続してください。
28	XE	リファレンス発振器フィードバック入力。チップ上のリファレンス発振器を使用する場合、容量性フィードバック回路網に接続してください。外部リファレンスを使用する場合は、未接続のままにしてください。
EP	EP	エクスポーズドパッド。インピーダンスを最小にするために、ボードのグランドプレーンに均一にはんだ付けしてください。

詳細

レジスタの説明

MAX2165は、15個のプログラマブルなレジスタと、3個の読取り専用レジスタを内蔵しています。レジスタの構成については、表1をご覧ください。表1のレジスタ構成には、すべてのレジスタについて各ビットの名称およびビットの用途に関する情報が示してあります。各ビットの名称の下にUと標記されている場合、特定のアプリケーションの要件に合わせてそのビットの値をユーザが定義することを示します。0または1と標記され

ている場合、正しく動作させるためにはそのビットを定義通り0または1の値に設定する必要があることを示します。これらのビットに他の値をプログラムした場合の動作はテストも保証もされず、ファクトリ/ベンチ評価の場合にのみ使用してください。一般的なアプリケーションの場合は、常に動作が定義されている状態にプログラムしてください。

各レジスタの詳しい説明は、表2~19をご覧ください。すべてのレジスタは起動から100 μ s後に書き込む必要があり、起動後100 μ s以内に書き込んではいけません。

シングルコンバージョンDVB-Hチューナ

MAX2165

表1. レジスタ構成*

REGISTER NAME	REGISTER ADDRESS	REGISTER SETTINGS		DATA BYTE								LSB
		OPERATION DEFINED	DEFAULT (POR)									
				D7	D6	D5	D4	D3	D2	D1	D0	
N-Divider Integer	0x00	—	H17	N7 U	N6 U	N5 U	N4 U	N3 U	N2 U	N1 U	N0 U	
N-Divider Frac2	0x01	—	H18	X 0	X 0	X 0	FRAC U	F19 U	F18 U	F17 U	F16 U	
N-Divider Frac1	0x02	—	H00	F15 U	F14 U	F13 U	F12 U	F11 U	F10 U	F9 U	F8 U	
N-Divider Frac0	0x03	—	H00	F7 U	F6 U	F5 U	F4 U	F3 U	F2 U	F1 U	F0 U	
Tracking Filter	0x04	—	H72	TF_NTCH3 U	TF_NTCH2 U	TF_NTCH1 U	TF_NTCH0 U	TF_BAL3 U	TF_BAL2 U	TF_BAL1 U	TF_BAL0 U	
LNA	0x05	—	H01	X 0	X 0	X 0	X 0	X 0	X 0	X 0	LNASW U	
PLL Configuration	0x06	—	H0A	RDIV U	ICP U	CPS U	ADLY0 U	ADLY0 U	LFDIV2 U	LFDIV1 U	LFDIV0 U	
Test	0x07	—	H08	CP_TST2 0	CP_TST1 0	CP_TST0 0	X 0	X 1	LD_MUX2 U	LD_MUX1 U	LD_MUX0 U	
Shutdown	0x08	—	H00	X 0	SHDN_REF U	X 0	SHDN_SYN U	SHDN_RF U	SHDN_BB U	SHDN_PD U	SHDN_BG U	
VCO Control	0x09	—	H50	VCO1 U	VCO0 U	BS2 U	BS1 U	BS0 U	VAS 1	ADL 0	ADE 0	
Baseband Control	0x0A	—	HF3	BB_BW3 U	BB_BW2 U	BB_BW1 U	BB_BW0 U	BB_BIA0 0	PD_TH2 U	PD_TH1 U	PD_TH0 U	
DC Offset Control	0x0B	H79	H71	X 0	DC_DAC8	DC_MO1 1	DC_MO0 1	DC_SP1 1	DC_SP0 0	DC_TH1 0	DC_TH0 0	
DC Offset DAC	0x0C	H00	H00	DC_DAC7 0	DC_DAC6 0	DC_DAC5 0	DC_DAC4 0	DC_DAC3 0	DC_DAC2 0	DC_DAC1 0	DC_DAC0 0	
ROM Table Address	0x0D	—	H00	X 0	FUSE_TH 0	X 0	WR 0	TFA3 U	TFA2 U	TFA1 U	TFA0 U	
Reserved	0x0E	H00	H00	X 0	X 0	X 0	X 0	X 0	X 0	X 0	X 0	
ROM Table Data Readback	0x10	N/A	N/A	TRF7	TRF6	TRF5	TRF4	TRF3	TRF2	TRF1	TRF0	
Chip Status Readback	0x11	N/A	N/A	POR	VASA	VASE	LD	DC_LO	DC_HI	X	PD_OVLD	
Autotuner Readback	0x12	N/A	N/A	VCO1	VCO0	BS2	BS1	BS0	ADC2	ADC1	ADC0	

*推奨される設定の詳細については、「レジスタの説明」の項をご覧ください。

表2. N分周器整数部レジスタ(アドレス : 0x00)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
N[7:0]	7-0	Programs the integer value of the PLL N-divider ratio. Default integer divide value is 23.

シングルコンバージョンDVB-Hチューナ

MAX2165

表3. N分周器Frac2レジスタ* (アドレス : 0x01)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7, 6, 5	Reserved. Set to 000 for normal operation.
FRAC	4	PLL mode select: 1 = Fractional mode selected. 0 = Integer mode selected.
F[19:16]	3-0	Sets the 4 most significant bits of the fractional PLL divider ratio.

*分数の分周比をプログラムする場合は、分周比を更新する前に3個すべての分数分周器レジスタの書き込みを行う必要があります。

表4. N分周器Frac1レジスタ* (アドレス : 0x02)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
F[15:8]	7-0	Sets bits 15 through 8 of the fractional PLL divider ratio.

*分数の分周比をプログラムする場合は、分周比を更新する前に3個すべての分数分周器レジスタの書き込みを行う必要があります。

表5. N分周器Frac0レジスタ* (アドレス : 0x03)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
F[7:0]	7-0	Sets the 8 least significant bits of the fractional PLL divider ratio.

*分数の分周比をプログラムする場合は、分周比を更新する前に3個すべての分数分周器レジスタの書き込みを行う必要があります。

表6. トラッキングフィルタレジスタ(アドレス : 0x04)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
TF_NTCH[3:0]	7-4	Programs the notch frequency of the internal tracking filter. Optimal values for notch frequencies of 783MHz and 725MHz can be read from the ROM table entries. See the <i>Reading the ROM Table</i> section.
TF_BAL[3:0]	3-0	Programs the tracking filter balun. Optimum values over frequency can be interpolated from the ROM table entries. See the <i>Reading the ROM Table</i> section.

表7. LNAレジスタ(アドレス : 0x05)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7-1	Reserved. Set to all zeros for normal operation.
LNASW	0	LNA enable: 1 = LNA is enabled. 0 = LNA is disabled.

表8. PLLコンフィギュレーションレジスタ(アドレス : 0x06)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
RDIV	7	Selects the PLL reference divider: 1 = Divide reference by 2. 0 = Divide reference by 1.
ICP	6	Selects the charge-pump current: 1 = 1.2mA 0 = 0.6mA
CPS	5	Selects how the charge-pump current is programmed: 1 = Charge-pump current is automatically programmed to the optimal setting by the VCO autotuner. 0 = Charge-pump current is set manually by programming the ICP bit.
ADLY[1:0]	4, 3	Sets the VCO autoselect wait time: 00 = ~200µs 01 = ~400µs 10 = ~800µs 11 = ~1600µs
LF_DIV[2:0]	2, 1, 0	Sets the prescaler for internal low-frequency clocks; program these bits so the crystal frequency divided by the prescaler value is equal to 2MHz: 000 = Divide by 8 (for 16MHz crystals). 001 = Divide by 9 (for 18MHz crystals). 010 = Divide by 10 (for 20MHz crystals). 011 = Divide by 11 (for 22MHz crystals). 100 = Divide by 12 (for 24MHz crystals). 101 = Divide by 13 (for 26MHz crystals). 110 = Divide by 14 (for 28MHz crystals). 111 = Divide by 2 (for 4MHz crystals).

表9. テストレジスタ(アドレス : 0x07)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
CP_TST[2:0]	7, 6, 5	Charge-pump test modes: 000 = Normal operation. 100 = Force charge pump into low-impedance state. 101 = Force charge-pump source current. 110 = Force charge-pump sink current. 111 = Force charge pump into high-impedance state.
X	4, 3	Reserved. Set to 01 for normal operation.
LD_MUX[2:0]	2, 1, 0	Selects which signal is output to the MUX pin: 000 = PLL lock indicator (normal operation). 001 = N-divider output (after divide by 2). 010 = R-divider output (after divide by 2). 011 = Factory use only. 1XX = Factory use only.

シングルコンバージョンDVB-Hチューナ

MAX2165

表10. シャットダウンレジスタ(アドレス : 0x08)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7	Reserved. Set to 0 for normal operation.
SHDN_REF	6	<p>Crystal-oscillator buffer shutdown control: 1 = Buffered crystal-oscillator output is disabled. 0 = Buffered crystal-oscillator output is enabled. Note: The crystal oscillator is activated by either the SHDN_SYN bit or the SHDN_REF bit. If either bit is 0, the crystal oscillator is enabled. If both are 1, the crystal oscillator is disabled.</p>
X	5	Reserved. Set to 0 for normal operation.
SHDN_SYN	4	<p>PLL shutdown control: 1 = PLL is disabled. 0 = PLL is enabled. Note: The crystal oscillator is activated by either the SHDN_SYN bit or the SHDN_REF bit. If either bit is 0, the crystal oscillator is enabled. If both are 1, the crystal oscillator is disabled.</p>
SHDN_RF	3	<p>RF front-end shutdown control: 1 = RF circuits are disabled. 0 = RF circuits are enabled.</p>
SHDN_BB	2	<p>Mixer, baseband filters, and baseband variable-gain amplifiers (VGA) shutdown control: 1 = Mixer, baseband filters, and baseband VGA are disabled. 0 = Mixer, baseband filters, and baseband VGA are enabled.</p>
SHDN_PD	1	<p>Baseband power-detector shutdown control: 1 = Baseband power detector is disabled. 0 = Baseband power detector is enabled.</p>
SHDN_BG	0	<p>Main bias shutdown control: 1 = Main bias circuits are disabled. 0 = Main bias circuits are enabled. Note: The main bias circuits can and will be shut down once all other blocks are shut down (all bits in the Shutdown register are set to 1, and the VCO[1:0] bits in the VCO Control register and the DC_MO[1:0] in the DC Offset Control register are set to 00).</p>

表11. VCO制御レジスタ(アドレス : 0x09)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
VCO[1:0]	7, 6	Controls which VCO is activated when using manual VCO programming mode: 00 = VCO disabled. 01 = Select VCO 0 (lowest frequency VCO). 10 = Select VCO 1. 11 = Select VCO 2 (highest frequency VCO).
SB[2:0]	5, 4, 3	Selects which VCO sub-band is activated when using manual VCO programming mode: 000 = Select sub-band 0 (lowest frequency sub-band). 001 = Select sub-band 1. 010 = Select sub-band 2. 011 = Select sub-band 3. 100 = Select sub-band 4. 101 = Select sub-band 5. 110 = Select sub-band 6. 111 = Select sub-band 7 (highest frequency sub-band).
VAS	2	Enables or disables the VCO autotuner function: 1 = VCO and VCO sub-band are programmed automatically by the autotuner. 0 = VCO and VCO sub-band selection is controlled manually by programming the VCO[1:0] and SB[2:0] bits.
ADL	1	Enables or disables the VCO tuning voltage ADC latch when the VCO autotuner is disabled (VAS = 0): 1 = Latches the ADC output. 0 = Disables the ADC latch.
ADE	0	Enables or disables the VCO tuning voltage ADC read when the VCO autotuner is disabled (VAS = 0): 1 = Enables ADC read. 0 = Disables ADC read.

表12. ベースバンド制御レジスタ(アドレス : 0x0A)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
BB_BW[3:0]	7-4	Programs the bandwidth of the baseband filter. Optimum values for 6MHz to 8MHz wide channels can be calculated after reading a ROM table entry. See the <i>Reading the ROM Table</i> section.
BB_BIA	3	Baseband filter bias current control: 1 = High-bias current. 0 = Low-bias current.
PD_TH[2:0]	2, 1, 0	Programs the power-detector attack point for closed-loop RF gain control; see the <i>Typical Operating Characteristics</i> for power-detector behavior: 000 = Most aggressive RF gain reduction. 001 ... 110

シングルコンバージョンDVB-Hチューナ

MAX2165

表13. DCオフセット制御レジスタ(アドレス : 0x0B)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7	Reserved. Set to 0 for normal operation.
DC_DAC8	6	Most significant bit of the DC offset correction DAC.
DC_MO[1:0]	5, 4	Controls the DC offset correction mode of operation: 00 = Offset correction disabled. 01, 10 = I/Q channel DC correction DACs are programmed direct from the DC_DAC[8:0] bits for manual offset correction. 11 = Normal operation.
DC_SP[1:0]	3, 2	Controls the DC offset correction speed (highpass corner frequency): 00 = Offset correction off, hold DAC values. 01 = Select correction speed 1 (slowest correction speed, ~20Hz highpass corner). 10 = Select correction speed 2. 11 = Select correction speed 3 (fastest correction speed, ~500Hz highpass corner).
DC_TH[1:0]	1, 0	Control the DC offset correction accuracy thresholds: 00 = Not recommended. 01 = Keep typical DC offset to within $\pm 100\text{mV}$. 10 = Keep typical DC offset to within $\pm 200\text{mV}$. 11 = Keep typical DC offset to within $\pm 400\text{mV}$.

表14. DCオフセットDACレジスタ(アドレス : 0x0C)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
DC_DAC[7:0]	7-0	Programs the I/Q DC offset DAC for manual DC offset correction. Note the MSB, DC_DAC8, is located in the DC Offset Control register.

表15. ROMテーブルアドレスレジスタ(アドレス : 0x0D)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7-4	Reserved. Set to 0000 for normal operation.
TFA[3:0]	3-0	Programs which ROM table address that data is to be read from (see Table 21): 0001 = Tracking filter notch coefficients for 783MHz and 725MHz. 0010 = Balun coefficients for 470MHz and 780MHz. 0011 = Baseband filter bandwidth settings for 7MHz and 8MHz channels. All other codes = Reserved.

表16. 予約済みレジスタ(アドレス : 0x0E)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7-0	Reserved. Set to 0x00 for normal operation.

表17. ROMテーブルデータ読取りレジスタ(アドレス : 0x10)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
TFR[7:0]	7-0	ROM table data read register. Data from the register at the address programmed into the TFA[3:0] bits are written to this register for reading by the host processor.

表18. チップステータス読取りレジスタ(アドレス : 0x11)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
POR	7	Power-on-reset indicator: 1 = Power has been reset since last read. 0 = Power has not been reset since last read.
VASA*	6	Indicates whether VCO autotuner selection was successful: 1 = Indicates successful automatic VCO selection. 0 = Indicates the autoselect function is disabled or automatic VCO selection was unsuccessful.
VASE*	5	Status indicator for the VCO autotuner function: 1 = Indicates the automatic VCO selection process is active. 0 = Indicates the automatic VCO selection process is inactive.
LD	4	PLL lock detect: 1 = PLL is locked. 0 = PLL is unlocked.
DC_LO*	3	Indicates DC offset correction accuracy: 1 = DC offset correction detected negative signal excursions in either the I or Q channel. 0 = No signal excursions detected.
DC_HI*	2	Indicates DC offset correction accuracy: 1 = DC offset correction detected positive signal excursions in either the I or Q channel. 0 = No signal excursions detected.
X	1	Reserved.
PD_OVLD	0	Indicates whether the signal level is above or below the programmed attack-point threshold: 1 = Signal is above the programmed attack-point threshold. 0 = Signal is below the programmed attack-point threshold.

*これらのビットの機能についてはプロダクションテストも保証もされていません。

表19. オートチューナ読取りレジスタ(アドレス : 0x12)

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
VCO[1:0]*	7, 6	Indicates which VCO was selected by the VCO autotuner.
BS[2:0]*	5, 4, 3	Indicates which VCO sub-band was selected by the VCO autotuner.
ADC[2:0]*	2, 1, 0	Provides a 3-bit digital reading of the VCO tuning voltage.

*これらのビットの機能についてはプロダクションテストも保証もされていません。

シングルコンバージョンDVB-Hチューナ

MAX2165

2線式シリアルインタフェース

MAX2165は、シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成される、2線式のI²C対応シリアルインタフェースを使用しています。SDAとSCLによって、MAX2165とマスタの間で最高400kHzのクロック周波数での双方向通信が実現されます。マスタがバス上でのデータ転送を開始する側であり、SCL信号を生成してデータ転送を許可します。MAX2165はマスタとの間でデータの送受信を行うスレーブデバイスとして動作します。バスを正常に動作させるためには、SDAとSCLを外付けのプルアップ抵抗(1kΩ以上)でハイにプルアップする必要があります。

各SCLクロックサイクルの間に1ビットが転送されます。MAX2165との間で1バイトの転送を行うためには、最低9クロックサイクルが必要です(8ビットおよびACK/NACK)。SDA上のデータは、SCLのクロックパルスがハイの期間にわたって安定状態を保つ必要があります。SCLがハイで安定しているときにSDAが変化すると、制御信号と見なされます(I²C STARTおよびSTOP条件)の項参照)。バスがビジーでないときは、SDAとSCLの両方もハイのままになります。

STARTおよびSTOP条件

マスタはSTART条件(S)、すなわちSCLがハイの間にSDAをハイからローに遷移させることで転送を開始します。マスタはSTOP条件(P)、すなわちSCLがハイの間にSDAをローからハイに遷移させることで転送を終了します。

表20. プログラマブルなデバイスアドレス

ADDR	READ ADDRESS	WRITE ADDRESS
1	0xC3	0xC2
0	0xC1	0xC0

I²C busはPhilips Corp.の登録商標です。

アクノリッジおよび非アクノリッジ条件

データ転送はアクノリッジビット(ACK)または非アクノリッジビット(NACK)で区切られます。マスタとMAX2165(スレーブ)の両方がアクノリッジビットを生成します。アクノリッジビットを生成するには、アクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジより前に受信側デバイスがSDAをローに強制して、そのクロックパルスがハイの間SDAをローに維持する必要があります。

非アクノリッジ条件を生成するには、アクノリッジ関連のクロックパルスの立上りエッジより前にSDAがハイになるのを受信側が容認して、そのクロックパルスがハイの間SDAをハイに保持する必要があります。アクノリッジビットを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイスがビジーであるか、またはシステム障害の発生によって起こります。データ転送に失敗した場合、バスマスタが後で通信を再試行する必要があります。

スレーブアドレス

MAX2165は7ビットのスレーブアドレスを持っており、通信を開始するためにはSTART条件に続けてそれをMAX2165に送信する必要があります。スレーブアドレスは、選択可能な2個のアドレスが用意されており、ADDR端子でどちらかにプログラムすることができます(表20)。7ビットのアドレスに続く8番目のビット(R/W)で、読取りまたは書込みのどちらの操作が行われるかが決まります。

MAX2165は、START条件に続く自分のスレーブアドレスを常に待っています。MAX2165が自分のスレーブアドレスを認識すると、1クロックの期間SDAラインをローに強制することによってアクノリッジを行い、R/Wビットに応じて、データの受信または送信の準備が整ったことを示します(図1)。

書込みサイクル

書込みコマンドでアクセスされた場合、MAX2165はマスタが単一のレジスタまたは複数の連続したレジスタに書込みを行うことを許可します。

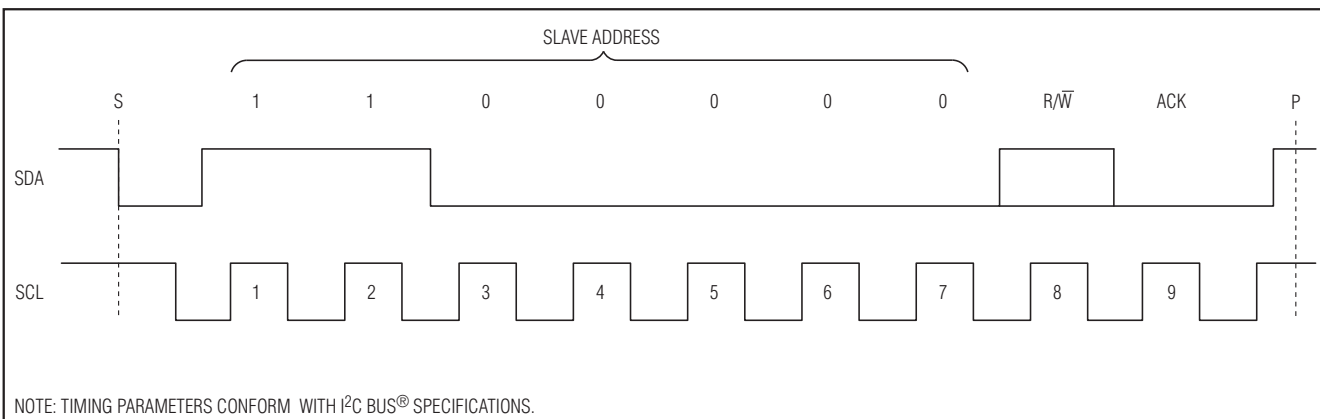


図1. MAX2165スレーブアドレスバイト

START	WRITE DEVICE ADDRESS	R/W	ACK	WRITE REGISTER ADDRESS	ACK	WRITE DATA TO REGISTER 0x00	ACK	WRITE DATA TO REGISTER 0x01	ACK	WRITE DATA TO REGISTER 0x02	ACK	STOP
	110000[ADDR]	0		0x00		0x0E		0xD8		0xE1		

図2. レジスタ0~2にそれぞれ0x0E、0xD8、および0xE1を書き込む例

START	WRITE DEVICE ADDRESS	R/W	ACK	WRITE 1st REGISTER ADDRESS	ACK	START	WRITE DEVICE ADDRESS	R/W	ACK	WRITE DATA REG 0	ACK	WRITE DATA REG 1	NACK	STOP
	110000[ADDR]	0		00000000			110000[ADDR]	1		D7-D0		D7-D0		

図3. レジスタ0~2からデータを読み取る例

書込みサイクルは、バスマスタがSTART条件を発行し、それに続けて7個のスレーブアドレスビットと1個の書込みビット(R/W = 0)を送信することによって開始されます。スレーブアドレスバイトを正常に受信すると、MAX2165はACKを発行します。次にバスマスタは、書込みを行う最初のレジスタのアドレスをスレーブに送信する必要があります(レジスタアドレスについては表1をご覧ください)。スレーブがそのアドレスに対してアクノリッジを行った場合、マスタは指定したアドレスのレジスタに1バイトを書き込むことができます。データの書込みは最上位ビットから始まり、SCLKの立上りエッジごとに送り込まれます。データがレジスタに正常に書き込まれた場合、MAX2165は再びACKを発行します。マスタは連続した内蔵レジスタに対してデータの書込みを続けることができ、MAX2165は転送が成功するごとにアクノリッジを行うか、またはSTOP条件を発行して送信を終了させることができます。書込みサイクルは、マスタがSTOP条件を発行するまで終了しません。

図2は、レジスタ0~2にそれぞれ0x0E、0xD8、および0xE1を書き込む例を示しています。

読取りサイクル

MAX2165のレジスタはすべてマスタによる読取りが可能であり、レジスタの内の3個は読取り専用です。

読取りサイクルは、バスマスタがSTART条件を発行し、それに続けて7個のスレーブアドレスビットと1個の書込みビット(R/W = 0)を送信することによって開始されます。スレーブアドレスバイトの受信に成功すると、MAX2165はACKを発行します。次にバスマスタは、読取りを行う最初のレジスタのアドレスを送信します。するとMAX2165は再びACKを発行します。次に、マスタはSTART条件を発行し、それに続けて7個のスレーブアドレスビットと1個の読取りビット(R/W = 1)を送信する必要があります。MAX2165が自分のアドレスの認識に成功した場合はACKを発行して、最上位ビット(MSB)から順に、指定されたレジスタアドレスからデータの送信を開始します。データはSCLKの立上りエッジでMAX2165から送り出されます。SCLKの9個目の立上りエッジで、マスタはACKを発行して後続のレジスタの読取りを続けるか、またはNACKに続けて

STOP条件を発行することによって送信を終了させることができます。読取りサイクルは、マスタがSTOP条件を発行するまで終了しません。図3に、レジスタ0および1の読取りを行う例を示します。

アプリケーション情報

RF入力

RF入力は内部で整合されており、50Ωまたは75Ωのシステムに対して全動作帯域にわたる良好な反射減衰量を提供します。DCブロッキングコンデンサが必要です。

RFおよびベースバンド利得制御

MAX2165はRFとベースバンド用に個別の利得制御入力を備えており、それらを使用して幅広い入力ダイナミックレンジにわたって最高のSNRを実現することができます。ベースバンド利得制御は、BB_AGC端子を通して行います。この端子は、一般的にはベースバンドプロセッサによって制御され、0.4V~2.3Vの電圧を受け付けることができ、2.3Vのときベースバンド利得が最大になります。

RF利得制御は、RF_AGC端子を通して行います。この端子も0.4V~2.3Vの制御電圧を受け付け、2.3VのときRF利得が最大になります。ローパスフィルタを通してOVLDT_DET端子をRF_AGC端子に接続することによって、閉ループ自動RF利得制御を実現することが可能です。「IF電力検出器」の項をご覧ください。

RF信号経路には低ノイズアンプ(LNA)が実装されており、信号経路への組込み/切離しが可能になっています。LNAレジスタ(表7)のLNASWビットに1をプログラムすると、LNAがイネーブルされます。LNAをイネーブルすると、電流が約17mA、利得が16dB増大して、受信信号の位相変化は10°未満です。

IF電力検出器

MAX2165のベースバンド電力検出器は、目的のチャネルから約2チャネル分に含まれる受信入力信号の加重合計を、プログラマブルなスレッショルドと比較します。このスレッショルドは、ベースバンド制御レジスタのPD_TH[2:0]ビットで他の値にプログラムすることが可能です。

シングルコンバージョンDVB-Hチューナ

MAX2165

RF利得制御ループを閉じるため、電力検出器の300 μ A制御電流シンク(OVLD_DET端子)を40k Ω のプルアップ抵抗でV_{CC}に接続してください。その結果の電圧は、RCローパスを通してRF_AGC入力に供給されます。

VCOオートチューナ

MAX2165は3個のVCOを内蔵しており、各VCOに8個のVCOサブバンドが含まれています。必要な局部発振器周波数に対する適切なVCOおよびVCOサブバンドの選択は、VCO制御レジスタ(表11)のVCO[1:0]およびSB[2:0]ビットのプログラミングによって、手動で行うことができます。

あるいは、VCOおよびVCOサブバンドを自律的に選択するようにMAX2165を設定することも可能です。VCOの自動選択は、VCO制御レジスタ(表11)のVASビットを設定することによってイネーブルになります。オートチューナは、N分周器の分数部がプログラムされた時点で適切なVCOの選択を開始します。したがって、LO周波数を変更するときは、すべてのN分周器レジスタ(整数部および分数部)をプログラムしてオートチューナ機能を作動させる必要があります。

PLLロック検出は、MUX端子を監視するか、またはチップステータス読取りレジスタ(表18)のLDビットを読み取ることによって実現することができます。

チャージポンプ電流の選択

PLLチャージポンプ電流も、手動でプログラムするか、またはVCOオートチューナによって自動的に選択することが可能です。PLLコンフィギュレーションレジスタ(表8)のCPSビットに1をプログラムして自動チャージポンプ電流選択をイネーブルにするか、またはCPSに0を

プログラムして手動チャージポンプ電流選択をイネーブルにしてください。自動チャージポンプ電流選択をイネーブルにするには、オートチューナ機能をイネーブル(VAS = 1)にする必要があります。手動モードでは、チャージポンプ電流はPLLコンフィギュレーションレジスタのICPビットによってプログラムされます。

VCOオートチューナ遅延の選択

オートチューナの選択過程において、オートチューナでは、VCO選択の成否を判断する前に、PLLが安定化する十分な時間を見込む必要があります。このウェイト時間は、PLLコンフィギュレーションレジスタ(表8)のADLY[1:0]ビットでプログラム可能です。予想されるPLLセトリング時間よりも長くなるようにウェイト時間をプログラムしてください。

RFノッチフィルタ

MAX2165にはRFノッチフィルタが内蔵されており、これを使用することによって830MHz~950MHzの周波数範囲から大きな干渉信号を除去して、大きな携帯電話信号の存在下で動作させる場合の性能低下を防ぐことができます。フィルタのノッチ周波数は、トラッキングフィルタレジスタ(表6)のTF_NTCH[3:0]ビットでプログラム可能です。2種類の異なるノッチ周波数に対する最適なノッチフィルタコードが、チップ内蔵のROMテーブルに格納されています。詳細については、「ベースバンドフィルタとトラッキングフィルタ」の項をご覧ください。干渉セルラ信号が存在しない場合、または783MHz~860MHzの周波数範囲の信号を受信する場合は、TF_NTCH[3:0]ビットに111をプログラムすることによって、指定可能な最も高い周波数にノッチを移動して、フィルタの帯域内減衰を最小化する必要があります。

表21. ROMテーブル

DESCRIPTION	ADDRESS	MSB								LSB
		DATA BYTE								
		D7	D6	D5	D4	D3	D2	D1	D0	
Reserved	0x0	X	X	X	X	X	X	X	X	
Optimal tracking filter notch settings for operation below 725MHz and above 725MHz	0x1	TF_NTCH[3:0] Tracking filter notch low Recommended notch frequency settings for Rx frequencies below 725MHz				TF_NTCH[3:0] Tracking filter notch high Recommended notch frequency settings for Rx frequencies above 725MHz				
Optimal tracking settings at 780MHz and 470MHz	0x2	TF_BAL[3:0] Optimal tracking filter settings at 780MHz				TF_BAL[3:0] Optimal tracking filter settings at 470MHz				
Optimal baseband filter BW for 8MHz channel	0x3	BB_BW[3:0] 8MHz wide				X	X	X	X	

トラッキングフィルタとは異なり、様々な動作周波数に合わせてノッチフィルタの設定を補間する必要はありません。セルラ妨害信号の存在下で725MHzより低いチャンネルを受信する場合は、ROMテーブルに格納されている低い方のノッチ周波数用にTF_NTCH[3:0]ビットをプログラムしてください。セルラ妨害信号の存在下で725MHzより高いチャンネルを受信する場合は、ROMテーブルに格納されている高い方のノッチ周波数用にTF_NTCH[3:0]ビットをプログラムすることができます。

ベースバンドフィルタとトラッキングフィルタ

MAX2165には、プログラマブルなベースバンドフィルタとトラッキングフィルタが内蔵されています。ベースバンドフィルタの帯域幅は、ベースバンド制御レジスタ(表12)のBB_BW[3:0]ビットで制御します。トラッキングフィルタのバラシ周波数は、トラッキングフィルタレジスタ(表6)のTF_BAL[3:0]でプログラム可能です。

ROMテーブルの読取り

製品のバラツキに対処するため、個々のデバイスの較正が工場で行われます。較正の過程で、2種類の異なるノッチ周波数に対する最良のノッチフィルタの設定、470MHzと780MHz用の最良のバラシ設定、および6MHz~8MHzの各チャンネルに対する最良のベースバンドフィルタ設定が決定されます。これらの設定は、チップに内蔵されたROMテーブルに格納されており、起動時に読み取ってマイクロプロセッサのローカルメモリに格納する必要があります(計3バイト)。表21に、ROMテーブルの各エントリについてアドレスとビット構成を示します。

ROMテーブルの各エントリは、2段階の手順で読み取る必要があります。最初に、読み取るビットのアドレスをROMテーブルアドレスレジスタ(表15)のTFA[3:0]ビットにプログラムする必要があります。

アドレスのプログラムが終わると、そのアドレスに格納されているデータがROMテーブルデータ読取りレジスタ(表17)のTRF[7:0]ビットに転送されます。その後、指定されたアドレスのROMデータをTRF[7:0]ビットから読み取って、マイクロプロセッサのローカルメモリに格納することができます。

バラシ係数の補間計算

TF_BAL[3:0]ビットを個々のチャンネル周波数について再プログラムして、帯域全体の性能を最適化する必要があります。ROMテーブルに格納されている780MHzと470MHz用の値を元に、次式を使用して他の任意の周波数に対する最適な係数を補間計算することができます。

$$\text{値} = \text{BAL_L} + (\text{BAL_H} - \text{BAL_L}) \times \frac{f - 470\text{MHz}}{780\text{MHz} - 470\text{MHz}}$$

ここで

値 = 目的のチャンネル周波数用の最適なTF_BAL[3:0]の設定値(10進)

BAL_L = ROMテーブルから読み取った470MHz用の最適なTF_BAL[3:0]の設定値(10進)

BAL_H = ROMテーブルから読み取った780MHz用の最適なTF_BAL[3:0]の設定値(10進)

f = 目的のチャンネル周波数(単位: MHz)

例: ROMテーブルから読み取った780MHz用と470MHz用のTF_BAL[3:0]の値がそれぞれ14と2であり、RF周波数620MHzでの動作にバラシをプログラムしたいと仮定します。

先ほどの式を使用して、次のように計算を行うことができます。

$$620\text{MHzでの値} = 2 + (14 - 2) \times \frac{620\text{MHz} - 470\text{MHz}}{780\text{MHz} - 470\text{MHz}} = 7.8$$

四捨五入によって最も近い整数値を求めると、8になります。したがって、620MHzで動作させる場合、トラッキングフィルタレジスタのTF_BAL[3:0]ビットには1000をプログラムする必要があります。

ベースバンドフィルタの設定

MAX2165のベースバンドフィルタは、約3.0MHz~4.3MHzという広い範囲にわたって3dBカットオフ周波数を自由にプログラム可能ですが、正確なカットオフ周波数は製造プロセスの変動が原因で個々のデバイスごとに異なります。ユーザが正しい設定を見つける必要がないように、カットオフ周波数3.9MHz(すなわち、8MHz幅のDVB-T/Hチャンネル)に対する最良の設定がMaximによって決定され、個々のチップのROMテーブルに格納されています。ユーザはMAX2165の起動時にROMテーブルのエントリ0x3(表21参照)からこの値を読み取って、レジスタ0xAのBB_BW[3:0]ビット(表12参照)に書き戻す必要があります。

8MHz以外のRFチャンネルまたはDVB-T以外の変調タイプに対するベースバンドフィルタの設定

3.9MHz以外のカットオフ周波数が必要な場合、該当するMAX2165のレジスタに書き戻す前に、ROMテーブルから読み取った数値に表22の固定値を加算または減算することができます。この場合も工場での較正は依然として利用され、結果のカットオフ周波数は妥当な正確さを維持しています。

シングルコンバージョンDVB-Hチューナ

表22. いろいろなカットオフ周波数用のオフセット

DESIRED 3dB CUTOFF FREQUENCY (TYPICAL) (MHz)	OFFSET TO BE ADDED TO ROM TABLE ENTRY 0x3 BEFORE WRITING BACK INTO REGISTER 0xA
3.10	-6
3.20	-5
3.30	-4
3.44	-3
3.56	-2
3.70	-1
3.90	0
4.10	+1
4.23	+2

DCオフセット補正

ダイレクトコンバージョンレシーバはDCオフセットの影響を受けやすく、リニアリティ性能が制限される可能性があり、ダウストリームのデータコンバータ/デモジュレータのダイナミックレンジも狭くなります。MAX2165は高速セトリングDCオフセットキャンセル回路をチップに内蔵しており、出力信号に含まれる有害なDCオフセットを除去するための外付け部品は必要ありません。

補正のスレッシュホールドは、DCオフセット制御レジスタ(表13)のDC_TH[1:0]ビットによって、4種類の異なる値にプログラム可能です。

オフセット補正の作動時には、補正回路が、信号経路にオフセット補正速度を決定するハイパス特性を作ります。この補正速度は、DCオフセット制御レジスタのDC_SP[1:0]ビットでプログラム可能です。

DVB-Hアプリケーションの場合、デバイスがシャットダウンから復帰するごとに1度DC補正を実施して、その後DC_SP[1:0]ビットに00 (ホールド状態)をプログラムすることによってディセーブルすることが推奨されます。信号受信中はDCオフセット補正をディセーブルしておくことによって、補正回路に伴うハイパス特性によって受信信号の低周波数成分に歪みが生じるのを防ぐことができ、デモジュレータへのDC結合が可能になります。DC結合で動作させるための唯一の要件は、1度限りの除去の後には受信周波数とベースバンドフィルタの設定が一定であることです。DVB-Hの典型的な時分割動作の性質によって、こうした環境下での動作が容易になっています。

このデバイスは、SHDNおよびSTBY端子を使用することによって、起動時に自動的にDC補正を行うように設定することも可能です。詳細については、「起動シーケンス」の項をご覧ください。

起動シーケンスとシャットダウンモード

SHDN端子をローに駆動するとMAX2165はハードウェアシャットダウンモードに移行し、すべての内部回路がディセーブルされて電源電流が20μA未満に減少します。SHDNをローに駆動すると、シャットダウンリファレンスビット(SHDN_REF)を除いて、内部レジスタの状態に関係なくIC全体がシャットダウンされます。デバイスがシャットダウンモードから復帰したとき、レジスタ設定は維持されています。

MAX2165は、ソフトウェアシャットダウンモードも備えています。ソフトウェアシャットダウンモードでは、シャットダウンレジスタの個々のビットをプログラムすることによって、MAX2165の各機能ブロックを停止することができます。ソフトウェアからチップ全体をシャットダウンするには、シャットダウンレジスタ(表10)を0xFFに、VCO制御レジスタ(表11)のVCO[1:0]ビットを00に、DCオフセット制御レジスタ(表13)のDC_MO[1:0]ビットを00にプログラムしてください。

MAX2165は、ハードウェアシャットダウンモードからの復帰時にDCオフセットを非常に迅速に除去する起動シーケンスを備えています。起動シーケンス機能をイネーブルするには、SHDNがローからハイに遷移する間にSTBYをグランドに接続してください。

起動シーケンス

SHDNがハイに遷移する間STBYをローに保つと、デバイスは2段階のプロセスで起動します。第1段階では、VCOとPLLが起動して安定化します。この第1段階における標準的な電流消費は、約20mAです。第2段階では信号経路全体が起動して、RF_AGC電圧、BB_AGC電圧、およびDC補正が自動的にオーバーライドされ、DCオフセット補正が0.5ms未満で実行されます。DC補正が完了すると、デバイスは元々プログラムされていた状態に復帰します。起動プロセス全体は、約2msで完了します。

自動DC補正のメリットは、0.5ms未満でDCオフセットを除去することが可能になる点です。これは、自動DC補正なしの場合に補正回路の実効ハイパスコーナー周波数で実現可能な速度よりも大幅に高速です。ハードウェアシャットダウンから復帰する前にDC_SP[1:0]ビットに00がプログラムされると、このデバイスは起動時に1度限りのDCオフセット除去を行い、起動シーケンスが完了した後でDC補正回路をディセーブルします。1度限りのオフセット除去後、受信周波数、ベースバンドフィルタの設定、およびチップ温度が一定である限り、これによってベースバンド出力とデモジュレータの間のDC結合が可能になります。チップが受信中のときにこれらのパラメータを変更すると、DCオフセットの再較正が必要になります。しかし、DVB-Hの典型的な時分割の性質は、DC結合での動作に関する上記の要件を満たしています。

$\overline{\text{STBY}}$ が V_{CC} に接続されている場合、チップは前述の起動手順に従わず、すべての回路ブロックが同時に起動します。DC_SP[1:0]ビットに00を設定していると(すなわち、疑似DC結合)、DC較正が1度も実行されず、MAX2165は正しく機能しません。

ハードウェアシャットダウンから復帰したときにDC補正が自動的に実行されるかどうかは、 $\overline{\text{STBY}}$ 端子の状態によってのみ決定されます。

水晶発振器インタフェース

MAX2165のリファレンス発振器入力、水晶発振器として構成するか、または外部ソースによって駆動されるハイインピーダンスのリファレンス入力として使用することができます。

外部のリファレンス発振器を使用する場合、AC結合コンデンサを通して約1V_{p-p}の信号振幅でXBを駆動して、XEは未接続のままにしてください。外部リファ

レンスの位相ノイズは、1kHz~100kHzのオフセットで-140dBc/Hzを上回る必要があります。

じかに水晶に接続する場合は、必要なトポロジーを「標準アプリケーション回路」で確認してください。

水晶発振器バッファ出力

バッファ付きの水晶発振器信号がREFOUT端子で供給され、デモジュレータの駆動に使用することができます。この出力にはDCブロッキングコンデンサが必要です。このバッファは、シャットダウンレジスタ(表10)のSHDN_REFビットでイネーブルまたはディセーブルすることができます。

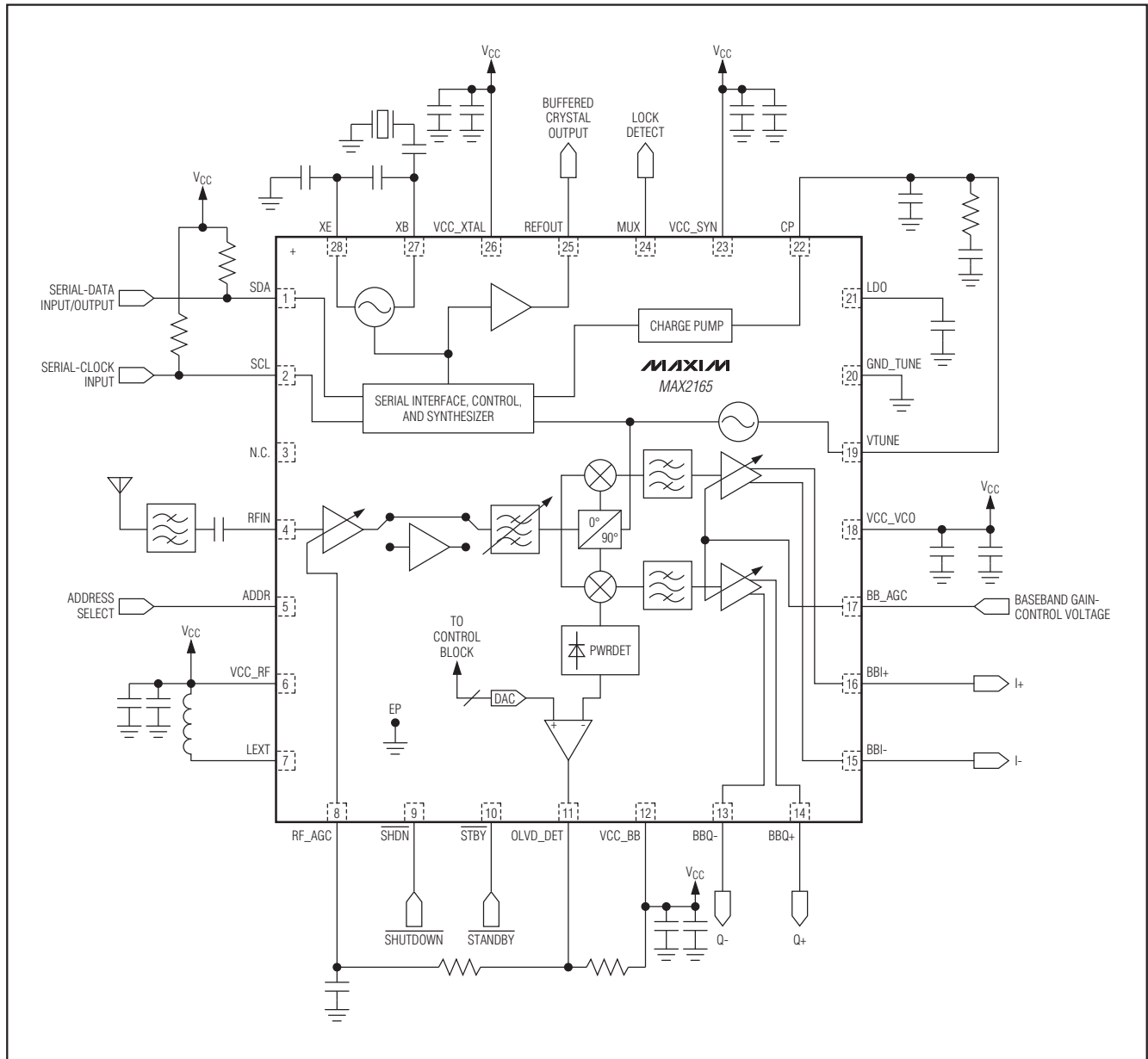
レイアウトについて

このEVキットは、PCBレイアウトの指針としても役立ちます。RF信号ラインはできる限り短くして、損失と放射を最小限に抑えてください。すべての高周波配線には、インピーダンスを考慮して使用してください。適正な動作のために、エクスポーズドパッドを基板のグランドプレーンに均一に半田付けしてください。エクスポーズドパッドの下に十分な数のビアを使用して、熱放散を最大化してください。各RFトレース間に十分な数のグランドビアを使用して、有害な結合を最小化してください。ICの異なるセクション間の結合を最小化するための理想的な電源レイアウトはスター構成であり、大容量のデカップリングコンデンサを中央の V_{CC} ノードに実装します。このノードから V_{CC} トレースを分岐させ、各トレースをMAX2165の個々の V_{CC} 端子に配線します。各 V_{CC} 端子には、該当周波数でグランドに対して低いインピーダンスを示すバイパスコンデンサを実装する必要があります。PCBのグランドプレーンに対する複数の接続間でグランドビアを共有しないでください。

シングルコンバージョンDVB-Hチューナ

MAX2165

標準アプリケーション回路



シングルコンバージョンDVB-Hチューナ

パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
28 TQFN-EP	T2855-8	<u>21-0140</u>

MAX2165

シングルコンバージョンDVB-Hチューナ

MAX2165

改訂履歴

版数	改訂日	説明	改訂ページ
0	6/07	初版	—
1	3/09	「Spurious Emissions at RF Input (RF入力でのスプリアス放射)」の仕様にNote 3を追加、「Passband Cutoff Attenuation (通過帯域カットオフ減衰)」および「Amplitude Ripple (通過振幅リップル)」の各仕様に条件を追加、Note 1、6、および11を訂正	3, 4, 5

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

24 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**