

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

概要

MAX2067高リニアリティアナログ可変利得アンプ(VGA)は、モノリシックSiGe BiCMOSアッテネータおよびアンプであり、50MHz~1000MHzの周波数範囲で動作する50Ωシステムにインタフェース接続されるように設計されています(「標準動作回路」を参照)。アナログアッテネータは、外部電圧を使用して制御されるか、またはオンチップの8ビットDACを使用するSPI™対応のインタフェースで制御されます。

各段が独立したRF入力とRF出力を備えているため、このコンポーネントは、NF(初段として構成されたアンプ)またはOIP3(最終段のアンプ)のいずれかを最適化するように設定することができます。このデバイスの性能特性には、22dBのアンプ利得(アンプのみ)、最大利得で4dBのNF(アッテネータの挿入損失を含む)、および+43dBmの高レベルのOIP3などがあります。これらの各機能によって、MAX2067は多くのレシーバとトランスミッタアプリケーションのVGAに最適となります。

さらに、MAX2067は、+5Vの単一電源では最大の性能での動作、また、+3.3Vの単一電源動作でわずかに低下した性能で動作し、可変バイアスによってリニアリティ性能と消費電流のトレードが可能です。このデバイスは、エクスポーズドパッド付きの小型40ピンTQFNパッケージ(6mm x 6mm)で提供されます。電気的性能は、全拡張温度範囲(T_C = -40°C ~ +85°C)で保証されています。

アプリケーション

IFおよびRF利得段
 温度補償回路
 セルラバンドWCDMAおよびcdma2000®基地局
 GSM 850/GSM 900 EDGE基地局
 WiMAXおよびLTE基地局および加入者宅内機器
 固定ブロードバンド無線アクセス
 ワイヤレスローカルループ
 軍事用システム
 ビデオオンデマンド(VOD)およびDOCSIS®準拠
 EDGE QAM変調
 ケーブルモデム終端システム(CMTS)
 RFIDハンドヘルドおよび携帯リーダー

特長

- ◆ RF周波数範囲: 50MHz~1000MHz
- ◆ ピンコンパチブルファミリ:
 - MAX2065 (アナログ/デジタルVGA)
 - MAX2066 (アナログVGA)
- ◆ 最大利得: +21.9dB (typ)
- ◆ 利得の平坦性: 0.5dB (100MHzの帯域幅内で)
- ◆ 利得範囲: 31dB
- ◆ アナログ減衰制御のための内蔵DAC
- ◆ 優れたリニアリティ(最終段のアンプで設定)
 - OIP3: +43dBm
 - OIP2: +66dBm
 - 出力1dB圧縮ポイント: +19dBm
 - HD2: -70dBc
 - HD3: -87dBc
- ◆ ノイズ指数(NF): 4dB (typ)
- ◆ 単一電源: +5V (オプションで+3.3V動作)
- ◆ 外付けの電流設定抵抗によって低電力/低性能モードでのデバイス動作も可能

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX2067ETL+	-40°C to +85°C	40 Thin QFN-EP*
MAX2067ETL+T	-40°C to +85°C	40 Thin QFN-EP*

+は鉛フリーパッケージを示します。

*EP = エクスポーズドパッド。

T = テープ&リール。

ピン配置はデータシートの最後に記載されています。

SPIはMotorola, Inc.の商標です。

cdma2000はTelecommunications Industry Associationの登録商標です。

DOCSISおよびCableLabsは、Cable Television Laboratories, Inc. (CableLabs®)の登録商標です。

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

ABSOLUTE MAXIMUM RATINGS

VCC_ to GND	-0.3V to +5.5V	RF Input Power (AMP_IN).....	+18dBm
VDD_LOGIC, DATA, $\overline{\text{CS}}$, CLK, VDAC_EN, VREF_SELECT.....	-0.3V to (VCC_ + 0.3V)	Continuous Power Dissipation (Note 1)	6.5W
AMP_IN, AMP_OUT, VREF_IN, ANALOG_VCTRL	-0.3V to (VCC_ + 0.3V)	θ_{JA} (Notes 2, 3).....	+38°C/W
ATTEN_IN, ATTEN_OUT.....	-1.2V to +1.2V	θ_{JC} (Note 3)	+10°C/W
RSET to GND.....	-0.3V to +1.2V	Operating Temperature Range (Note 4).....	$T_{\text{C}} = -40^{\circ}\text{C}$ to +85°C
RF Input Power (ATTEN_IN, ATTEN_OUT).....	+20dBm	Maximum Junction Temperature	+150°C
		Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Note 1: Based on junction temperature $T_{\text{J}} = T_{\text{C}} + (\theta_{\text{JC}} \times V_{\text{CC}} \times I_{\text{CC}})$. This formula can be used when the temperature of the exposed pad is known while the device is soldered down to a printed-circuit board (PCB). See the *Applications Information* section for details. The junction temperature must not exceed +150°C.

Note 2: Junction temperature $T_{\text{J}} = T_{\text{A}} + (\theta_{\text{JA}} \times V_{\text{CC}} \times I_{\text{CC}})$. This formula can be used when the ambient temperature of the PCB is known. The junction temperature must not exceed +150°C.

Note 3: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a 4-layer board. For detailed information on package thermal considerations, refer to www.maxim-ic.com/thermal-tutorial.

Note 4: T_{C} is the temperature on the exposed pad of the package. T_{A} is the ambient temperature of the device and PCB.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

+3.3V SUPPLY DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, high-current (HC) mode, $V_{\text{CC}} = V_{\text{DD}} = +3.0\text{V}$ to +3.6V, $T_{\text{C}} = -40^{\circ}\text{C}$ to +85°C. Typical values are at $V_{\text{CC}} = V_{\text{DD}} = +3.3\text{V}$ and $T_{\text{C}} = +25^{\circ}\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}	Note 5	3.0	3.3	3.6	V
Supply Current	I_{CC}			60	82	mA
LOGIC INPUTS (DATA, $\overline{\text{CS}}$, CLK, VDAC_EN, VREF_SELECT)						
Input High Voltage	V_{IH}			2		V
Input Low Voltage	V_{IL}			0.8		V

+5V SUPPLY DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, $V_{\text{CC}} = V_{\text{DD}} = +4.75\text{V}$ to +5.25V, $T_{\text{C}} = -40^{\circ}\text{C}$ to +85°C. Typical values are at $V_{\text{CC}} = V_{\text{DD}} = +5\text{V}$ and $T_{\text{C}} = +25^{\circ}\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}		4.75	5	5.25	V
Supply Current	I_{CC}	Low-current (LC) mode		72	92	mA
		High-current (HC) mode		123	146	
LOGIC INPUTS (DATA, $\overline{\text{CS}}$, CLK, VDAC_EN, VREF_SELECT)						
Input High Voltage	V_{IH}		3			V
Input Low Voltage	V_{IL}				0.8	V
Input Current Logic-High	I_{IH}		-1		+1	μA
Input Current Logic-Low	I_{IL}		-1		+1	μA

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

+3.3V SUPPLY AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, $V_{CC} = V_{DD} = +3.0V$ to $+3.6V$, $T_C = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $V_{CC} = V_{DD} = +3.3V$, HC mode with attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^{\circ}C$, unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency Range	f_{RF}	(Notes 5, 7)	50		1000	MHz
Small-Signal Gain	G			21.3		dB
Output Third-Order Intercept Point	OIP3	$P_{OUT} = 0dBm/$ tone, maximum gain setting		38		dBm
Noise Figure	NF	Maximum gain setting		4.3		dB
Total Attenuation Range				31		dB

+5V SUPPLY AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, $V_{CC} = V_{DD} = +4.75$ to $+5.25V$, HC mode with attenuator set for maximum gain, $50MHz \leq f_{RF} \leq 1000MHz$, $T_C = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $V_{CC} = V_{DD} = +5.0V$, HC mode, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^{\circ}C$, unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency Range	f_{RF}	(Notes 5, 7)	50		1000	MHz
Small-Signal Gain	G	200MHz		21.9		dB
		350MHz, $T_C = +25^{\circ}C$ (Note 5)	20.3	21.3	22.3	
		450MHz		20.9		
		750MHz		19.4		
		900MHz		18.7		
Gain Variation vs. Temperature				-0.006		dB/ $^{\circ}C$
Gain Flatness vs. Frequency		Any 100MHz frequency band from 50MHz to 500MHz		0.5		dB
Noise Figure	NF	200MHz		4		dB
		350MHz, $T_C = +25^{\circ}C$ (Note 5)		4.2	5.2	
		450MHz		4.3		
		750MHz		4.8		
		900MHz		5		
Total Attenuation Range				31		dB
Output Second-Order Intercept Point	OIP2	$P_{OUT} = 0dBm/$ tone, $\Delta f = 1MHz$, $f_1 + f_2$		66		dBm
Output Third-Order Intercept Point	OIP3	$P_{OUT} = 0dBm/$ tone, HC mode, $\Delta f = 1MHz$	200MHz		43	dBm
			350MHz		40.8	
			450MHz		39.8	
			750MHz		37.3	
			900MHz		36.2	
		$P_{OUT} = 0dBm/$ tone, LC mode, $\Delta f = 1MHz$	200MHz		40	
			350MHz		38.2	
			450MHz		37.4	
			750MHz		35.5	
			900MHz		34.3	

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

+5V SUPPLY AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, $V_{CC} = V_{DD} = +4.75$ to $+5.25V$, HC mode with attenuator set for maximum gain, $50MHz \leq f_{RF} \leq 1000MHz$, $T_C = -40^\circ C$ to $+85^\circ C$. Typical values are at $V_{CC} = V_{DD} = +5.0V$, HC mode, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output -1dB Compression Point	P_{1dB}	350MHz, $T_C = +25^\circ C$ (Notes 5, 8)	17	18.7		dBm
Second Harmonic		$P_{OUT} = +3dBm$, $f_{RF} = 200MHz$, $T_C = +25^\circ C$ (Note 5)	-61	-70		dBc
Third Harmonic		$P_{OUT} = +3dBm$, $f_{RF} = 200MHz$, $T_C = +25^\circ C$ (Note 5)	-74	-87		dBc
Attenuator Response Time (Note 9)		Input from ANALOG_VCTRL		1		μs
		Input from \overline{CS} rising edge		3.2		
Group Delay		Maximum gain setting, includes EV kit PCB delays		0.8		ns
Input Return Loss		50 Ω source, maximum gain setting		30		dB
Output Return Loss		50 Ω load, maximum gain setting		16		dB
ANALOG ATTENUATOR						
Insertion Loss				1.2		dB
Input Second-Order Intercept Point	IIP2	$P_{RF1} = 0dBm$, $P_{RF2} = 0dBm$, maximum gain setting, $\Delta f = 1MHz$, $f_1 + f_2$		70		dBm
Input Third-Order Intercept Point	IIP3	$P_{RF1} = 0dBm$, $P_{RF2} = 0dBm$, maximum gain setting, $\Delta f = 1MHz$		36		dBm
Attenuation Range		Analog control input		31		dB
Gain-Control Slope		Analog control input		-12.5		dB/V
Maximum Gain-Control Slope		Over analog control input range		-35		dB/V
Insertion Phase Change		Over analog control input range		18		Degrees
Group Delay vs. Control Voltage		Over analog control input range		-0.25		ns
Analog Control Input Range			0.25		2.75	V
Analog Control Input Impedance				80		k Ω
Input Return Loss		50 Ω source, maximum gain setting		22		dB
Output Return Loss		50 Ω load, maximum gain setting		22		dB
DAC						
Number of Bits				8		Bits
Output Voltage		DAC code = 00000000			0.25	V
		DAC code = 11111111	2.75			

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

+5V SUPPLY AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, $V_{CC} = V_{DD} = +4.75$ to $+5.25V$, HC mode with attenuator set for maximum gain, $50MHz \leq f_{RF} \leq 1000MHz$, $T_C = -40^\circ C$ to $+85^\circ C$. Typical values are at $V_{CC} = V_{DD} = +5.0V$, HC mode, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL PERIPHERAL INTERFACE (SPI)						
Maximum Clock Speed	f _{CLK}			20		MHz
Data-to-Clock Setup Time	t _{CS}			2		ns
Data-to-Clock Hold Time	t _{CH}			2.5		ns
Clock-to-CS Setup Time	t _{ES}			3		ns
CS Positive Pulse Width	t _{EW}			7		ns
CS Setup Time	t _{EWS}			3.5		ns
Clock Pulse Width	t _{CW}			5		ns

Note 5: Guaranteed by design and characterization.

Note 6: All limits include external component losses. Output measurements are performed at RF output port of the *Typical Application Circuit*

Note 7: Operating outside this range is possible, but with degraded performance of some parameters.

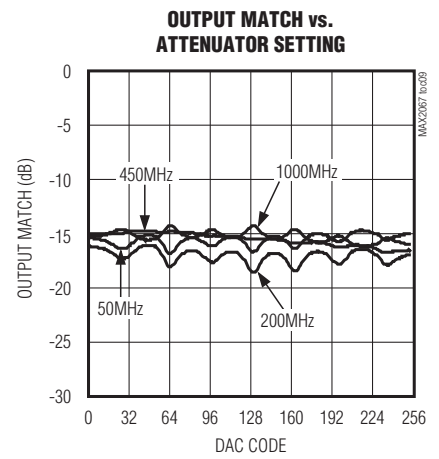
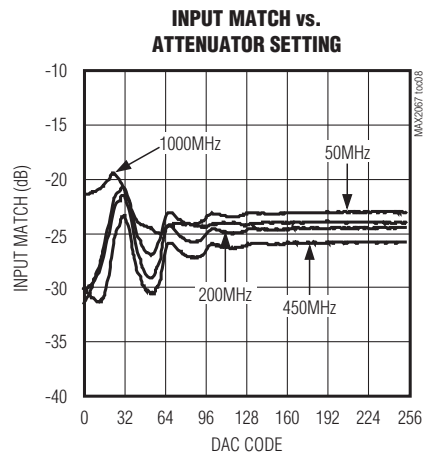
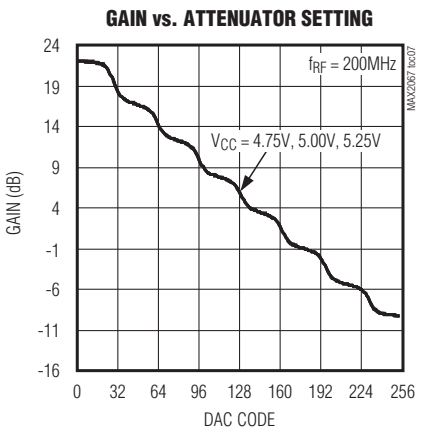
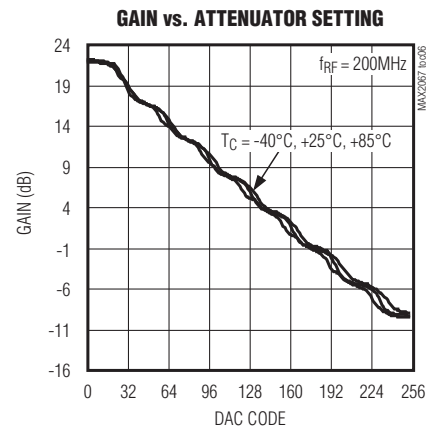
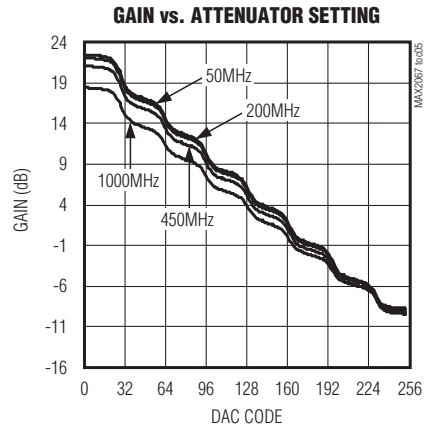
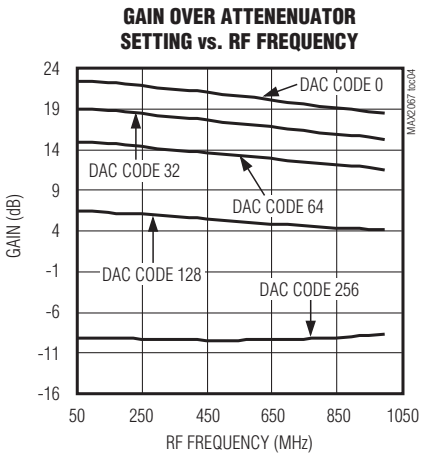
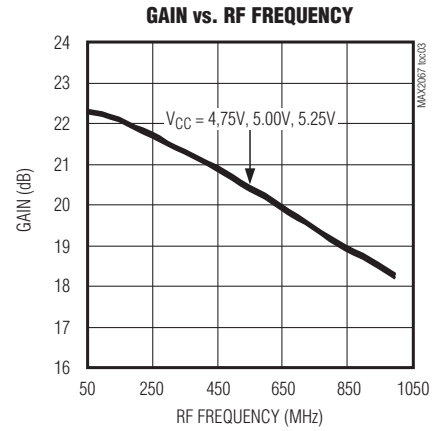
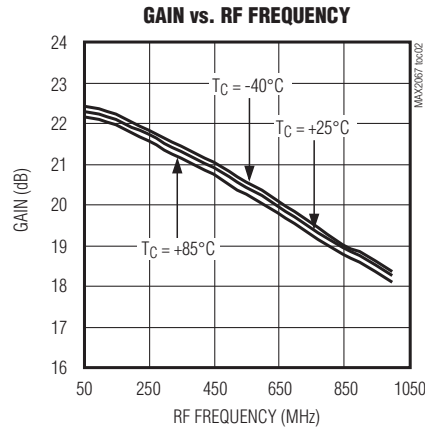
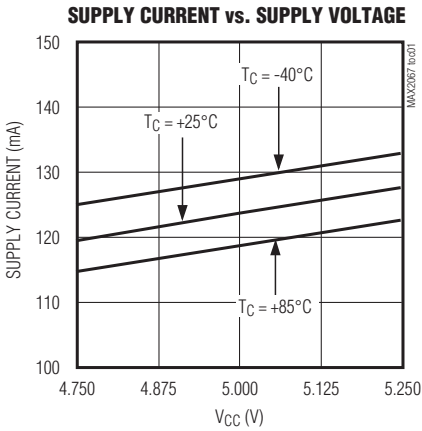
Note 8: It is advisable not to continuously operate the VGA RF input above +15dBm.

Note 9: Response time includes full attenuation range change with output setting to within $\pm 0.1dB$.

50MHz~1000MHzの高リニアリティ、シリアル/アナログ制御VGA

標準動作特性

($V_{CC} = V_{DD} = +5.0V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)



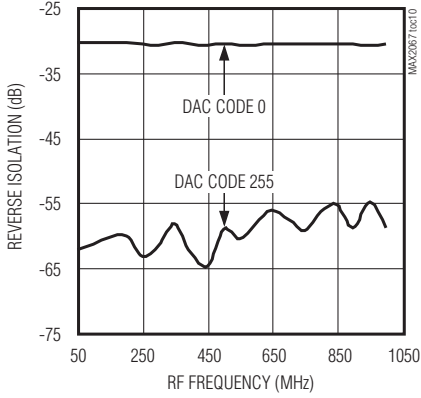
50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

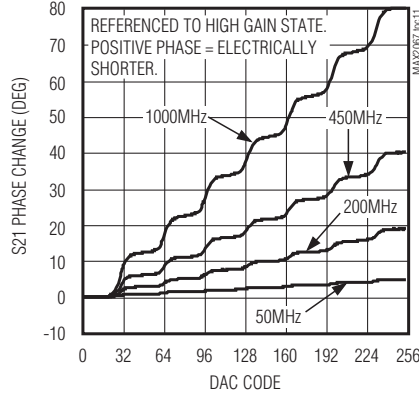
標準動作特性(続き)

($V_{CC} = V_{DD} = +5.0V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

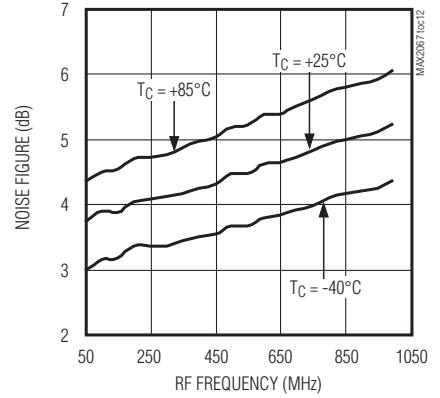
REVERSE ISOLATION OVER ATTENUATOR SETTING vs. RF FREQUENCY



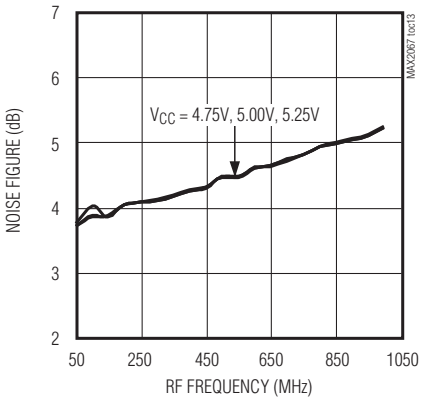
S21 PHASE CHANGE vs. ATTENUATOR SETTING



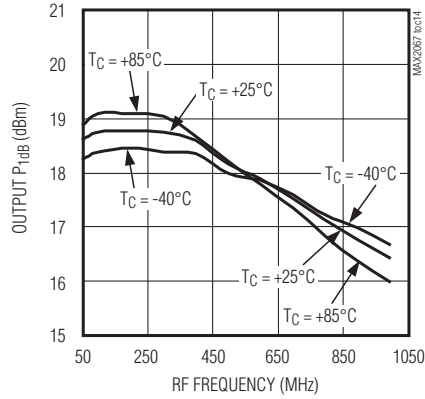
NOISE FIGURE vs. RF FREQUENCY



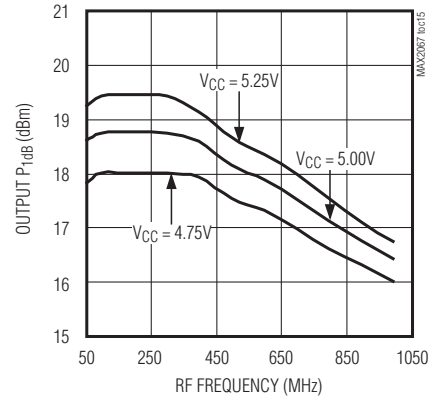
NOISE FIGURE vs. RF FREQUENCY



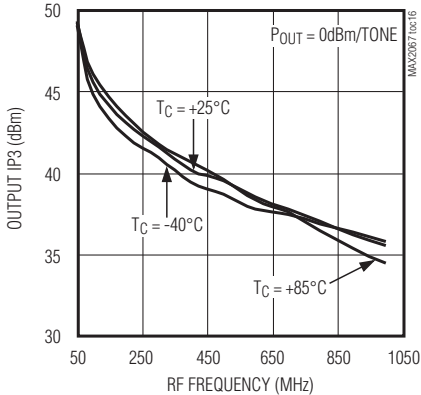
OUTPUT P1dB vs. RF FREQUENCY



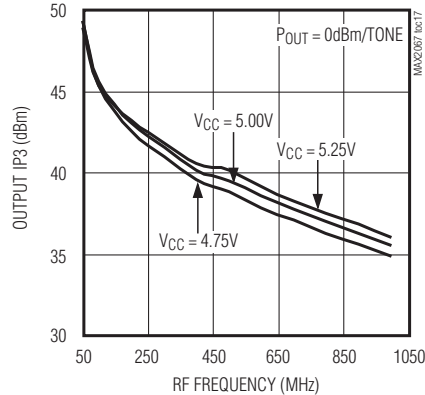
OUTPUT P1dB vs. RF FREQUENCY



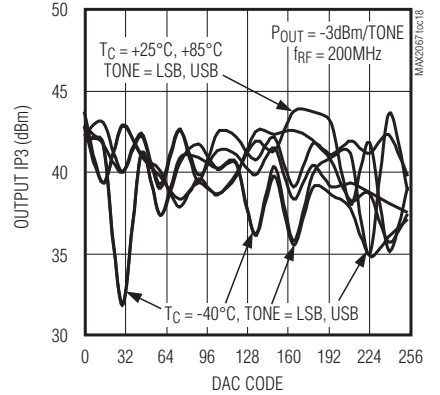
OUTPUT IP3 vs. RF FREQUENCY



OUTPUT IP3 vs. RF FREQUENCY



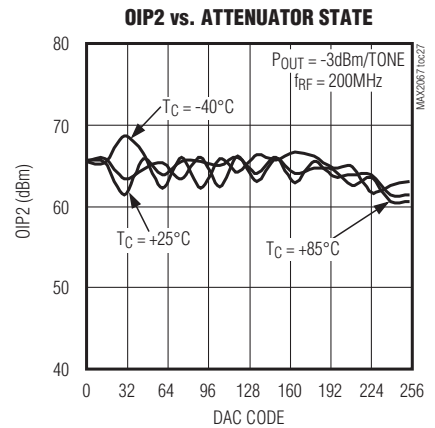
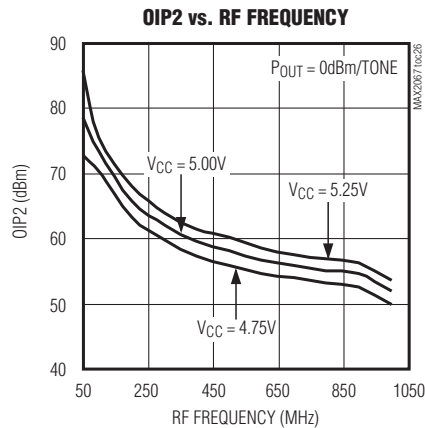
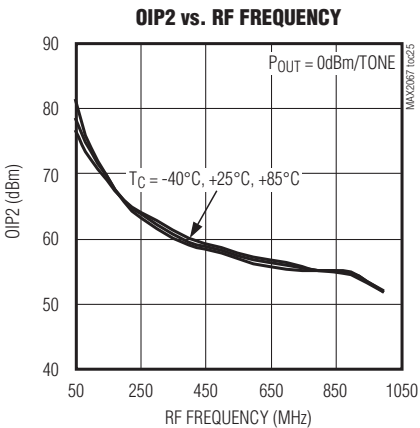
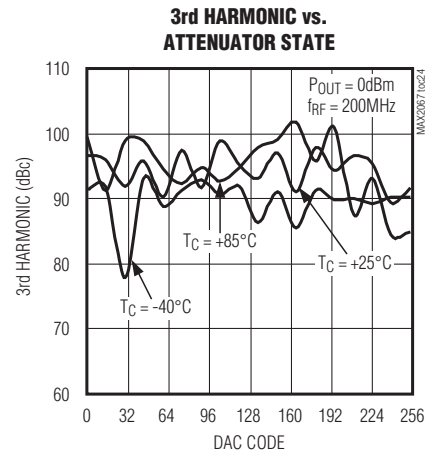
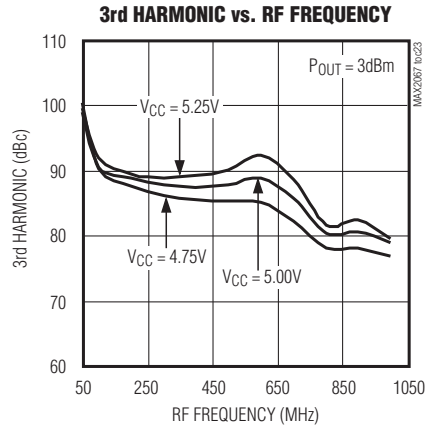
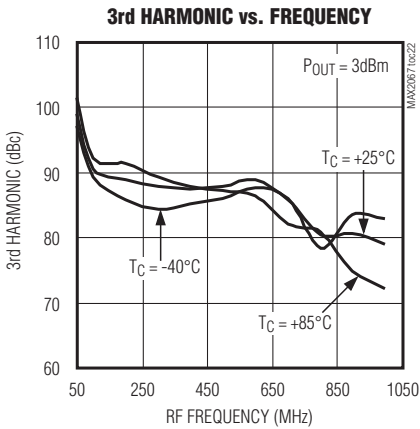
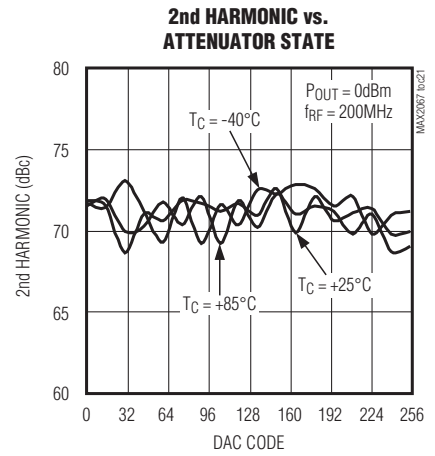
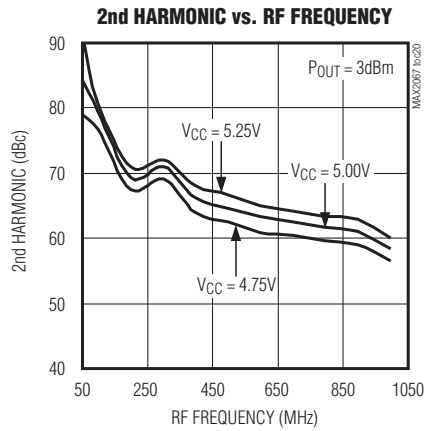
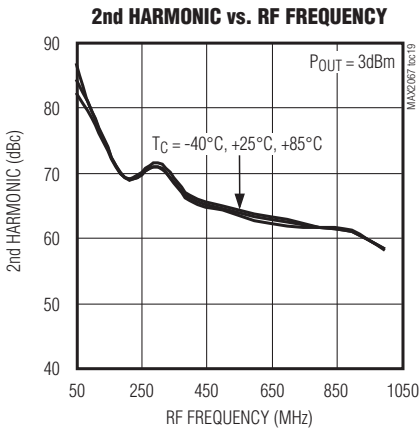
OUTPUT IP3 vs. ATTENUATOR STATE



50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

標準動作特性(続き)

($V_{CC} = V_{DD} = +5.0V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

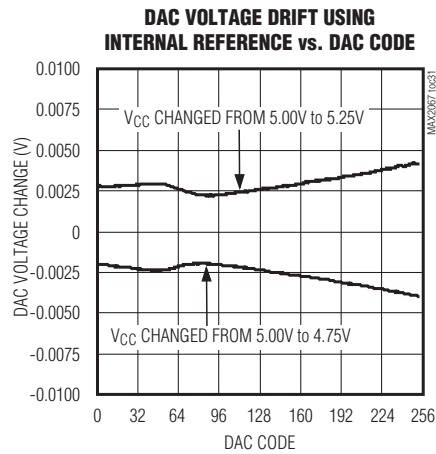
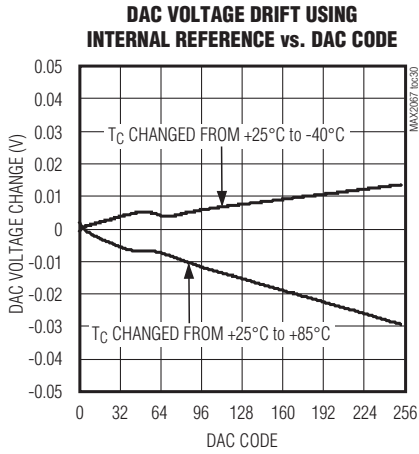
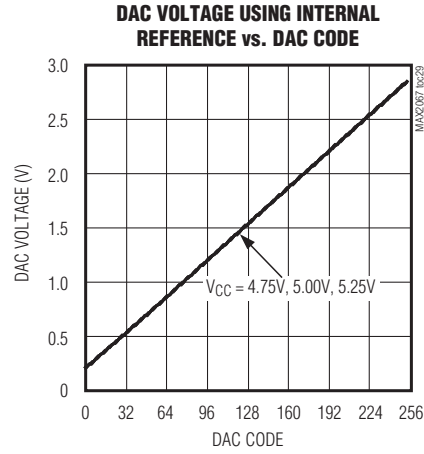
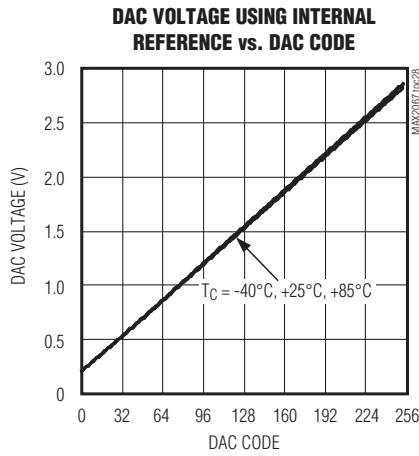


50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

標準動作特性(続き)

($V_{CC} = V_{DD} = +5.0V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

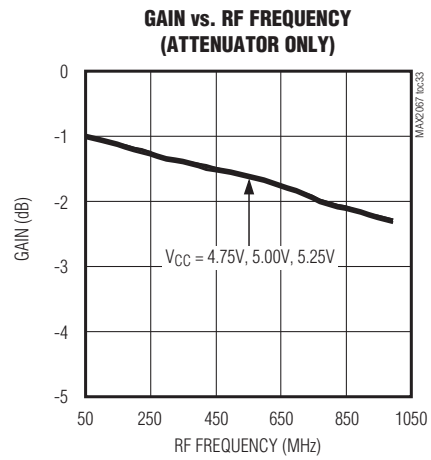
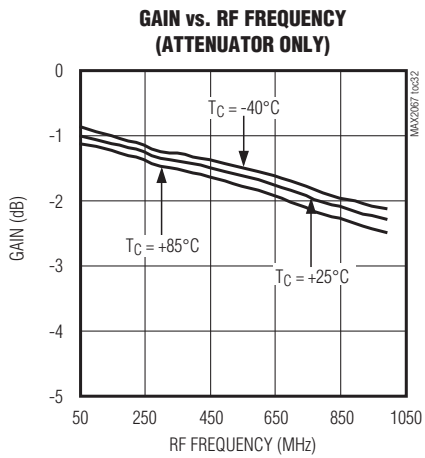


50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

標準動作特性(続き)

($V_{CC} = V_{DD} = +5.0V$, attenuator only, maximum gain, $P_{IN} = -20dBm$, and $T_C = +25^{\circ}C$, unless otherwise noted.)

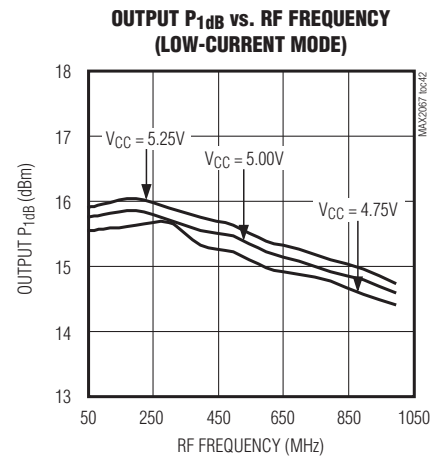
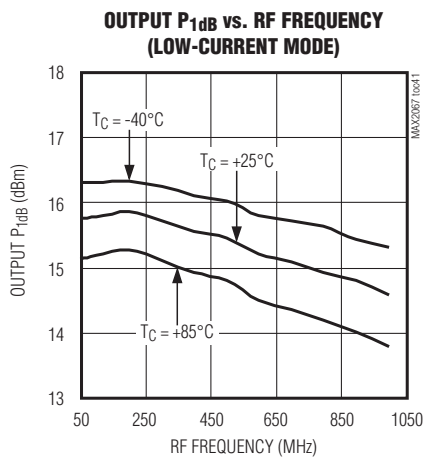
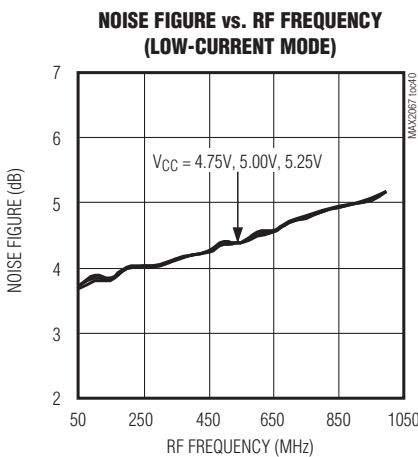
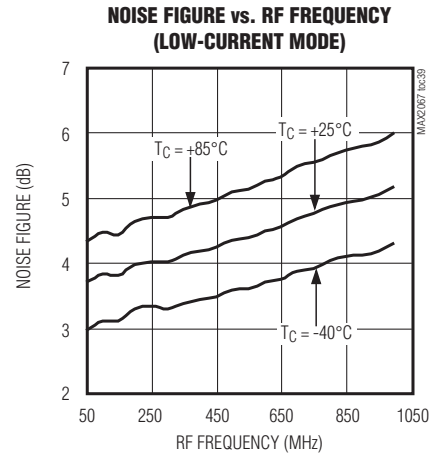
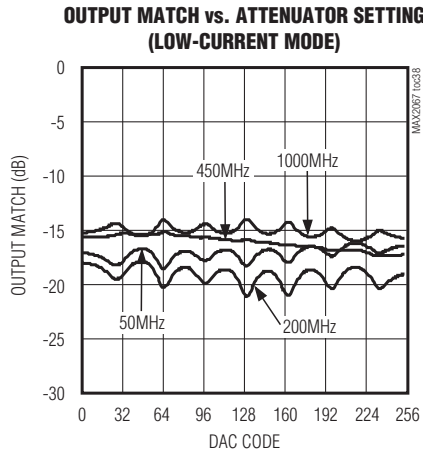
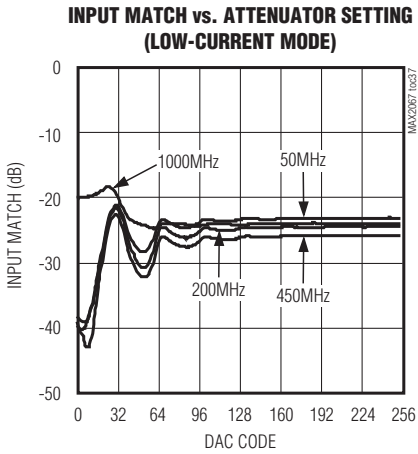
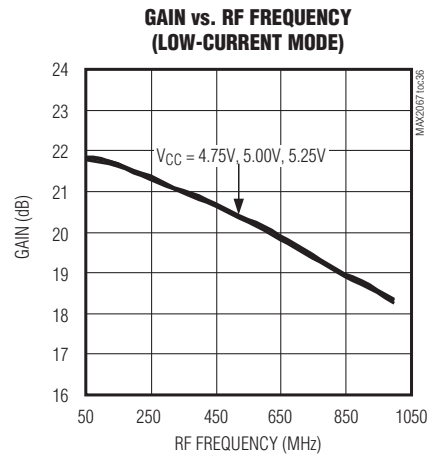
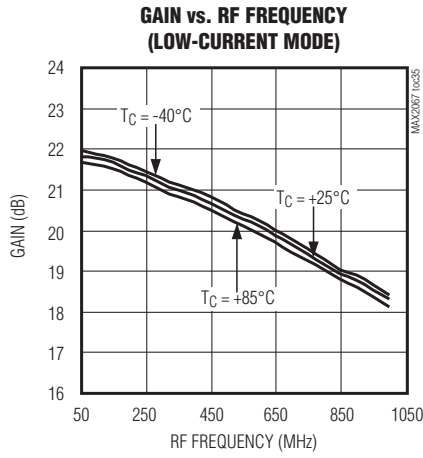
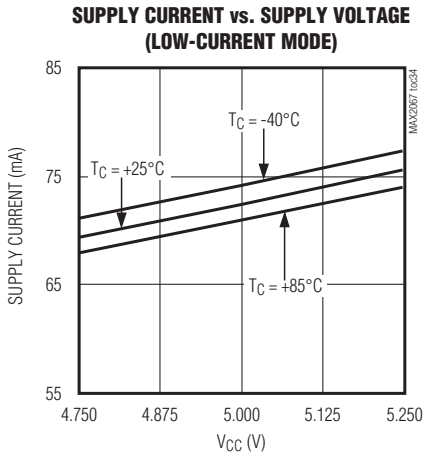


50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

標準動作特性(続き)

($V_{CC} = V_{DD} = +5.0V$, LC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

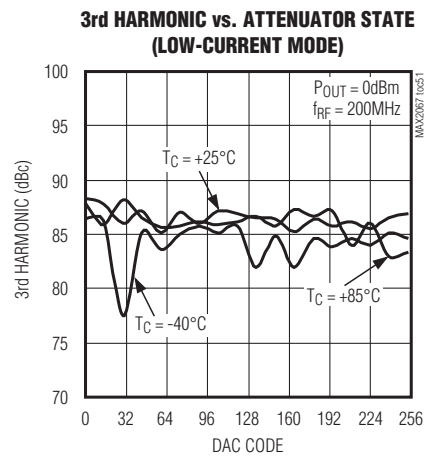
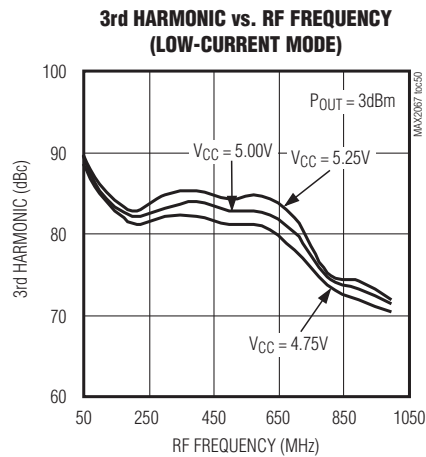
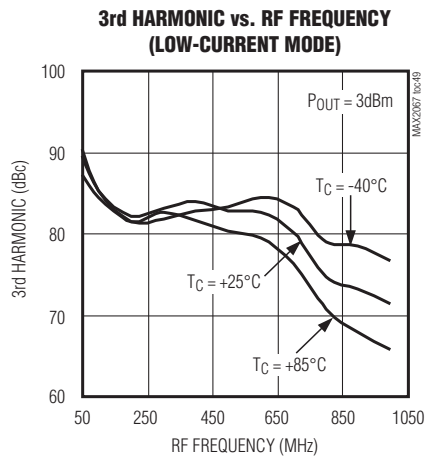
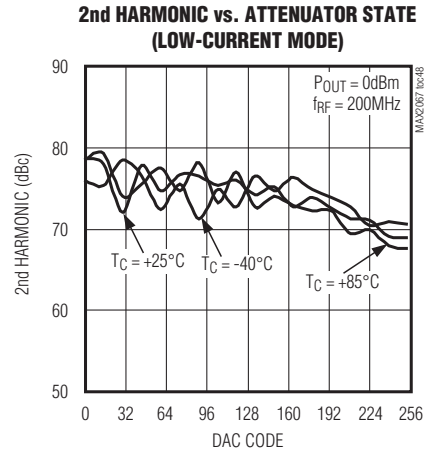
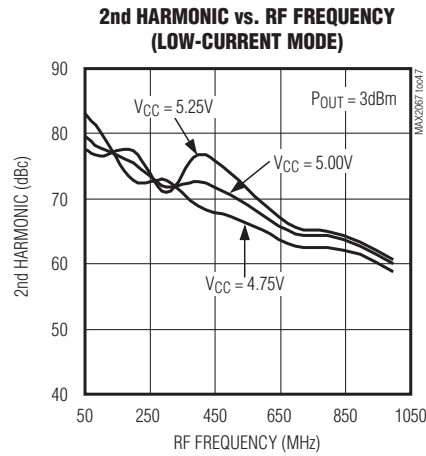
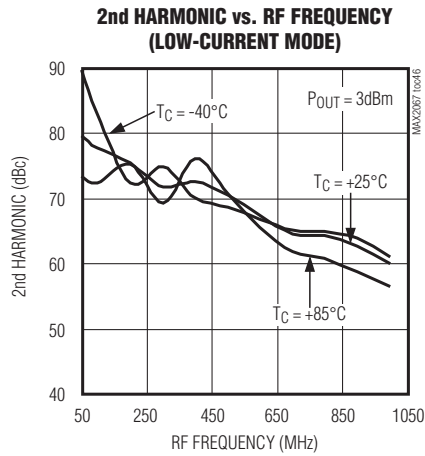
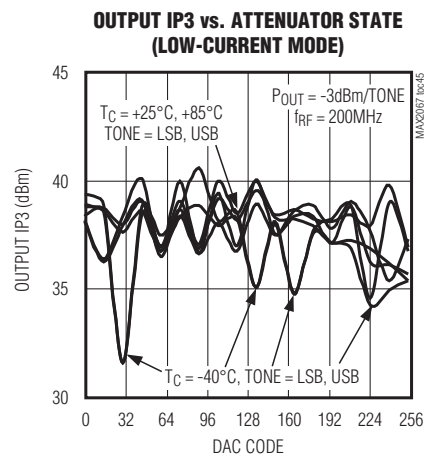
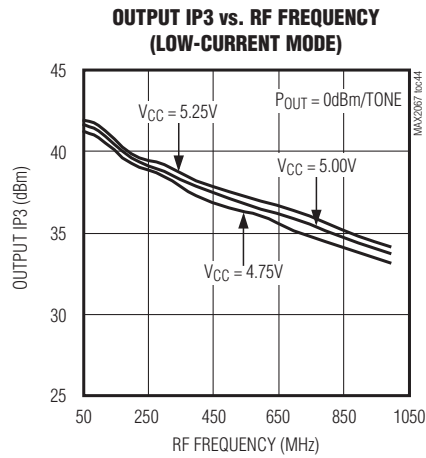
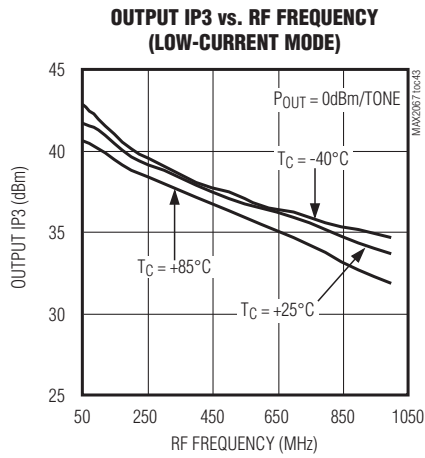


50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

標準動作特性(続き)

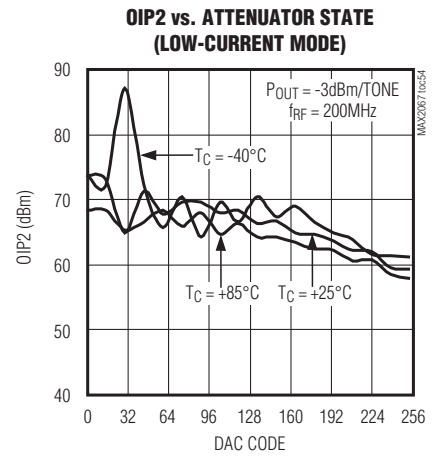
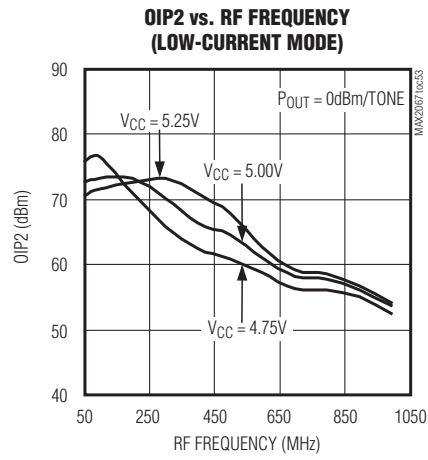
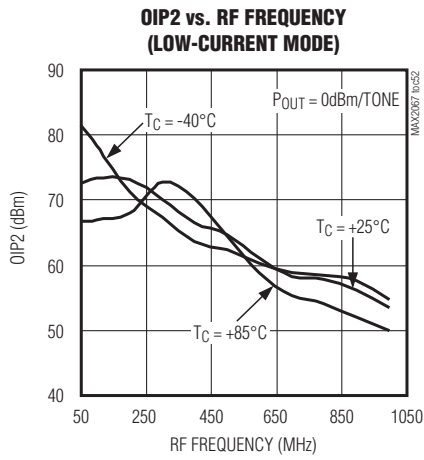
($V_{CC} = V_{DD} = +5.0V$, LC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)



50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

標準動作特性(続き)

($V_{CC} = V_{DD} = +5.0V$, LC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

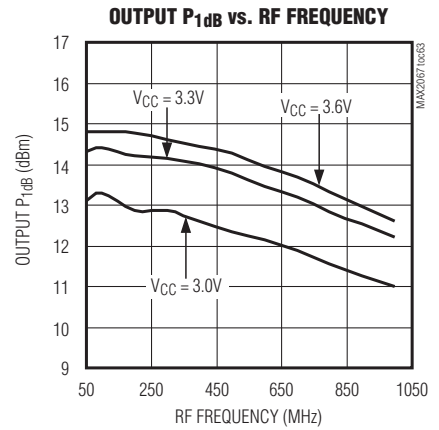
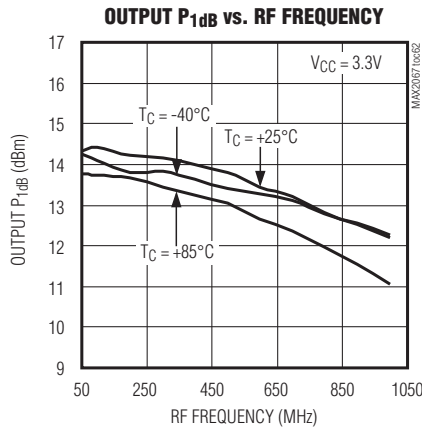
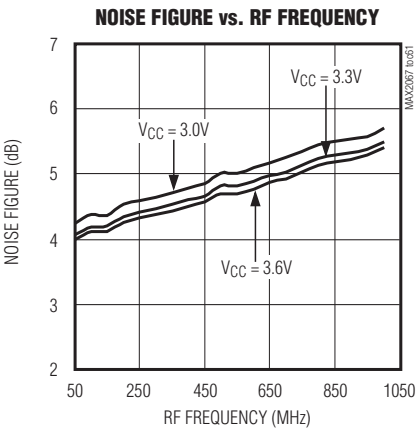
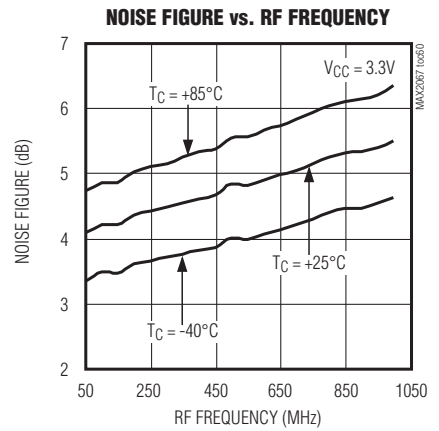
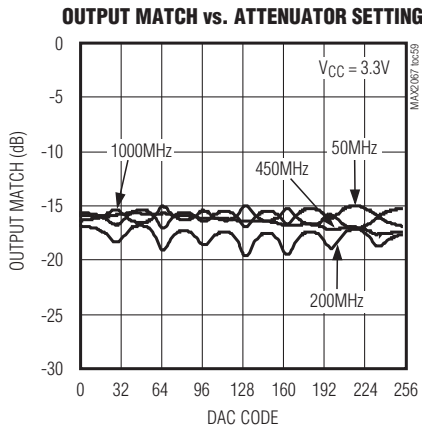
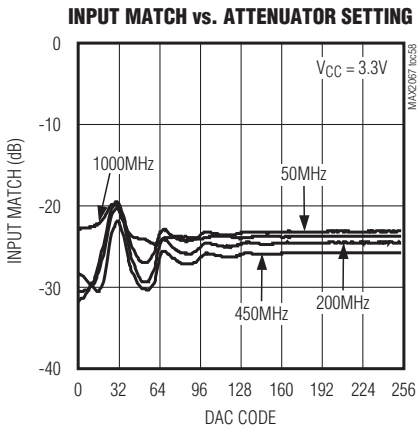
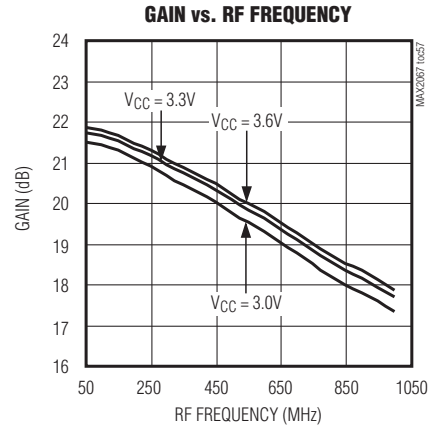
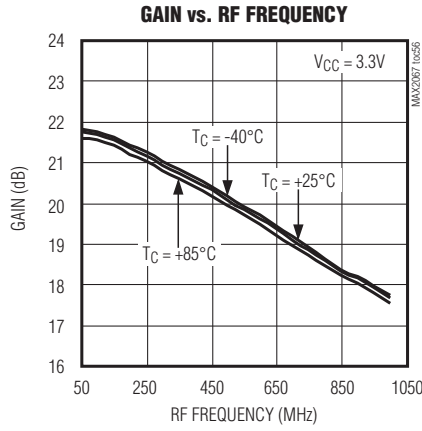
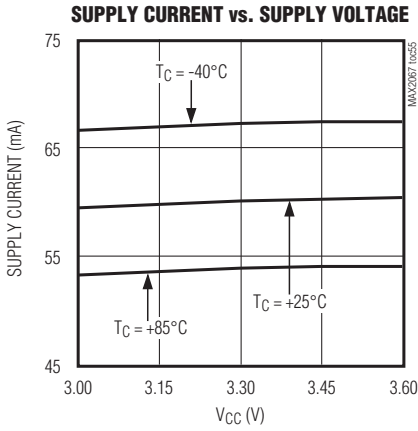


MAX2067

50MHz~1000MHzの高リニアリティ、シリアル/アナログ制御VGA

標準動作特性(続き)

($V_{CC} = V_{DD} = +3.3V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

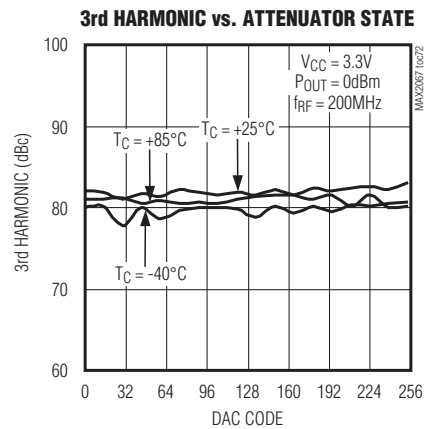
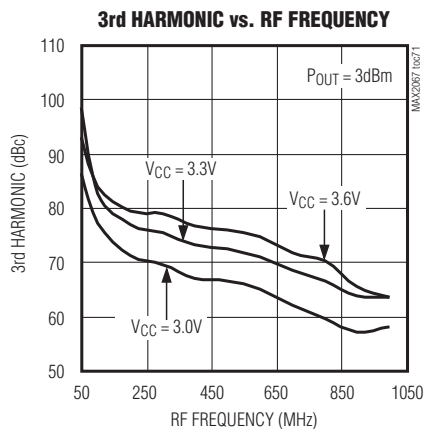
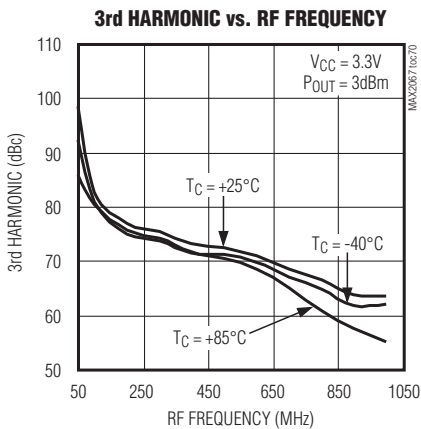
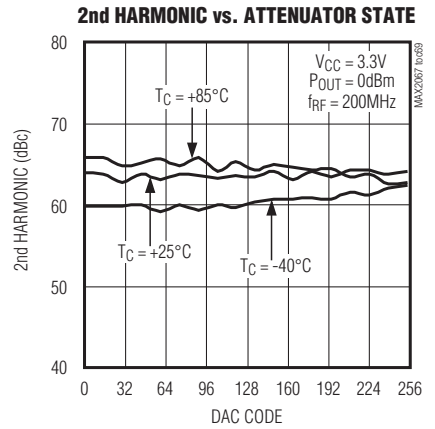
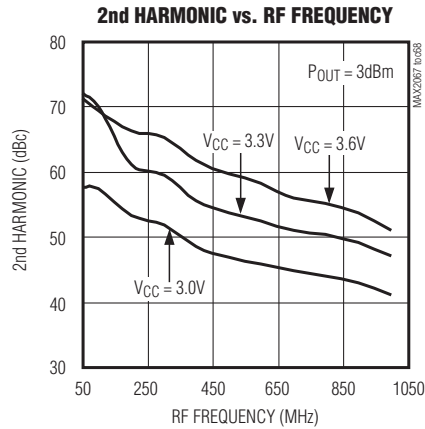
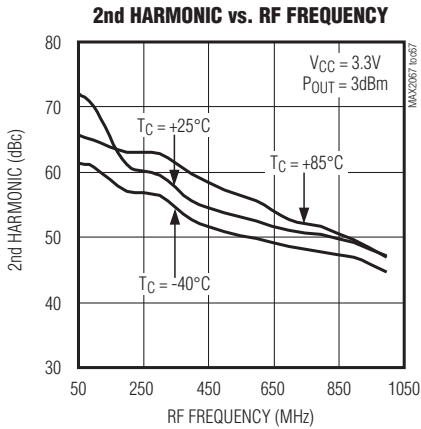
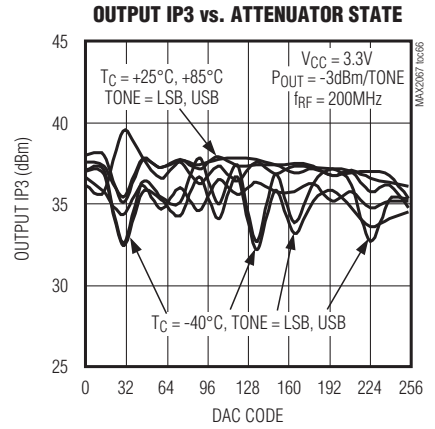
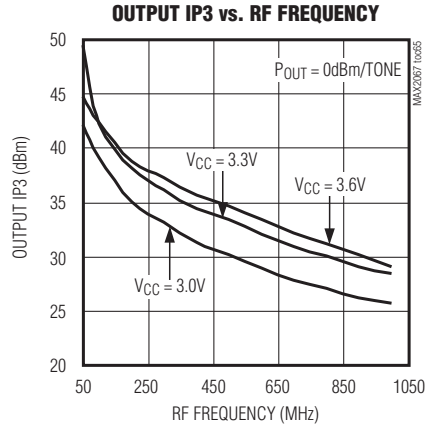
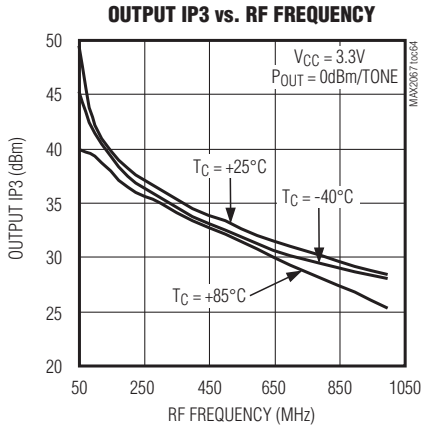


50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

標準動作特性(続き)

($V_{CC} = V_{DD} = +3.3V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

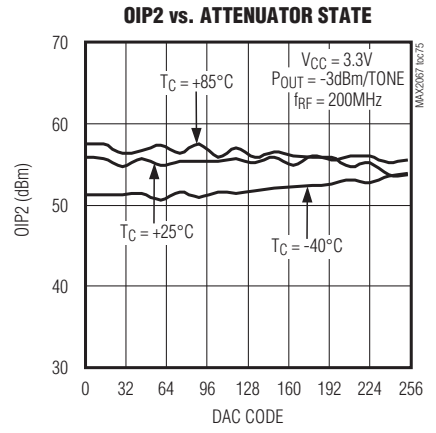
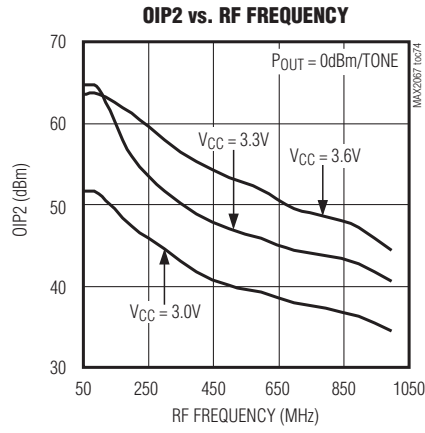
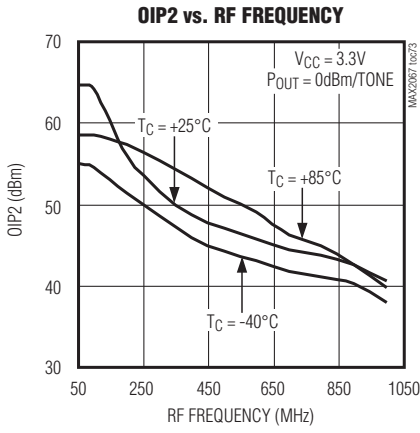


50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

標準動作特性(続き)

($V_{CC} = V_{DD} = +3.3V$, HC mode, attenuator set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)



50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

端子説明

端子	名称	説明
1, 16, 19, 22, 24-28, 30, 31, 33-36	GND	グラウンド
2	VREF_SELECT	DACリファレンス電圧選択ロジック入力。ロジック1 = 内蔵DACリファレンス電圧、ロジック0 = 外付けDACリファレンス電圧。VDAC_EN = ロジック0のとき、ロジック入力はディセーブルになります(無視される)。
3	VDAC_EN	DACイネーブル/ディセーブルロジック入力。ロジック0 = DAC回路がディセーブル、ロジック1 = DAC回路がイネーブル
4	DATA	SPIデータデジタル入力
5	CLK	SPIクロックデジタル入力
6	\overline{CS}	SPIチップセレクトデジタル入力
7	VDD_LOGIC	デジタルロジック電源入力。デジタルロジック電源V _{DD} に接続してください。端子のできるだけ近くで、10nFコンデンサでGNDにバイパスしてください。
8-15, 23, 29	GND	グラウンド。「ピンコンパチブルについて」の項を参照
17	AMP_OUT	ドライバアンプ出力(50Ω)。詳細については、「標準動作回路」を参照してください。
18	RSET	ドライバアンプバイアス設定入力。「外部バイアス」の項を参照してください。
20	AMP_IN	ドライバアンプ入力(50Ω)。詳細については、「標準動作回路」を参照してください。
21	VCC_AMP	ドライバアンプ供給電圧入力。V _{CC} 電源に接続してください。端子のできるだけ近くで、1000pFおよび10nFのコンデンサでGNDにバイパスしてください。値の小さいほうのコンデンサをより製品の近くに配置してください。
32	ATTEN_OUT	アナログアッテネータ出力。内部で50Ωにマッチングされます。外付けのDCブロッキングコンデンサが必要です。
37	ATTEN_IN	アナログアッテネータ入力。内部で50Ωにマッチングされます。外付けのDCブロッキングコンデンサが必要です。
38	VCC_ANALOG	アナログバイアスおよび制御の供給電圧入力。端子のできるだけ近くで、10nFのコンデンサでGNDにバイパスしてください。
39	ANALOG_VCTRL	アナログアッテネータの電圧制御入力
40	VREF_IN	DAC外部電圧リファレンス入力
—	EP	エクスポーズドパッド。内部でGNDに接続されます。適正なRF性能と放熱特性を高めるためにEPをグラウンドに接続してください。

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

詳細

高リニアリティアナログ可変利得アンプMAX2067は、50MHz~1000MHzの周波数範囲で動作する50Ωシステムにインタフェース接続されるように設計された汎用の高性能アンプです。

MAX2067は、31dBの総利得制御を提供するアナログアッテネータと、さらに高利得、高IP3、低ノイズ指数、および低消費電力を提供するために最適化されたドライバアンプを内蔵しています。高リニアリティを必要としないアプリケーションの場合、外付けの抵抗によってアンプのバイアス電流を調整し、消費電力をさらに低減することができます。

アナログアッテネータは、外部電圧を使用して制御されるか、またはオンチップのDACを使用するSPI対応のインタフェースで制御されます。各段が独立したRF入力とRF出力を備えているため、このコンポーネントは、NF（初段として構成されたアンプ）またはOIP3（最終段のアンプ）のいずれかを最適化するように設定することができます。このデバイスの性能特性には、22dBのスタンドアロンアンプ利得（アンプのみ）、最大利得で4dBのNF（アッテネータの挿入損失を含む）、および+43dBmの高レベルのOIP3などがあります。これらの各機能によって、MAX2067は多くのレシーバとトランスミッタアプリケーションのVGAに最適となります。

さらに、MAX2067は、+5Vの単一電源での動作、また、+3.3Vの単一電源でわずかに低下した性能で動作し、リニアリティ性能と消費電流をトレードする可変バイアスを備えています。

アナログアッテネータ

MAX2067のアナログアッテネータは31dBのダイナミックレンジを備え、外部電圧を使用して制御されるか、またはオンチップの8ビットDACを使用する3線式SPIによって制御されます。アッテネータのプログラミングの詳細については、「アプリケーション情報」の項および表1を参照してください。アッテネータは、静的または動的、いずれの電力制御でも使用することができます。

表1. 制御ロジック

VDAC_EN	VREF_SELECT	ANALOG ATTENUATOR	D/A CONVERTER
0	X	Controlled by external control voltage	Disabled
1	1	Controlled by on-chip DAC	Enabled (DAC uses on-chip voltage reference)
1	0	Controlled by on-chip DAC	Enabled (DAC uses external voltage reference)

X = 任意。

MICROWIREはNational Semiconductor Corp.の商標です。

ドライバアンプ

MAX2067は、固定利得が22dBの高性能ドライバを搭載しています。ドライバアンプ回路は、50MHz~1000MHzの周波数範囲で高リニアリティが得られるように最適化されています。

アプリケーション情報

アッテネータの制御

アナログアッテネータは、ANALOG_VCTRL（端子39）に加えられる外部制御電圧、またはオンチップ8ビットDACによって制御されます。この制御DACを利用することによって、ユーザは、簡単なSPIコマンドを通じて0.12dBの増分単位でアナログ減衰を容易に調整することができます。DACイネーブル/ディセーブルロジック入力端子(VDAC_EN)およびDACリファレンス電圧選択ロジック入力端子(VREF_SELECT)によってアッテネータの制御方法が決定されます。DACをイネーブルにすると、オンチップ電圧リファレンスまたは外部電圧リファレンスのいずれかを選択することができます。アッテネータとDAC動作の真理値表については、表1を参照してください。

このオンチップのDACによって外部アナログ制御電圧は不要になりますが、ユーザは引き続き、DACをディセーブルにして外部アナログ制御電圧を使用することもできます。この例としては、減衰の分解能の向上が必要な場合、あるいは利得の微調整/自動利得制御(AGC)ループが純粋なアナログの場合です。

SPIインタフェースとアッテネータの設定

MAX2067は、3線式SPI/MICROWIRE™対応のシリアルインタフェースを利用してオンチップDACをプログラムします。8ビットのデータがMSBを先頭にしてシフトされ、CSによって構築されます。CSがローのとき、クロックはアクティブで、データはクロックの立上りエッジでシフトされます。CS遷移がハイのとき、データはラッチされ、アッテネータの設定が変わります(図1)。SPIデータフォーマットの詳細については、表2を参照してください。

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

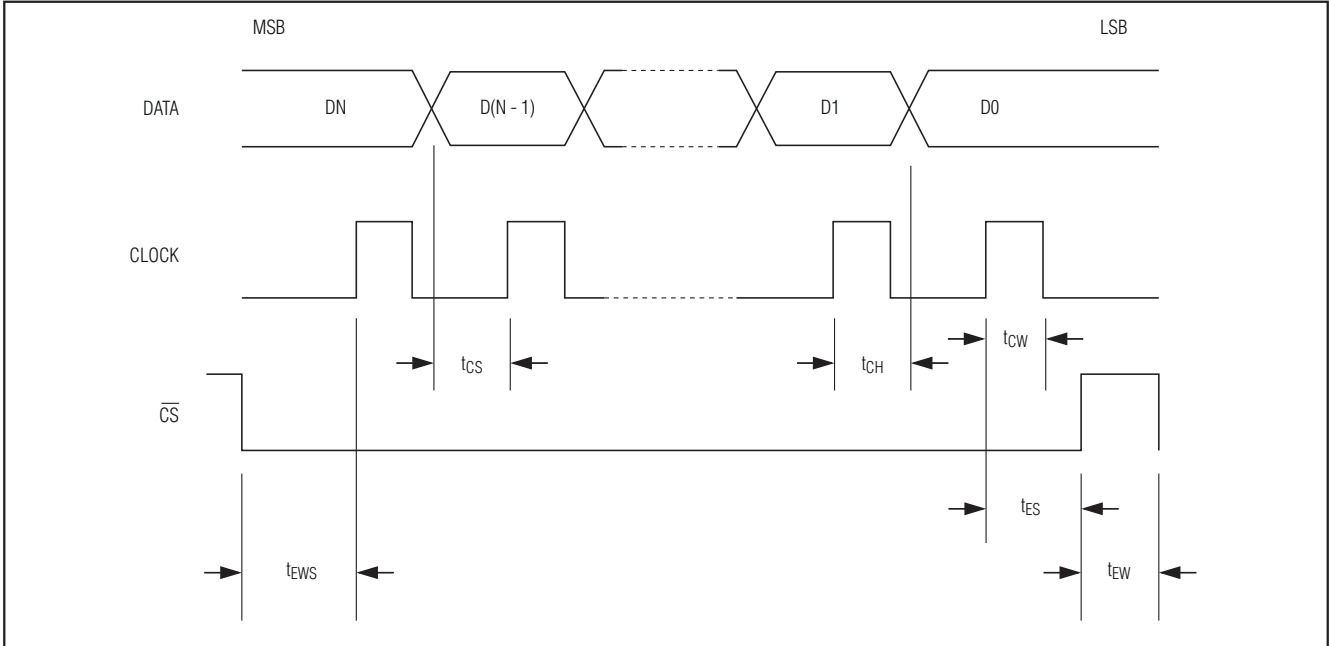


図1. SPIタイミング図

表2. SPIデータフォーマット

FUNCTION	BIT	DESCRIPTION
On-Chip DAC	D7	Bit 7 (MSB) of on-chip DAC used to program the analog attenuator
	D6	Bit 6 of DAC
	D5	Bit 5 of DAC
	D4	Bit 4 of DAC
	D3	Bit 3 of DAC
	D2	Bit 2 of DAC
	D1	Bit 1 of DAC
	D0 (LSB)	Bit 0 (LSB) of the on-chip DAC

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

外部バイアス

ドライバンプのバイアス電流は、外付けの抵抗を通じて設定および最適化されます。RSET (端子18)に接続されている抵抗R1とR1Aが、アンプのバイアス電流を設定します。外付けのバイアス抵抗の値を増大すれば、性能を犠牲にして電流を削減した動作が得られます。詳細については、表4および表5を参照してください。

ピンコンパチブルについて

MAX2067は、MAX2065アナログ/デジタルVGAの簡易バージョンです。MAX2067には、デジタルアッテネータおよびパラレル入力D0~D4は搭載されていません。これに関連する入出力端子は、内部でグランドに接続されています(表3)。未使用の入出力端子は、アイソレーションを最適化するために接地してください(「標準動作回路」を参照)。

+5Vおよび+3.3Vの供給電圧

MAX2067は、オプションとして+3.3Vの供給電圧で動作可能ですが、リニアリティ性能はわずかに低下します。

レイアウトについて

MAX2067のピン配置は、デバイスとその関連ディスクリット部品の物理的なレイアウトを大幅に小型化するために最適化されています。

MAX2067の40ピンTQFN-EPパッケージのエクスポーズドパッド(EP)は、熱抵抗の低いダイまでのパスを設けています。MAX2067を搭載するPCBは、EPから熱を伝導するように設計されていることが重要です。また、電氣的グランドまでの低インダクタンスパスをEPに設けてください。EPは、じかに、またはメッキされた一連のビアホールを介してPCB上のグランドプレーンに半田付けする必要があります。

表3. MAX2065/MAX2067の端子の比較

PIN	MAX2065	MAX2067
8	SER/PAR	GND
9	STATE_A	GND
10	STATE_B	GND
11	D4	GND
12	D3	GND
13	D2	GND
14	D1	GND
15	D0	GND
23	ATTEN2_OUT	GND
29	ATTEN2_IN	GND

表4. 標準動作回路の部品の値(HCモード)

DESIGNATION	VALUE	SIZE	VENDOR	DESCRIPTION
C1, C2, C7, C12	10nF	0402	Murata Mfg. Co., Ltd.	X7R
C3, C4, C6, C8, C9	1000pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitors
C10, C11	150pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitors
L1	470nH	1008	Coilcraft, Inc.	1008CS-471XJLC
R1, R1A	10Ω	0402	Panasonic Corp.	1%
R2 (+3.3V applications only)	1kΩ	0402	Panasonic Corp.	1%
R3 (+3.3V applications only)	2kΩ	0402	Panasonic Corp.	1%
R4 (+5V applications and using internal DAC only)	47kΩ	0402	Panasonic Corp.	1%
U1	—	40-pin thin QFN-EP (6mm x 6mm)	Maxim Integrated Products, Inc.	MAX2067ETL+

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

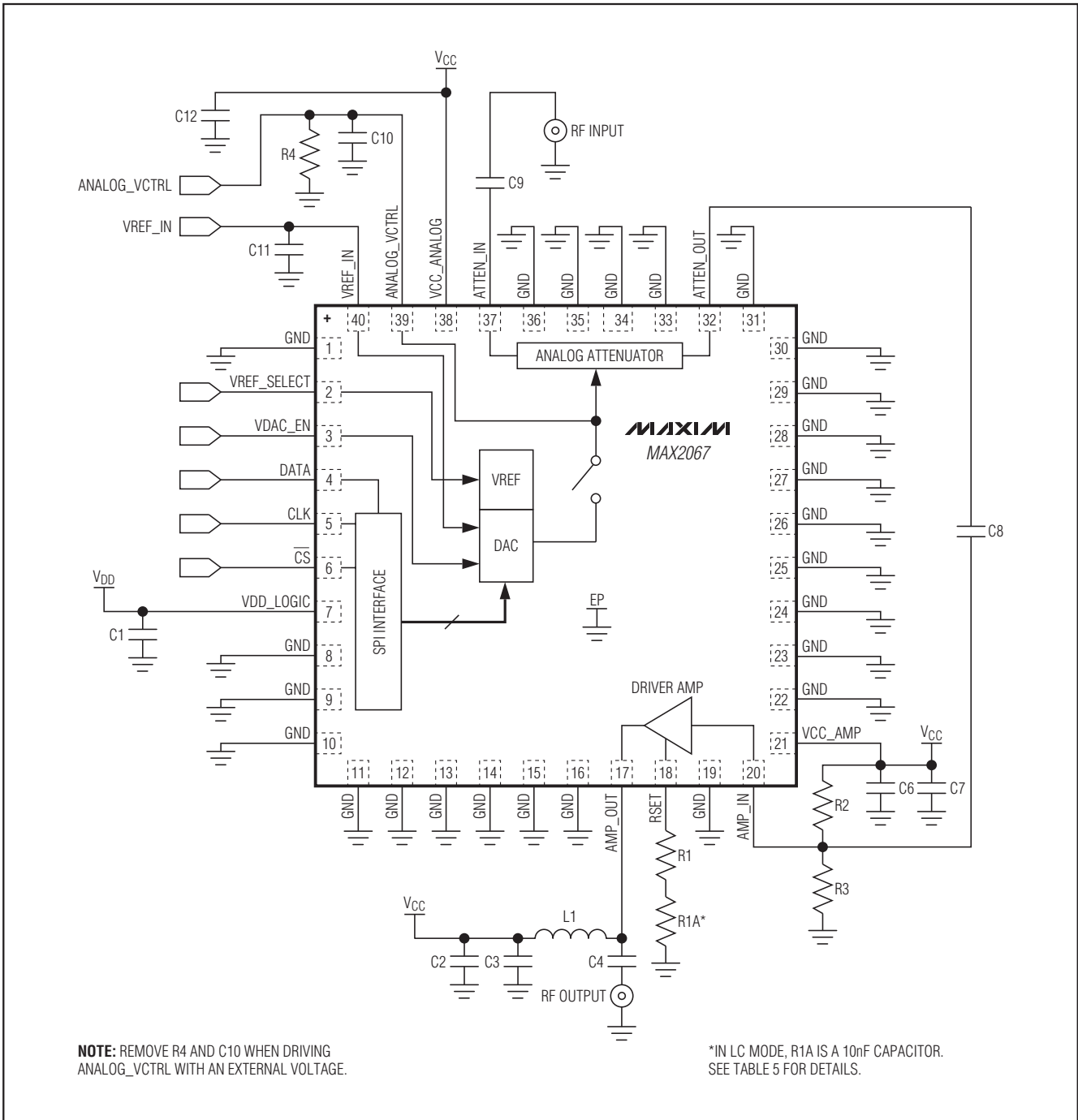
表5. 標準動作回路の部品の値(LCモード)

DESIGNATION	VALUE	SIZE	VENDOR	DESCRIPTION
C1, C2, C7, C12	10nF	0402	Murata Mfg. Co., Ltd.	X7R
C3, C4, C6, C8, C9	1000pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitors
C10, C11	150pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitors
L1	470nH	1008	Coilcraft, Inc.	1008CS-471XJLC
R1	24Ω	0402	Vishay	1%
R1A	10nF	0402	Murata Mfg. Co., Ltd.	X7R
R2 (+3.3V applications only)	1kΩ	0402	Panasonic Corp.	1%
R3 (+3.3V applications only)	2kΩ	0402	Panasonic Corp.	1%
R4 (+5V applications and using internal DAC only)	47kΩ	0402	Panasonic Corp.	1%
U1	—	40-pin thin QFN-EP (6mm x 6mm)	Maxim Integrated Products, Inc.	MAX2067ETL+

50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

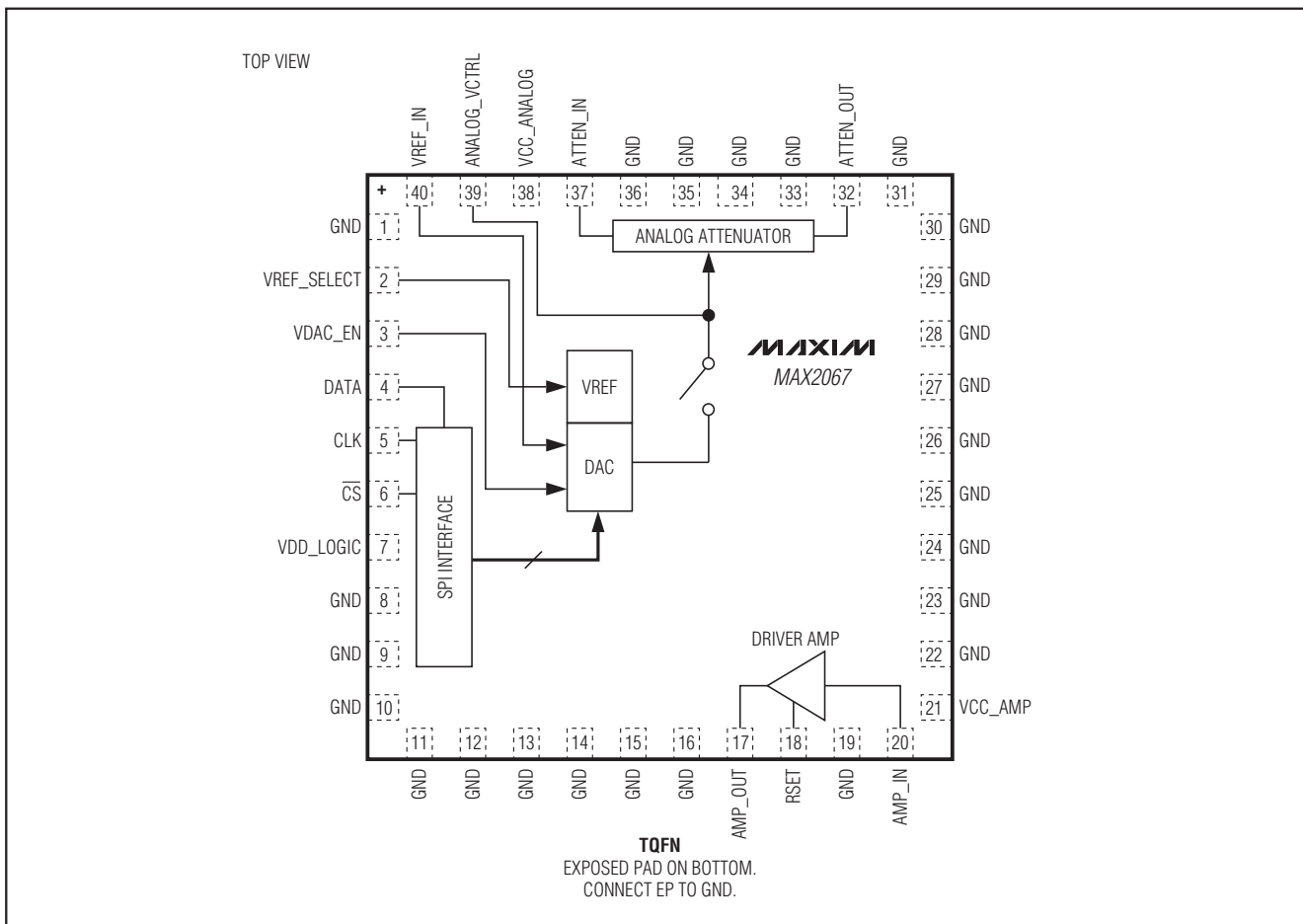
標準動作回路



50MHz~1000MHzの高リニアリティ、 シリアル/アナログ制御VGA

MAX2067

ピン配置/機能ブロック図



チップ情報

PROCESS: SiGe BiCMOS

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
40ピンTQFN-EP	T4066-3	21-0141

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 23