

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

## 概要

MAX2066高リニアリティデジタル可変利得アンプ(VGA)は、モノリシックSiGe BiCMOSアッテネータおよびアンプであり、50MHz~1000MHzの周波数範囲で動作する50Ωシステムにインタフェース接続されるように設計されています(「標準動作回路」を参照)。デジタルアッテネータは、SPI™対応インタフェースまたはパラレルバスを使用するスレーブ周辺機器として制御され、1dBのステップで31dBの全調整範囲を備えています。付加機能によって、SPI対応インタフェースでユーザによって事前にプログラムされた4つのステップ間を「高速動作」して利得を選択することができます。2つのピンを制御することによって、ユーザはSPIバスを設定変更せずに4つのカスタマイズされた減衰状態の1つに短時間でアクセスすることができます。

各段が独立したRF入力とRF出力を備えているため、このコンポーネントは、NF(初段として構成されたアンプ)またはOIP3(最終段のアンプ)のいずれかを最適化するように設定することができます。このデバイスの性能特性には、22dBのアンプ利得(アンプのみ)、最大利得で5.2dBのNF(アッテネータの挿入損失を含む)、および+42.4dBmの高レベルのOIP3などがあります。これらの各機能によって、MAX2066は多くのレシーバとトランスミッタアプリケーションのVGAに最適となります。

さらに、MAX2066は、+5Vの単一電源では最大の性能での動作、また、+3.3Vの単一電源動作ではわずかに低下した性能で動作し、可変バイアスによってリニアリティ性能と消費電流のトレードが可能で、このデバイスは、エクスポーズドパッド付きの小型40ピンTQFNパッケージ(6mm x 6mm)で提供されます。電気的性能は、全拡張温度範囲( $T_C = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ )で保証されています。

## アプリケーション

IFおよびRF利得段

セルラバンドWCDMAおよびcdma2000®基地局

GSM 850/GSM 900 EDGE基地局

WiMAXおよびLTE基地局および加入者宅内機器

固定ブロードバンド無線アクセス

ワイヤレスローカルループ

軍事用システム

ビデオオンデマンド(VOD)およびDOCSIS®準拠

EDGE QAM変調

ケーブルモデム終端システム(CMTS)

RFIDハンドヘルドおよび携帯リーダー

SPIはMotorola, Inc.の商標です。

## 特長

- ◆ RF周波数範囲：50MHz~1000MHz
- ◆ ピンコンパチブルファミリ：
  - MAX2065 (アナログ/デジタルVGA)
  - MAX2067 (アナログVGA)
- ◆ 最大利得：20.5dB (typ)
- ◆ 利得の平坦性：0.4dB (100MHzの帯域幅内で)
- ◆ 利得範囲：31dB
- ◆ 4つの「高速動作」の事前設定済みアッテネータ状態をサポート
  - SPIバスを設定変更せずに、4つのカスタマイズされた減衰状態の1つに短時間でアクセス
  - 高速追従で高レベルのブロック保護に最適
  - ADCのオーバドライブ状態を防止
- ◆ 優れたリニアリティ(最終段のアンプで設定)
  - OIP3：+42.4dBm
  - OIP2：+65dBm
  - 出力1dB圧縮ポイント：+19dBm
  - HD2：-68dBc
  - HD3：-88dBc
- ◆ ノイズ指数(NF)：5.2dB (typ)
- ◆ 高速デジタルスイッチング：25ns
- ◆ 超低デジタルVGA振幅オーバーシュート/アンダシュート
- ◆ 単一電源：+5V (オプションで+3.3V動作)
- ◆ 外付けの電流設定抵抗によって低電力/低性能モードでのデバイス動作も可能

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX2066ETL+	-40°C to +85°C	40 Thin QFN-EP*
MAX2066ETL+T	-40°C to +85°C	40 Thin QFN-EP*

+は鉛フリーパッケージを示します。

\*EP = エクスポーズドパッド。

T = テープ&リール。

ピン配置はデータシートの最後に記載されています。

cdma2000はTelecommunications Industry Associationの登録商標です。

DOCSISおよびCableLabsは、Cable Television Laboratories, Inc. (CableLabs®)の登録商標です。

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## ABSOLUTE MAXIMUM RATINGS

VCC_ to GND .....	-0.3V to +5.5V	RF Input Power (AMP_IN).....	+18dBm
VDD_LOGIC, DATA, $\overline{CS}$ , CLK, SER/PAR.....	-0.3V to (VCC_ + 0.3V)	Continuous Power Dissipation (Note 1) .....	6.5W
STATE_A, STATE_B, D0–D4 .....	-0.3V to (VCC_ + 0.3V)	$\theta_{JA}$ (Notes 2, 3).....	+38°C/W
AMP_IN, AMP_OUT .....	-0.3V to (VCC_ + 0.3V)	$\theta_{JC}$ (Note 3) .....	+10°C/W
ATTEN_IN, ATTEN_OUT.....	-1.2V to +1.2V	Operating Temperature Range (Note 4).....	$T_C = -40^\circ\text{C}$ to +85°C
RSET to GND.....	-0.3V to +1.2V	Maximum Junction Temperature .....	+150°C
RF Input Power (ATTEN_IN, ATTEN_OUT).....	+20dBm	Storage Temperature Range .....	-65°C to +150°C
		Lead Temperature (soldering, 10s) .....	+300°C

**Note 1:** Based on junction temperature  $T_J = T_C + (\theta_{JC} \times V_{CC} \times I_{CC})$ . This formula can be used when the temperature of the exposed pad is known while the device is soldered down to a printed-circuit board (PCB). See the *Applications Information* section for details. The junction temperature must not exceed +150°C.

**Note 2:** Junction temperature  $T_J = T_A + (\theta_{JA} \times V_{CC} \times I_{CC})$ . This formula can be used when the ambient temperature of the PCB is known. The junction temperature must not exceed +150°C.

**Note 3:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a 4-layer board. For detailed information on package thermal considerations, refer to [www.maxim-ic.com/thermal-tutorial](http://www.maxim-ic.com/thermal-tutorial).

**Note 4:**  $T_C$  is the temperature on the exposed pad of the package.  $T_A$  is the ambient temperature of the device and PCB.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## +3.3V SUPPLY DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, high-current (HC) mode,  $V_{CC} = V_{DD} = +3.0\text{V}$  to +3.6V,  $T_C = -40^\circ\text{C}$  to +85°C. Typical values are at  $V_{CC} = V_{DD} = +3.3\text{V}$  and  $T_C = +25^\circ\text{C}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	$V_{CC}$	(Note 5)	3.0	3.3	3.6	V
Supply Current	$I_{CC}$			58	80	mA
<b>LOGIC INPUTS (DATA, <math>\overline{CS}</math>, CLK, SER/PAR, STATE_A, STATE_B, D0–D4)</b>						
Input High Voltage	$V_{IH}$			2		V
Input Low Voltage	$V_{IL}$			0.8		V

## +5V SUPPLY DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit,  $V_{CC} = V_{DD} = +4.75\text{V}$  to +5.25V,  $T_C = -40^\circ\text{C}$  to +85°C. Typical values are at  $V_{CC} = V_{DD} = +5\text{V}$  and  $T_C = +25^\circ\text{C}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	$V_{CC}$		4.75	5	5.25	V
Supply Current	$I_{CC}$	Low-current (LC) mode		70	90	mA
		High-current (HC) mode		121	144	
<b>LOGIC INPUTS (DATA, <math>\overline{CS}</math>, CLK, SER/PAR, STATE_A, STATE_B, D0–D4)</b>						
Input High Voltage	$V_{IH}$		3			V
Input Low Voltage	$V_{IL}$				0.8	V
Input Current Logic-High	$I_{IH}$		-1		+1	$\mu\text{A}$
Input Current Logic-Low	$I_{IL}$		-1		+1	$\mu\text{A}$

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## +3.3V SUPPLY AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit,  $V_{CC} = V_{DD} = +3.0V$  to  $+3.6V$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = V_{DD} = +3.3V$ , HC mode with attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency Range	$f_{RF}$	(Notes 5, 7)	50		1000	MHz
Small-Signal Gain	G			20		dB
Output Third-Order Intercept Point	OIP3	$P_{OUT} = 0dBm/tone$ , maximum gain setting		38		dBm
Noise Figure	NF	Maximum gain setting		5.6		dB
Total Attenuation Range				31		dB

## +5V SUPPLY AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit,  $V_{CC} = V_{DD} = +4.75V$  to  $+5.25V$ , HC mode with attenuator set for maximum gain,  $50MHz \leq f_{RF} \leq 1000MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = V_{DD} = +5.0V$ , HC mode,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency Range	$f_{RF}$	(Notes 5, 7)	50		1000	MHz
Small-Signal Gain	G	200MHz		20.5		dB
		350MHz, $T_C = +25^\circ C$	18.6	19.9	21.1	
		450MHz		19.5		
		750MHz		18.1		
		900MHz		17.4		
Gain Variation vs. Temperature				-0.004		dB/ $^\circ C$
Gain Flatness vs. Frequency		Any 100MHz frequency band from 50MHz to 500MHz		0.4		dB
Noise Figure	NF	200MHz		5.2		dB
		350MHz, $T_C = +25^\circ C$ (Note 5)		5.5	6.6	
		450MHz		5.6		
		750MHz		6.2		
		900MHz		6.4		
Total Attenuation Range				31		dB
Output Second-Order Intercept Point	OIP2	$P_{OUT} = 0dBm/tone$ , $\Delta f = 1MHz$ , $f_1 + f_2$		65		dBm
Output Third-Order Intercept Point	OIP3	$P_{OUT} = 0dBm/tone$ , HC mode, $\Delta f = 1MHz$	200MHz		42.4	dBm
			350MHz		40.4	
			450MHz		39.5	
			750MHz		37.3	
			900MHz		36.2	
		$P_{OUT} = 0dBm/tone$ , LC mode, $\Delta f = 1MHz$	200MHz		40	
			350MHz		38	
			450MHz		37	
			750MHz		35	
			900MHz		33	

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## +5V SUPPLY AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit,  $V_{CC} = V_{DD} = +4.75$  to  $+5.25V$ , HC mode with attenuator set for maximum gain,  $50MHz \leq f_{RF} \leq 1000MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = V_{DD} = +5.0V$ , HC mode,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output -1dB Compression Point	$P_{1dB}$	$f_{RF} = 350MHz$ , $T_C = +25^\circ C$ (Note 5, 8)	17	18.7		dBm
Second Harmonic		$P_{OUT} = +3dBm$ , $f_{IN} = 200MHz$ , $T_C = +25^\circ C$ (Note 5)	-60	-68		dBc
Third Harmonic		$P_{OUT} = +3dBm$ , $f_{IN} = 200MHz$ , $T_C = +25^\circ C$ (Note 5)	-72	-88		dBc
Group Delay		Includes EV kit PCB trace delay		0.8		ns
Input Return Loss		$50\Omega$ source, maximum gain setting		23		dB
Output Return Loss		$50\Omega$ load, maximum gain setting		18		dB
<b>DIGITAL ATTENUATOR</b>						
Insertion Loss				2.5		dB
Input Second-Order Intercept Point	IIP2	$P_{RF1} = 0dBm$ , $P_{RF2} = 0dBm$ , $\Delta f = 1MHz$ , $f_1 + f_2$		52		dBm
Input Third-Order Intercept Point	IIP3	$P_{RF1} = 0dBm$ , $P_{RF2} = 0dBm$ , $\Delta f = 1MHz$		41		dBm
Attenuation Range				31.2		dB
Step Size				1		dB
Relative Step Accuracy				0.2		dB
Absolute Step Accuracy				0.45		dB
Insertion Phase Step		$f_{RF} = 170MHz$	0dB to 16dB	4.8		degrees
			24dB	8		
			31dB	10.8		
Amplitude Overshoot/Undershoot		Between any two states	ET = 15ns	1.0		dB
			ET = 40ns	0.05		
Switching Speed		RF settled to within $\pm 0.1dB$	31dB to 0dB	25		ns
			0dB to 31dB	21		
Input Return Loss		$50\Omega$ source, maximum gain setting		19		dB
Output Return Loss		$50\Omega$ load, maximum gain setting		19		dB
<b>SERIAL PERIPHERAL INTERFACE (SPI)</b>						
Maximum Clock Speed	$f_{CLK}$			20		MHz
Data-to-Clock Setup Time	$t_{CS}$			2		ns
Data-to-Clock Hold Time	$t_{CH}$			2.5		ns
Clock-to- $\overline{CS}$ Setup Time	$t_{ES}$			3		ns
$\overline{CS}$ Positive Pulse Width	$t_{EW}$			7		ns
$\overline{CS}$ Setup Time	$t_{EWS}$			3.5		ns
Clock Pulse Width	$t_{CW}$			5		ns

**Note 5:** Guaranteed by design and characterization.

**Note 6:** All limits include external component losses. Output measurements are performed at RF output port of the *Typical Application Circuit*.

**Note 7:** Operating outside this range is possible, but with degraded performance of some parameters.

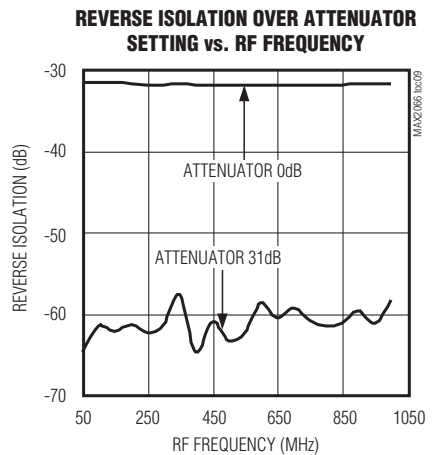
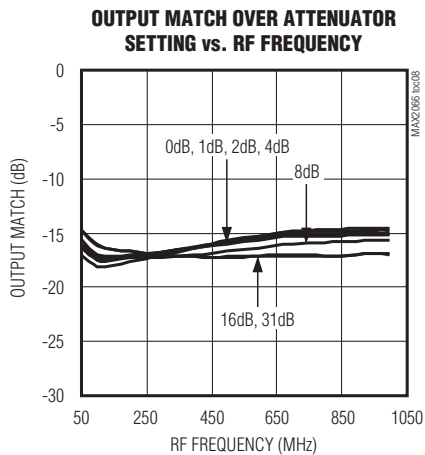
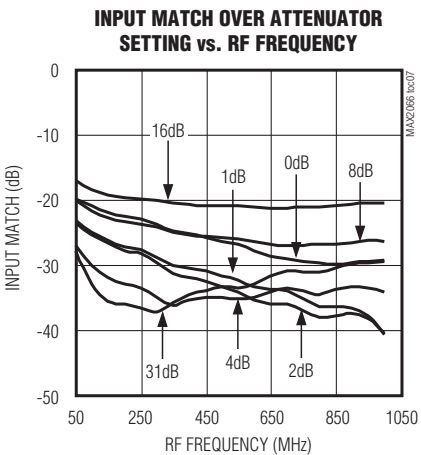
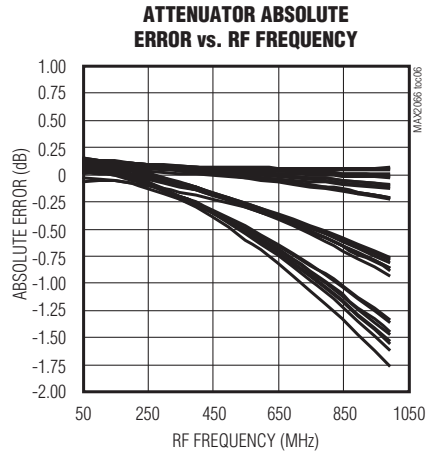
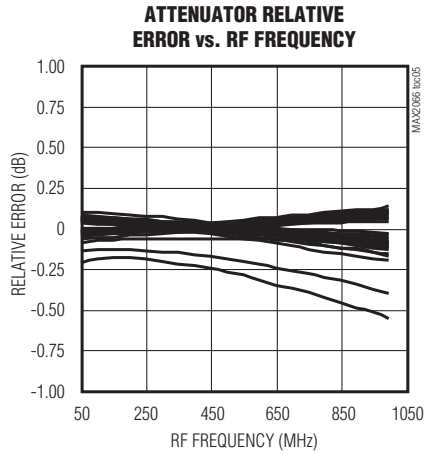
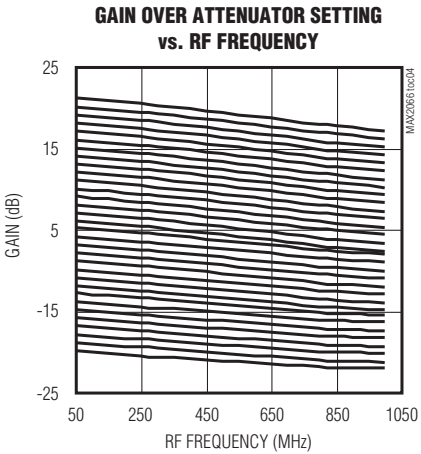
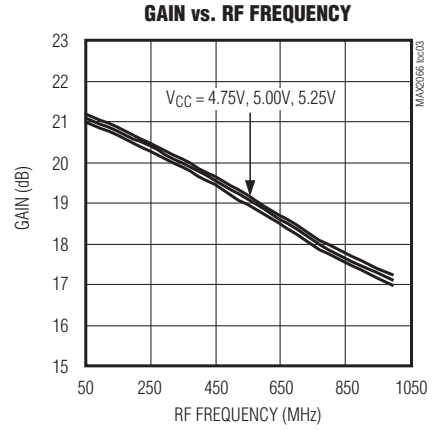
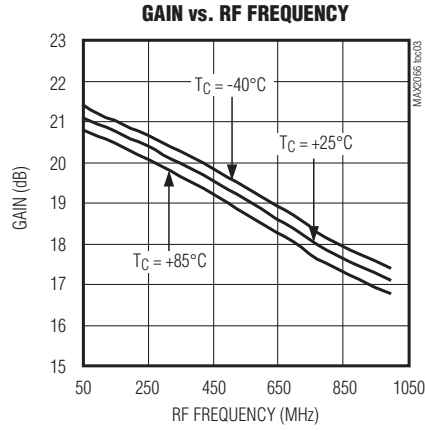
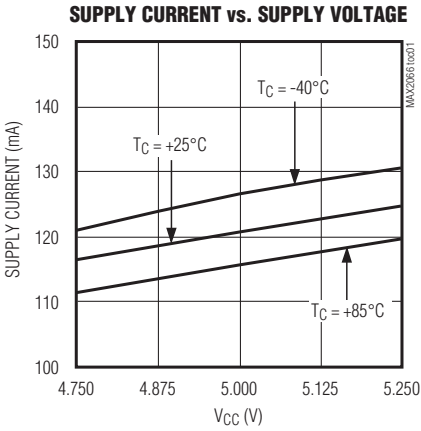
**Note 8:** It is advisable not to continuously operate the VGA RF input above +15dBm.

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 標準動作特性

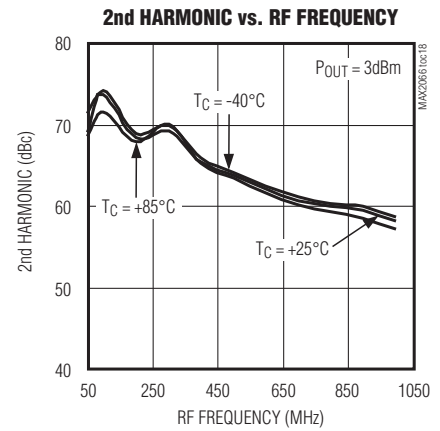
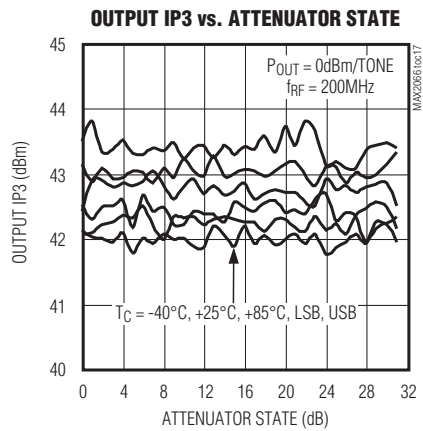
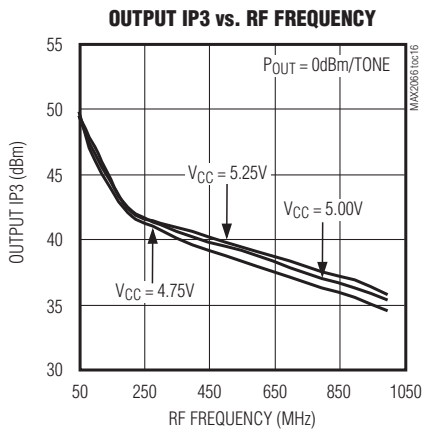
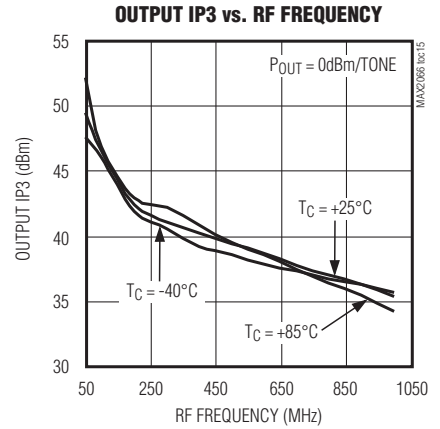
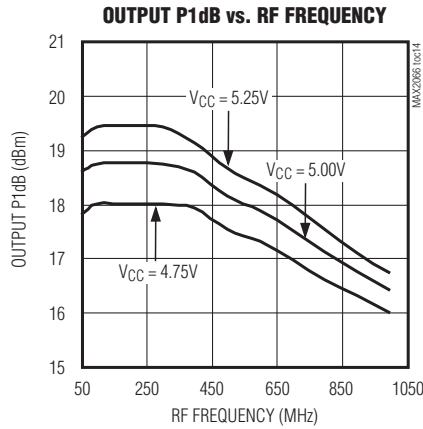
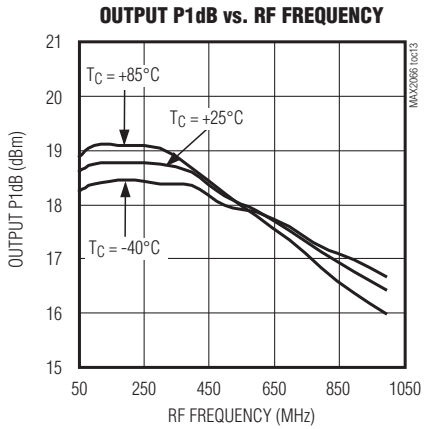
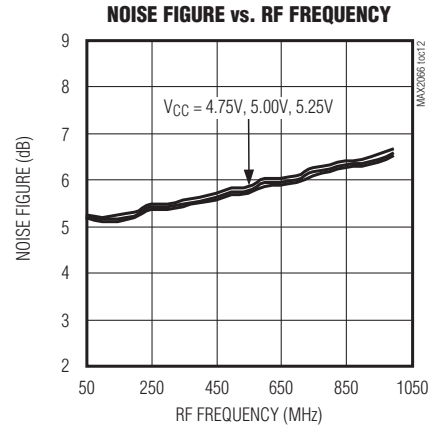
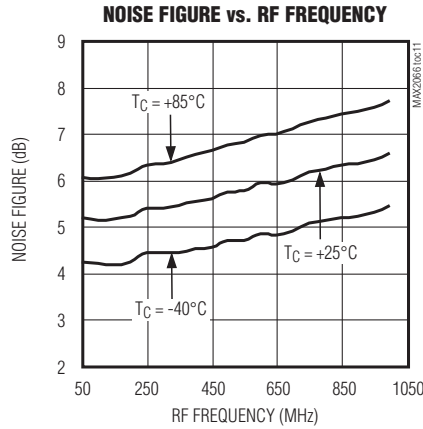
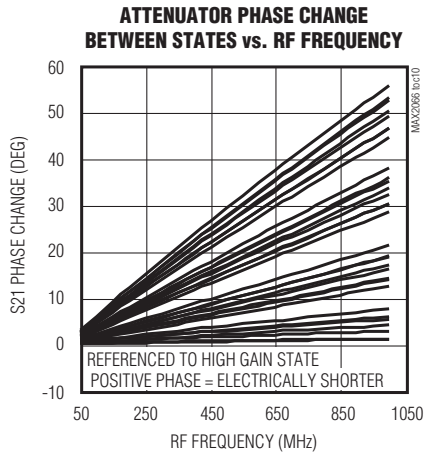
( $V_{CC} = V_{DD} = +5.0V$ , HC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



# 50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御デジタルVGA

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +5.0V$ , HC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

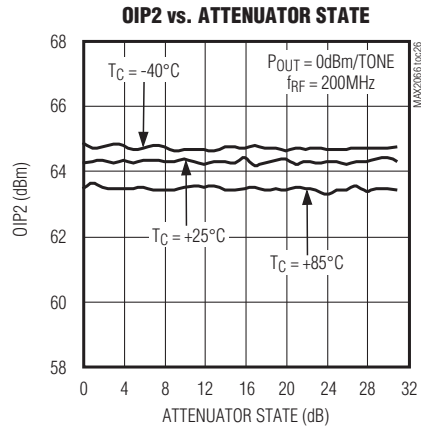
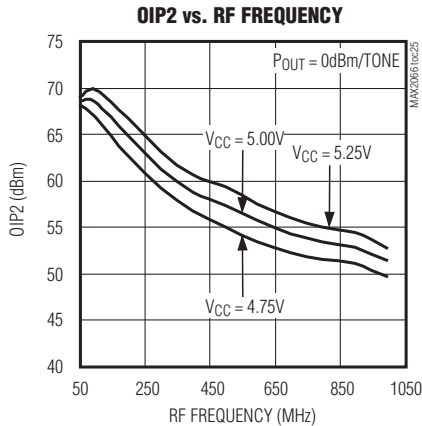
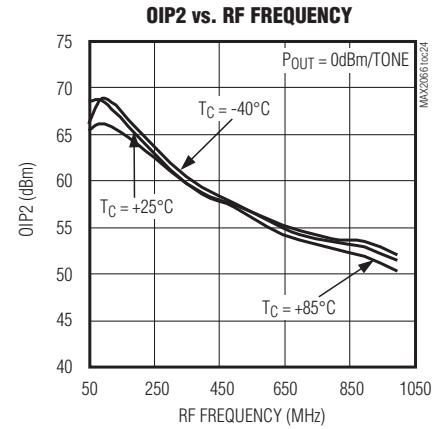
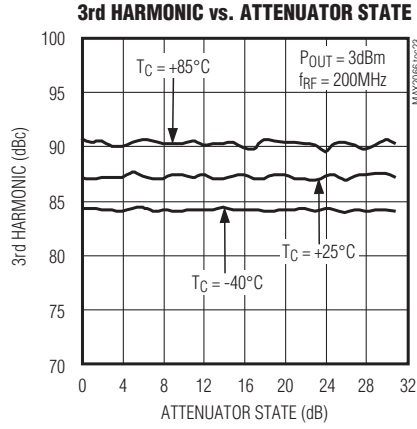
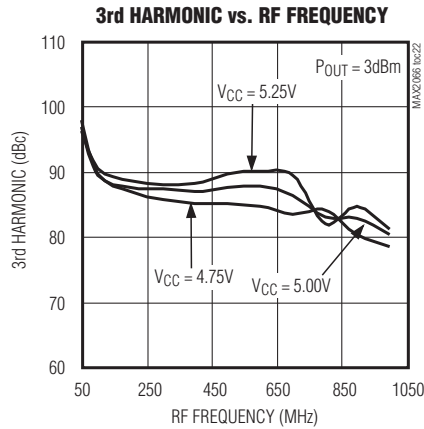
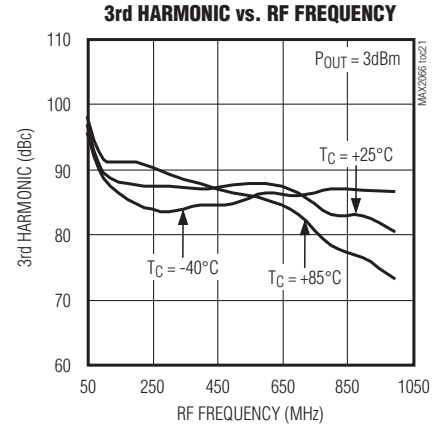
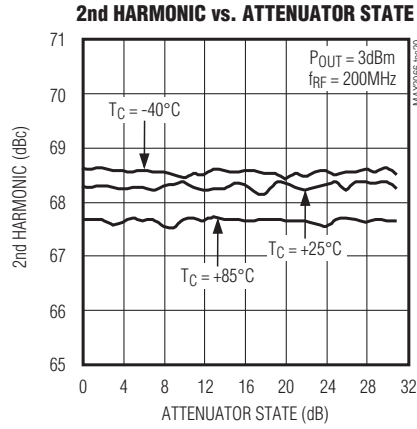
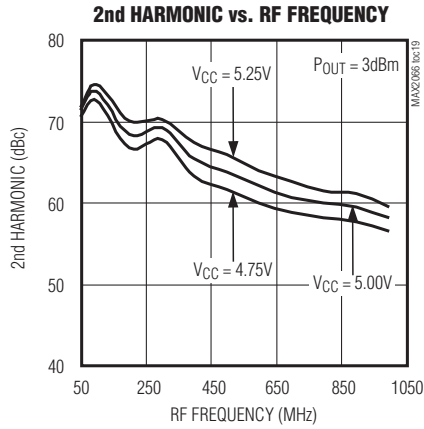


# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +5.0V$ , HC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

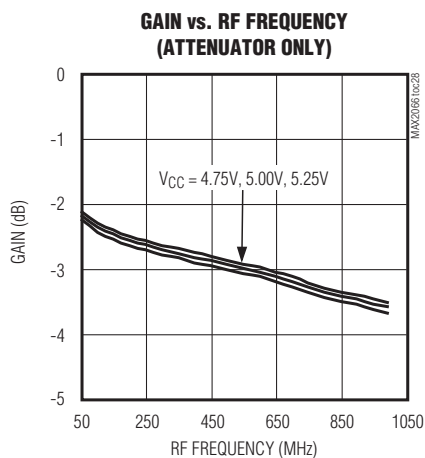
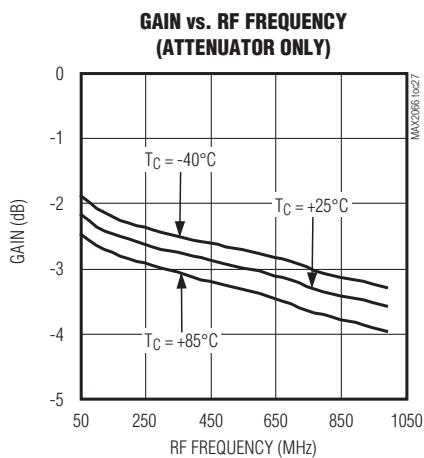


# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +5.0V$ , digital attenuator only, maximum gain,  $P_{IN} = -20dBm$  and  $T_C = +25^\circ C$ , unless otherwise noted.)





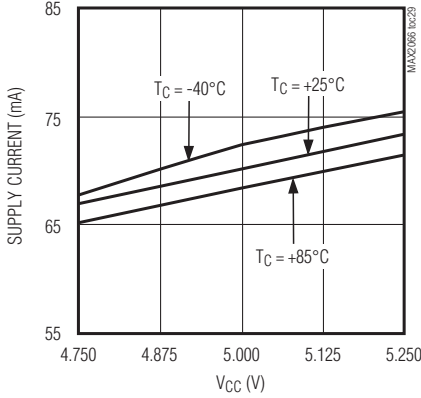
# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

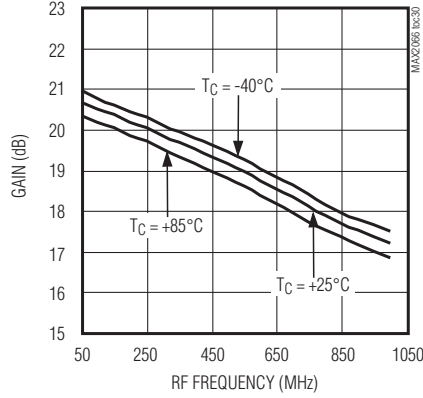
## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +5.0V$ , LC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

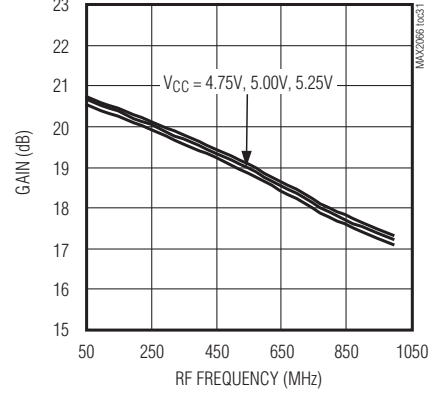
**SUPPLY CURRENT vs. SUPPLY VOLTAGE  
(LOW-CURRENT MODE)**



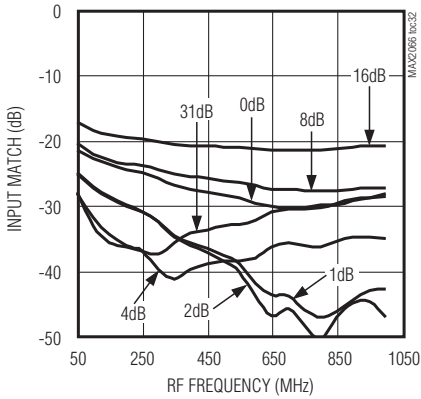
**GAIN vs. RF FREQUENCY  
(LOW-CURRENT MODE)**



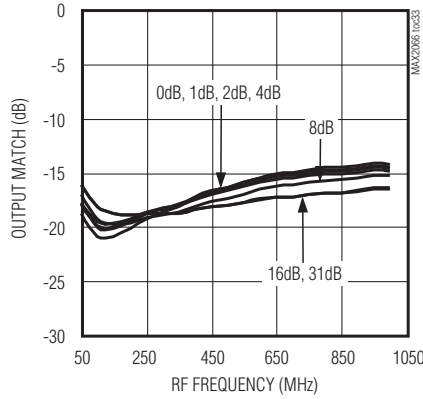
**GAIN vs. RF FREQUENCY  
(LOW-CURRENT MODE)**



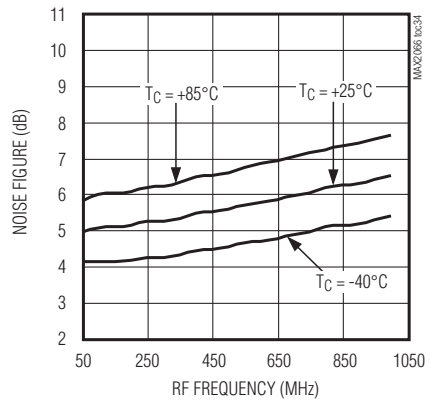
**INPUT MATCH OVER ATTENUATOR SETTING  
vs. RF FREQUENCY (LOW-CURRENT MODE)**



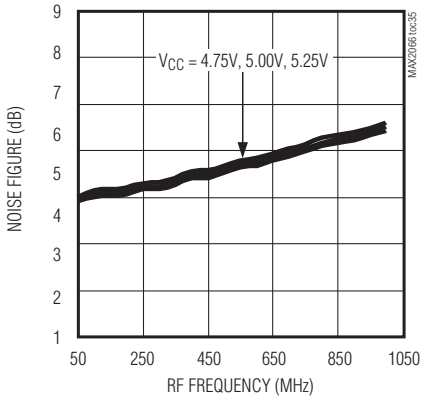
**OUTPUT MATCH OVER ATTENUATOR SETTING  
vs. RF FREQUENCY (LOW-CURRENT MODE)**



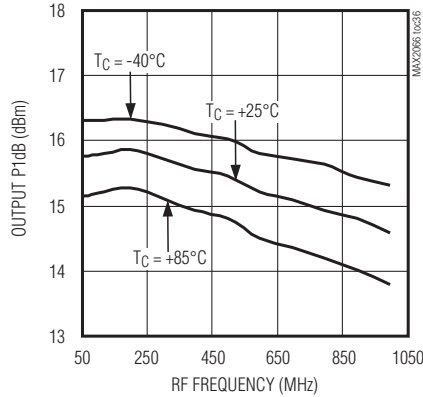
**NOISE FIGURE vs. RF FREQUENCY  
(LOW-CURRENT MODE)**



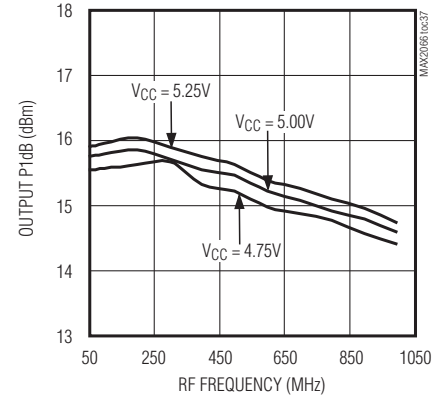
**NOISE FIGURE vs. RF FREQUENCY  
(LOW-CURRENT MODE)**



**OUTPUT P1dB vs. RF FREQUENCY  
(LOW-CURRENT MODE)**



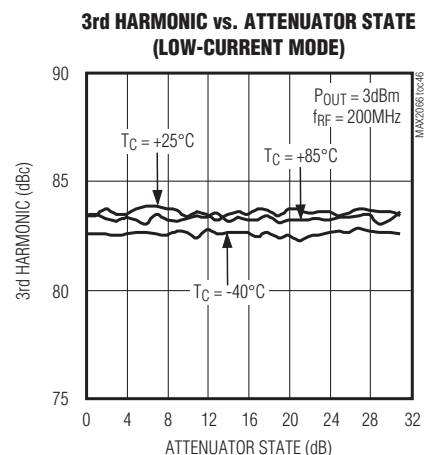
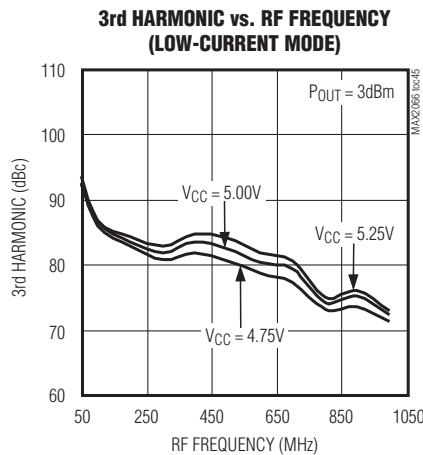
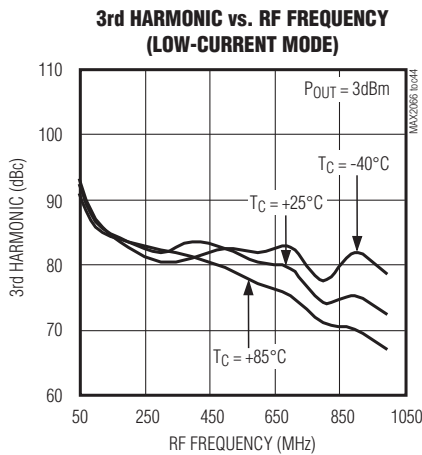
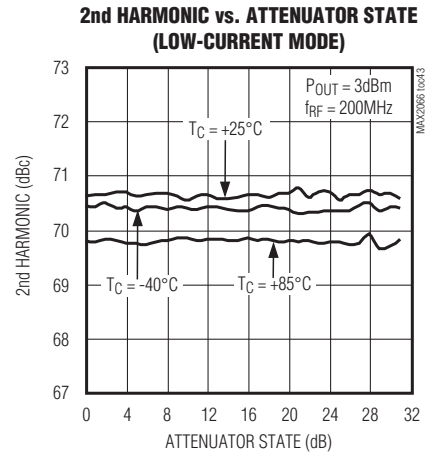
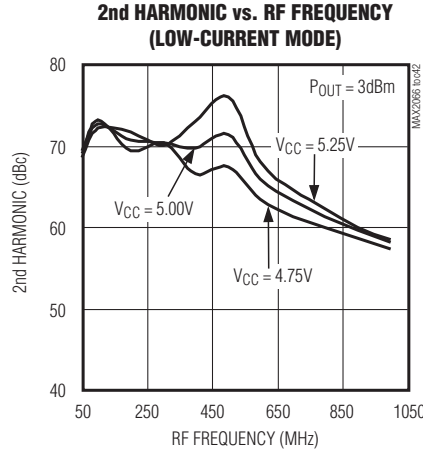
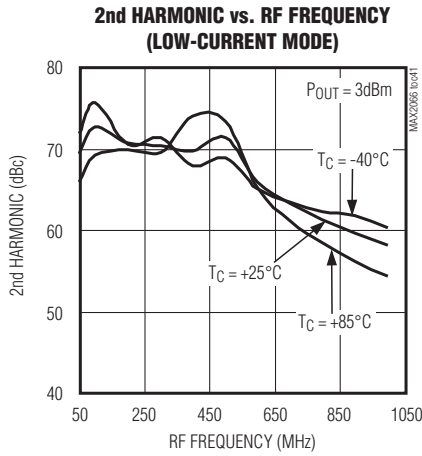
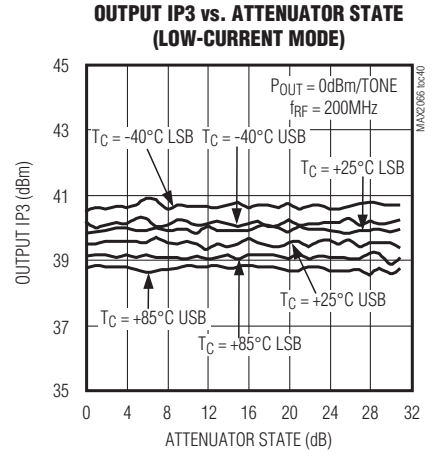
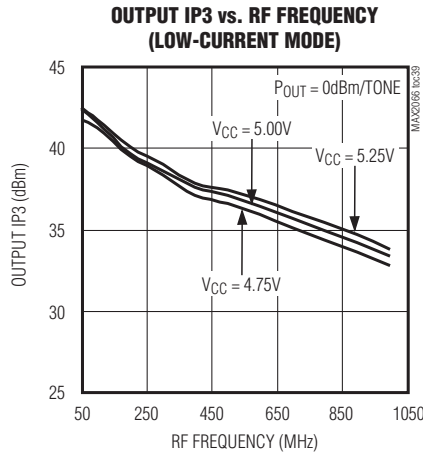
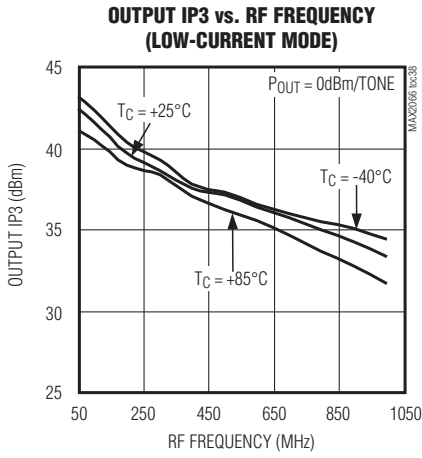
**OUTPUT P1dB vs. RF FREQUENCY  
(LOW-CURRENT MODE)**



# 50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御デジタルVGA

## 標準動作特性(続き)

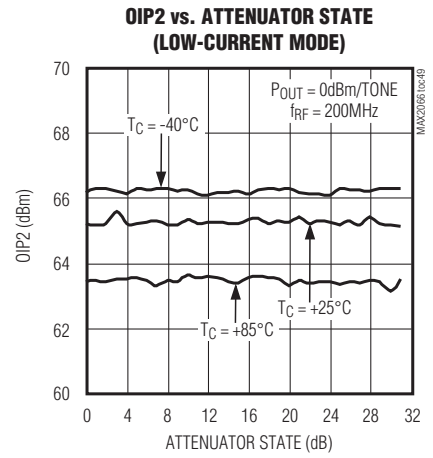
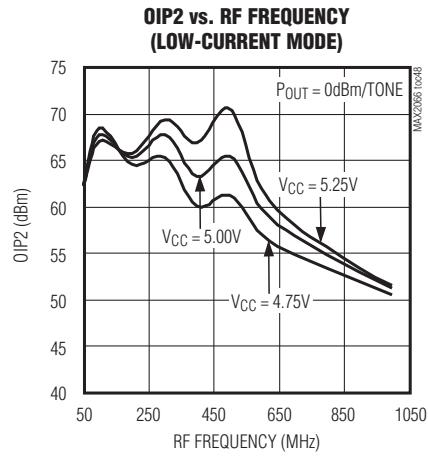
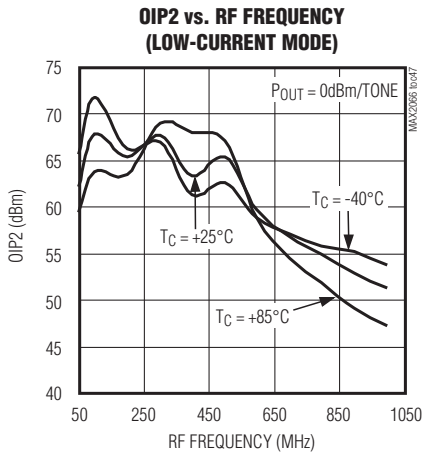
( $V_{CC} = V_{DD} = +5.0V$ , LC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +5.0V$ , LC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

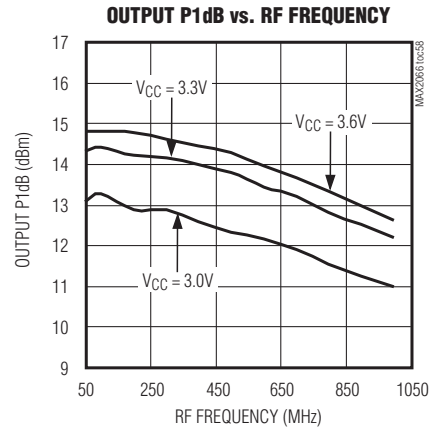
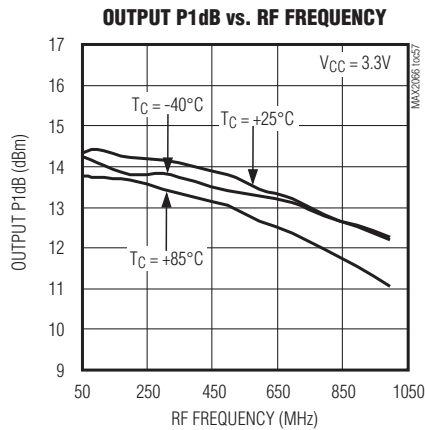
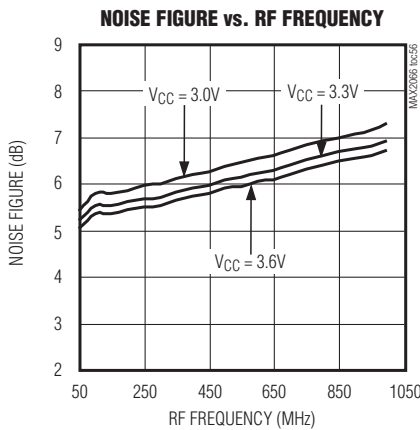
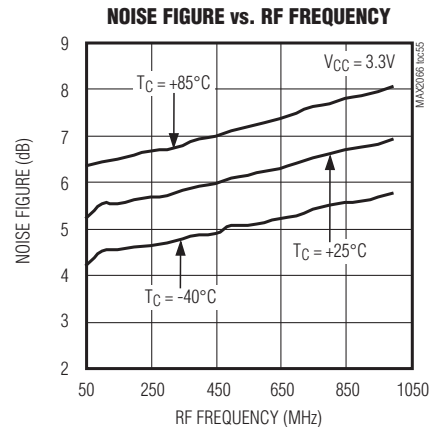
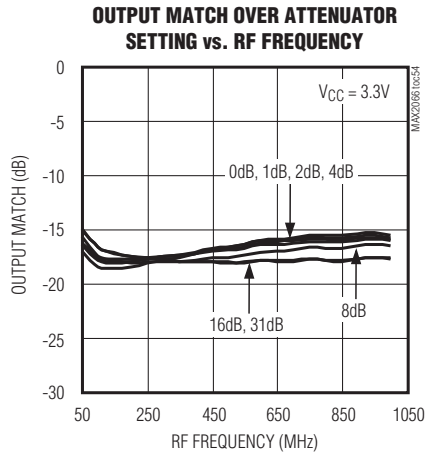
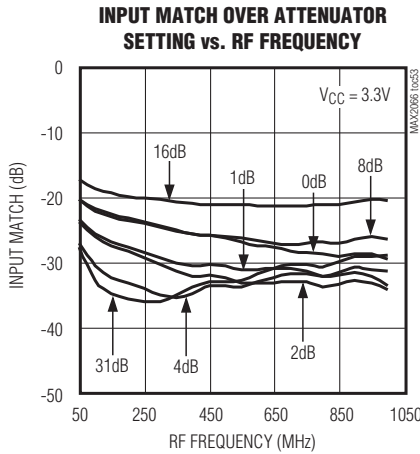
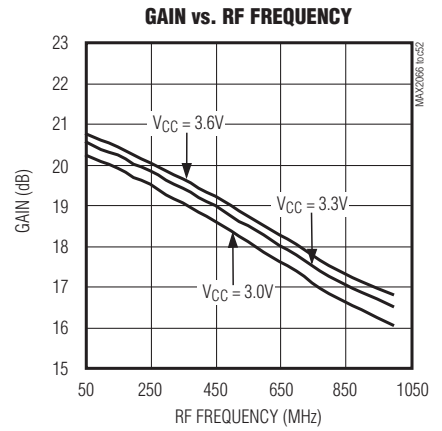
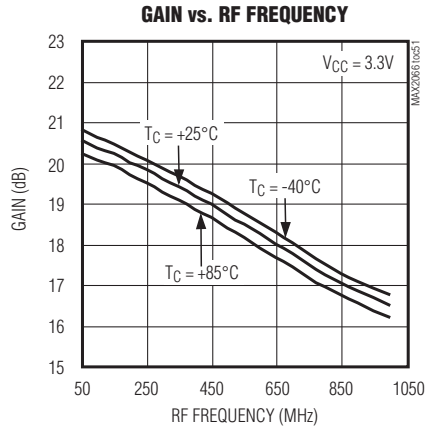
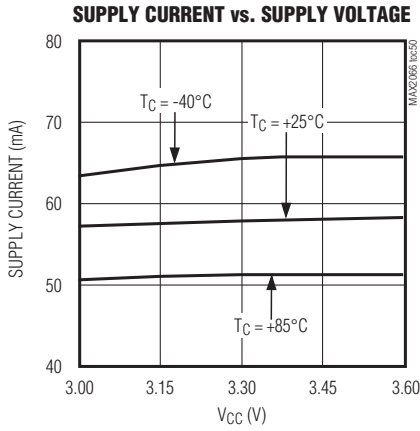


MAX2066

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +3.3V$ , HC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

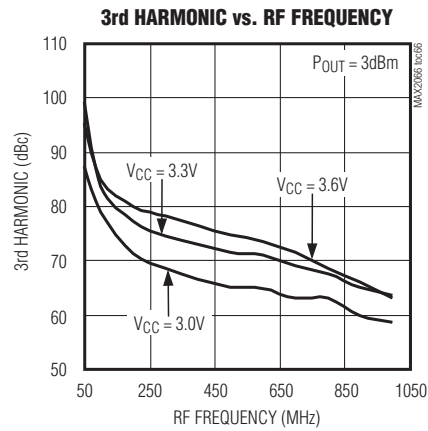
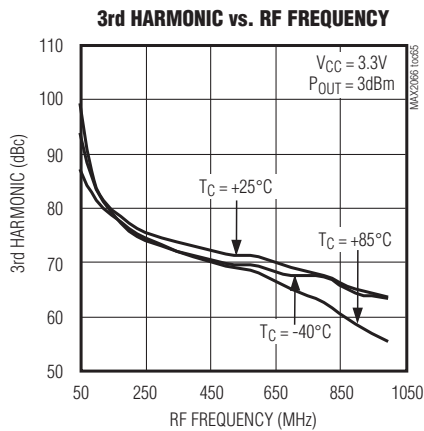
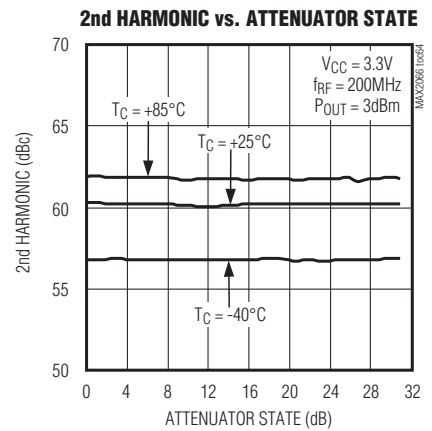
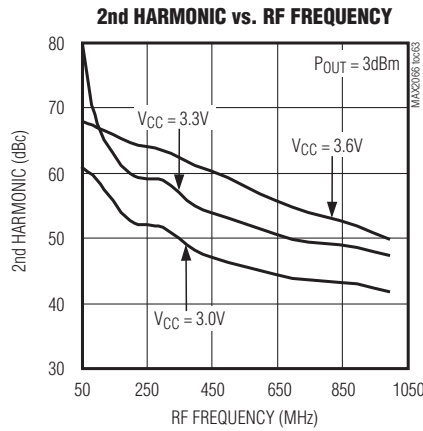
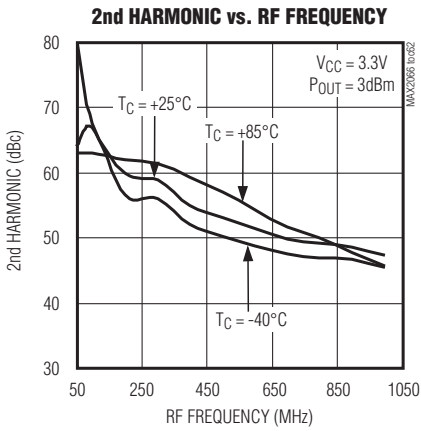
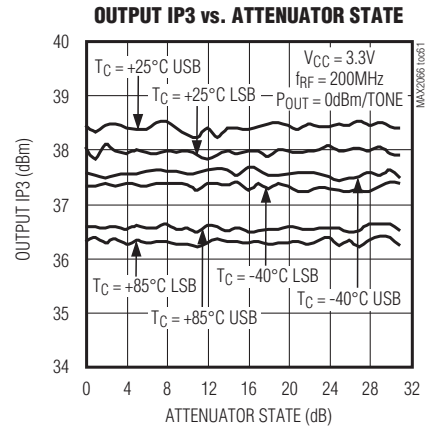
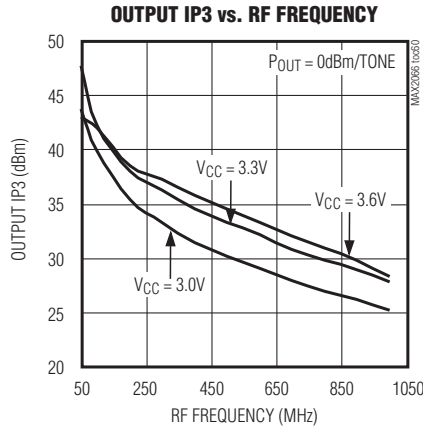
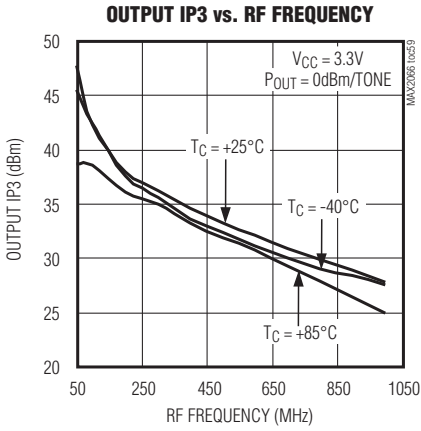


# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +3.3V$ , HC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

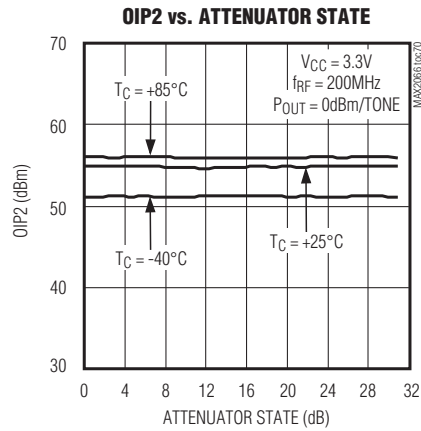
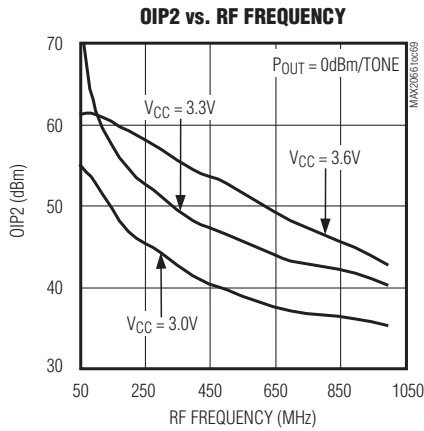
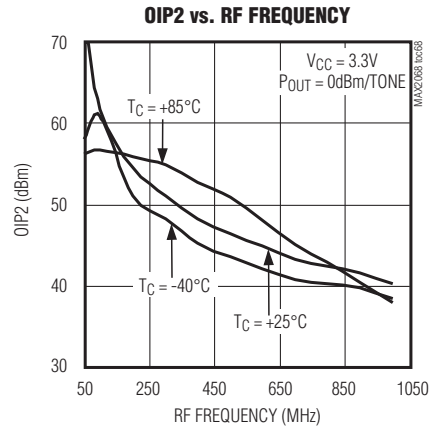
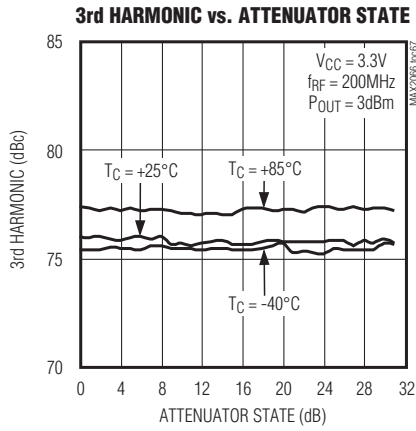


# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 標準動作特性(続き)

( $V_{CC} = V_{DD} = +3.3V$ , HC mode, digital attenuator set for maximum gain,  $P_{IN} = -20dBm$ ,  $f_{RF} = 200MHz$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 端子説明

端子	名称	機能
1, 16, 19, 22, 24-28, 30, 31, 33-36	GND	グラウンド
2, 3, 32, 37-40	GND	グラウンド。「ピンコンパチブルについて」の項を参照してください。
4	DATA	SPIデータデジタル入力
5	CLK	SPIクロックデジタル入力
6	$\overline{CS}$	SPIチップセレクトデジタル入力
7	VDD_LOGIC	デジタルロジック電源入力。デジタルロジック電源V <sub>DD</sub> に接続してください。端子のできるだけ近くで、10nFコンデンサでGNDにバイパスしてください。
8	SER/PAR	デジタルアッテネータSPIまたはパラレル制御の選択ロジック入力。ロジック0 = パラレル制御、ロジック1 = シリアル制御。
9	STATE_A	事前にプログラム設定された、デジタルアッテネータの減衰状態ロジック入力
10	STATE_B	<b>STATE_A</b> <b>STATE_B</b> <b>デジタルアッテネータ</b>
		ロジック = 0      ロジック = 0      事前にプログラム設定された状態1
		ロジック = 1      ロジック = 0      事前にプログラム設定された状態2
		ロジック = 0      ロジック = 1      事前にプログラム設定された状態3
		ロジック = 1      ロジック = 1      事前にプログラム設定された状態4
11	D4	16dBアッテネータロジック入力。ロジック0 = デイセーブル、ロジック1 = イネーブル
12	D3	8dBアッテネータロジック入力。ロジック0 = デイセーブル、ロジック1 = イネーブル
13	D2	4dBアッテネータロジック入力。ロジック0 = デイセーブル、ロジック1 = イネーブル
14	D1	2dBアッテネータロジック入力。ロジック0 = デイセーブル、ロジック1 = イネーブル
15	D0	1dBアッテネータロジック入力。ロジック0 = デイセーブル、ロジック1 = イネーブル
17	AMP_OUT	ドライバアンプ出力(50Ω)。詳細については、「標準動作回路」を参照してください。
18	RSET	ドライバアンプバイアス設定。「外部バイアス」の項を参照してください。
20	AMP_IN	ドライバアンプ入力(50Ω)。詳細については、「標準動作回路」を参照してください。
21	VCC_AMP	ドライバアンプ供給電圧入力。V <sub>CC</sub> 電源に接続してください。端子のできるだけ近くで、1000pFおよび10nFコンデンサでGNDにバイパスしてください。値の小さいほうのコンデンサをより製品の近くに配置してください。
23	ATTEN_OUT	5ビットデジタルアッテネータ出力(50Ω)。内部で50Ωにマッチングされます。外付けのDCブロッキングコンデンサが必要です。
29	ATTEN_IN	5ビットデジタルアッテネータ入力(50Ω)。内部で50Ωにマッチングされます。外付けのDCブロッキングコンデンサが必要です。
—	EP	エクスポーズドパッド。内部でGNDに接続されます。適正なRF性能と放熱特性を高めるためにEPをGNDに接続してください。

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## 詳細

高リニアリティデジタル可変利得アンプMAX2066は、50MHz~1000MHzの周波数範囲で動作する50Ωシステムにインタフェース接続されるように設計された汎用の高性能アンプです。

MAX2066は、31dBの利得制御を提供するデジタルアッテネータと、さらに高利得、高IP3、低ノイズ指数、および低消費電力を提供するために最適化されたドライバアンプを内蔵しています。高リニアリティを必要としないアプリケーションの場合、外付けの抵抗によってアンプのバイアス電流を調整し、消費電力をさらに低減することができます。

アッテネータは、SPI対応インタフェースまたはパラレルバスを使用するスレーブ周辺機器として制御され、1dBのステップで31dBの全調整範囲を備えています。付加機能によって、SPI対応インタフェースでユーザーによって事前にプログラムされた4つの独自のステップ間を「高速動作」して利得を選択することができます。2つのピンを制御することによって、ユーザーはSPIバスを設定変更せずに4つのカスタマイズされた減衰状態の1つに短時間でアクセスすることができます。各段が独立したRF入力とRF出力を備えているため、このコンポーネントは、NF (初段として構成されたアンプ) またはOIP3 (最終段のアンプ) のいずれかを最適化するように設定することができます。このデバイスの性能特性には、22dBのスタンドアロンアンプ利得(アンプのみ)、最大利得で5.2dBのNF (アッテネータの挿入損失を含む)、および+42.4dBmの高レベルのOIP3などがあります。これらの各機能によって、MAX2066は多くのレシーバとトランスミッタアプリケーションのVGAに最適となります。

さらに、MAX2066は、+5Vの単一電源での動作、また、+3.3Vの単一電源でわずかに低下した性能で動作し、リニアリティ性能と消費電流をトレードする可変バイアスを備えています。

## 5ビットデジタルアッテネータの制御

MAX2066は、高水準のダイナミックレンジを達成するために、5ビットのデジタルアッテネータを内蔵しています。デジタルアッテネータは、31dBの制御範囲と1dBのステップサイズを備え、専用の5ビットパラレルバスか3線式SPIのいずれかでプログラムされます。アッテネータのプログラミングの詳細については、「アプリケーション情報」の項および表1を参照してください。アッテネータは、静的または動的、いずれの電力制御でも使用することができます。

## ドライバアンプ

MAX2066は、固定利得が22dBの高性能ドライバを搭載しています。ドライバアンプ回路は、50MHz~1000MHzの周波数範囲で高リニアリティが得られるように最適化されています。

## アプリケーション情報

### SPIインタフェースとアッテネータの設定

アッテネータは、5ビットワードを使用する3線式SPI/MICROWIRE™対応のシリアルインタフェースを通じてプログラムされます。28ビットのデータがMSBを先頭にしてシフトされ、CSによって構築されます。CSがローのとき、クロックはアクティブで、データはクロックの立上りエッジでシフトされます。CSがハイに遷移したとき、データはラッチされ、アッテネータの設定が変わりません(図1)。SPIデータフォーマットの詳細については、表2を参照してください。

表1. 制御ロジック

SER/PAR	ATTENUATOR
0	Parallel controlled
1	SPI controlled

MICROWIREはNational Semiconductor Corp.の商標です。



# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

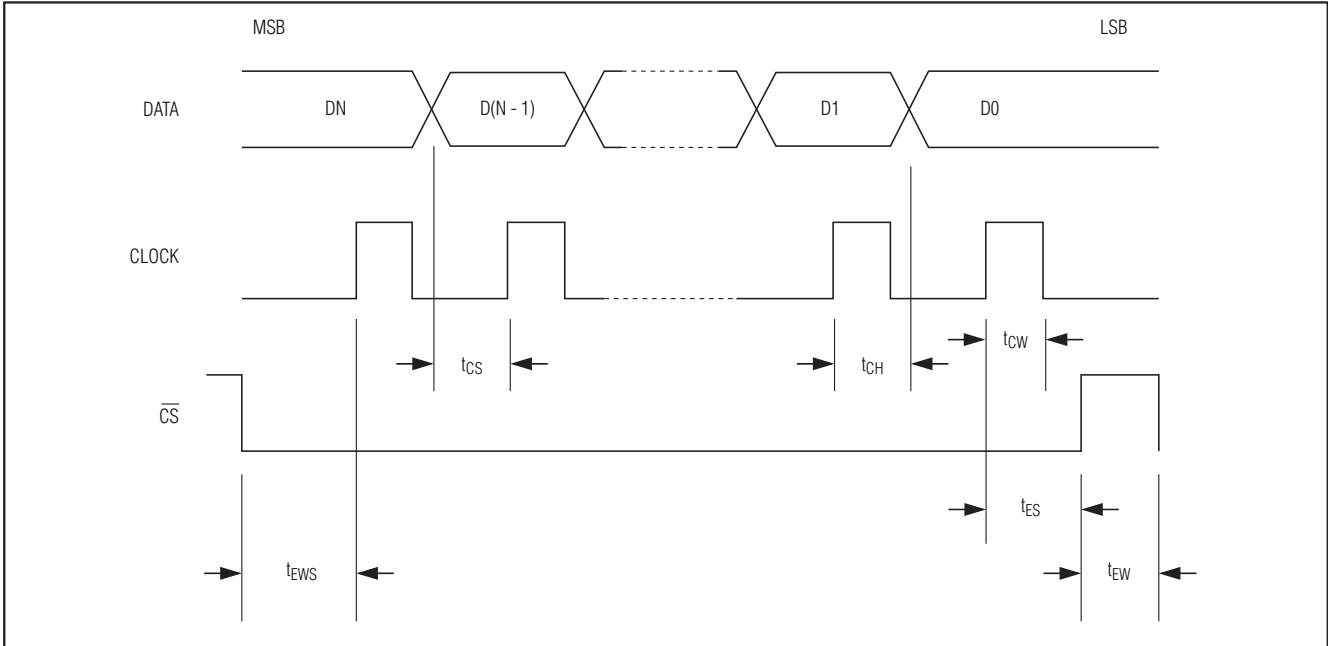


図1. SPIタイミング図

表2. SPIデータフォーマット

FUNCTION	BIT	DESCRIPTION
Digital Attenuator State 4	D27 (MSB)	5-bit word used to program the digital attenuator state 4 (see the description for digital attenuator state 4)
	D26	
	D25	
	D24	
	D23 (LSB)	
Digital Attenuator State 3	D22	5-bit word used to program the digital attenuator state 3 (see the description for digital attenuator state 4)
	D21	
	D20	
	D19	
Digital Attenuator State 2	D18	5-bit word used to program the digital attenuator state 2 (see the description for digital attenuator state 4)
	D17	
	D16	
	D15	
Digital Attenuator State 1	D14	5-bit word used to program the digital attenuator state 1 (see the description for digital attenuator state 4)
	D13	
	D12	
	D11	
Digital Attenuator State 0	D10	5-bit word used to program the digital attenuator state 0 (see the description for digital attenuator state 4)
	D9	
	D8	
	D7	

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

表2. SPIデータフォーマット(続き)

FUNCTION	BIT	DESCRIPTION
Reserved	D7	Bits D[7:0] are reserved. Set to logic 0.
	D6	
	D5	
	D4	
	D3	
	D2	
	D1	
	D0 (LSB)	

## パラレル制御バスを使用した デジタルアッテネータの設定

高速25nsスイッチングの能力を十分に利用するために、MAX2066は、補足機能としての5ビットパラレル制御インタフェースを用意しています。デジタルロジックのアッテネータ制御端子(D0~D4)によって、アッテネータの各段がイネーブルになります(表3)。

この5ビットバスにじかにアクセスすることによって、ユーザはSPIインタフェースに伴ういかなるプログラム遅延も回避することができます。SPIバスの制限の1つは、コマンドが各周辺デバイスにクロックによって入力される場合の速度です。5ビットパラレルインタフェースにじかにアクセスすることによって、ユーザは、重要な「高速追従」自動利得制御(AGC)アプリケーションに必要な、デジタルアッテネータ状態をすばやく遷移させることが可能です。

## 事前にプログラムされた「超高速」減衰状態

MAX2066には、事前にプログラムされた4つの減衰ステップ間で「超高速」利得選択を提供する付加機能があ

ります。上述の補足機能としての5ビットバスと同様に、この「超高速」利得選択によって、SPIバスを用いて機器を再プログラムする場合に伴う遅延を生じることなく、ユーザは4つのカスタマイズされたデジタル減衰状態のいずれかにすばやくアクセスすることができるようになります。

切替え速度は、補足機能としての5ビットパラレルバスを使用した場合と同等です。ただし、この特定の機能を使用することによって、デジタルアッテネータのI/Oは、希望の状態数に応じて、5分の1または2.5分の1 (5制御ビットに対してそれぞれ1または2)にさらに低減されます。

ユーザは、STATE\_AおよびSTATE\_Bロジック入力端子を使用することで、必要に応じて各ステップを利用することができます(表4)。STATE\_A端子(1制御ビット)を切り替えるだけで、事前にプログラムされた2つの減衰状態が得られます。STATE\_AおよびSTATE\_B端子の両方を同時に切り替えると(2制御ビット)、事前にプログラムされた4つの減衰状態が得られます。

表3. デジタルアッテネータの設定(パラレル制御)

INPUT	LOGIC = 0 (OR GROUND)	LOGIC = 1
D0	Disable 1dB attenuator, or when SPI is default programmer	Enable 1dB attenuator
D1	Disable 2dB attenuator, or when SPI is default programmer	Enable 2dB attenuator
D2	Disable 4dB attenuator, or when SPI is default programmer	Enable 4dB attenuator
D3	Disable 8dB attenuator, or when SPI is default programmer	Enable 8dB attenuator
D4	Disable 16dB attenuator, or when SPI is default programmer	Enable 16dB attenuator

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

例として、レーザの製品中の、利得の不一致を調整するために、AGCアプリケーションで静的な減衰調整が必要であると仮定します。同じAGC回路が、この信号レーザの感度を低下させ、ADCがオーバドライブ状態になるおそれを生じさせる不要なブロッカ信号を動的に減衰する場合にも必要となる可能性があります。この例では、2つのカスタマイズした減衰状態を用いてMAX2066を事前にプログラムします(SPIバスを經由)。1つは静的利得のトリム調整に対処し、もう1つは不要なブロッカ状態に対処します。STATE\_A制御ビットのみを切り替えることによって、ユーザは1つのI/O端子だけで、静的と動的の減衰設定をすばやく切り替えることができます。

必要に応じて、ユーザは、第2のI/O端子としてSTATE\_B制御ビットを使用することで、2つの減衰状態を追加でプログラムすることもできます。これらの2つの追加の減衰設定は、ソフトウェア定義の無線アプリケーションで役立ちます。このアプリケーションでは、異なる動作周波数に対応するために複数の静的利得設定が必要になる場合があり、また、異なるブロッカレベル(複数のワイヤレス規格によって定義される)に対処するために、複数の動的な減衰設定が必要となります。

## 外部バイアス

ドライバンプのバイアス電流は、外付けの抵抗を通じて設定および最適化されます。RSET (端子18)に接続されている抵抗R1とR1Aが、アンプのバイアス電流を設定します。外付けのバイアス抵抗の値を増大すれば、性能を犠牲にして電流を削減した動作が得られます。詳細については、表6および表7を参照してください。

## +5Vおよび+3.3Vの供給電圧

MAX2066は、オプションとして+3.3Vの供給電圧で動作可能ですが、リニアリティ性能はわずかに低下します。

表4. 事前にプログラムされる減衰状態の設定

STATE_A	STATE_B	DIGITAL ATTENUATOR
0	0	Preprogrammed attenuation state 1
1	0	Preprogrammed attenuation state 2
0	1	Preprogrammed attenuation state 3
1	1	Preprogrammed attenuation state 4

## ピンコンパチブルについて

MAX2066は、MAX2065アナログ/デジタルVGAの簡易バージョンです。MAX2066には、アナログアッテネータ、オンチップDAC、および内部リファレンスは搭載されていません。これに関連する入出力端子は、内部でグランドに接続されています(表5)。未使用の入出力端子は、アイソレーションを最適化するために接地してください(「標準動作回路」を参照)。

## レイアウトについて

MAX2066のピン配置は、デバイスとその関連ディスクリット部品の物理的なレイアウトを大幅に小型化するために最適化されています。

MAX2066の40ピンTQFN-EPパッケージのエクスポーズドパッド(EP)は、熱抵抗の低いダイまでのパスを設けています。MAX2066を搭載するPCBは、EPから熱を伝導するように設計されていることが重要です。また、電気的グランドまでの低インダクタンスパスをEPに設けてください。EPは、じかに、またはメッキされた一連のピアホールを介してPCB上のグランドプレーンに半田付けする必要があります。

表5. MAX2065/MAX2066の端子の比較

PIN	MAX2065	MAX2066
2	VREF_SELECT	GND
3	VDAC_EN	GND
32	ATTEN1_OUT	GND
37	ATTEN1_IN	GND
38	VCC_ANALOG	GND
39	ANALOG_VCTRL	GND
40	VREF_IN	GND

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

表6. 標準動作回路の部品の値(HCモード)

DESIGNATION	VALUE	SIZE	VENDOR	DESCRIPTION
C1, C2, C7	10nF	0402	Murata Mfg. Co., Ltd.	X7R
C3, C4, C6, C8, C9	1000pF	0402	Murata Mfg. Co., Ltd.	COG ceramic capacitors
L1	470nH	1008	Coilcraft, Inc.	1008CS-471XJLC
R1, R1A	10Ω	0402	Vishay	1%
R2 (+3.3V applications only)	1kΩ	0402	Panasonic Corp.	1%
R3 (+3.3V applications only)	2kΩ	0402	Panasonic Corp.	1%
U1	—	40-pin thin QFN-EP (6mm x 6mm)	Maxim Integrated Products, Inc.	MAX2066ETL+

表7. 標準動作回路の部品の値(LCモード)

DESIGNATION	VALUE	SIZE	VENDOR	DESCRIPTION
C1, C2, C7	10nF	0402	Murata Mfg. Co., Ltd.	X7R
C3, C4, C6, C8, C9	1000pF	0402	Murata Mfg. Co., Ltd.	COG ceramic capacitors
L1	470nH	1008	Coilcraft, Inc.	1008CS-471XJLC
R1	24Ω	0402	Vishay	1%
R1A	0.01μF	0402	Murata Mfg. Co., Ltd.	X7R
R2 (+3.3V applications only)	1kΩ	0402	Panasonic Corp.	1%
R3 (+3.3V applications only)	2kΩ	0402	Panasonic Corp.	1%
U1	—	40-pin thin QFN-EP (6mm x 6mm)	Maxim Integrated Products, Inc.	MAX2066ETL+

## 振幅のオーバーシュートの低減

デジタルアツテネータ状態が変化する間の振幅オーバーシュートを低減するため、ATTEN\_OUT (端子23)とグランド間にバンドパスフィルタ(LC並列型)を接続してください。169MHzの動作では、 $L = 18\text{nH}$ および $C = 47\text{pF}$ が推奨されます(図2)。他の動作周波数での推奨部品に関しては、お問い合わせください。

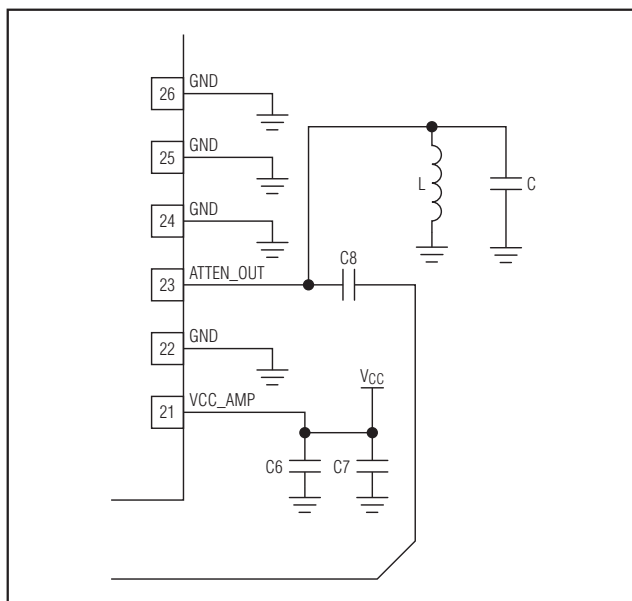
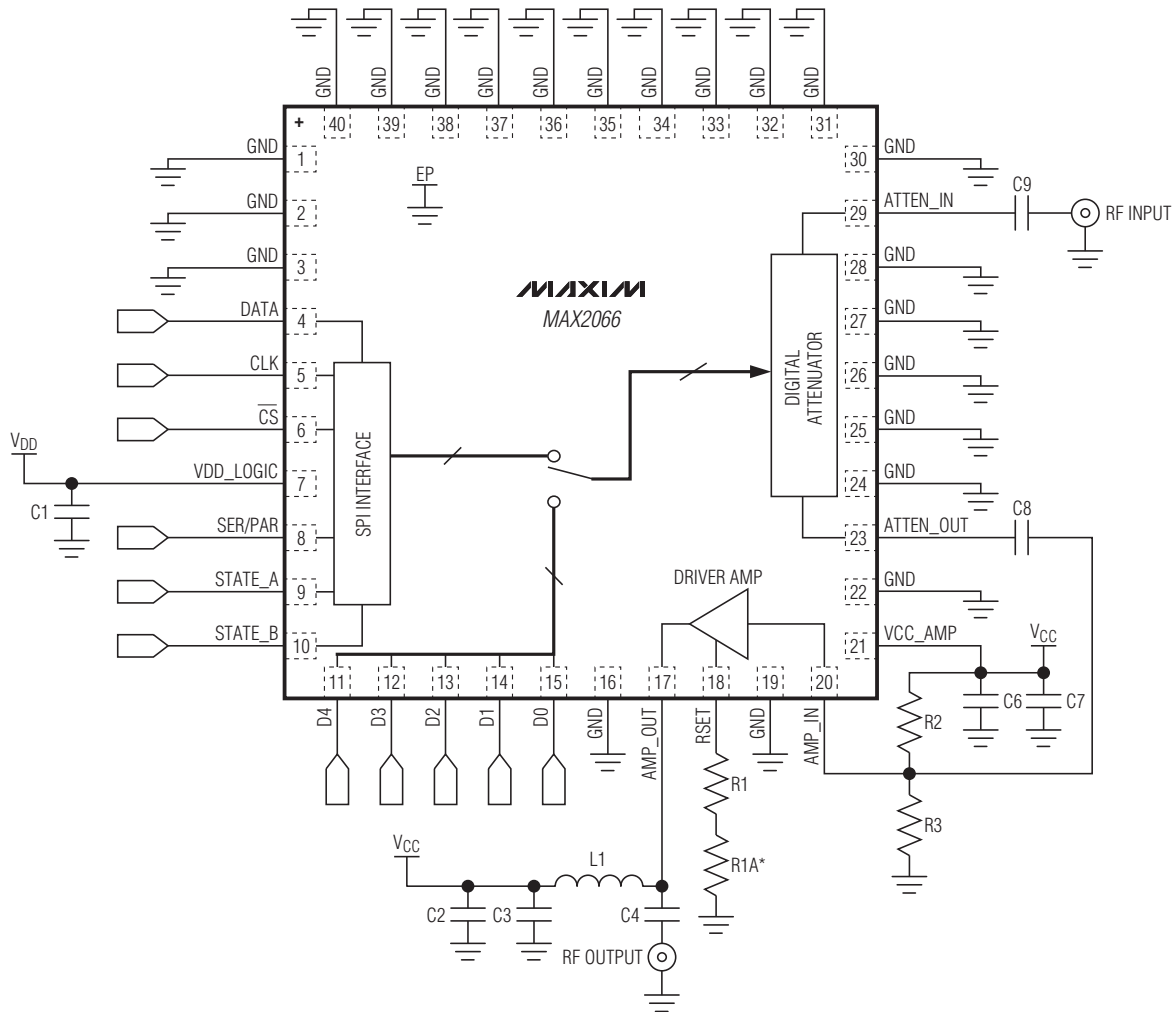


図2. 振幅オーバーシュートを低減するためのバンドパスフィルタ

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

## 標準動作回路

MAX2066

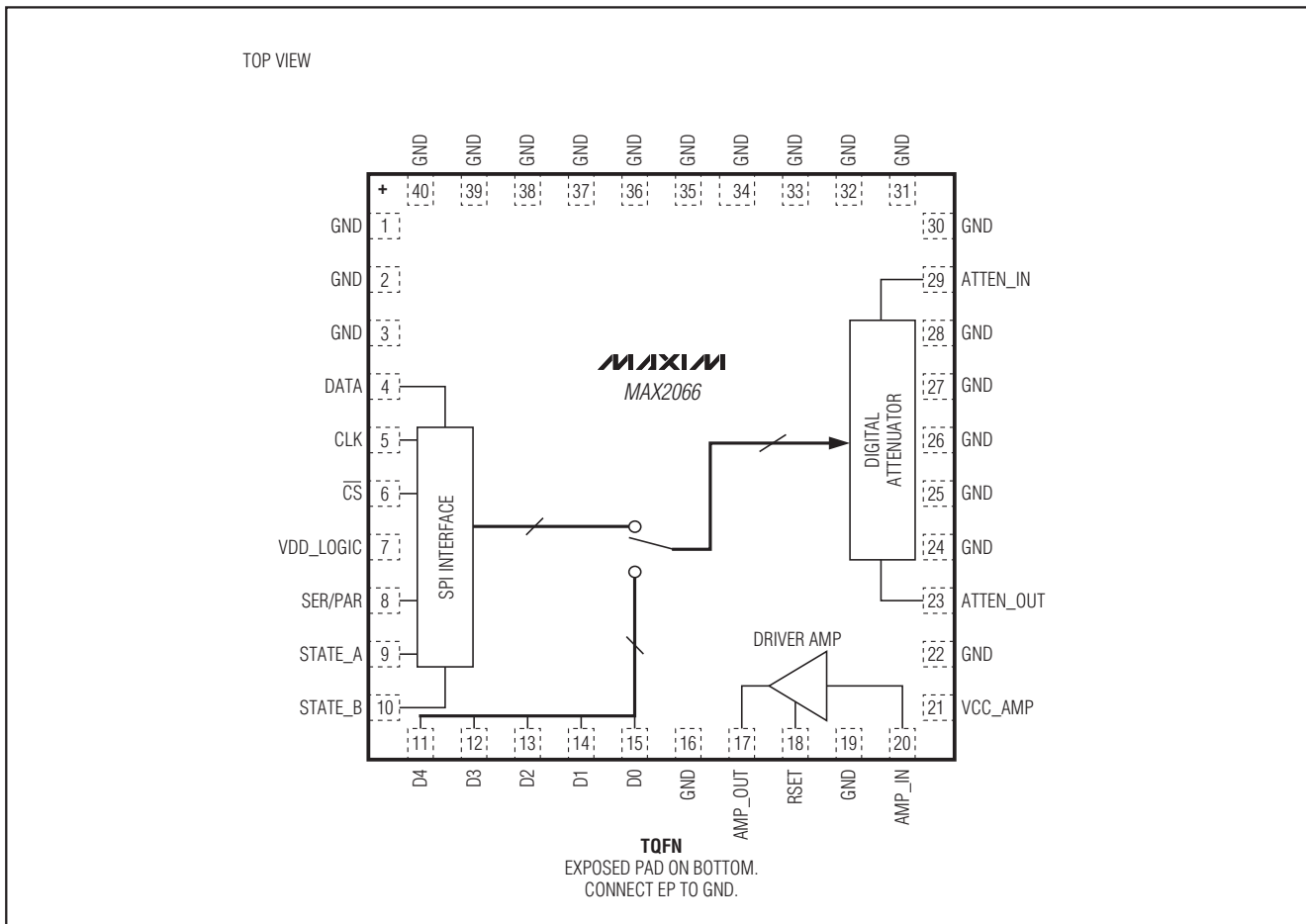


\*IN LC MODE, R1A IS A 0.01 $\mu$ F CAPACITOR. SEE TABLE 7 FOR DETAILS.

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## ピン配置/機能ブロック図



## チップ情報

PROCESS: SiGe BiCMOS

# 50MHz~1000MHzの高リニアリティ、 シリアル/パラレル制御デジタルVGA

MAX2066

## パッケージ

最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
40ピンTQFN-EP	T4066-3	<b>21-0141</b>

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ 23