

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

概要

MAX2065高リニアリティアナログ/デジタル可変利得アンプ(VGA)は、50MHz~1000MHzの周波数範囲で動作するように設計されており、2つの独立したアッテネータを備えています(「標準動作回路」を参照)。デジタルアッテネータは、SPI™対応インタフェースまたはパラレルバスを使用するスレーブ周辺機器として制御され、1dBのステップで31dBの全調整範囲を備えています。付加機能によって、SPI対応インタフェースでユーザによって事前にプログラムされた4つのステップ間を「高速動作」して利得を選択することができます。2つのピンを制御することによって、ユーザはSPIバスを設定変更せずに4つのカスタマイズされた減衰状態の1つに短時間でアクセスすることができます。アナログアッテネータは、外部電圧を使用するか、またはオンチップの8ビットDACを使用するSPI対応のインタフェースで制御されます。

3段のそれぞれが独立したRF入力とRF出力を備えているため、このコンポーネントは、NF(初段として構成されたアンプ)、OIP3(最終段のアンプ)、またはNFとOIP3の中間のいずれかを最適化するように設定することができます。このデバイスの性能特性には、22dBのアンプ利得(アンプのみ)、最大利得で6.5dBのNF(アッテネータの挿入損失を含む)、および+42dBmの高レベルのOIP3などがあります。これらの各機能によって、MAX2065は多くのレシーバとトランスミッタアプリケーションのVGAに最適となります。

さらに、MAX2065は、+5Vの単一電源では最大の性能で動作、また、+3.3Vの単一電源でわずかに低下した性能で動作し、可変バイアスによってリニアリティ性能と消費電流のトレードが可能で、このデバイスは、エクスポーズドパッド付きの小型40ピンTQFNパッケージ(6mm x 6mm)で提供されます。電気的性能は、全拡張温度範囲(T_C = -40°C ~ +85°C)で保証されています。

アプリケーション

IFおよびRF利得段
温度補償回路
セルラバンドWCDMAおよびcdma2000®基地局
GSM 850/GSM 900 EDGE基地局
WiMAXおよびLTE基地局および加入者宅内機器
固定ブロードバンド無線アクセス
ワイヤレスローカルループ
軍事用システム
ビデオオンデマンド(VOD)およびDOCSIS®準拠
EDGE QAM変調
ケーブルモデム終端システム(CMTS)

SPIはMotorola, Inc.の商標です。

特長

- ◆ RF周波数範囲：50MHz~1000MHz
- ◆ ピンコンパチブルファミリ：
MAX2066 (デジタルVGA)
MAX2067 (アナログVGA)
- ◆ 最大利得：+19.4dB (typ)
- ◆ 利得の平坦性：0.5dB (100MHzの帯域幅内で)
- ◆ 利得範囲：62dB (31dBアナログ + 31dBデジタル)
- ◆ アナログ減衰制御のための内蔵DAC
- ◆ 4つの「高速動作」の事前設定済みアッテネータ状態をサポート
SPIバスを設定変更せずに、4つのカスタマイズされた減衰状態の1つに短時間でアクセス
高速追従で高レベルのブロック保護に最適
ADCのオーバドライブ状態を防止
- ◆ 優れたリニアリティ(最終段のアンプで設定)
OIP3：+42dBm
OIP2：+63dBm
出力1dB圧縮ポイント：+19dBm
HD2：-67dBc
HD3：-83dBc
- ◆ ノイズ指数(NF)：6.5dB (typ)
- ◆ 高速デジタルスイッチング：25ns
- ◆ 超低デジタルVGA振幅オーバーシュート/
アンダシュート
- ◆ 単一電源：+5V (オプションで+3.3V動作)
- ◆ 外付けの電流設定抵抗によって低電力/低性能モードでのデバイス動作も可能

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX2065ETL+	-40°C to +85°C	40 Thin QFN-EP*	T4066-3
MAX2065ETL+T	-40°C to +85°C	40 Thin QFN-EP*	T4066-3

+は鉛フリーパッケージを示します。

*EP = エクスポーズドパッド。

T = テープ&リール。

ピン配置はデータシートの最後に記載されています。

cdma2000はTelecommunications Industry Associationの登録商標です。

DOCSISおよびCableLabsは、Cable Television Laboratories, Inc. (CableLabs®)の登録商標です。

50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

MAX2065

ABSOLUTE MAXIMUM RATINGS

VCC_ to GND	-0.3V to +5.5V	RF Input Power (ATTEN1_IN, ATTEN1_OUT, ATTEN2_IN, ATTEN2_OUT).....	+20dBm
VDD_LOGIC, DATA, \overline{CS} , CLK, SER/PAR, VDAC_EN, VREF_SELECT.....	-0.3V to (VCC_ + 0.3V)	RF Input Power (AMP_IN).....	+18dBm
STATE_A, STATE_B, D0-D4.....	-0.3V to (VCC_ + 0.3V)	Continuous Power Dissipation (Note 1)	6.5W
AMP_IN, AMP_OUT, VREF_IN, ANALOG_VCTRL	-0.3V to (VCC_ + 0.3V)	θ_{JA} (Notes 2, 3).....	+38°C/W
ATTEN1_IN, ATTEN1_OUT, ATTEN2_IN, ATTEN2_OUT.....	-1.2V to + 1.2V	θ_{JC} (Note 3)	+10°C/W
RSET to GND.....	-0.3V to + 1.2V	Operating Temperature Range (Note 4).....	$T_C = -40^{\circ}\text{C}$ to +85°C
		Maximum Junction Temperature	+150°C
		Storage Temperature.....	-65°C to +150°C
		Lead Temperature (soldering, 10s).....	+300°C

Note 1: Based on junction temperature $T_J = T_C + (\theta_{JC} \times V_{CC} \times I_{CC})$. This formula can be used when the temperature of the exposed pad is known while the device is soldered down to a printed-circuit board (PCB). See the *Applications Information* section for details. The junction temperature must not exceed +150°C.

Note 2: Junction temperature $T_J = T_A + (\theta_{JA} \times V_{CC} \times I_{CC})$. This formula can be used when the ambient temperature of the PCB is known. The junction temperature must not exceed +150°C.

Note 3: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a 4-layer board. For detailed information on package thermal considerations, refer to www.maxim-ic.com/thermal-tutorial.

Note 4: T_C is the temperature on the exposed pad of the package. T_A is the ambient temperature of the device and PCB.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

+3.3V SUPPLY DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, high-current (HC) mode, $V_{CC} = +3.0\text{V}$ to +3.6V, $T_C = -40^{\circ}\text{C}$ to +85°C. Typical values are at $V_{CC} = +3.3\text{V}$ and $T_C = +25^{\circ}\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}		3.0	3.3	3.6	V
Supply Current	I_{CC}			60	80	mA
LOGIC INPUTS (DATA, \overline{CS}, CLK, VDAC_EN, VREF_SELECT, SER/PAR, STATE_A, STATE_B, D0-D4)						
Input High Voltage	V_{IH}			2		V
Input Low Voltage	V_{IL}			0.8		V

+5V SUPPLY DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, $V_{CC} = +4.75\text{V}$ to +5.25V, $T_C = -40^{\circ}\text{C}$ to +85°C. Typical values are at $V_{CC} = +5\text{V}$ and $T_C = +25^{\circ}\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}		4.75	5	5.25	V
Supply Current	I_{CC}	Low-current (LC) mode		73	93	mA
		High-current (HC) mode		124	146	
LOGIC INPUTS (DATA, \overline{CS}, CLK, VDAC_EN, VREF_SELECT, SER/PAR, STATE_A, STATE_B, D0-D4)						
Input High Voltage	V_{IH}		3			V
Input Low Voltage	V_{IL}				0.8	V
Input Current Logic-High	I_{IH}		-1		+1	μA
Input Current Logic-Low	I_{IL}		-1		+1	μA

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

+3.3V SUPPLY AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, $V_{CC} = +3.0V$ to $+3.6V$, $T_C = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $V_{CC} = +3.3V$, HC mode with attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^{\circ}C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency Range	f_{RF}	(Notes 6, 7)	50		1000	MHz
Small Signal Gain	G			18.8		dB
Output Third-Order Intercept Point	OIP3	$P_{OUT} = 0dBm/$ tone, maximum gain setting		37.5		dBm
Noise Figure	NF	Maximum gain setting		6.7		dB
Total Attenuation Range		Analog and digital combined		61.5		dB

+5V SUPPLY AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, $V_{CC} = +4.75V$ to $+5.25V$, HC mode with each attenuator set for maximum gain, $50MHz \leq f_{RF} \leq 1000MHz$, $T_C = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $V_{CC} = +5.0V$, HC mode, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^{\circ}C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency Range	f_{RF}	(Notes 6, 7)	50		1000	MHz
Small Signal Gain	G	200MHz		19.4		dB
		350MHz, $T_C = +25^{\circ}C$	17.5	18.7	19.7	
		450MHz		18.2		
		750MHz		16.4		
		900MHz		15.6		
Gain Variation vs. Temperature				-0.006		dB/ $^{\circ}C$
Gain Flatness vs. Frequency		Any 100MHz frequency band from 50MHz to 500MHz		0.5		dB
Noise Figure	NF	200MHz		6.5		dB
		350MHz, $T_C = +25^{\circ}C$ (Note 7)		6.8	8	
		450MHz		7		
		750MHz		7.8		
		900MHz		8.2		
Total Attenuation Range		Analog and digital combined		61.5		dB
Output Second-Order Intercept Point	OIP2	$P_{OUT} = 0dBm/$ tone, $\Delta f = 1MHz$, $f_1 + f_2$		63		dBm
Output Third-Order Intercept Point	OIP3	$P_{OUT} = 0dBm/$ tone, HC mode, $\Delta f = 1MHz$	200MHz		42	dBm
			350MHz		40	
			450MHz		39	
			750MHz		36	
			900MHz		35	
		$P_{OUT} = 0dBm/$ tone, LC mode, $\Delta f = 1MHz$	200MHz		40	
			350MHz		38	
			450MHz		37	
			750MHz		35	
			900MHz		33	

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

+5V SUPPLY AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, $V_{CC} = +4.75$ to $+5.25V$, HC mode with each attenuator set for maximum gain, $50MHz \leq f_{RF} \leq 1000MHz$, $T_C = -40^\circ C$ to $+85^\circ C$. Typical values are at $V_{CC} = +5.0V$, HC mode, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output -1dB Compression Point	P_{1dB}	350MHz, $T_C = +25^\circ C$ (Note 8)		17	18.7		dBm
Second Harmonic		$P_{OUT} = +3dBm$, $f_{RF} = 200MHz$, $T_C = +25^\circ C$ (Note 7)		-60	-67		dBc
Third Harmonic		$P_{OUT} = +3dBm$, $f_{RF} = 200MHz$, $T_C = +25^\circ C$ (Note 7)		-71	-83		dBc
Input Return Loss		50 Ω source, maximum gain setting			18		dB
Output Return Loss		50 Ω load, maximum gain setting			18		dB
DIGITAL ATTENUATOR							
Insertion Loss					2.5		dB
Input Second-Order Intercept Point	IIP2	$P_{RF1} = 0dBm$, $P_{RF2} = 0dBm$, $\Delta f = 1MHz$, $f_1 + f_2$			52		dBm
Input Third-Order Intercept Point	IIP3	$P_{RF1} = 0dBm$, $P_{RF2} = 0dBm$, $\Delta f = 1MHz$			41		dBm
Attenuation Range					31.2		dB
Step Size					1		dB
Relative Step Accuracy					0.2		dB
Absolute Step Accuracy					0.45		dB
Insertion Phase Step		$f_{RF} = 170MHz$	0dB to 16dB		4.8		Degrees
			24dB		8		
			31dB		10.8		
Amplitude Overshoot/Undershoot		Between any two states	ET = 15ns		1.0		dB
			ET = 40ns		0.05		
Switching Speed		RF settled to within $\pm 0.1dB$	31dB to 0dB		25		ns
			0dB to 31dB		21		
Input Return Loss		50 Ω source			19		dB
Output Return Loss		50 Ω load			19		dB
ANALOG ATTENUATOR							
Insertion Loss					1.2		dB
Input Second-Order Intercept Point	IIP2	$P_{RF1} = 0dBm$, $P_{RF2} = 0dBm$, maximum gain setting, $\Delta f = 1MHz$, $f_1 + f_2$			70		dBm
Input Third-Order Intercept Point	IIP3	$P_{RF1} = 0dBm$, $P_{RF2} = 0dBm$, maximum gain setting, $\Delta f = 1MHz$			36		dBm
Attenuation Range		Analog control input			31.1		dB
Gain Control Slope		Analog control input			-12.5		dB/V
Maximum Gain Control Slope		Over analog control input range			-35		dB/V
Insertion Phase Change		Over analog control input range			18		Degrees
Group Delay		Maximum gain setting			0.98		ns
Group Delay vs. Control Voltage		Over analog control input range			-0.25		ns
Analog Control Input Range				0.25		2.75	V

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

+5V SUPPLY AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, $V_{CC} = +4.75$ to $+5.25V$, HC mode with each attenuator set for maximum gain, $50MHz \leq f_{RF} \leq 1000MHz$, $T_C = -40^\circ C$ to $+85^\circ C$. Typical values are at $V_{CC} = +5.0V$, HC mode, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Analog Control Input Impedance				80		k Ω
Input Return Loss		50 Ω source		22		dB
Output Return Loss		50 Ω load		22		dB
D/A CONVERTER						
Number of Bits				8		Bits
Output Voltage		DAC code = 00000000			0.25	V
		DAC code = 11111111	2.75			
SERIAL PERIPHERAL INTERFACE (SPI)						
Maximum Clock Speed	f _{CLK}			20		MHz
Data-to-Clock Setup Time	t _{CS}			2		ns
Data-to-Clock Hold Time	t _{CH}			2.5		ns
Clock-to- \overline{CS} Setup Time	t _{ES}			3		ns
\overline{CS} Positive Pulse Width	t _{EW}			7		ns
\overline{CS} Setup Time	t _{EWS}			3.5		ns
Clock Pulse Width	t _{CW}			5		ns

Note 5: All limits include external component losses. Output measurements are performed at RF output port of the *Typical Application Circuit*.

Note 6: Operating outside this range is possible, but with degraded performance of some parameters.

Note 7: Guaranteed by design and characterization.

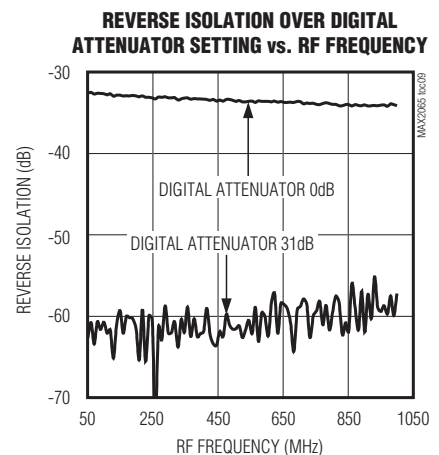
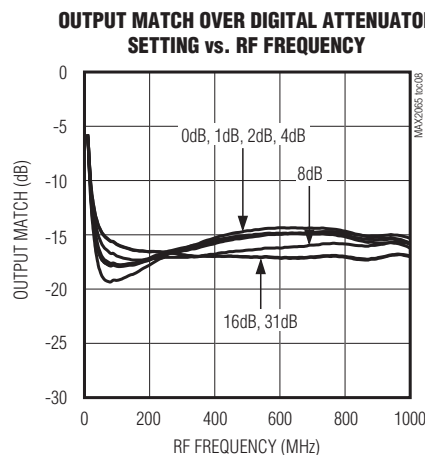
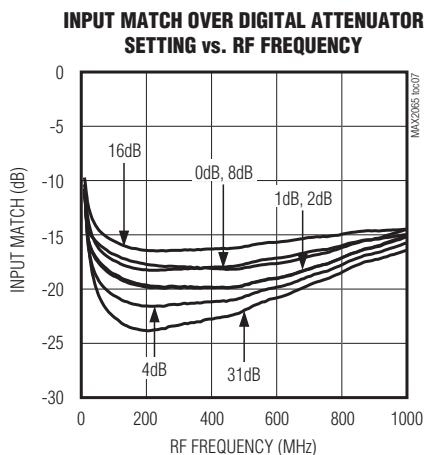
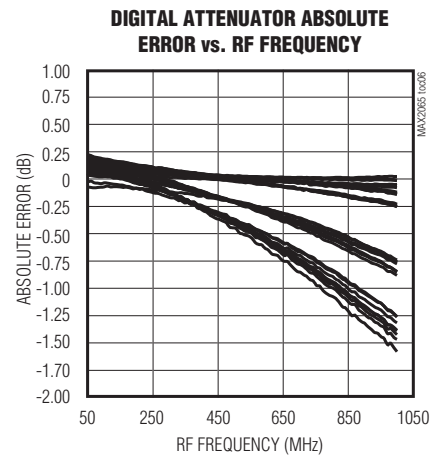
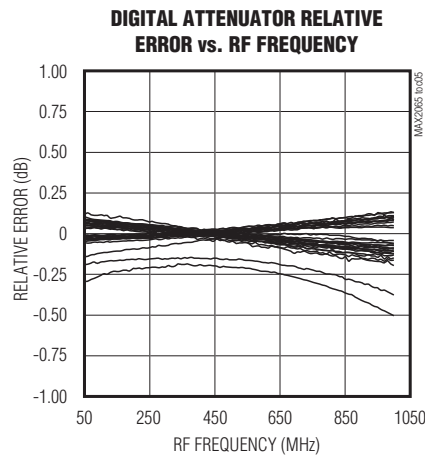
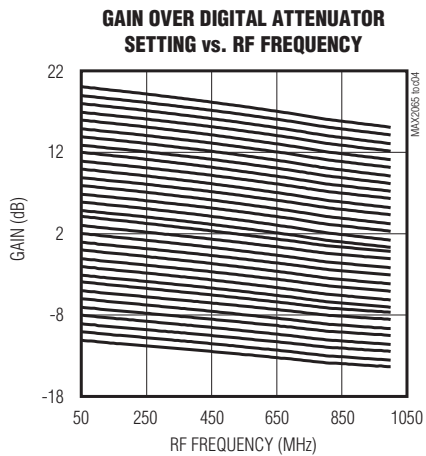
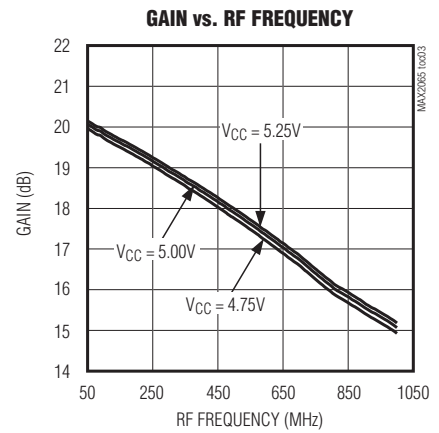
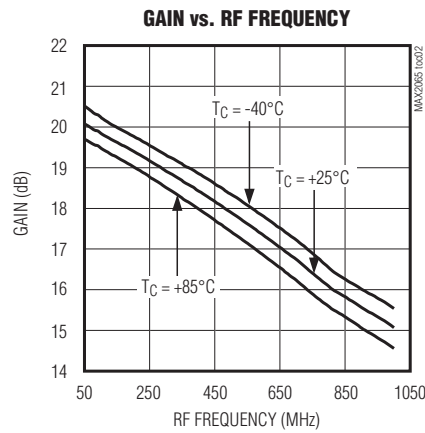
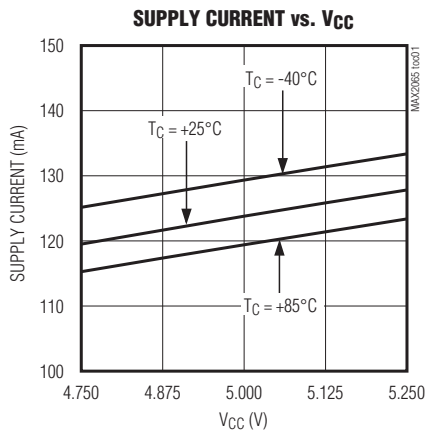
Note 8: It is advisable not to operate continuously the VGA RF input above +15dBm.

50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性

($V_{CC} = +5.0V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)



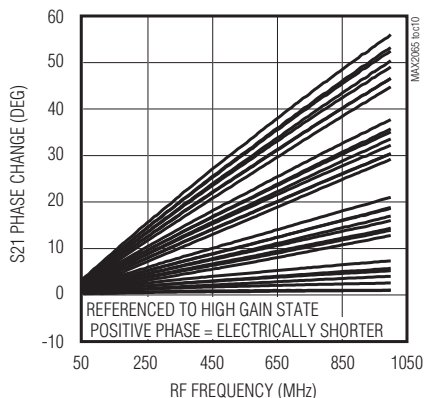
50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

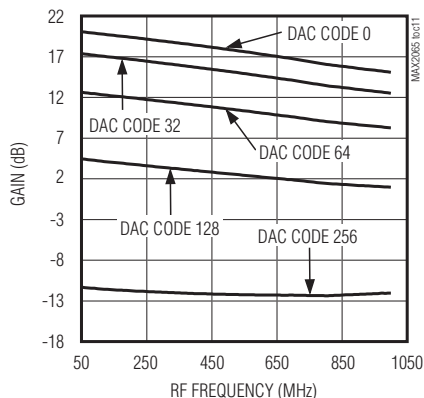
標準動作特性(続き)

($V_{CC} = +5.0V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

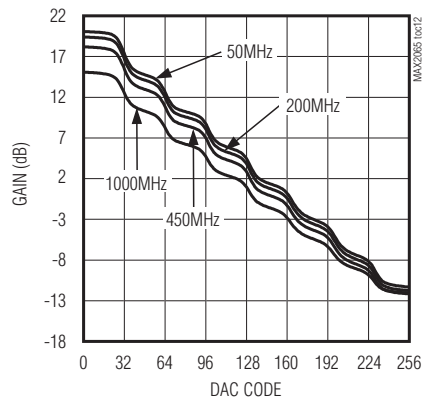
S21 PHASE CHANGE OVER DIGITAL ATTENUATOR SETTING vs. RF FREQUENCY



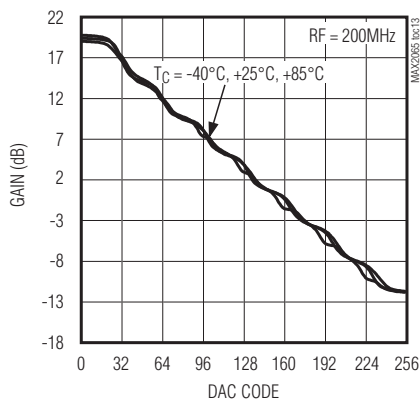
GAIN OVER ANALOG ATTENUATOR SETTING vs. RF FREQUENCY



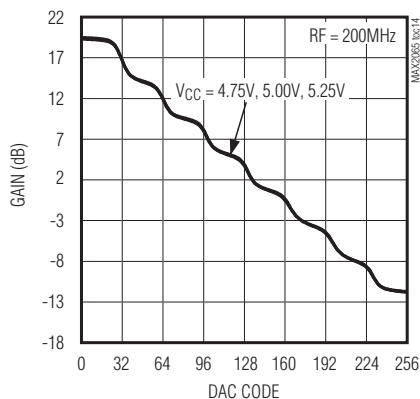
GAIN vs. ANALOG ATTENUATOR SETTING



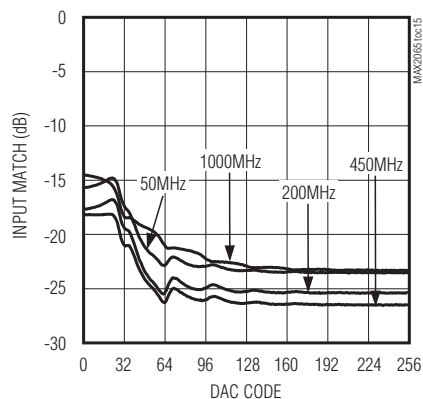
GAIN vs. ANALOG ATTENUATOR SETTING



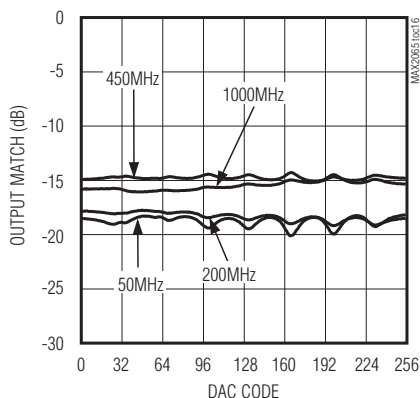
GAIN vs. ANALOG ATTENUATOR SETTING



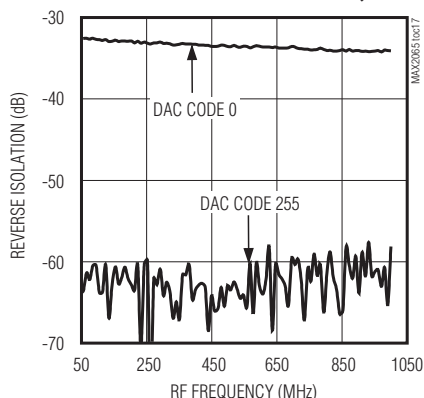
INPUT MATCH vs. ANALOG ATTENUATOR SETTING



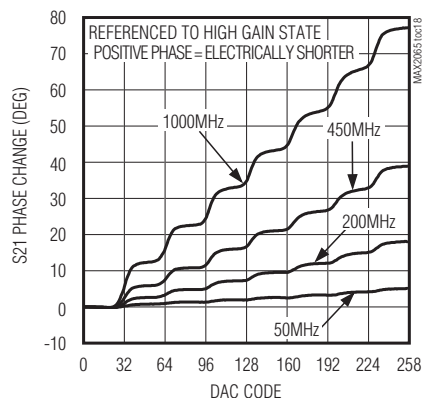
OUTPUT MATCH vs. ANALOG ATTENUATOR SETTING



REVERSE ISOLATION OVER ANALOG ATTENUATOR SETTING vs. RF FREQUENCY



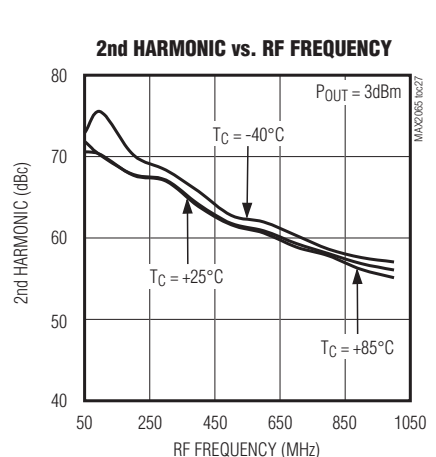
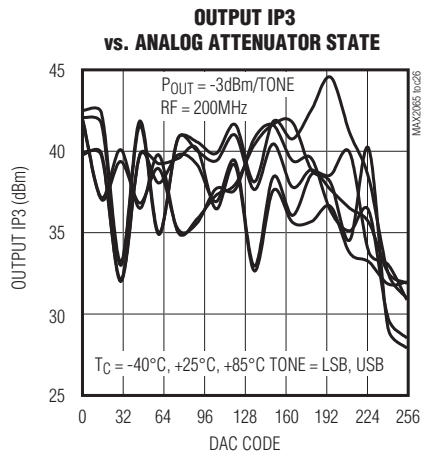
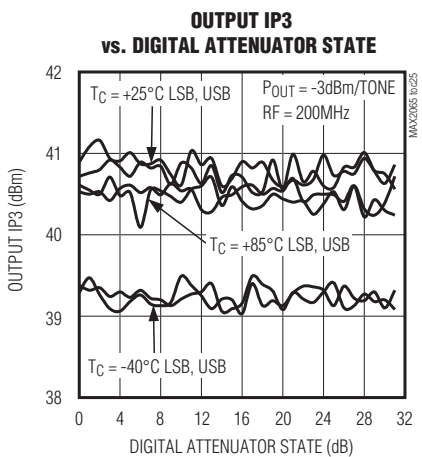
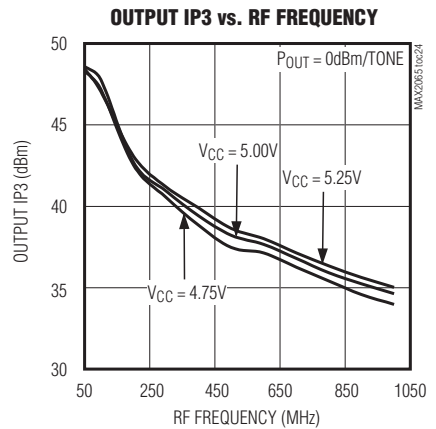
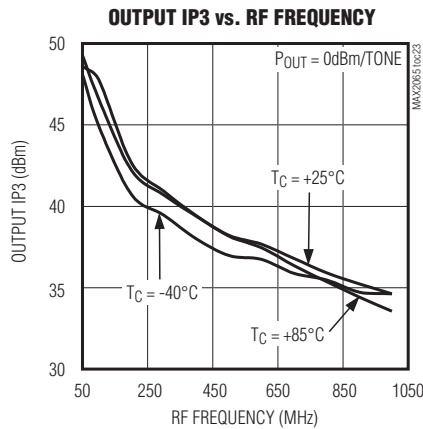
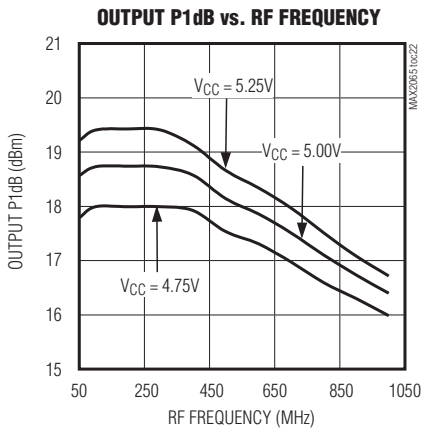
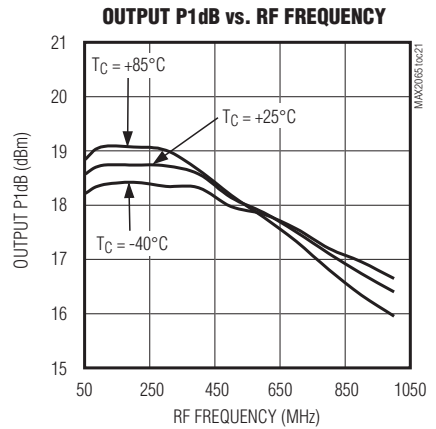
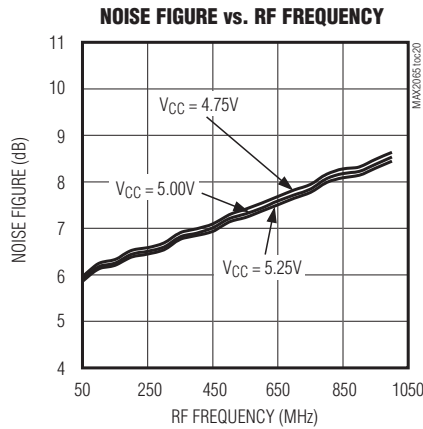
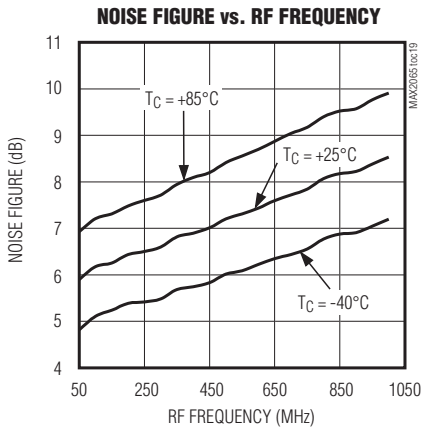
S21 PHASE CHANGE vs. ANALOG ATTENUATOR SETTING



50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

標準動作特性(続き)

($V_{CC} = +5.0V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

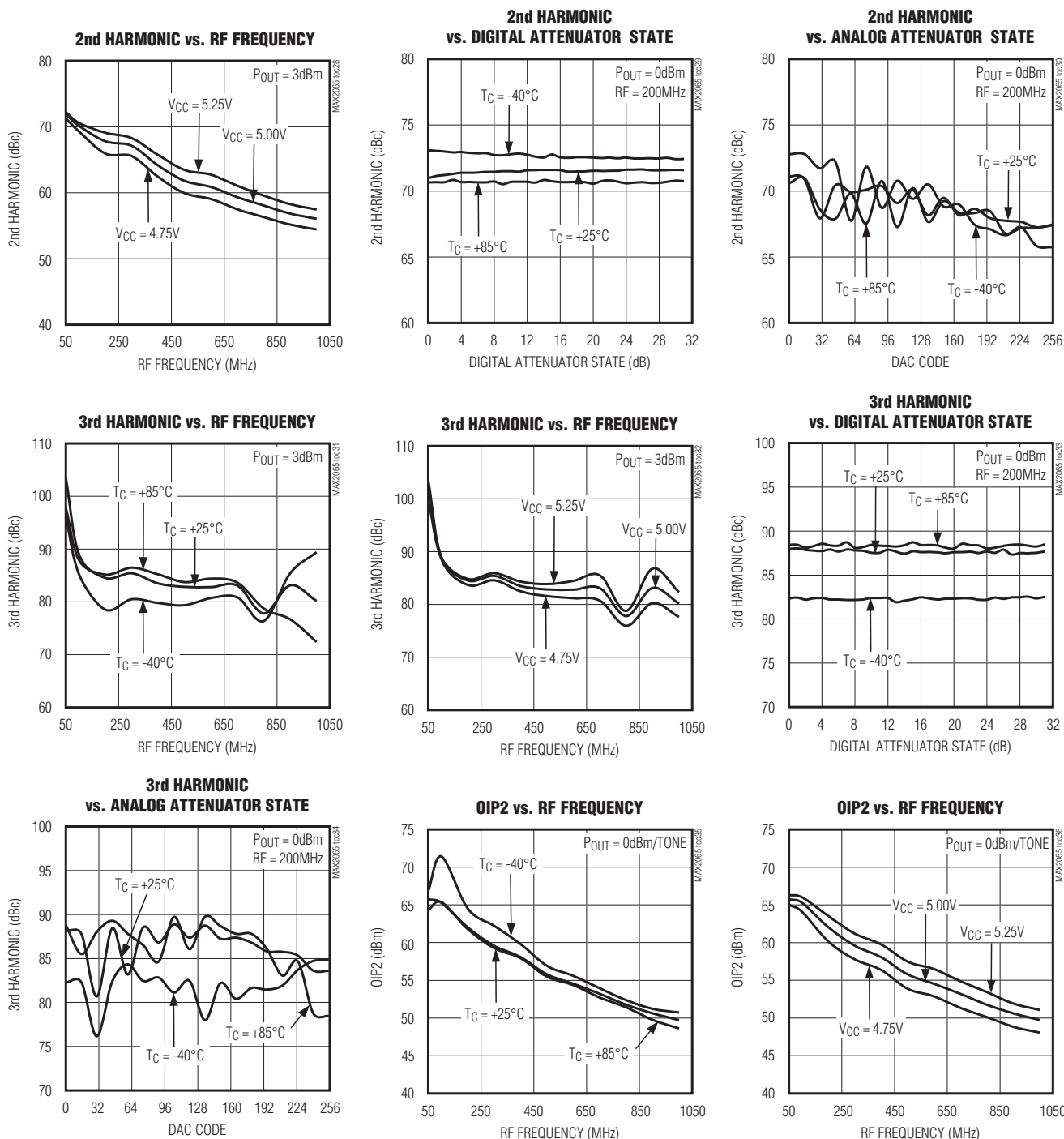


50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性(続き)

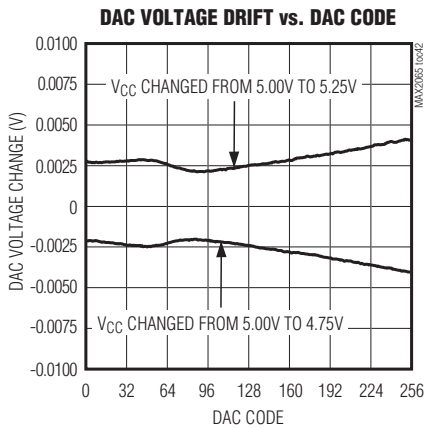
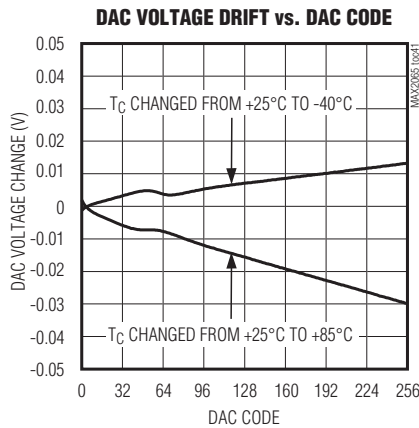
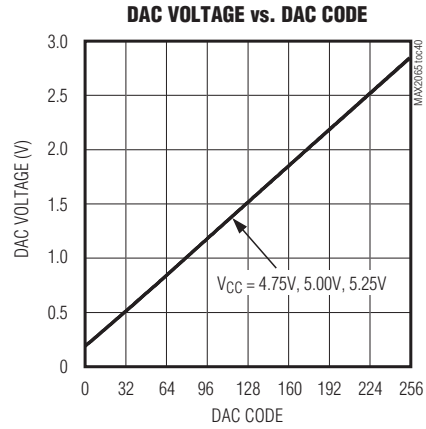
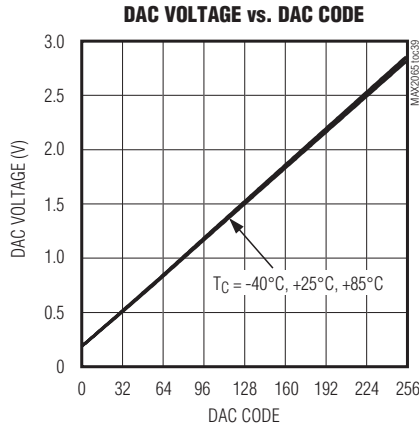
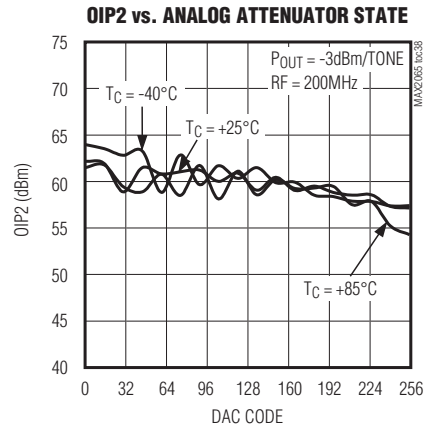
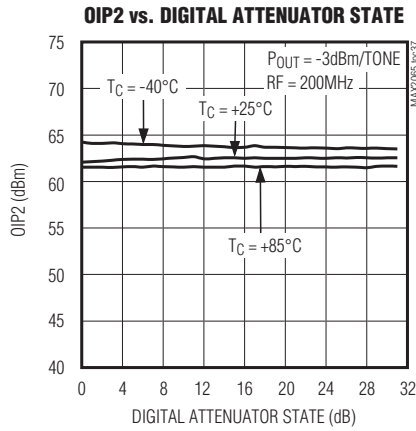
($V_{CC} = +5.0V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)



50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

標準動作特性(続き)

($V_{CC} = +5.0V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

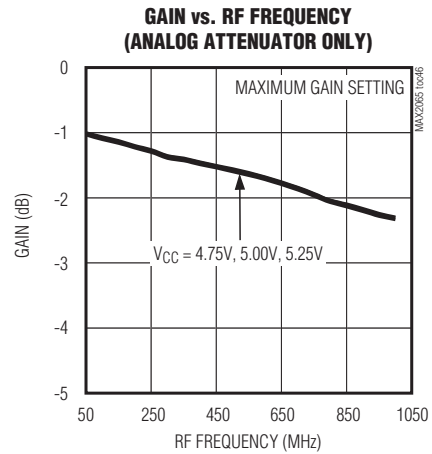
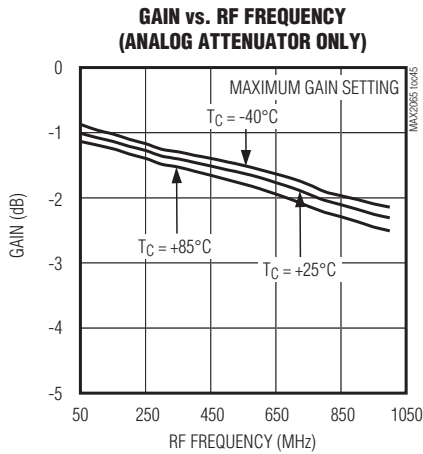
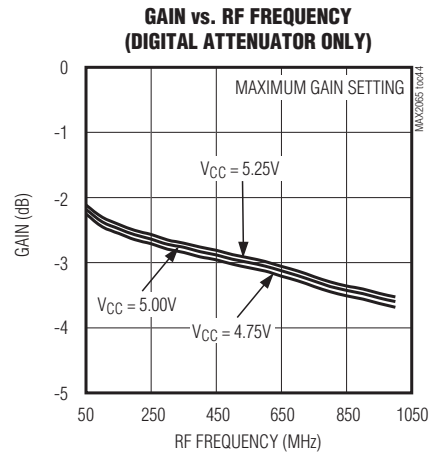
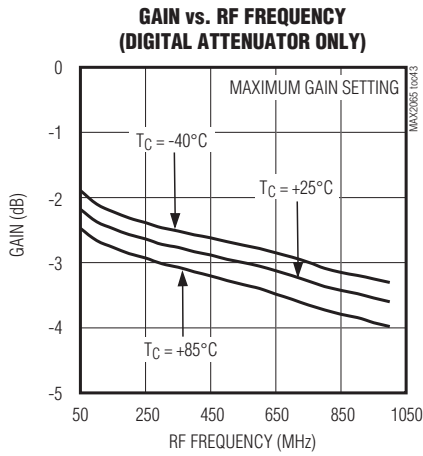


50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性(続き)

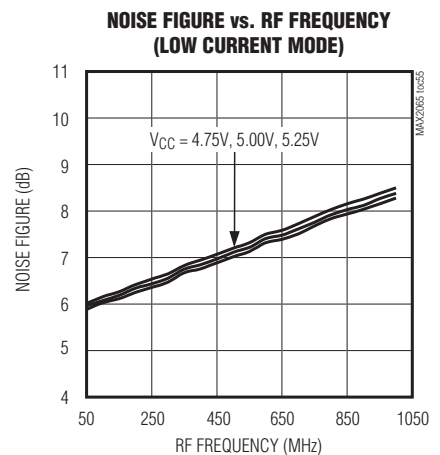
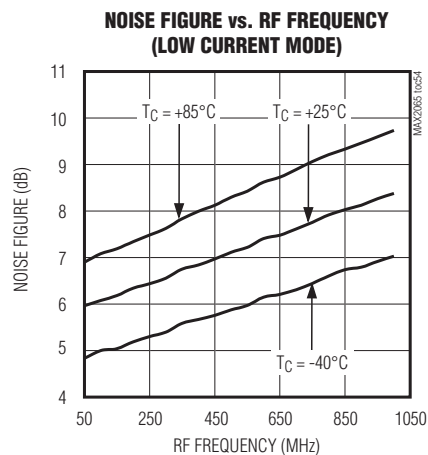
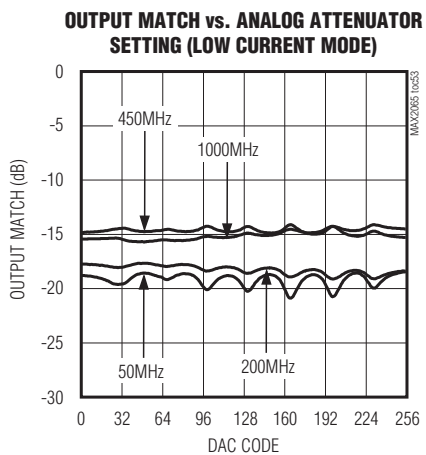
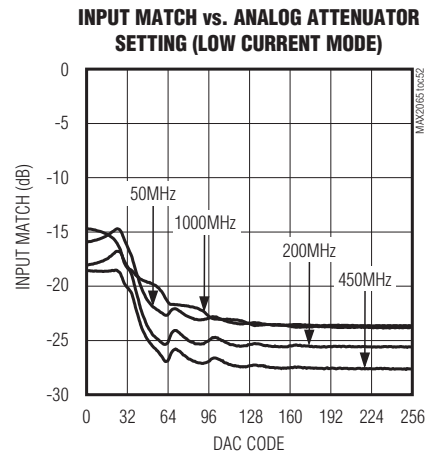
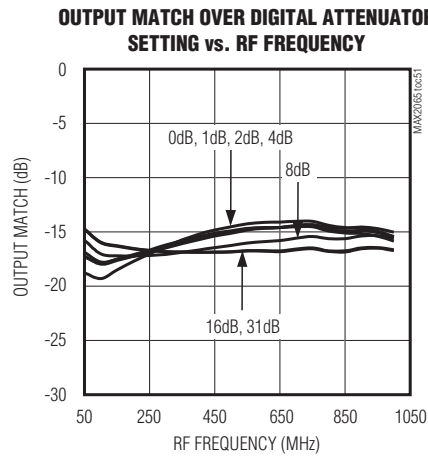
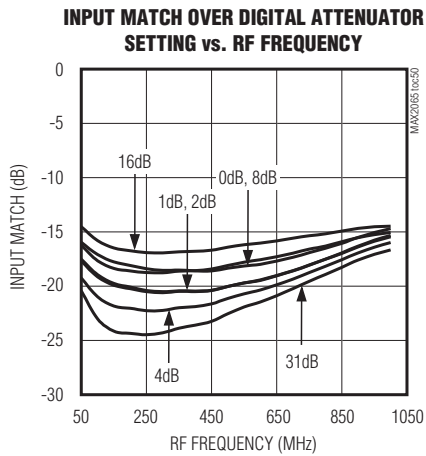
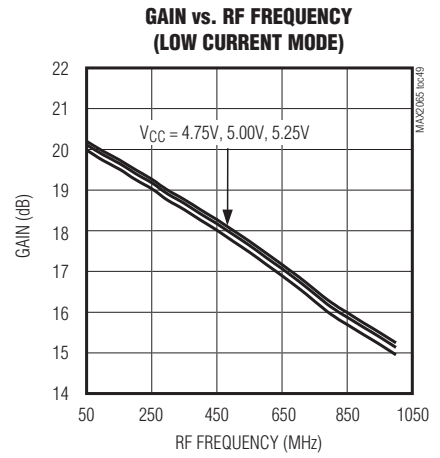
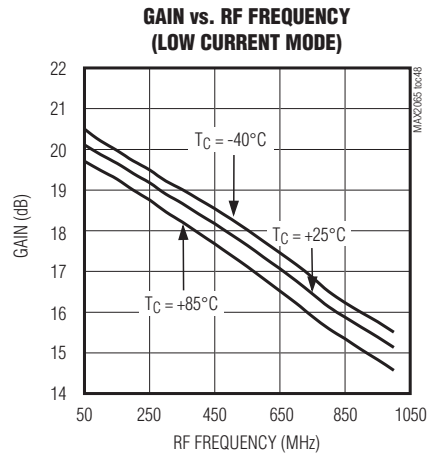
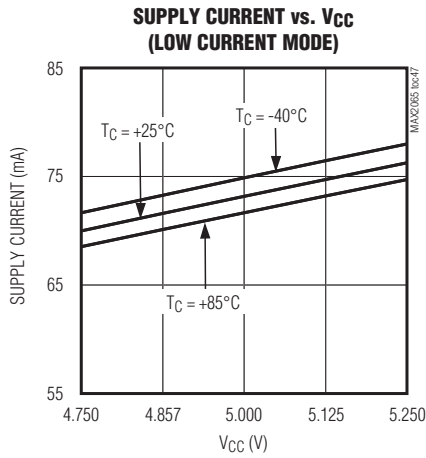
($V_{CC} = +5.0V$, attenuator only, maximum gain, $P_{IN} = -20dBm$ and $T_C = +25^\circ C$, unless otherwise noted.)



50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

標準動作特性(続き)

($V_{CC} = +5.0V$, LC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal reference used, unless otherwise noted.)

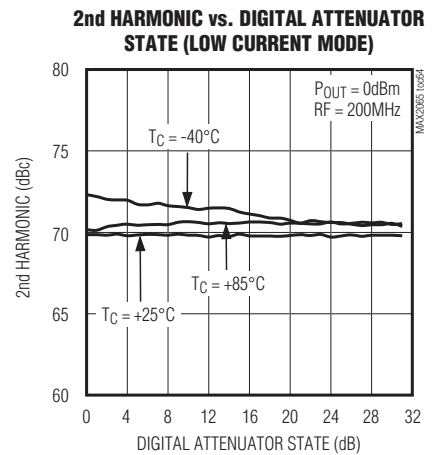
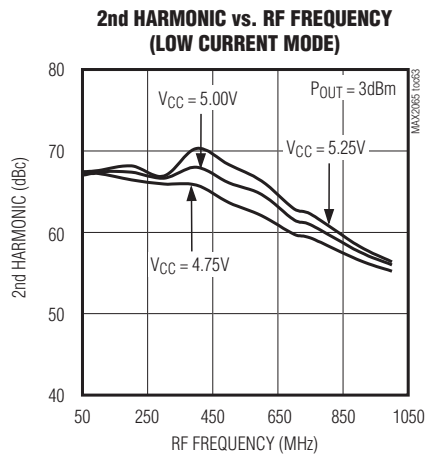
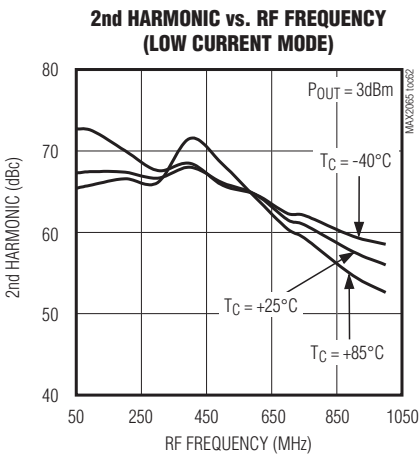
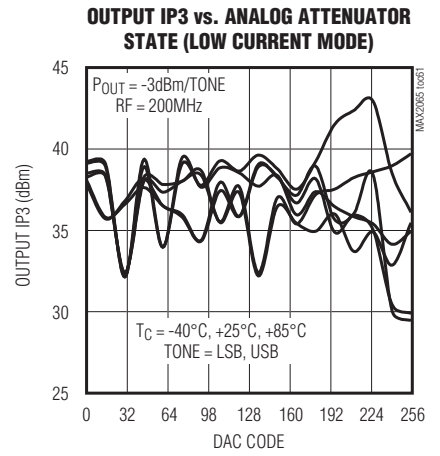
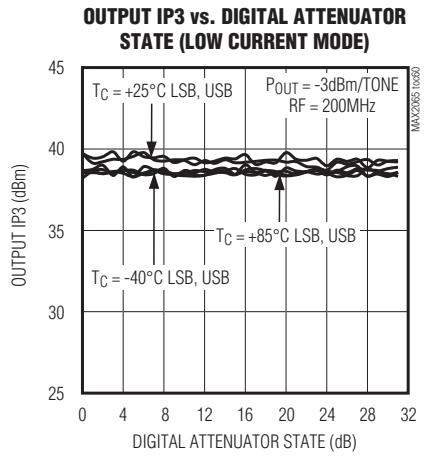
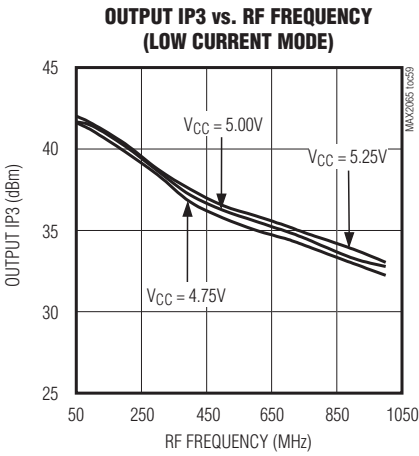
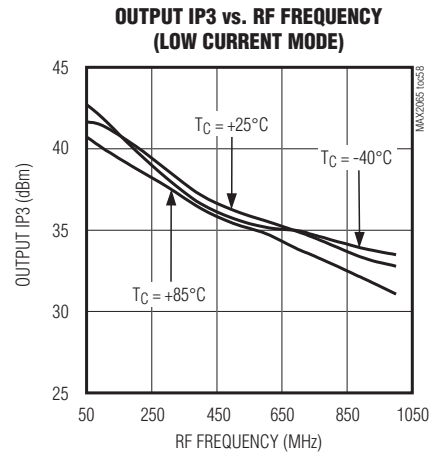
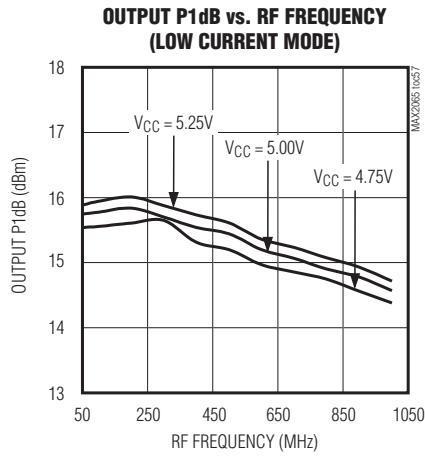
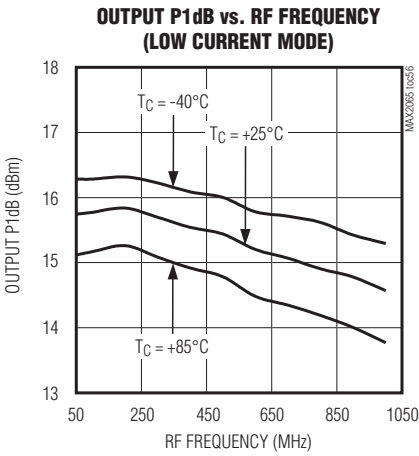


50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性(続き)

($V_{CC} = +5.0V$, LC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal reference used, unless otherwise noted.)

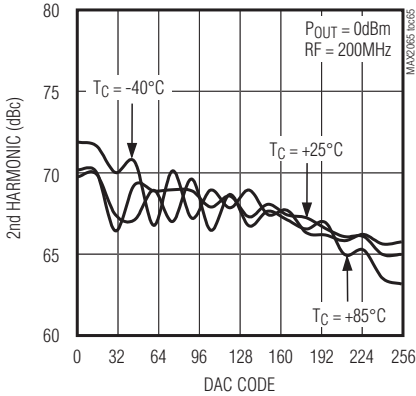


50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

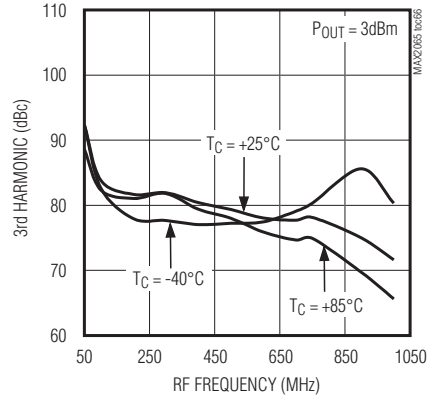
標準動作特性(続き)

($V_{CC} = +5.0V$, LC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal reference used, unless otherwise noted.)

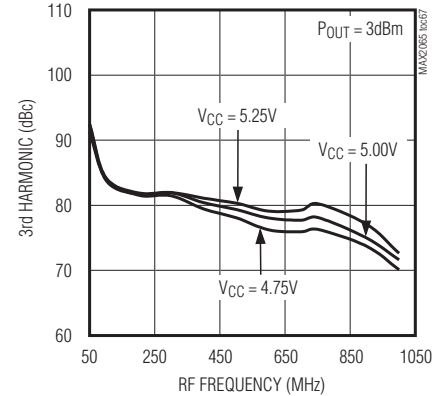
2nd HARMONIC vs. ANALOG ATTENUATOR STATE (LOW CURRENT MODE)



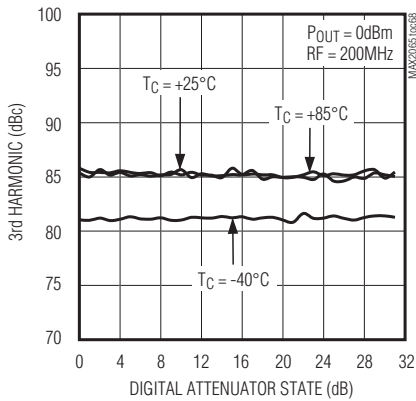
3rd HARMONIC vs. RF FREQUENCY (LOW CURRENT MODE)



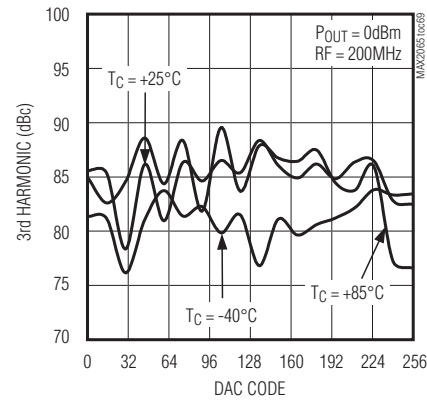
3rd HARMONIC vs. RF FREQUENCY (LOW CURRENT MODE)



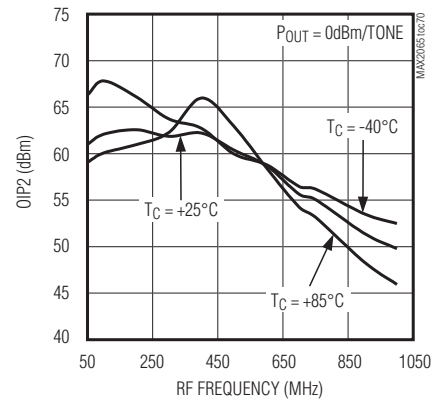
3rd HARMONIC vs. DIGITAL ATTENUATOR STATE (LOW CURRENT MODE)



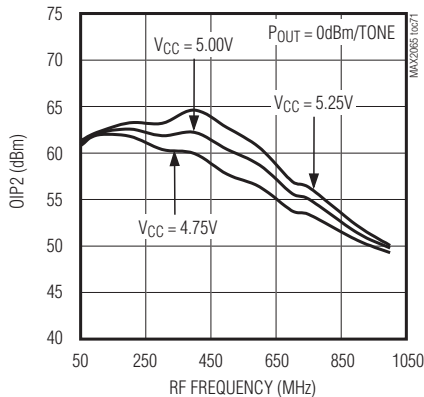
3rd HARMONIC vs. ANALOG ATTENUATOR STATE (LOW CURRENT MODE)



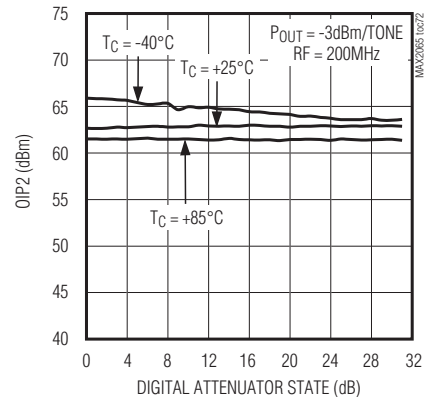
OIP2 vs. RF FREQUENCY (LOW CURRENT MODE)



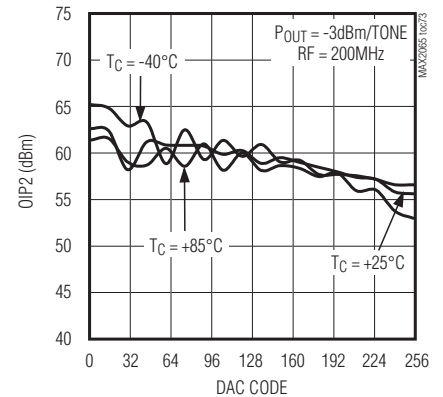
OIP2 vs. RF FREQUENCY (LOW CURRENT MODE)



OIP2 vs. DIGITAL ATTENUATOR STATE (LOW CURRENT MODE)



OIP2 vs. ANALOG ATTENUATOR STATE (LOW CURRENT MODE)

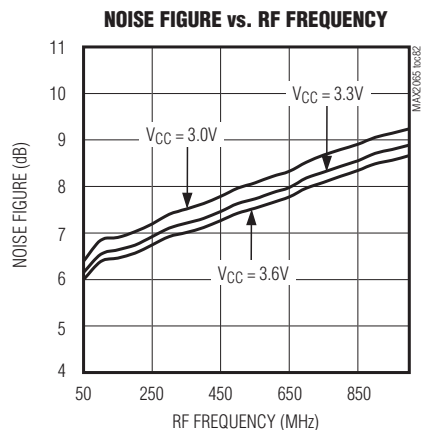
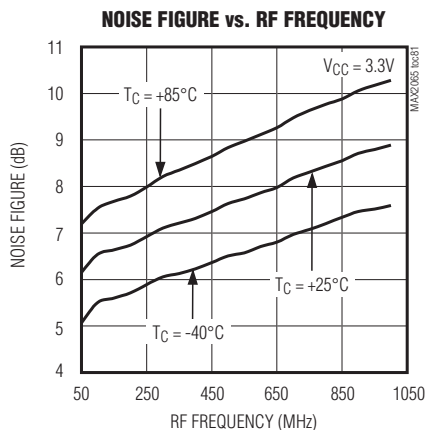
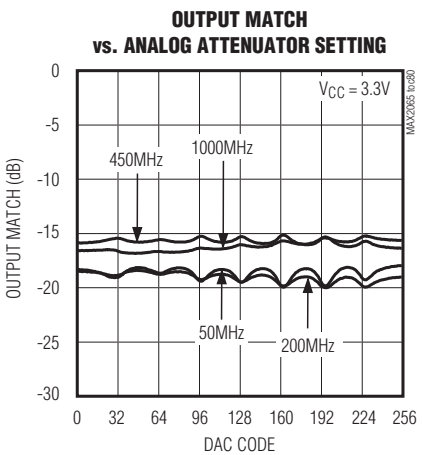
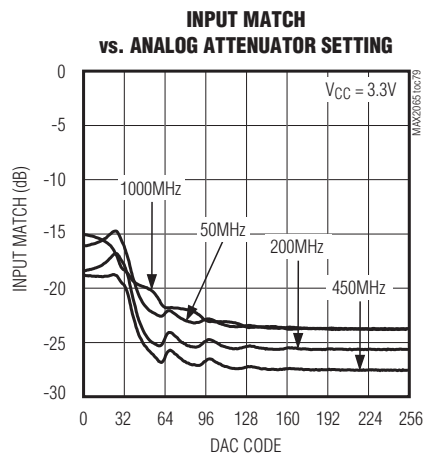
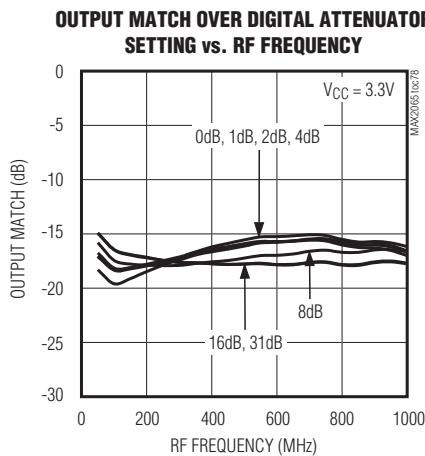
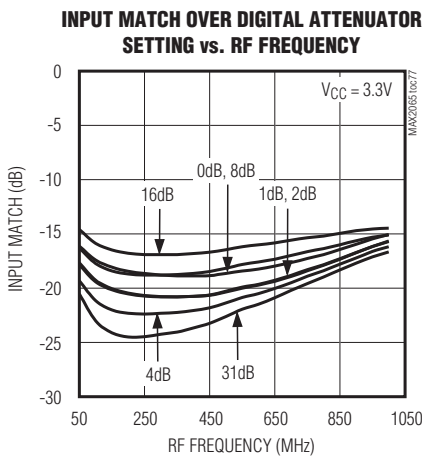
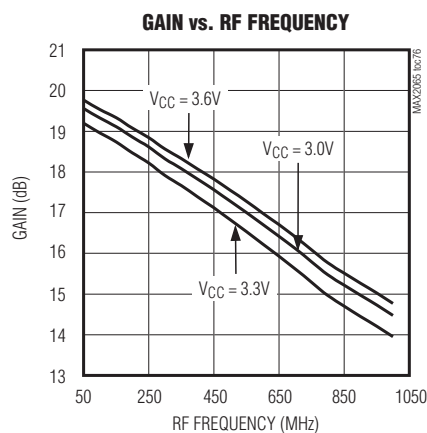
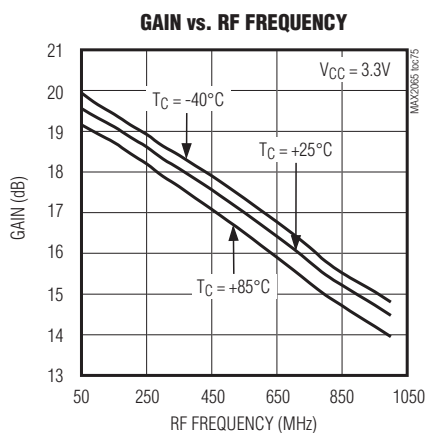
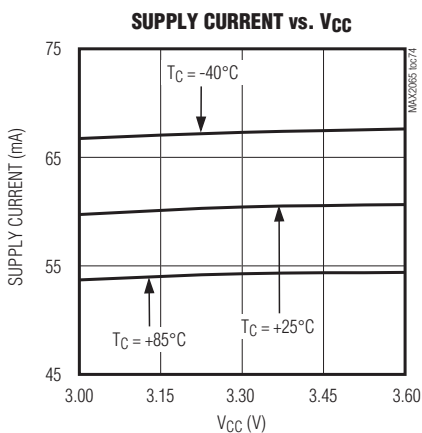


50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性(続き)

($V_{CC} = +3.3V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

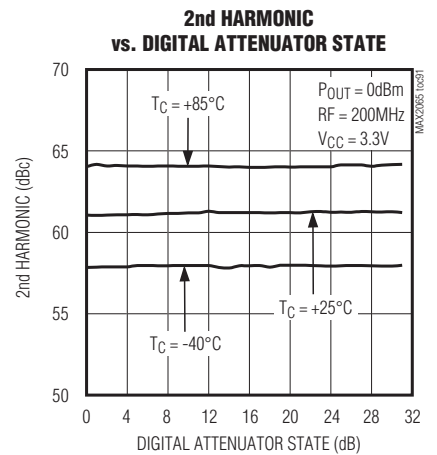
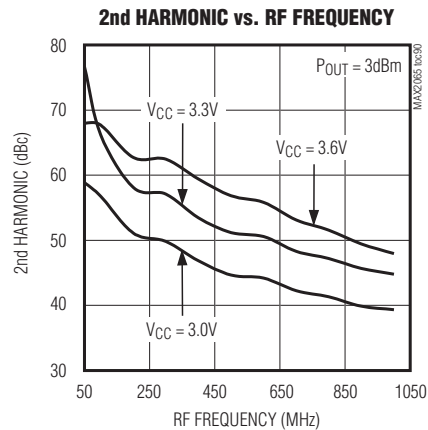
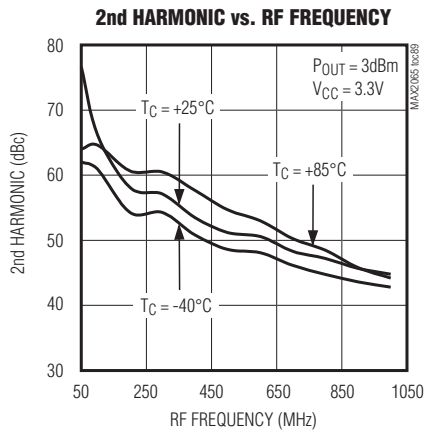
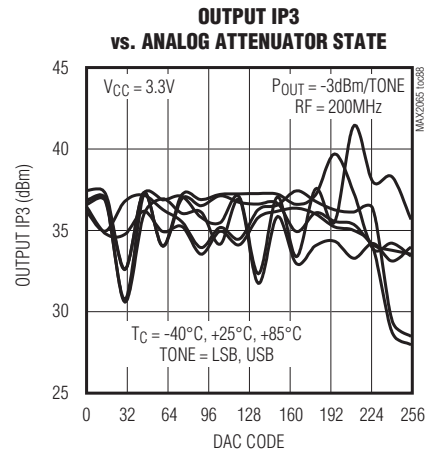
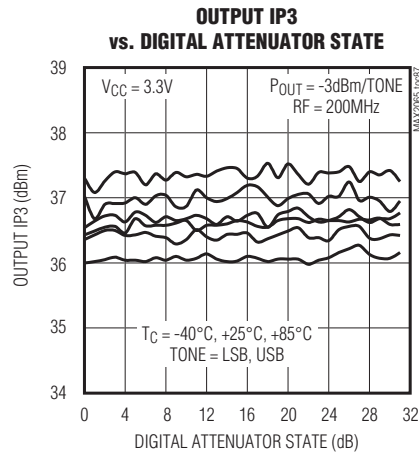
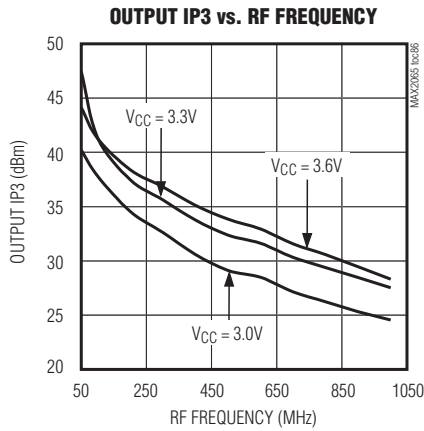
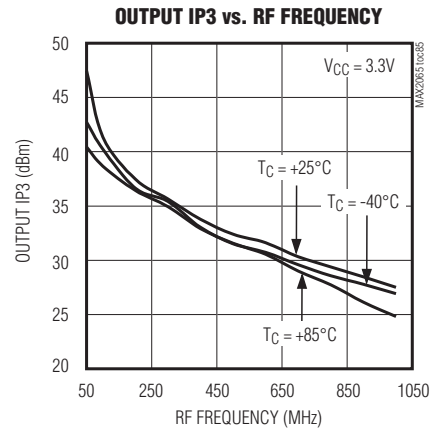
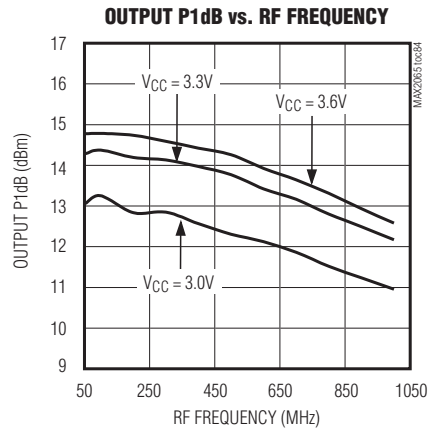
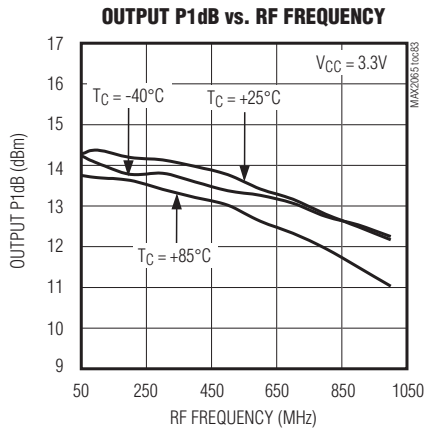


50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性(続き)

($V_{CC} = +3.3V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)

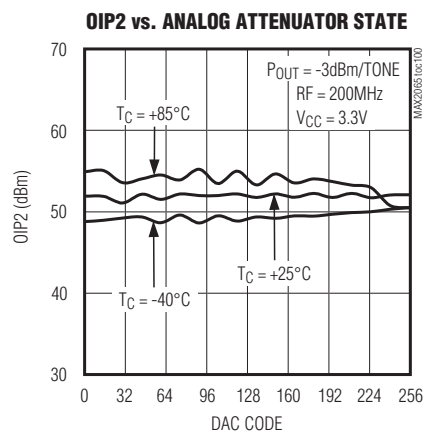
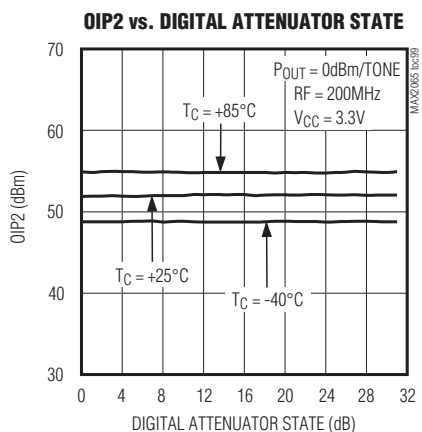
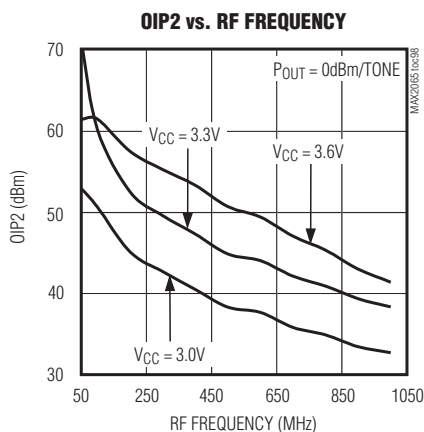
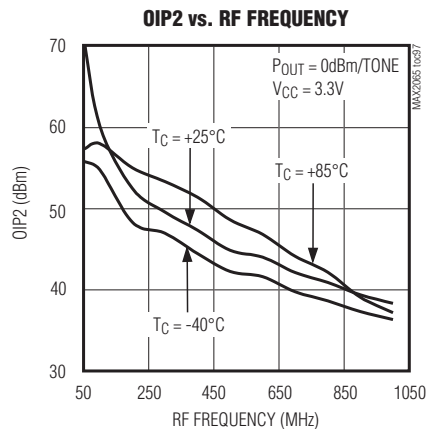
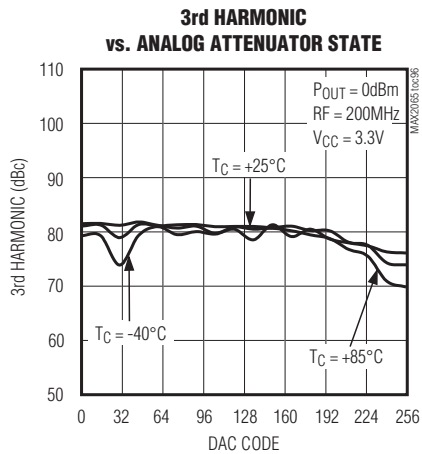
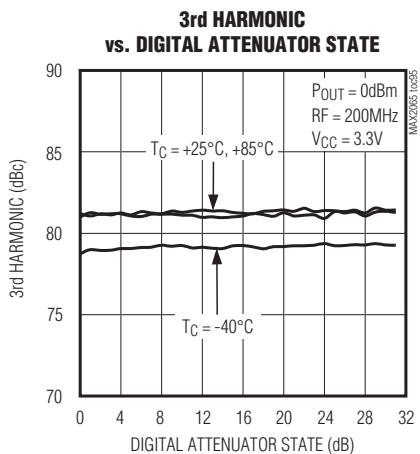
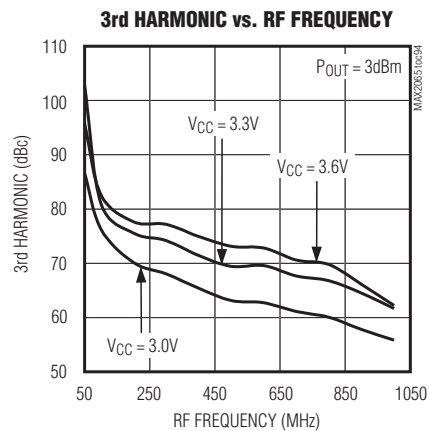
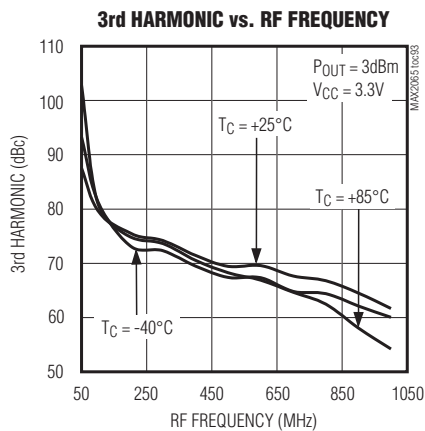
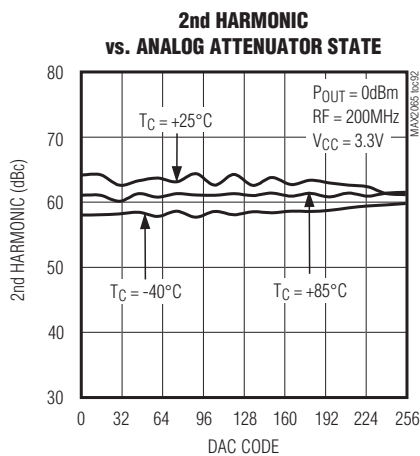


50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

標準動作特性(続き)

($V_{CC} = +3.3V$, HC mode, both attenuators set for maximum gain, $P_{IN} = -20dBm$, $f_{RF} = 200MHz$, and $T_C = +25^\circ C$, internal DAC reference used, unless otherwise noted.)



50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

端子説明

端子	名称	機能															
1, 16, 19, 22, 24-28, 30, 31, 33-36	GND	グラウンド															
2	VREF_SELECT	DACリファレンス電圧選択ロジック入力。ロジック1 = 内蔵DACリファレンス電圧、ロジック0 = 外付けDACリファレンス電圧。VDAC_EN = ロジック0のとき、ロジック入力はディセーブルになります(無視される)。															
3	VDAC_EN	DACイネーブル/ディセーブルロジック入力。ロジック0 = DAC回路がディセーブル、ロジック1 = DAC回路がイネーブル															
4	DATA	SPIデータデジタル入力															
5	CLK	SPIクロックデジタル入力															
6	\overline{CS}	SPIチップセレクトデジタル入力															
7	VDD_LOGIC	デジタルロジック電源入力															
8	SER/PAR	デジタルアッテネータSPIまたはパラレル制御の選択ロジック入力。ロジック0 = パラレル制御、ロジック1 = シリアル制御。															
9	STATE_A	事前にプログラム設定された、デジタルアッテネータの減衰状態ロジック入力															
10	STATE_B	<table border="1"> <thead> <tr> <th>STATE_A</th> <th>STATE_B</th> <th>デジタルアッテネータ</th> </tr> </thead> <tbody> <tr> <td>ロジック = 0</td> <td>ロジック = 0</td> <td>事前にプログラム設定された状態1</td> </tr> <tr> <td>ロジック = 1</td> <td>ロジック = 0</td> <td>事前にプログラム設定された状態2</td> </tr> <tr> <td>ロジック = 0</td> <td>ロジック = 1</td> <td>事前にプログラム設定された状態3</td> </tr> <tr> <td>ロジック = 1</td> <td>ロジック = 1</td> <td>事前にプログラム設定された状態4</td> </tr> </tbody> </table>	STATE_A	STATE_B	デジタルアッテネータ	ロジック = 0	ロジック = 0	事前にプログラム設定された状態1	ロジック = 1	ロジック = 0	事前にプログラム設定された状態2	ロジック = 0	ロジック = 1	事前にプログラム設定された状態3	ロジック = 1	ロジック = 1	事前にプログラム設定された状態4
STATE_A	STATE_B	デジタルアッテネータ															
ロジック = 0	ロジック = 0	事前にプログラム設定された状態1															
ロジック = 1	ロジック = 0	事前にプログラム設定された状態2															
ロジック = 0	ロジック = 1	事前にプログラム設定された状態3															
ロジック = 1	ロジック = 1	事前にプログラム設定された状態4															
11	D4	16dBアッテネータロジック入力。ロジック0 = ディセーブル、ロジック1 = イネーブル															
12	D3	8dBアッテネータロジック入力。ロジック0 = ディセーブル、ロジック1 = イネーブル															
13	D2	4dBアッテネータロジック入力。ロジック0 = ディセーブル、ロジック1 = イネーブル															
14	D1	2dBアッテネータロジック入力。ロジック0 = ディセーブル、ロジック1 = イネーブル															
15	D0	1dBアッテネータロジック入力。ロジック0 = ディセーブル、ロジック1 = イネーブル															
17	AMP_OUT	ドライバアンプ出力(50Ω)															
18	RSET	ドライバアンプバイアス設定。「外部バイアス」の項を参照してください。															
20	AMP_IN	ドライバアンプ入力(50Ω)															
21	VCC_AMP	ドライバアンプ供給電圧入力															
23	ATTEN2_OUT	5ビットデジタルアッテネータ出力(50Ω)															
29	ATTEN2_IN	5ビットデジタルアッテネータ入力(50Ω)															
32	ATTEN1_OUT	アナログアッテネータ出力(50Ω)															
37	ATTEN1_IN	アナログアッテネータ入力(50Ω)															
38	VCC_ANALOG	アナログバイアスおよび制御の供給電圧入力															
39	ANALOG_VCTRL	アナログアッテネータの電圧制御入力															
40	VREF_IN	DAC外部電圧リファレンス入力															
—	EP	エクスポーズドパッド。内部でGNDに接続されます。適正なRF性能と放熱特性を高めるためにEPをGNDに接続してください。															

50MHz~1000MHzの高リニアリティ、シリアル/パラレル制御アナログ/デジタルVGA

詳細

高リニアリティアナログ/デジタル可変利得アンプ MAX2065は、50MHz~1000MHzの周波数範囲で動作する50Ωシステムにインタフェース接続されるように設計された汎用の高性能アンプです。

MAX2065は、62dBの総利得制御を提供する1つのデジタルアッテネータと1つのアナログアッテネータ、さらに高利得、高IP3、低ノイズ指数、および低消費電力を提供するために最適化されたドライバアンプを内蔵しています。高リニアリティを必要としないアプリケーションの場合、外付けの抵抗によってアンプのバイアス電流を調整し、消費電力をさらに低減することができます。

デジタルアッテネータは、SPI対応のインタフェースまたはパラレルバスを使用するスレーブ周辺機器として制御され、1dBステップで31dBの全調整範囲を備えています。付加機能によって、SPI対応インタフェースでユーザによって事前にプログラムされた4つの独自のステップ間を「高速動作」して利得を選択することができます。2つのピンを制御することによって、ユーザはSPIバスを設定変更せずに4つのカスタマイズされた減衰状態の1つに短時間でアクセスすることができます。アナログアッテネータは、外部電圧を使用して制御されるか、またはオンチップのDACを使用するSPI対応のインタフェースで制御されます。3段のそれぞれが独立したRF入力とRF出力を備えているため、このコンポーネントは、NF（初段として構成されたアンプ）、OIP3（最終段のアンプ）、またはNFとOIP3の中間のいずれかを最適化するように設定することができます。このデバイスの性能特性には、22dBのスタンドアロンアンプ利得（アンプのみ）、最大利得で6.5dBのNF（両方のアッテネータの挿入損失を含む）、および+42dBmの高レベルのOIP3などがあります。これらの各機能によって、MAX2065は多くのレシーバとトランスミッタアプリケーションのVGAに最適となります。

さらに、MAX2065は、+5Vの単一電源での動作、また、+3.3Vの単一電源でわずかに低下した性能で動作し、

リニアリティ性能と消費電流をトレードする可変バイアスを備えています。

アナログおよび5ビットデジタルアッテネータの制御

MAX2065は、高水準のダイナミックレンジを達成するために、1つのアナログアッテネータと1つの5ビットデジタルアッテネータを内蔵しています。アナログアッテネータは31dBの範囲を備え、外部電圧を使用して制御されるか、またはオンチップの8ビットDACを使用する3線式シリアル周辺機器インタフェース(SPI)によって制御されます。デジタルアッテネータは、31dBの制御範囲と1dBのステップサイズを備え、3線式SPIでプログラムされます。アッテネータのプログラミングの詳細については、「アプリケーション情報」の項および表1を参照してください。アッテネータは、静的または動的、いずれの電力制御でも使用することができます。

ドライバアンプ

MAX2065は、固定利得が22dBの高性能ドライバを搭載しています。ドライバアンプ回路は、50MHz~1000MHzの周波数範囲で高リニアリティが得られるように最適化されています。

アプリケーション情報

SPIインタフェースとアッテネータの設定

デジタルアッテネータは、5ビットワードを使用する3線式SPI/MICROWIRE™対応のシリアルインタフェースを通じてプログラムされます。28ビットのデータがMSBを先頭にしてシフトされ、CSによって構築されます。CSがローのとき、クロックはアクティブで、データはクロックの立上りエッジでシフトされます。CSがハイに遷移したとき、データはラッチされ、アッテネータの設定が変わります(図1)。SPIデータフォーマットの詳細については、表2を参照してください。

表1. 制御ロジック

VDAC_EN	SER/PAR	VREF_SELECT	ANALOG ATTENUATOR	DIGITAL ATTENUATOR	D/A CONVERTER
0	0	X	Controlled by external control voltage	Parallel controlled	Disabled
1	0	1	Controlled by on-chip DAC	Parallel controlled	Enabled (DAC uses on-chip voltage reference)
0	1	X	Controlled by external control voltage	SPI controlled	Disabled
1	1	0	Controlled by on-chip DAC	SPI controlled	Enabled (DAC uses external voltage reference)

X = 任意。

MICROWIREはNational Semiconductor Corp.の商標です。

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

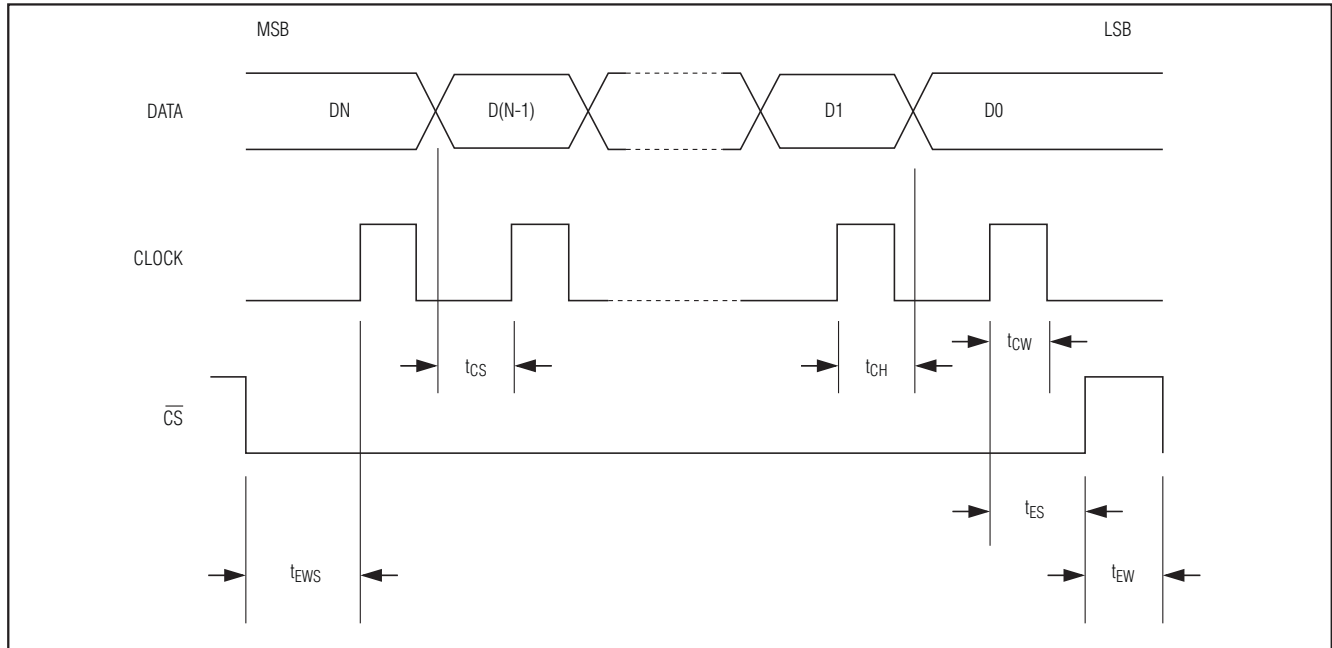


図1. MAX2065 SPIタイミング図

表2. SPIデータフォーマット

FUNCTION	BIT	DESCRIPTION
Digital Attenuator State 4	D27 (MSB)	16dB step (MSB of the 5-bit word used to program the digital attenuator state 4)
	D26	8dB step
	D25	4dB step
	D24	2dB step
	D23 (LSB)	1dB step (LSB)
Digital Attenuator State 3	D22	5-bit word used to program the digital attenuator state 3 (see the description for digital attenuator state 4)
	D21	
	D20	
	D19	
Digital Attenuator State 2	D18	5-bit word used to program the digital attenuator state 2 (see the description for digital attenuator state 4)
	D17	
	D16	
	D15	
Digital Attenuator State 1	D14	5-bit word used to program the digital attenuator state 1 (see the description for digital attenuator state 4)
	D13	
	D12	
	D11	
Digital Attenuator State 0	D10	5-bit word used to program the digital attenuator state 0 (see the description for digital attenuator state 4)
	D9	
	D8	
	D7	

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

表2. SPIデータフォーマット(続き)

FUNCTION	BIT	DESCRIPTION
On-Chip DAC	D7	Bit 7 (MSB) of on-chip DAC used to program the analog attenuator
	D6	Bit 6 of DAC
	D5	Bit 5 of DAC
	D4	Bit 4 of DAC
	D3	Bit 3 of DAC
	D2	Bit 2 of DAC
	D1	Bit 1 of DAC
	D0 (LSB)	Bit 0 (LSB) of the on-chip DAC

アッテネータとDAC動作

アナログアッテネータは、ANALOG_VCTRL (端子39)に加えられる外部制御電圧、またはオンチップ8ビットDACによって制御されます。一方、デジタルアッテネータはSPI対応のインタフェースまたはパラレルバスで制御されます。DACイネーブル/ディセーブルロジック入力端子(VDAC_EN)、デジタルアッテネータSPIまたはパラレル制御の選択ロジック入力端子(SER/PAR)、およびDACリファレンス電圧選択ロジック入力端子(VREF_SELECT)によって、アッテネータの制御方法が決定されます。オンチップDACもイネーブルまたはディセーブルにすることができます。DACをイネーブルにすると、オンチップ電圧リファレンスまたは外付け電圧リファレンスのいずれかが選択されます。アッテネータとDAC動作の真理値表については、表1を参照してください。

パラレル制御バスを使用してデジタルアッテネータを設定

高速25nsスイッチングの能力を十分に利用するために、MAX2065は、補足機能としての5ビットパラレル制御インタフェースを用意しています。デジタルロジックのアッテネータ制御端子(D0~D4)によって、アッテネータの各段がイネーブルになります(表3)。

この5ビットバスにじかにアクセスすることによって、ユーザはSPIインタフェースに伴ういかなるプログラム遅延も回避することができます。SPIバスの制限の1つは、コマンドが各周辺デバイスにクロックによって入力される場合の速度です。5ビットパラレルインタフェースにじかにアクセスすることによって、ユーザは、重要な「高速追従」自動利得制御(AGC)アプリケーションに必要な、デジタルアッテネータの状態をすばやく遷移させることが可能です。

事前にプログラムされた「超高速」減衰状態

MAX2065には、事前にプログラムされた4つの減衰ステップ間で「超高速」利得選択を提供する付加機能があります。上述の補足機能としての5ビットバスと同様に、この「超高速」利得選択によって、SPIバスを用いて機器を再プログラムする場合に伴う遅延を生じることなく、ユーザは4つのカスタマイズされたデジタル減衰状態のいずれかにすばやくアクセスすることができるようになります。

切替え速度は、補足機能としての5ビットパラレルバスを使用した場合と同等です。ただし、この特定の機能を使用することによって、デジタルアッテネータのI/Oは、希望の状態数に応じて、5分の1または2.5分の1 (5制御ビットに対してそれぞれ1または2)にさらに低減されます。

表3. デジタルアッテネータの設定(パラレル制御)

INPUT	LOGIC = 0 (OR GROUND)	LOGIC = 1
D0	Disable 1dB attenuator, or when SPI is default programmer	Enable 1dB attenuator
D1	Disable 2dB attenuator, or when SPI is default programmer	Enable 2dB attenuator
D2	Disable 4dB attenuator, or when SPI is default programmer	Enable 4dB attenuator
D3	Disable 8dB attenuator, or when SPI is default programmer	Enable 8dB attenuator
D4	Disable 16dB attenuator, or when SPI is default programmer	Enable 16dB attenuator

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

ユーザは、STATE_AおよびSTATE_Bロジック入力端子を使用することで、必要に応じて各ステップを利用することができます(表4)。STATE_A端子(1制御ビット)を切り替えるだけで、事前にプログラムされた2つの減衰状態が得られます。STATE_AおよびSTATE_B端子の両方を同時に切り替えると(2制御ビット)、事前にプログラムされた4つの減衰状態が得られます。

例として、レーザの製品中の、利得の不一致を調整するために、AGCアプリケーションで静的な減衰調整が必要であると仮定します。同じAGC回路が、この信号レーザの感度を低下させ、ADCがオーバドライブ状態になるおそれを生じさせる不要なブロッカ信号を動的に減衰する場合にも必要となる可能性があります。この例では、2つのカスタマイズした減衰状態を用いてMAX2065を事前にプログラムします(SPIバスを經由)。1つは静的利得のトリム調整に対処し、もう1つは不要なブロッカ状態に対処します。STATE_A制御ビットのみを

表4. 事前にプログラムされる減衰状態の設定

STATE_A	STATE_B	DIGITAL ATTENUATOR
0	0	Preprogrammed attenuation state 1
1	0	Preprogrammed attenuation state 2
0	1	Preprogrammed attenuation state 3
1	1	Preprogrammed attenuation state 4

表5. 標準動作回路の部品の値(HCモード)

DESIGNATION	VALUE	SIZE	VENDOR	DESCRIPTION
C1, C2, C7, C11	10nF	0402	Murata Mfg. Co., Ltd.	X7R
C3, C4, C6, C8, C9, C10	1000pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitor
C12, C13	150pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitor
L1	470nH	1008	Coilcraft, Inc.	1008CS-471XJLC
R1, R1A	10Ω	0402	Panasonic Corp.	1%
R2 (+3.3V applications only)	1kΩ	0402	Panasonic Corp.	1%
R3 (+3.3V applications only)	2kΩ	0402	Panasonic Corp.	1%
R4 (+5V applications and using internal DAC only)	47kΩ	0402	Panasonic Corp.	1%
U1	—	40-pin thin QFN-EP (6mm x 6mm)	Maxim Integrated Products, Inc.	MAX2065ETL+

切り替えることによって、ユーザは1つのI/O端子だけで、静的と動的の減衰設定をすばやく切り替えることができます。

必要に応じて、ユーザは、第2のI/O端子としてSTATE_B制御ビットを使用することで、2つの減衰状態を追加でプログラムすることもできます。これらの2つの追加の減衰設定は、ソフトウェア定義の無線アプリケーションで役立ちます。このアプリケーションでは、異なる動作周波数に対応するために複数の静的利得設定が必要になる場合があります、また、異なるブロッカレベル(複数のワイヤレス規格によって定義される)に対処するために、複数の動的な減衰設定が必要となります。

カスケード接続のOIP3について

両方のアッテネータのIP3の性能には限りがあるため、両方のアッテネータをより大きな減衰状態で設定したときには、カスケード接続したOIP3は低下します。

外部バイアス

ドライバンプのバイアス電流は、外付けの抵抗を通して設定および最適化されます。RSET (端子18)に接続されている抵抗R1とR1Aが、アンプのバイアス電流を設定します。外付けのバイアス抵抗の値を増大すれば、性能を犠牲にして電流を削減した動作が得られます。

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

表6. 標準動作回路の部品の値(LCモード)

DESIGNATION	VALUE	SIZE	VENDOR	DESCRIPTION
C1, C2, C7, C11	10nF	0402	Murata Mfg. Co., Ltd.	X7R
C3, C4, C6, C8, C9, C10	1000pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitor
C12, C13	150pF	0402	Murata Mfg. Co., Ltd.	C0G ceramic capacitor
L1	470nH	1008	Coilcraft, Inc.	1008CS-471XJLC
R1	24Ω	0402	Vishay	1%
R1A	0.01μF	0402	Murata Mfg. Co., Ltd.	X7R
R2 (+3.3V applications only)	1kΩ	0402	Panasonic Corp.	1%
R3 (+3.3V applications only)	2kΩ	0402	Panasonic Corp.	1%
R4 (+5V applications and using internal DAC only)	47kΩ	0402	Panasonic Corp.	1%
U1	—	40-pin thin QFN-EP (6mm x 6mm)	Maxim Integrated Products, Inc.	MAX2065ETL+

+5Vおよび+3.3Vの供給電圧

MAX2065は、オプションとして+3.3Vの供給電圧で動作可能ですが、リニアリティ性能はわずかに低下します。

レイアウトについて

MAX2065のピン配置は、デバイスとその関連ディスクリット部品の物理的なレイアウトを大幅に小型化するために最適化されています。

MAX2065の40ピンTQFN-EPパッケージのエクスポーズドパッド(EP)は、熱抵抗の低いダイまでのパスを設けています。MAX2065を搭載するPCBは、EPから熱を伝導するように設計されていることが重要です。また、電氣的グラウンドまでの低インダクタンスパスをEPに設けてください。EPは、じかに、またはメッキされた一連のビアホールを介してPCB上のグラウンドプレーンに半田付ける必要があります。

振幅のオーバーシュートの低減

デジタルアッテネータ状態が変化する間の振幅オーバーシュートを低減するため、ATTEN2_OUT (端子23)とグラウンド間にバンドパスフィルタ(LC並列型)を接続してください。169MHzの動作では、 $L = 18\text{nH}$ および $C = 47\text{pF}$ が推奨されます(図2)。他の動作周波数での推奨部品に関しては、お問い合わせください。

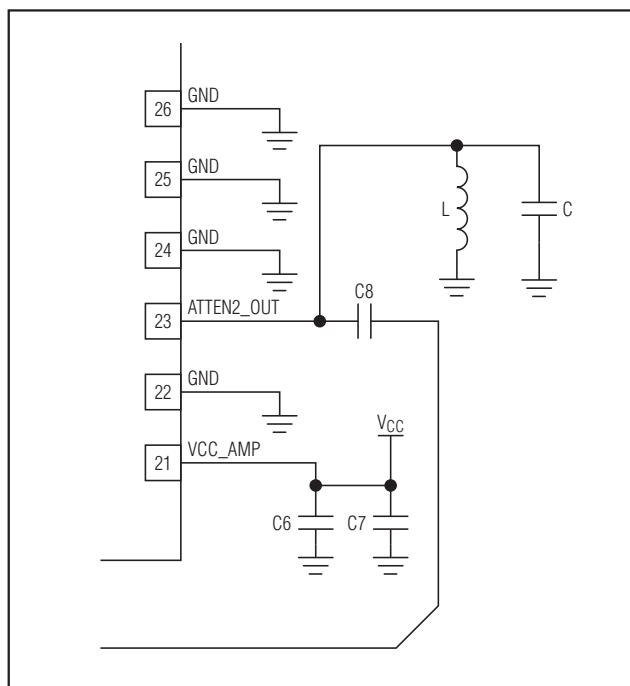
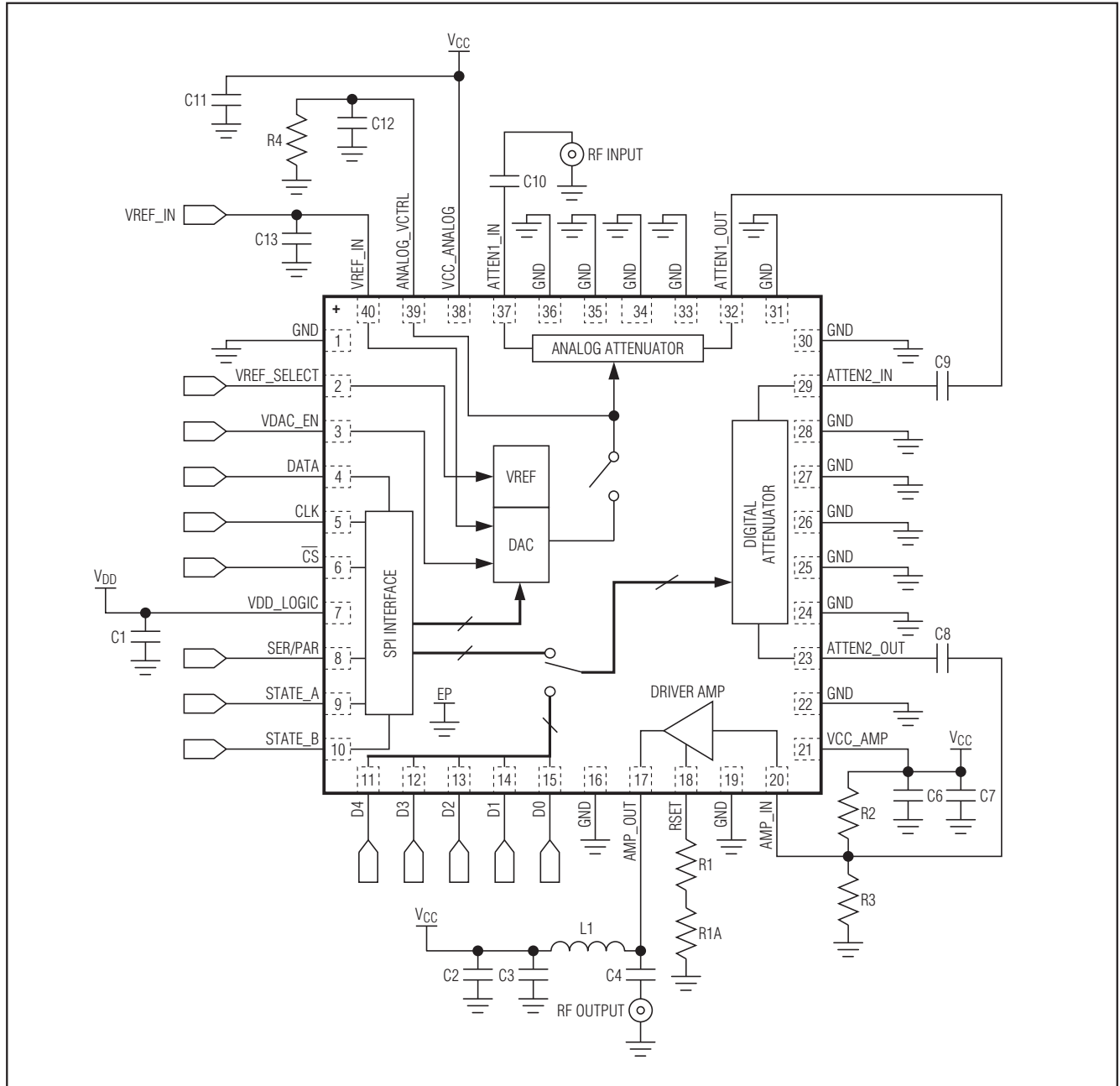


図2. 振幅オーバーシュートを低減するためのバンドパスフィルタ

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

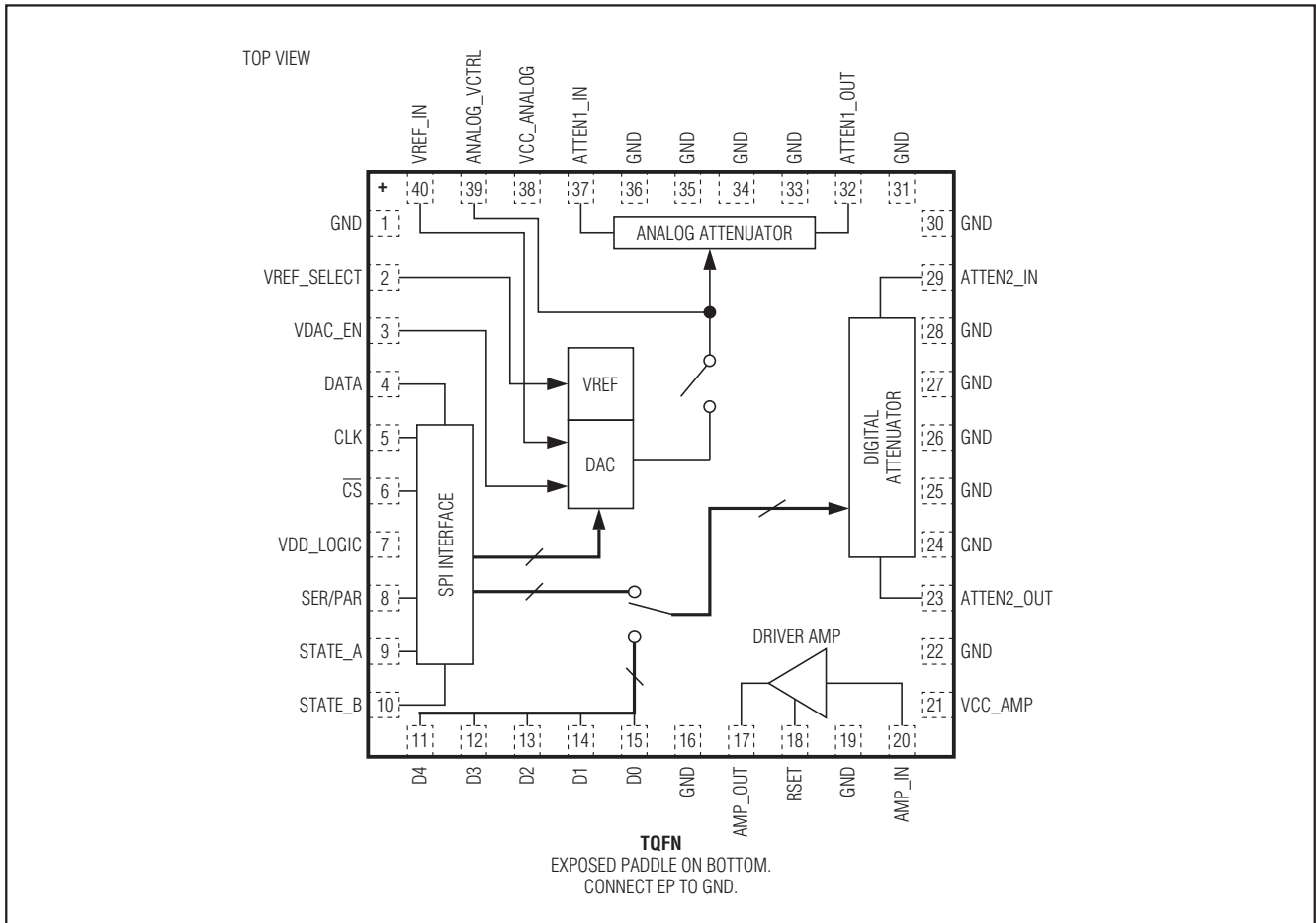
標準動作回路



50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

ピン配置/機能ブロック図



チップ情報

PROCESS: SiGe BiCMOS

50MHz~1000MHzの高リニアリティ、シリアル/ パラレル制御アナログ/デジタルVGA

MAX2065

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.35	0.50	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80
T3666MN-1	3.60	3.70	3.80	3.60	3.70	3.80
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20
T4866-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866N-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866-2	4.40	4.50	4.60	4.40	4.50	4.60

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.
- ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.

-DRAWING NOT TO SCALE-

TITLE: PACKAGE OUTLINE, 36, 40, 48L THIN QFN, 6x6x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0141
REV.	I 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 27