



# 1700MHz~2200MHz、高リニアリティ、ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## 概要

MAX2059は高リニアリティ、デジタル可変利得アンプ (DVGA)で、56dBの総利得範囲と、標準値が+31.8dBmの出力IP3および+18.4dBmの出力P1dBレベルを提供するように設計されています。このデバイスは、シングルおよびマルチキャリアの1700MHz~2200MHzのDCS 1800/PCS 1900 EDGE、cdma2000®, WCDMA/UMTS、およびTD-SCDMA基地局などの幅広いアプリケーションに最適です。MAX2059は、2個の5ビットデジタルアッテネータ、2段ドライバアンプ、ループバックミキサ、およびアッテネータを制御するシリアルインタフェースを内蔵して高水準の部品集積度を実現しています。

MAX2059は700MHz~1200MHzのDVGAであるMAX2058とピンコンパチブルであるため、共通のPCBレイアウトが両周波数帯域に使用されるアプリケーションでデザインインが容易になります。

MAX2059は、エクスポーズドパッド付きの40ピンTQFNパッケージで提供されます。電気的性能は、-40°C~+85°Cの温度範囲で保証されています。

## アプリケーション

DCS 1800/PCS 1900 EDGE基地局用  
トランスミッタおよびパワーアンプ

cdmaOne™およびcdma2000基地局用  
トランスミッタおよびパワーアンプ

WCDMA、TD-SCDMA、およびその他3G基地局用  
トランスミッタおよびパワーアンプ

トランスミッタ利得制御

レシーバ利得制御

ブロードバンドシステム

自動試験機器

デジタルおよびスペクトラム拡散通信システム  
マイクロ波地上波リンク

cdma2000はTelecommunications Industry Associationの登録商標です。

cdmaOneはCDMA Development Groupの商標です。

SPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

## 特長

- ◆ 出力IP3 : +31.8dBm (typ)
- ◆ 出力1dB圧縮ポイント : +18.4dBm (typ)
- ◆ RF周波数範囲 : 1700MHz~2200MHz
- ◆ RF周波数範囲 : 700MHz~1200MHz (MAX2058)
- ◆ 小信号利得 : 10.9dB (typ)
- ◆ 2つの独立した5ビット、デジタルアッテネータ段を内蔵し、1dBステップで56dBの総利得制御範囲を実現
- ◆ 3線式SPI™/MICROWIRE™対応
- ◆ 内蔵ループバックミキサでTx/Rxの自己診断
- ◆ +5Vの単一電源動作
- ◆ 外付け電流設定抵抗器でスケラブルなデバイス電源
- ◆ 鉛フリーパッケージで入手可能

## 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX2059ETL	-40°C to +85°C	40 Thin QFN-EP* (6mm x 6mm)	T4066-3
MAX2059ETL-T	-40°C to +85°C	40 Thin QFN-EP* (6mm x 6mm)	T4066-3
MAX2059ETL+	-40°C to +85°C	40 Thin QFN-EP* (6mm x 6mm)	T4066-3
MAX2059ETL+T	-40°C to +85°C	40 Thin QFN-EP* (6mm x 6mm)	T4066-3

\*EP = エクスポーズドパッド。  
+は鉛フリーパッケージを示します。  
T = テープ&リール。

ピン配置/ファンクションダイアグラムはデータシートの最後に記載されています。



# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## ABSOLUTE MAXIMUM RATINGS

V <sub>CC</sub> to GND	-0.3V to +5.5V
RSET1, RSET2	+1.2V to +4.0V
LBBIAS	(V <sub>CC</sub> - 1.5V) to +5.5V
LB_EN, DATA, $\overline{CS}$ , CLK	-0.3V to (V <sub>CC</sub> + 0.3V)
ATTEN_INA, ATTEN_INB, ATTEN_OUTA, ATTEN_OUTB	
Input Power	+24dBm
AMPIN, Differential LO Input Power	+12dBm
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
40-Pin TQFN (derated 26.3mW/°C above +70°C)	2100mW

Operating Temperature Range (Note A)	-40°C to +85°C
Junction Temperature	+150°C
$\theta_{JC}$	10°C/W
$\theta_{JA}$	38°C/W
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

**Note A:** T<sub>C</sub> is the temperature on the exposed paddle of the package.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(MAX2059 Typical Application Circuit, V<sub>CC</sub> = +4.75V to +5.25V, R1 = 1.2k $\Omega$ , R2 = 2k $\Omega$ , R3 = 2k $\Omega$ , T<sub>C</sub> = -40°C to +85°C. Typical values are at V<sub>CC</sub> = +5.0V and T<sub>C</sub> = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V <sub>CC</sub>	Reference to V <sub>CC</sub> , VCC <sub>LB</sub> , VCC <sub>LOGIC</sub> , VCC <sub>BIAS1</sub> , VCC <sub>BIAS2</sub> , VCC <sub>CAMP</sub>	4.75	5.0	5.25	V
Total Supply Current	I <sub>CC</sub>	LB mixer disabled (LB_EN = 1)		189	241	mA
		LB mixer enabled (LB_EN = 0)		217	275	
<b>LOGIC INPUTS (DATA, <math>\overline{CS}</math>, CLK, LB_EN)</b>						
Input High Voltage	V <sub>IH</sub>		2.4			V
Input Low Voltage	V <sub>IL</sub>				0.8	V
Input Current with Logic-High	I <sub>IH</sub>			0.01		$\mu$ A
Input Current with Logic-Low	I <sub>IL</sub>			0.01		$\mu$ A

## AC ELECTRICAL CHARACTERISTICS

(MAX2059 Typical Application Circuit, V<sub>CC</sub> = +4.75V to +5.25V, digital attenuators set for maximum gain, 1700MHz  $\leq$  f<sub>RF</sub>  $\leq$  2200MHz, 40MHz  $\leq$  f<sub>LO</sub>  $\leq$  100MHz, T<sub>C</sub> = -40°C to +85°C. Typical values are at V<sub>CC</sub> = 5.0V, P<sub>IN</sub> = 0dBm, f<sub>RF</sub> = 1850MHz, P<sub>LO</sub> = -6dBm, f<sub>LO</sub> = 95MHz, f<sub>LBOU</sub> = f<sub>RF</sub> - f<sub>LO</sub>, and T<sub>C</sub> = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RF Frequency (Note 2)		MAX2058	700		1200	MHz
		MAX2059	1700		2200	
Small-Signal Gain	A <sub>v</sub>	f <sub>RF</sub> = 1850MHz, T <sub>C</sub> = +25°C	8.0	10.9	13.3	dB
Gain Variation vs. Temperature		All attenuation settings	T <sub>C</sub> = -40°C to +25°C	-0.024		dB/°C
			T <sub>C</sub> = +25°C to +85°C	-0.032		
Output Power	P <sub>OUT</sub>	P <sub>IN</sub> = 0dBm, f <sub>RF</sub> = 1850MHz, T <sub>C</sub> = +25°C	8.0	10.9	13.3	dBm
Output Power Flatness		P <sub>IN</sub> = 0dBm	1800MHz to 2000MHz	-0.77		dB
			2000MHz to 2200MHz	-2		
Attenuation Range				56		dB
Output 3rd-Order Intercept Point	OIP3	Two tones: f <sub>RF1</sub> = 1850MHz, f <sub>RF2</sub> = 1851MHz, P <sub>OUT1</sub> = P <sub>OUT2</sub> = +5dBm		31.8		dBm

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2059 *Typical Application Circuit*,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $P_{LO} = -6dBm$ ,  $f_{LO} = 95MHz$ ,  $f_{LBOUT} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output -1dB Compression Point	OP <sub>1dB</sub>	(Note 3)		18.4		dBm
RMS Error Vector Magnitude	EVM	P <sub>OUT</sub> = +12dBm, EDGE modulation		0.5		%
Spurious Emissions in 30kHz Bandwidth		P <sub>OUT</sub> = +12dBm, EDGE modulation (Note 4)	200kHz offset	-39.1		dBc
			400kHz offset	-72.5		
			600kHz offset	-83.1		
			1.2MHz offset	-85.7		
Noise Figure	NF			8.1		dB
Input Return Loss		50Ω source, minimum attenuation setting		19		dB
Output Return Loss		50Ω load, minimum attenuation setting		24		dB
<b>5-BIT DIGITAL ATTENUATORS</b>						
Insertion Loss		Attenuator measured separately $Z_S = Z_L = 50\Omega$		5		dB
Input 3rd-Order Intercept Point	IIP3	Attenuator measured separately $Z_S = Z_L = 50\Omega$ , two tones: $f_{RF1} = 1850MHz$ , $f_{RF2} = 1851MHz$ , $P_{IN1} = P_{IN2} = +5dBm$		40		dBm
Control Range		(Note 5)		28		dB
Attenuation Step Size Variation vs. Frequency		1800MHz to 2000MHz		±0.17		dB
		2000MHz to 2200MHz		±0.29		
Attenuation Variation vs. Temperature		1800MHz to 2200MHz, $T_C = -40^\circ C$ to $+25^\circ C$		±0.011		dB/°C
		1800MHz to 2200MHz, $T_C = +25^\circ C$ to $+85^\circ C$		±0.023		
Step Size				1		dB
Relative Step Accuracy		1800MHz to 2000MHz, all states represented. For steps 0–23dB, accuracy is significantly improved. See <i>Typical Operating Characteristics</i> .		+0.53 -0.97		dB
Absolute Step Accuracy		1800MHz to 2000MHz, all states represented. For steps 0–23dB, accuracy is significantly improved. See <i>Typical Operating Characteristics</i> .		-3.5 +0.3		dB
Spurious Emissions in 300kHz Bandwidth		No RF input, attenuator A stepped from 0 to 2dB, 7dB to 9dB, 15dB to 17dB, 0 to 31dB, 31dB to 0dB, with attenuator B at 0dB; attenuator B stepped from 0 to 2dB, 7dB to 9dB, 15dB to 17dB, 0 to 31dB, 31dB to 0dB, with attenuator A at 0dB (Note 6)		-89		dBm

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2059 *Typical Application Circuit*,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $P_{LO} = -6dBm$ ,  $f_{LO} = 95MHz$ ,  $f_{LBOUT} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Switching Speed		From chip select transitioning high to the output settling to within 1dB of steady state output		0.3		$\mu s$
<b>LOOPBACK MIXER</b>						
LO Frequency	$f_{LO}$	(Note 2)	40		100	MHz
LO Input Power	$P_{LO}$			-6	0	dBm
Output Power		$P_{IN} = +5dBm$ , $f_{RF} = 1850MHz$ , $T_C = +25^\circ C$ (Note 7)	-15.4	-12.6	-9.6	dBm
Gain Accuracy		$P_{IN} = +5dBm$ , $T_C = -40^\circ C$ to $+85^\circ C$	1800MHz to 2000MHz		$\pm 2.2$	dB
			2000MHz to 2200MHz		$\pm 2.2$	
Output 3rd-Order Intercept Point	OIP3	Two tones: $f_{RF1} = 1850MHz$ , $f_{RF2} = 1850.2MHz$ , $P_{IN1} = P_{IN2} = +2dBm$ , $T_C = +25^\circ C$		6.2		dBm
Output Noise Floor		$P_{IN} = +5dBm$		-137		dBc/Hz
ON/OFF Switching Time		LB_EN enable time		0.12		$\mu s$
		LB_EN disable time		0.12		
LBOU to ATTEN_OUTB Isolation		Mixer enabled, attenuators A and B both set to 31dB, $P_{IN} = +5dBm$		55		dB
ATTEN_OUTB to LBOU Isolation		Mixer disabled, $P_{IN} = 0dBm$		50		dB
Output Return Loss		Mixer enabled, 50 $\Omega$ load		20		dB
		Mixer disabled, 50 $\Omega$ load		13		
LO Port Return Loss		50 $\Omega$ source		28		dB
<b>SERIAL PERIPHERAL INTERFACE (SPI)</b>						
Maximum Clock Speed				38		MHz
Data to Clock Setup Time	$t_{CS}$			1		ns
Data to Clock Hold Time	$t_{CH}$			9		ns
Clock to $\overline{CS}$ Setup Time	$t_{ES}$			4		ns
$\overline{CS}$ Positive Pulse Width	$t_{EW}$			18		ns
$\overline{CS}$ Negative Pulse Width	$t_{EWN}$			24		ns
Clock Pulse Width	$t_{CW}$			13		ns

**Note 1:** All limits include external component losses. Output measurements taken at RFOUT or LBOU ports of the *Typical Application Circuit*.

**Note 2:** Operating outside this range is possible, but with degraded performance of some parameters.

**Note 3:** Compression point characterized. It is advisable not to continuously operate the VGA RF input above +15dBm.

**Note 4:** Input RF source contribution to spurious emissions (Agilent ESG 4435B, PSA E4443A): 200kHz = -39.2dBc, 400kHz = -73.5dBc, 600kHz = -83.2dBc, 1.2MHz = -85.7dBc

**Note 5:** See the *Applications Information* section regarding effective attenuation range.

**Note 6:** No SPI clock input applied.

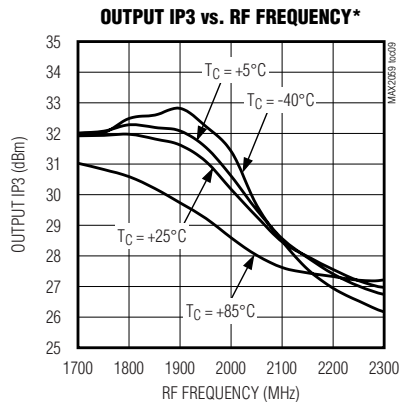
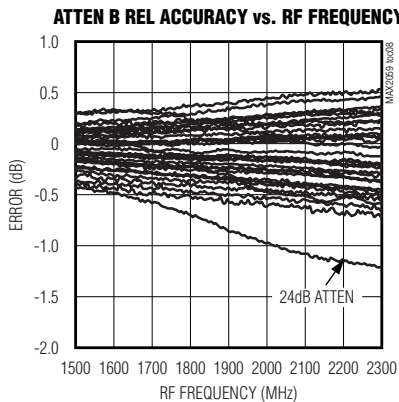
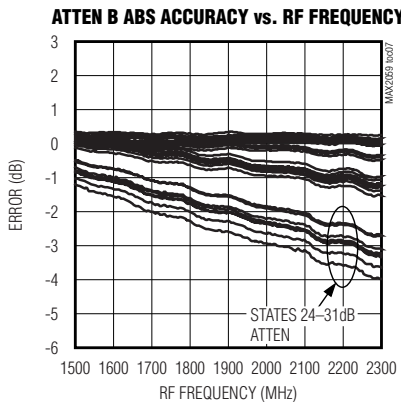
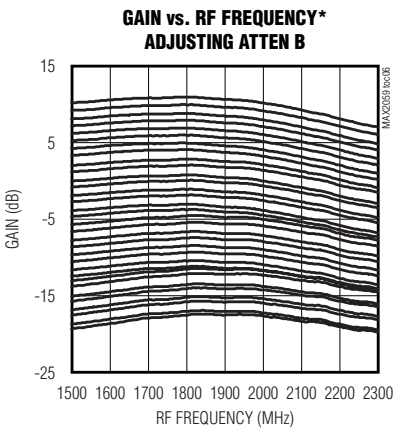
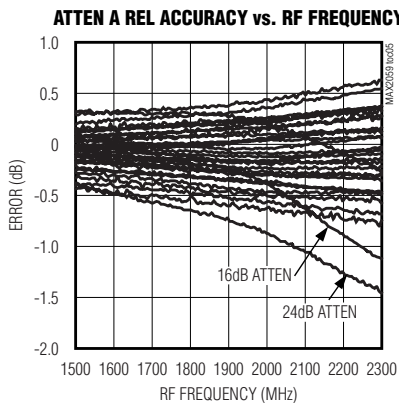
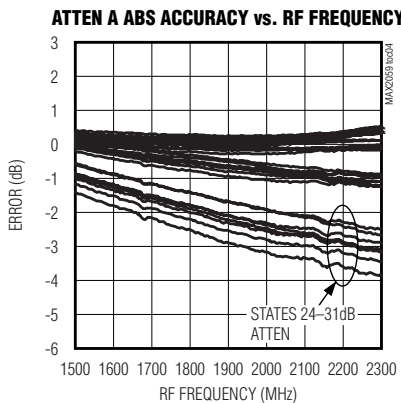
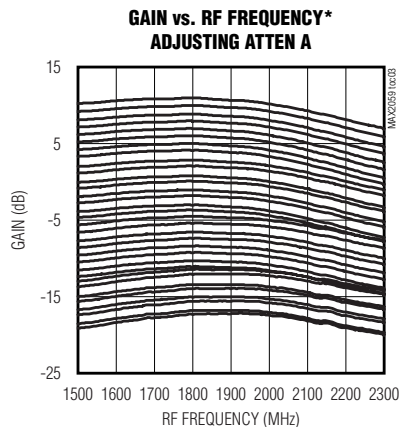
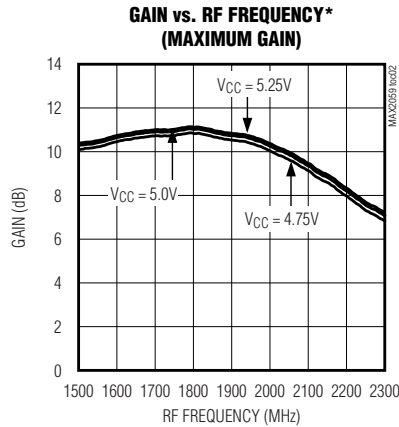
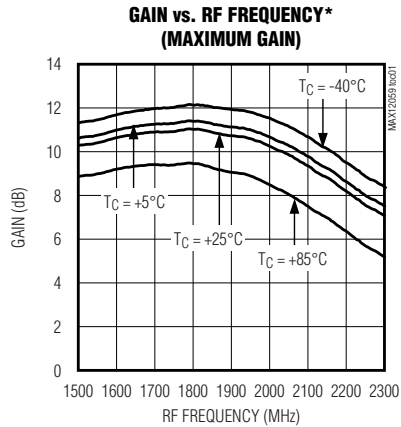
**Note 7:** Guaranteed by design and characterization.

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## 標準動作特性

(MAX2059 Typical Application Circuit,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $f_{LO} = 95MHz$ ,  $f_{L_{OUT}} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



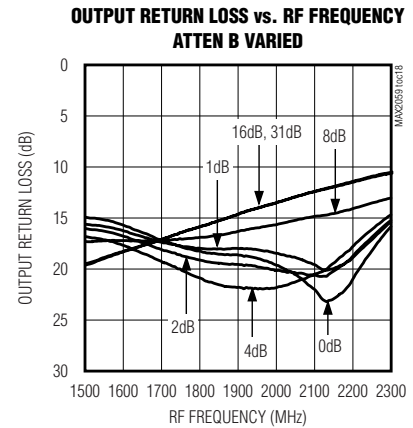
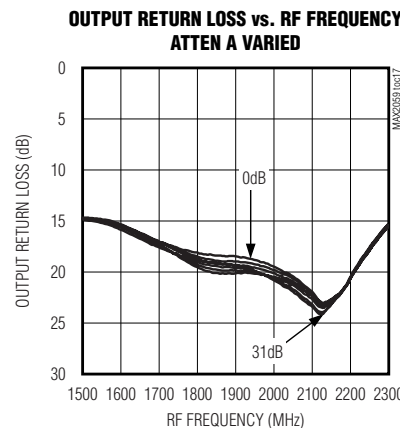
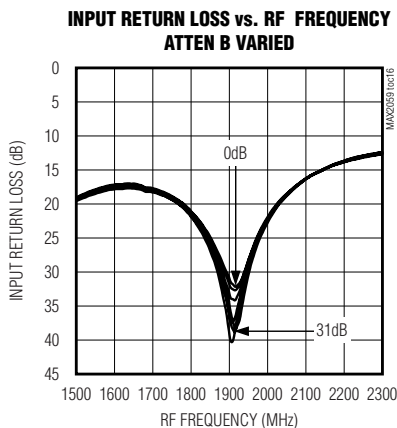
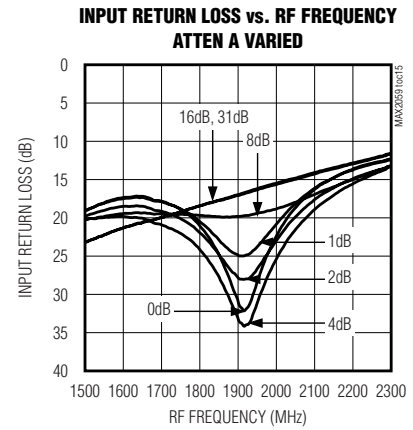
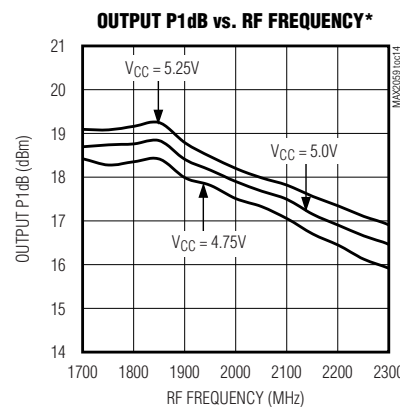
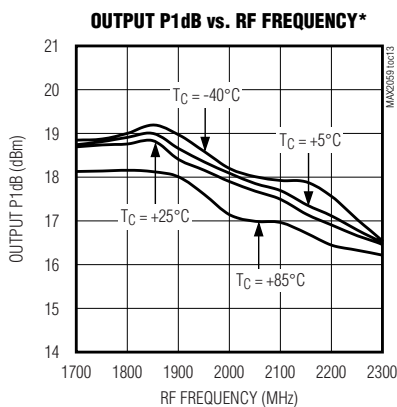
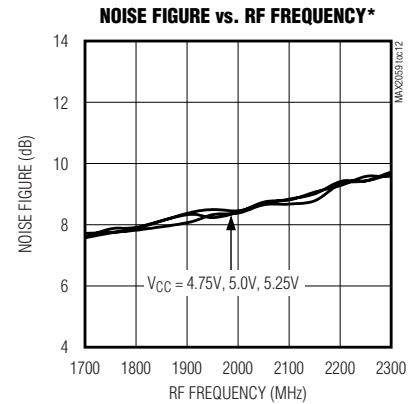
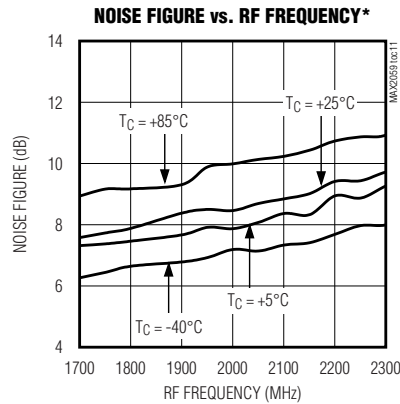
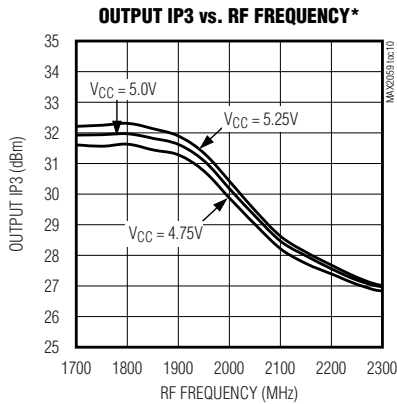
\* Off-chip tuning can improve performance for applications beyond 2200MHz. Contact factory for details.

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## 標準動作特性(続き)

(MAX2059 Typical Application Circuit,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $f_{LO} = 95MHz$ ,  $f_{L_{OUT}} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



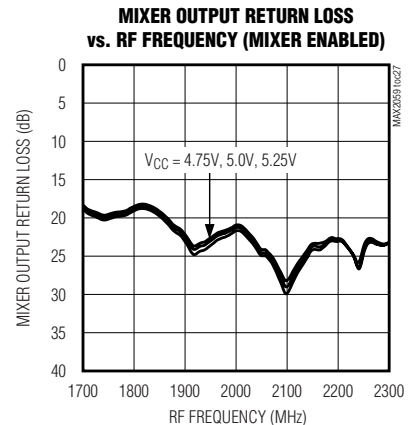
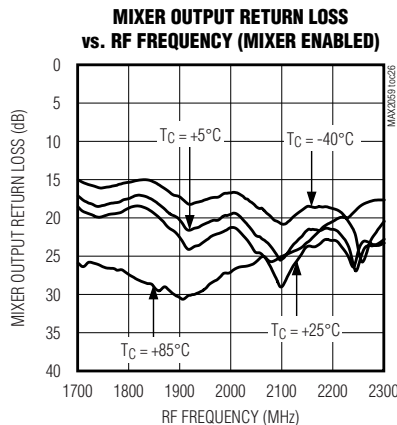
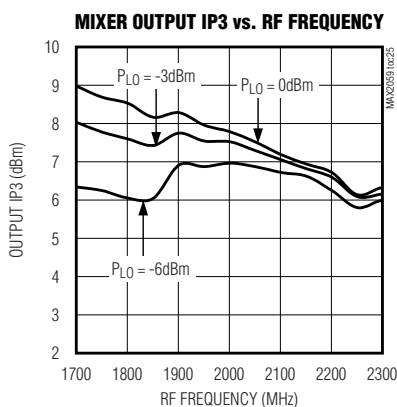
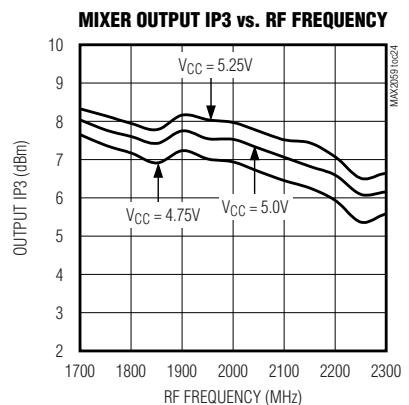
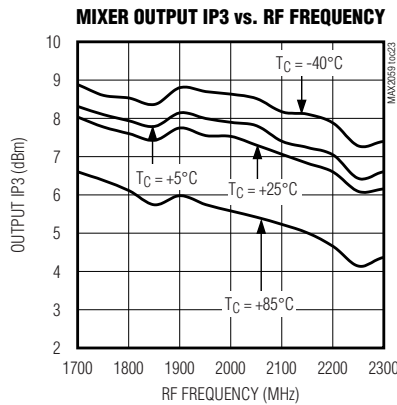
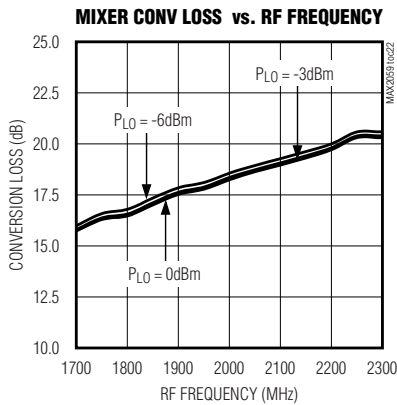
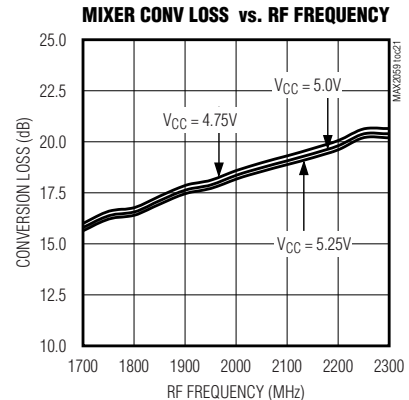
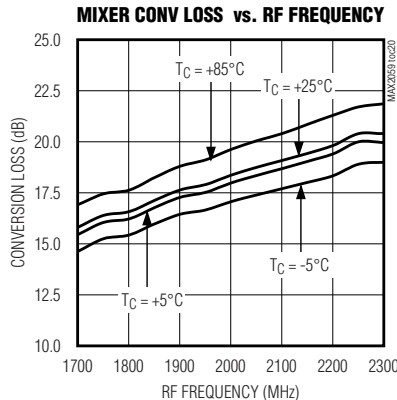
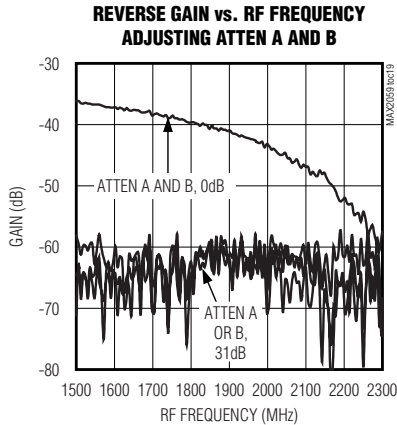
\*Off-chip tuning can improve performance for applications beyond 2200MHz. Contact factory for details.

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## 標準動作特性(続き)

(MAX2059 Typical Application Circuit,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $f_{LO} = 95MHz$ ,  $f_{LBOUT} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)

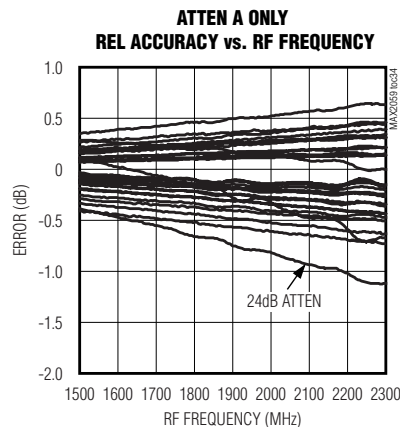
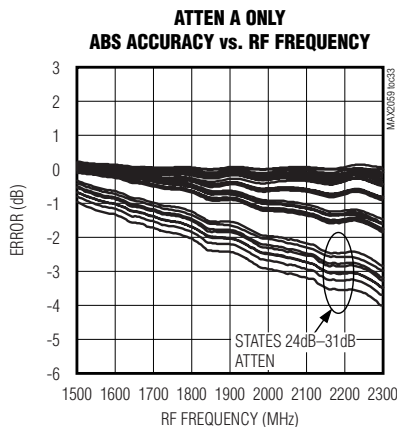
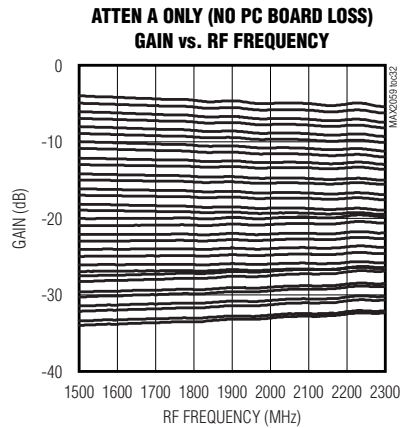
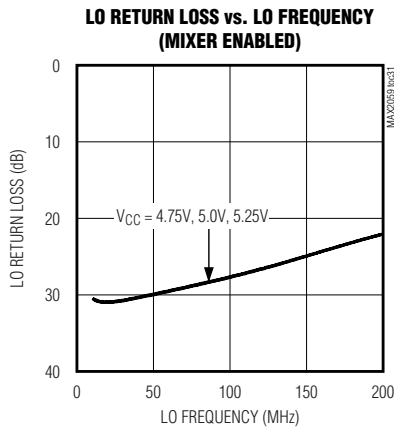
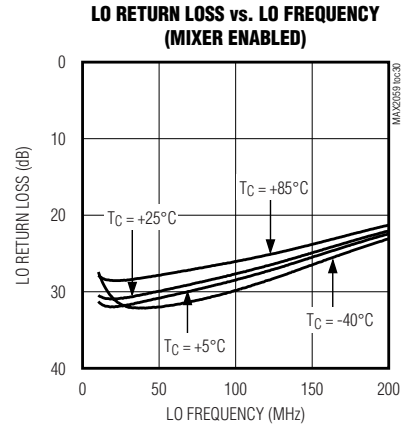
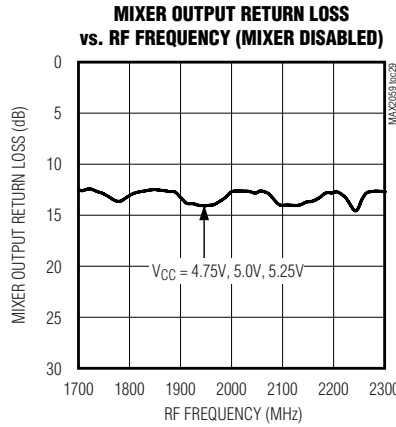
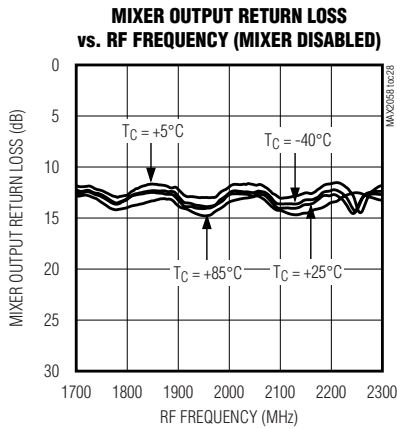


# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## 標準動作特性(続き)

(MAX2059 Typical Application Circuit,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $f_{LO} = 95MHz$ ,  $f_{L_{OUT}} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



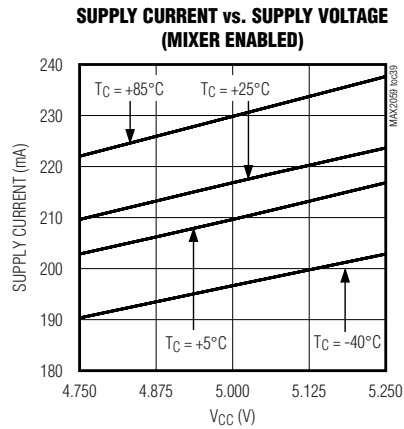
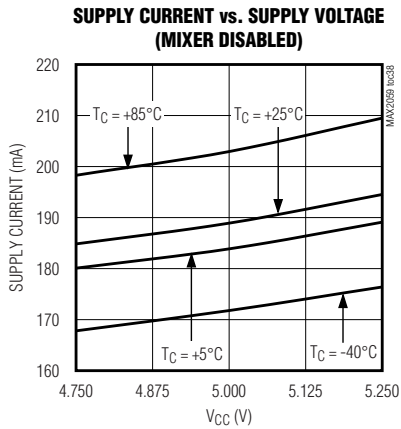
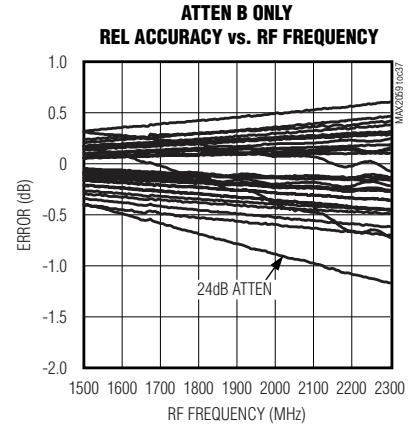
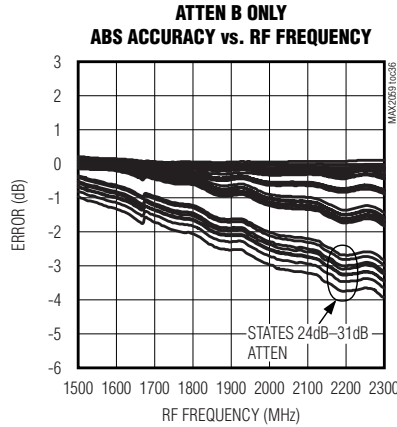
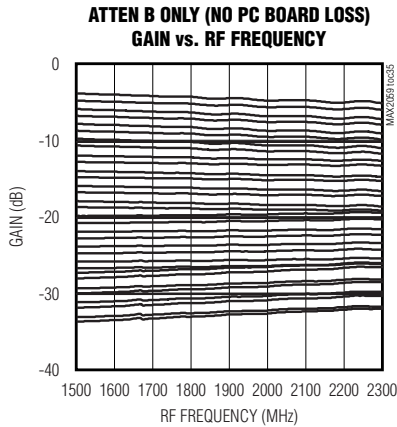


# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

MAX2059

## 標準動作特性(続き)

(MAX2059 Typical Application Circuit,  $V_{CC} = +4.75V$  to  $+5.25V$ , digital attenuators set for maximum gain,  $1700MHz \leq f_{RF} \leq 2200MHz$ ,  $40MHz \leq f_{LO} \leq 100MHz$ ,  $T_C = -40^\circ C$  to  $+85^\circ C$ . Typical values are at  $V_{CC} = 5.0V$ ,  $P_{IN} = 0dBm$ ,  $f_{RF} = 1850MHz$ ,  $f_{LO} = 95MHz$ ,  $f_{LBOUT} = f_{RF} - f_{LO}$ , and  $T_C = +25^\circ C$ , unless otherwise noted.)



# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

## 端子説明

端子	名称	機能
1	LO+	ループバックミキサのローカル発振器の正入力
2	LO-	ループバックミキサのローカル発振器の負入力
3	VCCLB	ループバックミキサの電源電圧。内蔵ループバックミキサの+5V電源。端子にできるだけ近接した0.1 $\mu$ Fおよび22pFコンデンサでGNDにバイパスしてください。
4	LBOUT	ループバックミキサのRF出力。50 $\Omega$ に内部で整合されています。コンデンサでAC結合してください。
5	LB_EN	ループバックミキサのロジック入力。ミキサをイネーブルするには、ロジックローの0に設定してください。ミキサをディセーブルするには、ロジックハイの1に設定してください。
6	DATA	SPIデジタルデータ入力
7	CLK	SPIクロック入力
8	$\overline{CS}$	SPIチップ選択入力
9	VCCLOGIC	ロジック電源電圧。内部ロジック回路の+5V電源。端子にできるだけ近接した0.1 $\mu$ Fおよび22pFコンデンサでGNDにバイパスしてください。
10, 11, 13, 14, 16, 17, 19, 22, 24, 25, 26, 30, 32, 34, 35, 37, 38	GND	グラウンド
12	ATTEN_OUTB	アッテネータBの出力。50 $\Omega$ に内部で整合されています。
15	Vcc	アッテネータBの電源。アッテネータBの+5V電源。端子にできるだけ近接した0.01 $\mu$ Fおよび22pFコンデンサでGNDにバイパスしてください。
18	ATTEN_INB	アッテネータBの入力。50 $\Omega$ に内部で整合されています。
20	RSET2	出力アンプのバイアス電流設定抵抗器。出力アンプ段のバイアス電流を設定します。2k $\Omega$ の抵抗器をグラウンドに接続してください。
21	VCCBIAS2	バイアス回路の電源電圧。内部バイアス回路の+5V電源。端子にできるだけ近接した0.1 $\mu$ Fおよび1000pFコンデンサでGNDにバイパスしてください。
23	AMPOUT	RFアンプ出力。50 $\Omega$ に内部で整合されます。
27	VCCAMP	RFアンプの電源電圧。RFアンプの+5V電源。端子にできるだけ近接した0.1 $\mu$ Fおよび1000pFコンデンサでGNDにバイパスしてください。
28	AMPIN	RFアンプ入力。50 $\Omega$ に内部で整合されています。
29	VCCBIAS1	バイアス回路の電源電圧。内部バイアス回路の+5V電源。端子にできるだけ近接した0.1 $\mu$ Fおよび1000pFコンデンサでGNDにバイパスしてください。
31	RSET1	入力アンプのバイアス電流設定抵抗器。入力アンプ段のバイアス電流を設定します。1.2k $\Omega$ の抵抗器をグラウンドに接続してください。
33	ATTEN_OUTA	アッテネータAの出力。50 $\Omega$ に内部で整合されています。
36	Vcc	アッテネータAの電源電圧。アッテネータAの+5V電源。端子にできるだけ近接した0.01 $\mu$ Fおよび22pFコンデンサでGNDにバイパスしてください。
39	ATTEN_INA	アッテネータAの入力。50 $\Omega$ に内部で整合されています。
40	LBBIAS	ループバックミキサのバイアス電流設定抵抗器。ミキサのバイアス電流を設定します。2k $\Omega$ の抵抗器をグラウンドに接続してください。
EP	EP	エクスポーズドグラウンドパッド。複数ビアを使ってエクスポーズドパッドをGNDに半田付けしてください。

# 1700MHz~2200MHz、高リニアリティ、ループバックミキサ内蔵のSPI制御によるDVGA

## 詳細

MAX2059は高リニアリティDVGAで、2個の5ビットデジタルアッテネータ、固定利得、2段ドライバンプ、ループバックミキサ、およびアッテネータを制御するシリアルインタフェースから構成されています。高水準の部品集積度によって、MAX2059は基地局用トランスミッタアプリケーションに最適です。MAX2059は、1700MHz~2200MHzの周波数範囲で動作するように設計されています。MAX2059の総カスケード性能により、標準で10.9dBの利得、+31.8dBmのOIP3、18.4dBmのOP1dB、および56dBの総利得制御範囲が達成されます。

## 5ビットアッテネータ

MAX2059は2個の5ビットデジタルアッテネータを内蔵し、広ダイナミックレンジを実現します。各アッテネータは、28dBの総有効範囲と1dBのステップサイズで3線式SPIインタフェースを通じて設定されます。アッテネータ設定の詳細については、「アプリケーション情報」の項と表1を参照してください。これらのアッテネータを固定および動的パワー制御の両方に使用することができます。

表1. アッテネータの設定

ATTENUATOR A (5 MSBs)	ATTENUATOR B (5 LSBs)
Bit 9 = 16dB step	Bit 4 = 16dB step
Bit 8 = 8dB step	Bit 3 = 8dB step
Bit 7 = 4dB step	Bit 2 = 4dB step
Bit 6 = 2dB step	Bit 1 = 2dB step
Bit 5 = 1dB step	Bit 0 = 1dB step

注：回路間の分離が完全ではないため、各アッテネータの総有効範囲は28dBに制限されます。

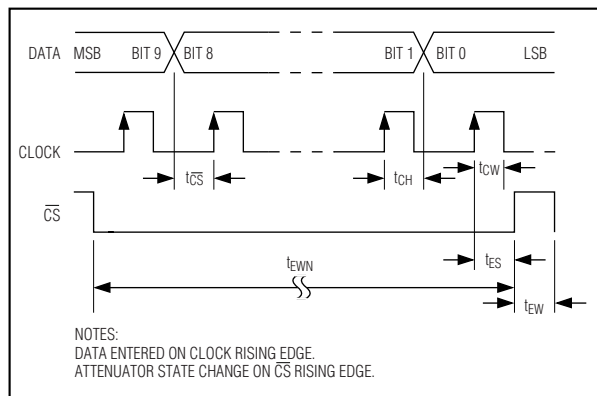


図1. SPIタイミング図

## ドライバンプ

MAX2059は、18.5dBの固定利得の2段式中電力アンプを内蔵しています。ドライバンプ回路は、1800MHz~2000MHzの周波数範囲の高リニアリティおよび中出力パワー能力に最適化されています。ドライバンプは、基地局トランスミッタにおいて変調信号を増幅し、大電力アンプを駆動することを目的としています。標準的なアプリケーションでは、ドライバンプは2個のデジタルアッテネータ間にカスケード接続されます。「標準動作回路」を参照してください。

デジタルアッテネータやループバックミキサのみが使用されるアプリケーションでは、2段アンプ段をディセーブルすることができます。2段アンプをディセーブルするには、アンプ電源のVCCBIAS2、VCCAMP、VCCBIAS1、さらにアンプバイアス電流の設定用の入力RSET1、RSET2をグラウンドするか、または未接続状態にしてください。これによって、消費電流が標準状態で約187mAだけ低減します。

## ループバックミキサ

MAX2059のループバックミキサは、1700MHz~2200MHzのRF周波数範囲と40MHz~100MHzのLO周波数範囲で動作するように設計されたダブルバランス型のアクティブアーキテクチャを採用しています。ミキサのRFポートは、第1アッテネータ段の入力に(内蔵スイッチによって)内部で接続されています。ミキサのIFポートはシングルエンド50Ωインピーダンスに整合され、またLOポートには100Ωの差動入力インピーダンスが必要です。

ループバックミキサはセルラトランシーバの自己診断モードを容易にするため、ミキサの入力におけるTx帯域の信号を上下に変換して対応するRx帯域に変換することができます。次に、この変換された信号をTx/Rx完全ループ診断用に無線のレシーバに戻すことができます。ループバックミキサは、LB\_ENによってイネーブルまたはディセーブルされます。ミキサをイネーブルするにはLB\_ENをロジックローの0に設定し、ミキサをディセーブルするにはLB\_ENをロジックハイの1に設定してください。

MAX2059のループバックミキサは公称-6dBmのLO入力パワーを受け付け、-12.6dBmの出力パワーと6.2dBmの出力IP3が得られます(P<sub>IN</sub> = +5dBmの場合)。

## アプリケーション情報

### SPIインタフェースおよびアッテネータの設定

2個の5ビットアッテネータは、10ビットワードを使って3線式SPI/MICROWIRE対応シリアルインタフェースを通じて設定されます。CSがハイからローに関係なく、10ビットデータのビット9を先頭に、クロックの立上りエッジで残りの全データビットと共にシフトインされます。全データビットがシフトインされると、全ビット

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

が $\overline{CS}$ の立上りエッジでアッテネータに転送されるため、減衰状態が変わります。標準的なSPI動作には、有効な10ビットデータセットの間( $t_{EWN}$ )、 $\overline{CS}$ をローに強制してください。この $\overline{CS}$ が負のパルス幅には、 $\overline{CS}$ がハイに遷移するまでの立上りクロックエッジのセットアップ時間( $t_{ES}$ )が含まれます。図1を参照してください。

10ビットワードのMSBの5ビットでアッテネータAを設定し、10ビットワードのLSBの5ビットでアッテネータBを設定します。各ビットによって、アッテネータを対応する減衰レベルに設定します。たとえば、アッテネータAおよびBのビット5およびビット0をロジックロー0にすると、それぞれ両アッテネータは1dBに設定されます。00000で両アッテネータは最大減衰に設定され、11111で最小減衰に設定されます。設定の詳細については、表1を参照してください。

## 外部バイアス

2段アンプとループバックミキサのバイアス電流は、外付け抵抗器によって設定され、最適化されます。抵抗器R1 (端子31)によって入力アンプのバイアス電流を設定し、R2 (端子20)によって出力アンプのバイアス電流を設定し、R3 (端子40)によってループバックミキサのバイアスを設定します。外部バイアス抵抗値を大きくすると、性能を犠牲にして低電流動作にすることができます。詳細については、お問い合わせください。

## 基板レイアウト

MAX2059の端子構成は、デバイスおよびその関連ディスクリット部品の超小型物理レイアウトを容易にするように最適化されています。

MAX2059のTQFN-EPパッケージのエクスポーズドパッド(EP)によって、ダイまでの低熱抵抗経路が形成されます。MAX2059を実装するPCBは、EPから熱を伝導するように設計する必要があります。また、EPから電氣的グラウンドまでを低インダクタンス経路にします。EPは、直接またはメッキ処理されたビアホールのアレイを通じて、PCB上のグラウンドプレーンに半田付けする必要があります。

表2. 標準動作回路に関連する部品リスト

COMPONENT	VALUE	DESCRIPTION
C1, C4, C10, C13, C16	0.1 $\mu$ F	Microwave capacitors (0603)
C2, C3, C5, C8, C11, C14, C17, C24	22pF	Microwave capacitors (0402)
C6, C19	120pF	Microwave capacitors (0402)
C7, C18	0.01 $\mu$ F	Microwave capacitors (0402)
C9, C12, C15	1000pF	Microwave capacitors (0402)
C20, C21, C22	0.75pF	Microwave capacitors (0402)
C23	1pF	Microwave capacitor (0402)
R1	1.2k $\Omega$	$\pm 1\%$ resistor (0402)
R2, R3	2.0k $\Omega$	$\pm 1\%$ resistors (0402)
R4	110 $\Omega$	$\pm 1\%$ resistor (0402)
TI	2:1	RF transformer (100:50) Mini-Circuits TC2-1T
U1	—	MAX2059

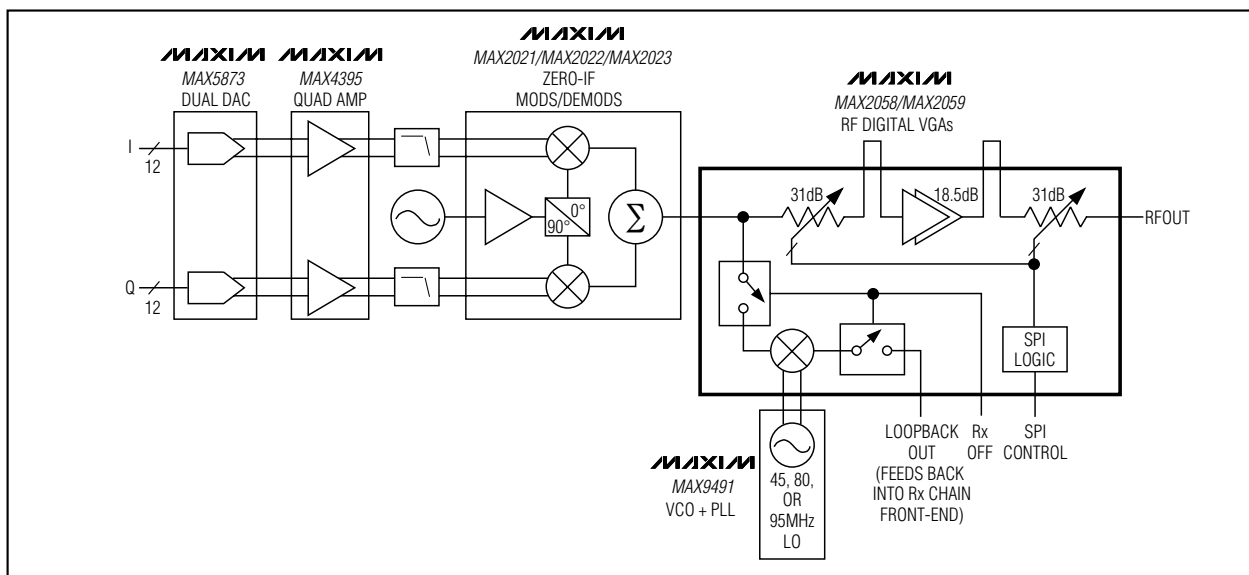


図2. GSM/EDGE基地局用のダイレクトコンバージョントランスミッタ

# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

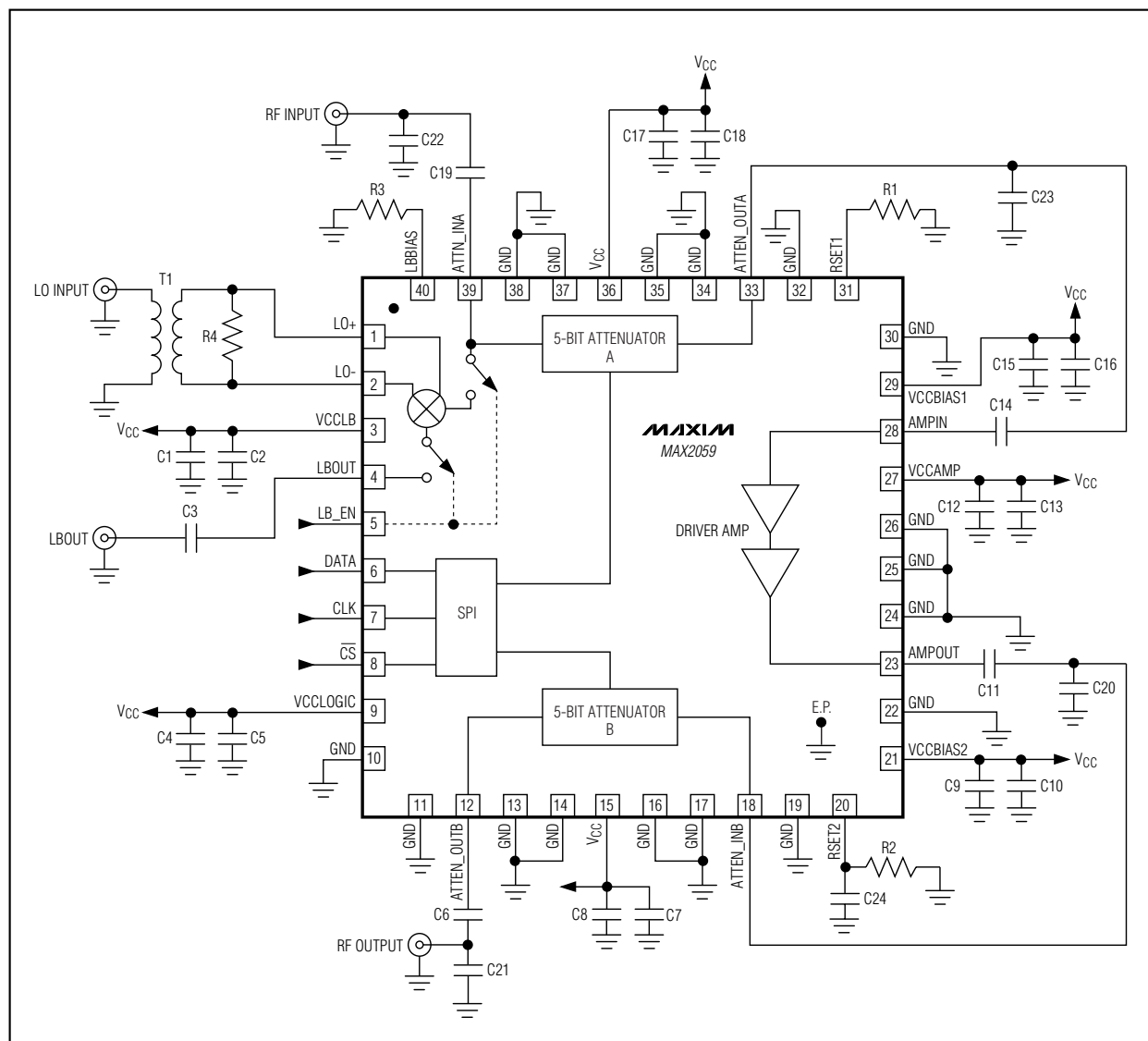
MAX2059

## 基地局用のダイレクトコンバージョン トランスミッタ

MAX2058/MAX2059は、マキシムのダイレクトコンバージョン直交変調器および高速DACと直接インタフェースし、GSM/EDGE基地局用トランスミッタアプリケーションの完全ソリューションを提供するように設計されています。図2を参照してください。ダイレクト

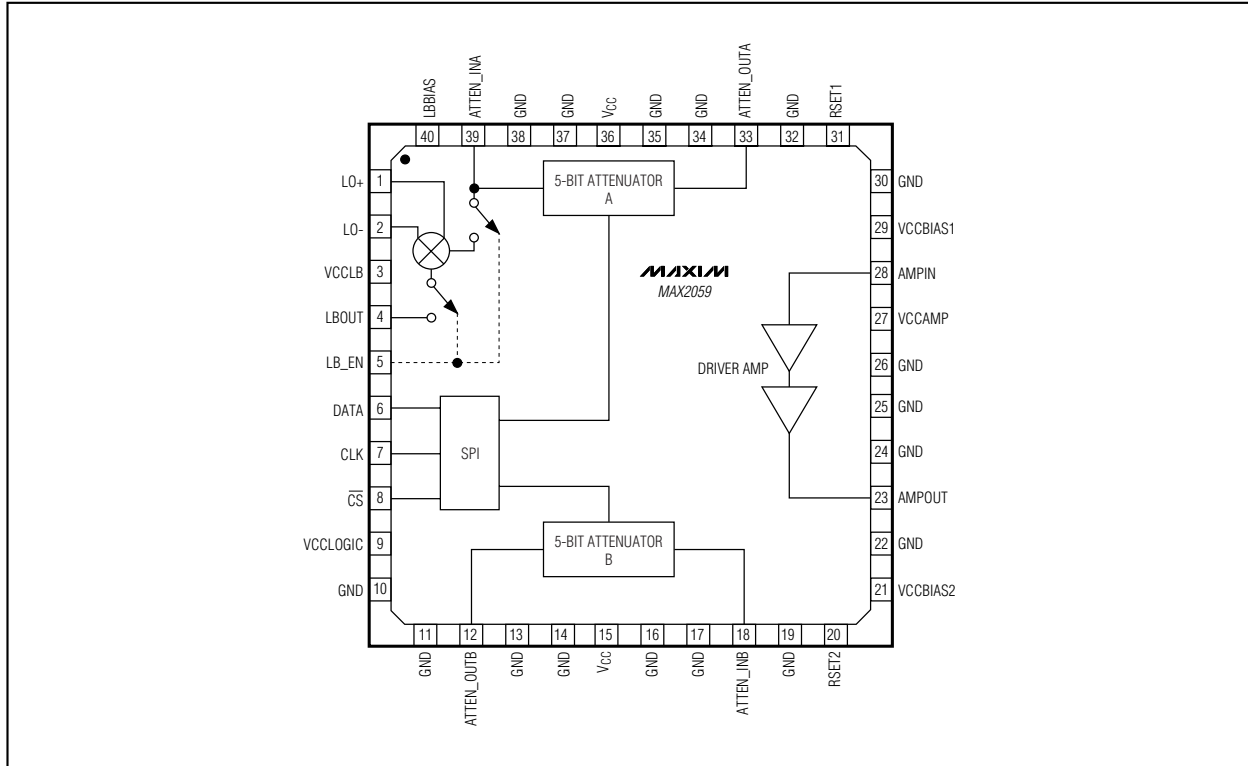
コンバージョン変調器/復調器のMAX2021/MAX2022/MAX2023、デュアルチャネルDACのMAX5873、およびクワッドアンプのMAX4395とともに、MAX2058/MAX2059は、理想的な総合トランスミッタ構成を形成しています。高リニアリティと低ノイズ性能を維持しながら、このシステム全体は高効率で低コストです。

## 標準動作回路



# 1700MHz~2200MHz、高リニアリティ、 ループバックミキサ内蔵のSPI制御によるDVGA

## ピン配置/ファンクションダイアグラム



## チップ情報

PROCESS: SiGe BiCMOS

## パッケージ

最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を  
ご参照ください。

# マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.