

CWオクタール(8回路)ミキサ内蔵、 超音波VGA

概要

MAX2038は8チャンネル可変利得アンプ(VGA)およびプログラム可能オクタール(8回路)ミキサアレイであり、超音波画像処理とドップラーアプリケーションを対象にして、高リニアリティ、広いダイナミックレンジ、および低ノイズ性能を実現するように設計されています。各アンプは、差動入力および出力と42dB (typ)の総合利得範囲を備えています。さらに、VGAは12ビットADCとのインタフェースに適した超低出力換算ノイズ性能を備えています。

MAX2038のVGAは ± 0.25 dB未満の絶対利得誤差に最適化され、チャンネル間の超音波ビーム形成フォーカス誤差を最小限に抑制します。デバイスの差動出力は、外付け受動アンチエイリアシングフィルタを通じて超音波ADCをじかに駆動するように設計されています。また、切替え可能なクランプも各アンプの出力に備えられ、出力信号を制限してADCのオーバドライブや飽和を防止します。

デバイスのダイナミック性能は、歪みを最小にするように最適化され、2次高調波画像処理に対応しています。このデバイスは、 $V_{OUT} = 1.5V_{P-P}$ および $f_{IN} = 5$ MHzにおいて-70dBcの2次高調波歪み規格と、 $V_{OUT} = 1.5V_{P-P}$ および $f_{IN} = 5$ MHzにおいて-52dBcの超音波処理に特有な*ツートーン、3次相互変調歪み規格を満たしています。

MAX2038には、完全なCWビーム形成ソリューションのためのオクタール直交ミキサアレイとプログラム可能LO位相ジェネレータも内蔵されています。各チャンネルのLO位相の選択は、デジタルシリアルインタフェースと単一の高周波数クロックを使用してプログラムするか、または個々の複合ミキサペアのLOを独立した4個のLOクロックを使用して、じかに駆動することが可能です。プログラムインタフェースの配線を最小限に抑えるために、シリアルインタフェースは複数のデバイスを容易にデジタイズ可能なように設計されています。LOの位相分周器はプログラム可能であり、4、8、または16直交位相に対応します。各CWミキサの入力経路は、最適なCWDノイズ性能のための選択可能なローパスフィルタで構成されています。各ミキサの出力は、IおよびQ差動電流出力の形に集約されます。ミキサおよびLOジェネレータは、1.25MHzのキャリアから1kHzのオフセットで-155dBc/Hzという極めて低いノイズ性能を持つように設計されています。

MAX2038は+5.0V電源で動作し、チャンネル当りの消費電力はVGAモードではわずか120mW、通常電力CWモードでは269mWです。低電力CWモードも用意されており、チャンネル当りの消費電力はわずか226mWです。このデバイスは、エクスポーズドパッド付きの鉛フリー100ピンTQFPパッケージ(14mm x 14mm x 1mm)で提供されます。電気的性能は、0°C ~ +70°Cの温度範囲にわたって保証されています。

アプリケーション

超音波画像化 ソナー

特長

- ◆ 8チャンネル構成
- ◆ 超音波画像処理アプリケーション向けに高集積
- ◆ 超音波VGAのMAX2037とピンコンパチブル

VGAの特長

- ◆ 最大利得、利得範囲、および出力換算ノイズを12ビットADCとのインタフェース用に最適化
最大利得：29.5dB
総合利得範囲：42dB
5MHzで22nV/√Hzの超低出力換算ノイズ
- ◆ 絶対利得誤差： ± 0.25 dB
- ◆ チャンネル当りの消費電力：120mW
- ◆ 切替え可能な出力VGAクランプによってADCオーバドライブを排除
- ◆ ダイレクトADC駆動用完全差動VGA出力
- ◆ 可変利得範囲で42dBのダイナミックレンジを実現
- ◆ HD2：-70dBc ($V_{OUT} = 1.5V_{P-P}$ および $f_{IN} = 5$ MHzにおいて)
- ◆ 超音波処理に特有な*ツートーンのIMD3：-52dBc ($V_{OUT} = 1.5V_{P-P}$ および $f_{IN} = 5$ MHzにおいて)

CWドップラーミキサの特長

- ◆ 低ミキサノイズ：-155dBc/Hz (1.25MHzのキャリアから1kHzのオフセットにおいて)
- ◆ シリアルプログラム可能LO位相ジェネレータによって4、8、16 LO直交位相分解能に対応
- ◆ 必要に応じてチャンネル別 $f_{LO} \times 4$ のLO入力駆動機能も選択可能
- ◆ チャンネル当りの消費電力：269mW (通常電力モード) および226mW (低電力モード)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX2038CCQ+D	0°C to +70°C	100 TQFP-EP*
MAX2038CCQ+TD	0°C to +70°C	100 TQFP-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

D = ドライパッド

T = テープ&リール

*EP = エクスポーズドパッド

*「アプリケーション情報」の項の「超音波処理に特有なIMD3規格」をご覧ください。

ピン配置はデータシートの最後に記載されています。

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

ABSOLUTE MAXIMUM RATINGS

V _{CC} , V _{REF} to GND	-0.3V to +5.5V
Any Other Pins to GND	-0.3V to (V _{CC} + 0.3V)
CW Mixer Output Voltage to GND (CW_IOUT+, CW_IOUT-, CW_QOUT+, CW_QOUT-)	13V
VGA Differential Input Voltage (VGIN+, VGIN-)	8.0V _{P-P}
Analog Gain Control Differential Input Voltage (VG_CTL+, VG_CTL-)	8.0V _{P-P}
CW Mixer Differential Input Voltage (CWIN+, CWIN-)	8.0V _{P-P}

CW Mixer LVDS LO Differential Input Voltage	8.0V _{P-P}
Continuous Power Dissipation (T _A = +70°C) 100-Pin TQFP (derated 45.5mW/°C above +70°C)	3636.4mW
Operating Temperature Range	0°C to +70°C
Junction Temperature	+150°C
θ _{JC} (Note 1)	+2°C/W
θ _{JA} (Note 1)	+22°C/W
Storage Temperature Range	-40°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS—VGA MODE

(Typical Application Circuit, Figure 7. V_{CC} = V_{REF} = 4.75V to 5.25V, V_{CM} = (3/5)V_{REF}, T_A = 0°C to +70°C, V_{GND} = 0V, LOW_PWR = 0, M4_EN = 0, CW_FILTER = 0 or 1, TEST_MODE = 0, PD = 0, CW_VG = 1, CW_M1 = 0, CW_M2 = 0, no RF signals applied, capacitance to GND at each of the VGA differential outputs is 60pF, differential capacitance across the VGA outputs is 10pF, R_L = 1kΩ, CW mixer outputs pulled up to +11V through four separate ±0.1% 115Ω resistors, all CW channels programmed off. Typical values are at V_{CC} = V_{REF} = 5V, T_A = +25°C, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VGA MODE						
Supply Voltage Range	V _{CC}		4.75	5	5.25	V
V _{CC} External Reference	V _{REF}	(Note 3)	4.75	5	5.25	V
Total Power-Supply Current		Refers to V _{CC} supply current plus V _{REF} current	PD = 0	204	231	mA
			PD = 1	27	33	
V _{CC} Supply Current	I _{VCC}			192	216	mA
V _{REF} Current	I _{REF}			12	15	mA
Current Consumption per Amplifier Channel		Refers to V _{CC} supply current		24	27	mA
Differential Analog Control Voltage Range		Minimum gain		+2		V _{P-P}
		Maximum gain		-2		
Differential Analog Control Common-Mode Voltage	V _{CM}		2.85	3	3.15	V
Analog Control Input Source/Sink Current				4.5	5	mA
LOGIC INPUTS						
CMOS Input High Voltage	V _{IH}		2.3			V
CMOS Input Low Voltage	V _{IL}				0.8	V

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

DC ELECTRICAL CHARACTERISTICS—CW MIXER MODE

(Typical Application Circuit, Figure 7. $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 0$ or 1 , $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, no RF signals applied, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITONS	MIN	TYP	MAX	UNITS
CW MIXER MODE						
Current in Full-Power Mode 5V V_{CC} Supply	I_{CC_FP}	Refers to V_{CC} supply current (all 8 channels)		245	265	mA
Current in Full-Power Mode 11V V_{MIX} Supply	I_{MIX_FP}	Refers to V_{MIX} supply current (all 8 channels)		106	120	mA
Current in Full-Power Mode 5V V_{REF} Supply	I_{REF_FP}	Refers to V_{REF} supply current (all 8 channels)		17	21	mA
Power Dissipation in Full-Power Mode	P_{DISS_FP}	Total power dissipation (all 8 channels including both 5V (V_{CC} and V_{REF}) and 11V mixer pullup supply power dissipation in the device) (Note 4)		2.15	2.41	W
Current in Low-Power Mode 5V V_{CC} Supply	I_{CC_LP}	$LOW_PWR = 1$; refers to V_{CC} supply current (all 8 channels)		245	265	mA
Current in Low-Power Mode 11V V_{MIX} Supply	I_{MIX_LP}	$LOW_PWR = 1$; refers to V_{MIX} supply current (all 8 channels)		53	60	mA
Current in Low-Power Mode 5V V_{REF} Supply	I_{REF_LP}	$LOW_PWR = 1$; refers to V_{REF} supply current (all 8 channels)		17	21	mA
Power Dissipation in Low-Power Mode	P_{DISS_LP}	$LOW_PWR = 1$; total power dissipation (all 8 channels including both 5V (V_{CC} and V_{REF}) and 11V mixer pullup supply power dissipation in the device) (Note 4)		1.81	2.06	W
Mixer LVDS LO Input Common-Mode Voltage		Modes 1 and 2 (Note 5)		1.25 ± 0.2		V
LVDS LO Differential Input Voltage		Modes 1 and 2	200	700		mV _{P-P}
LVDS LO Input Common-Mode Current		Per pin		150	200	μA
LVDS LO Differential Input Resistance		Modes 1 and 2 (Note 6)		30		k Ω
Mixer IF Common-Mode Output Current		Common-mode current in each of the differential mixer outputs (Note 7)		3.25	3.75	mA
DATA Output High Voltage		DOUT voltage when terminated in DIN (daisy chain) (Note 8)	4.5			V
DATA Output Low Voltage		DOUT voltage when terminated in DIN (daisy chain) (Note 8)			0.5	V

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

AC ELECTRICAL CHARACTERISTICS—VGA MODE

(Typical Application Circuit, Figure 7. $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{CM} = (3/5)V_{REF}$, $T_A = 0^\circ C$ to $+70^\circ C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 1$, $CW_M1 = 0$, $CW_M2 = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = f_{LO}/16 = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors, differential mixer inputs are driven from a low impedance source. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Mode Select Response Time		CW_VG set from logic 1 to 0 or from 0 to 1 (Note 9)			2		μs
VGA MODE							
Full-Scale Bandwidth	f-1.3dB	V _{OUT} = 1.5V _{P-P} , 1.3dB bandwidth, gain = 10dB	Differential output capacitance is 10pF, capacitance to GND at each single-ended output is 60pF, R _L = 1k Ω		18		MHz
			No capacitive load R _L = 1k Ω		29		
Small-Signal Bandwidth	f-1.3dB	V _{OUT} = 1.5mV _{P-P} , 3dB bandwidth, gain = 10dB			30		MHz
Differential Input Resistance	R _{IN}			170	200	230	Ω
Input Effective Capacitance	C _{IN}	f _{RF} = 10MHz, each input to ground			15		pF
Differential Output Resistance	R _{OUT}				100		Ω
Maximum Gain					+29.5		dB
Minimum Gain					-12.5		dB
Gain Range					42		dB
Absolute Gain Error		T _A = +25 $^\circ C$, full gain range 0% to 100%, V _{REF} = 5V			± 0.25	± 1.5	dB
VGA Gain Response Time		40dB gain change to within 1dB final value			1		μs
Input-Referred Noise		VG_CTL set for maximum gain, no input signal			2		nV/ \sqrt{Hz}
Output-Referred Noise		VG_CTL set for +10dB of gain	No input signal		22		nV/ \sqrt{Hz}
			V _{OUT} = 1.5V _{P-P} , 1kHz offset		55		
Second Harmonic	HD2	VG_CLAMP_MODE = 1, VG_CTL set for +10dB of gain, f _{RF} = 5MHz, V _{OUT} = 1.5V _{P-P}			-70		dBc
		VG_CLAMP_MODE = 1, VG_CTL set for +10dB of gain, f _{RF} = 10MHz, V _{OUT} = 1.5V _{P-P}		-55	-65		
Third-Order Intermodulation Distortion	IMD3	VG_CLT set for +10dB of gain, f _{RF1} = 5MHz, f _{RF2} = 5.01MHz, V _{OUT} = 1.5V _{P-P} , V _{REF} = 5V (Note 3)		-40	-52		dBc
Channel-to-Channel Crosstalk		V _{OUT} = 1V _{P-P} differential, f _{RF} = 10MHz, VG_CTL set for +10dB of gain			-80		dB
Maximum Output Voltage at Clamp ON		VG_CLAMP_MODE = 0, VG_CTL set for +20dB of gain, 350mV _{P-P} differential input			2.4		V _{P-P} differential

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

AC ELECTRICAL CHARACTERISTICS—CW MIXER MODE

(Typical Application Circuit, Figure 7. $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $T_A = 0^\circ C$ to $+70^\circ C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = f_{LO}/16 = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors, differential mixer inputs are driven from a low impedance source. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Output Voltage at ClampOFF		$VG_CLAMP_MODE = 1$, VG_CTL set for $+20dB$ of gain, $350mV_{P-P}$ differential input		2.8		V_{P-P} differential
CW MIXER MODE						
Mixer RF Frequency Range			0.9		7.6	MHz
Mixer LO Frequency Range			1		7.5	MHz
Mixer IF Frequency Range					100	kHz
Maximum Input Voltage Range					1.8	V_{P-P} differential
Differential Input Resistance		$CW_FILTER = 0$		633		Ω
		$CW_FILTER = 1$		1440		
Input-Referred Noise Voltage		Mode 3, $f_{RF} = f_{LO}/4 = 1.25MHz$, measured at a $1kHz$ offset frequency; clutter tone at $0.9V_{P-P}$ differential measured at the mixer input		6		nV/\sqrt{Hz}
		Mode 3, RF terminated into 50Ω ; $f_{LO}/4 = 1.25MHz$, measured at $1kHz$ offset		4.6		
Third-Order Intermodulation Distortion	IMD3	Mode 1, $f_{RF1} = 5MHz$ at $0.9V_{P-P}$ differential input, Doppler tone $f_{RF2} = 5.01MHz$ at $25dBc$ from clutter tone, $f_{LO}/16 = 5MHz$ (Note 10)		-50		dBc
Mixer Output Voltage Compliance		(Note 11)	4.75		12	V
Channel-to-Channel Phase Matching		Measured under zero beat conditions, $f_{RF} = 5MHz$, $f_{LO}/16 = 5MHz$ (Note 12)		± 3.0		Degrees
Channel-to-Channel Gain Matching		Measured under zero beat conditions, $f_{RF} = 5MHz$, $f_{LO}/16 = 5MHz$ (Note 12)		± 2		dB
Transconductance (Note 13)		$CW_FILTER = 1$	$f_{RF} = 1.1MHz$, $1V_{P-P}$ differential, $f_{LO}/16 = 1MHz$	2.8		mS
		$CW_FILTER = 0$		2.8		

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

AC ELECTRICAL CHARACTERISTICS—CW MIXER MODE (continued)

(Typical Application Circuit, Figure 7. $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $T_A = 0^\circ C$ to $+70^\circ C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = f_{LO}/16 = 5MHz$, capacitance to GND at each of the VGA differential outputs is 60pF, differential capacitance across the VGA outputs is 10pF, $R_L = 1k\Omega$, CW mixer outputs pulled up to +11V through four separate $\pm 0.1\%$ 115 Ω resistors, differential mixer inputs are driven from a low impedance source. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL SHIFT REGISTER						
Serial Shift Register Programming Rate					10	MHz
Minimum Data Set-Up Time	t_{DSU}			30		ns
Minimum Data Hold Time	t_{HLD}			2		ns
Minimum Data Clock Time	t_{DCLK}			100		ns
Minimum Data Clock Pulse Width High	$t_{DCLKPWH}$			30		ns
Minimum Data Clock Pulse Width Low	$t_{DCLKPWL}$			30		ns
Minimum Load Line	t_{LD}			30		ns
Minimum Load Line High to Mixer Clock On	t_{MIXCLK}			30		ns
Minimum Data Clock to Load Line High	t_{CLH}			30		ns

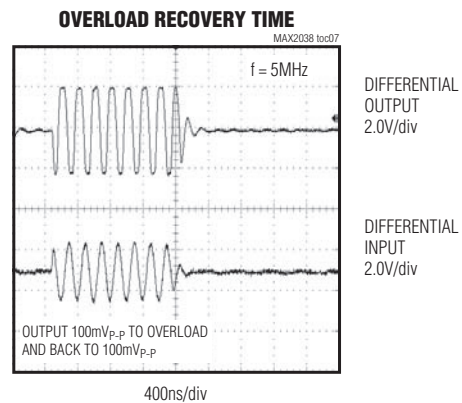
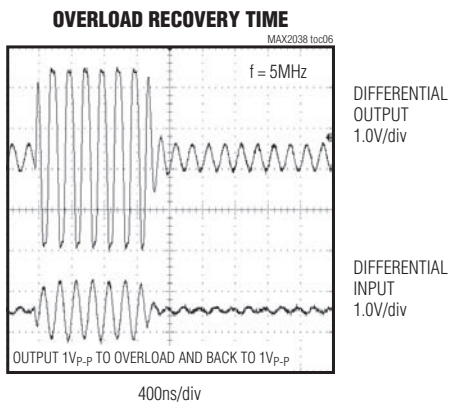
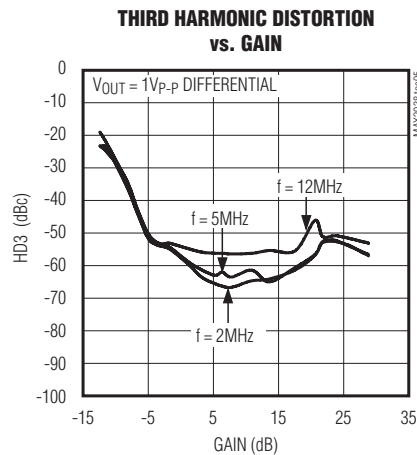
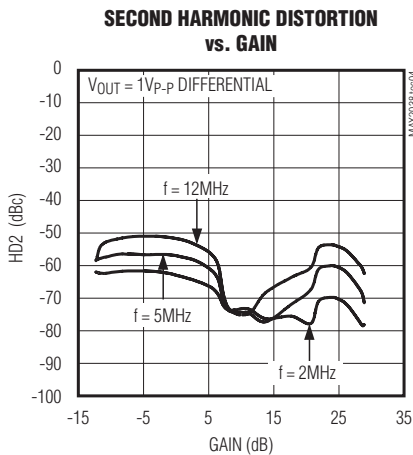
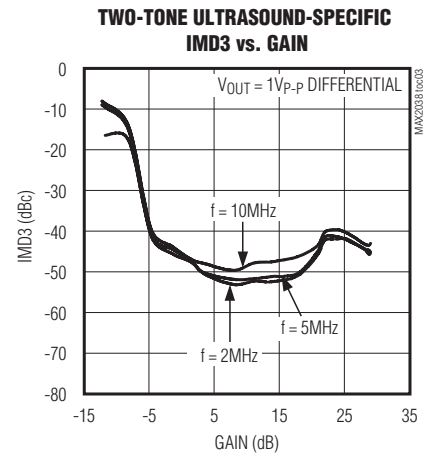
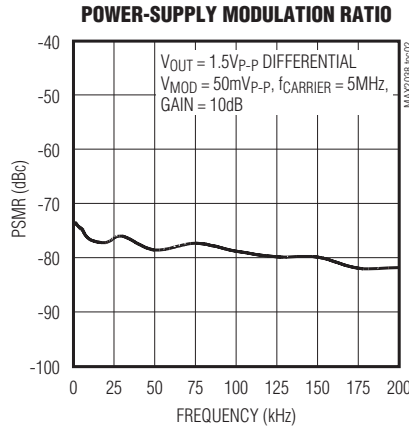
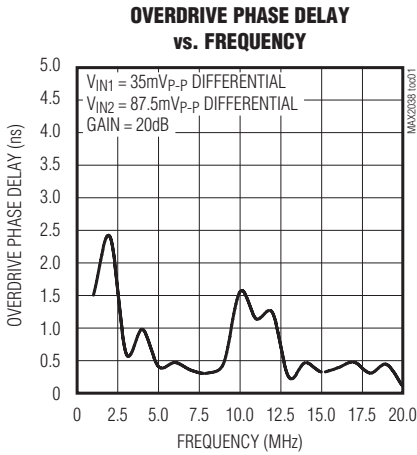
- Note 2:** Specifications at $T_A = +25^\circ C$ and $T_A = +70^\circ C$ are guaranteed by production test. Specifications at $T_A = 0^\circ C$ are guaranteed by design and characterization.
- Note 3:** Noise performance of the device is dependent on the noise contribution from the supply to V_{REF} . Use a low-noise supply for V_{REF} . V_{CC} and V_{REF} can be connected together to share the same supply voltage if the supply for V_{CC} exhibits low noise.
- Note 4:** Total on-chip power dissipation is calculated as $P_{DISS} = V_{CC} \times I_{CC} + V_{REF} \times I_{REF} + [11V - (I_{MIX}/4) \times 115] \times I_{MIX}$.
- Note 5:** Note that the LVDS CWD LO clocks are DC-coupled. This is to ensure immediate synchronization when the clock is first turned on. An AC-coupled LO is problematic in that the RC time constant associated with the coupling capacitors and the input impedance of the pin causes there to be a period of time (related to the RC time constant) when the DC level on the chip side of the capacitor is outside the acceptable common-mode range and the LO swing does not exceed both the logic thresholds required for proper operation. This problem associated with AC-coupling would cause an inability to ensure synchronization among beam-forming channels. The LVDS signal is terminated differentially with an external 100 Ω resistor on the board.
- Note 6:** External 100 Ω resistor terminates the LVDS differential signal path.
- Note 7:** The mixer common-mode current (3.25mA/channel) is specified as the common-mode current in each of the differential mixer outputs (CW_QOUT+, CW_QOUT-, CW_IOUT+, CW_IOUT-).
- Note 8:** Specification guaranteed only for DOUT driving DIN of the next device in a daisy-chain fashion.
- Note 9:** This response time does not include the CW output highpass filter. When switching to VGA mode, the CW outputs stop drawing current and the output voltage goes to the rail. If a highpass filter is used, the recovery time can be excessive and a switching network is recommended as shown in the *Applications Information* section.
- Note 10:** See the *Ultrasound-Specific IMD3 Specification* in the *Applications Information* section.
- Note 11:** Mixer output-voltage compliance is the range of acceptable voltages allowed on the CW mixer outputs.
- Note 12:** Channel-to-channel gain-and-phase matching measured on 30 pieces during engineering characterization at room temperature. Each mixer is used as a phase detector and produces a DC voltage in the IQ plane. The phase is given by the angle of the vector drawn on that plane. Multiple channels from multiple parts are compared to each other to produce the phase variation.
- Note 13:** Transconductance is defined as the quadrature summing of the CW differential output current at baseband divided by the mixer's input voltage.

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

標準動作特性

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $PD = 0V$, $VG_CLAMP_MODE = 1$, $f_{RF} = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)



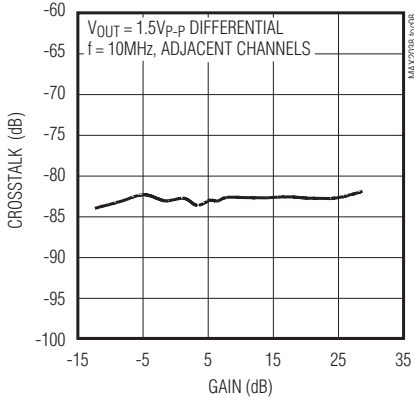
CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

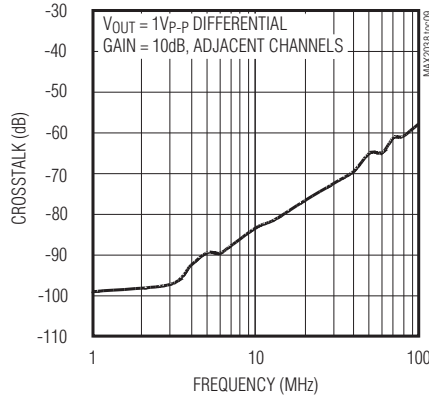
標準動作特性(続き)

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $PD = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

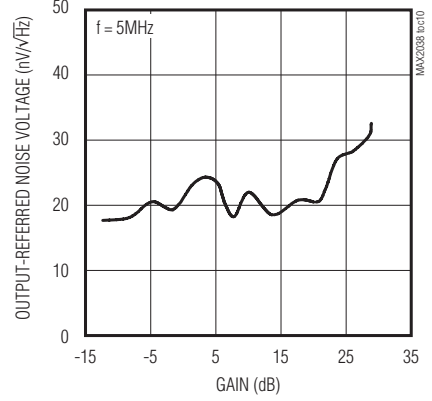
CHANNEL-TO-CHANNEL CROSSTALK vs. GAIN



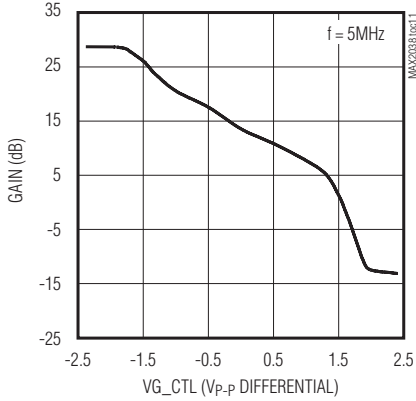
CHANNEL-TO-CHANNEL CROSSTALK vs. FREQUENCY



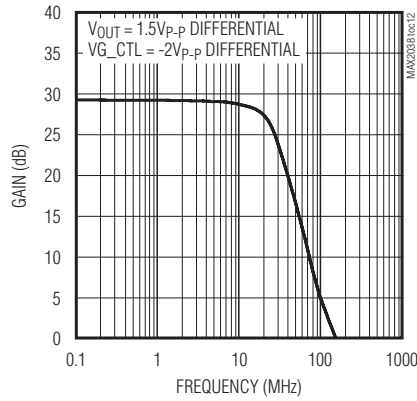
OUTPUT-REFERRED NOISE VOLTAGE vs. GAIN



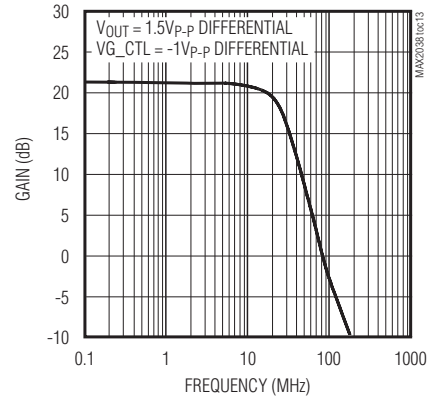
GAIN vs. DIFFERENTIAL ANALOG CONTROL VOLTAGE (VG_CTL)



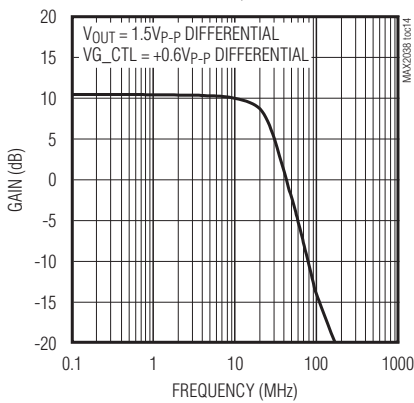
LARGE-SIGNAL BANDWIDTH vs. FREQUENCY



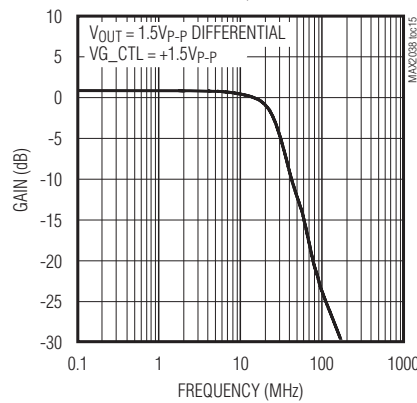
LARGE-SIGNAL BANDWIDTH vs. FREQUENCY



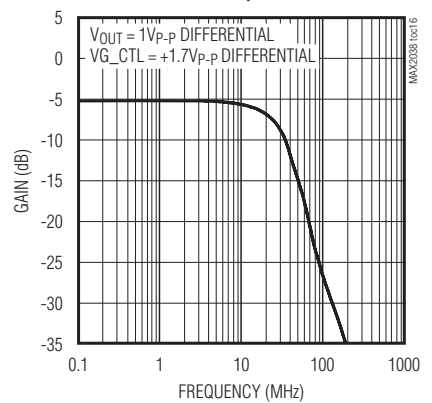
LARGE-SIGNAL BANDWIDTH vs. FREQUENCY



LARGE-SIGNAL BANDWIDTH vs. FREQUENCY



LARGE-SIGNAL BANDWIDTH vs. FREQUENCY

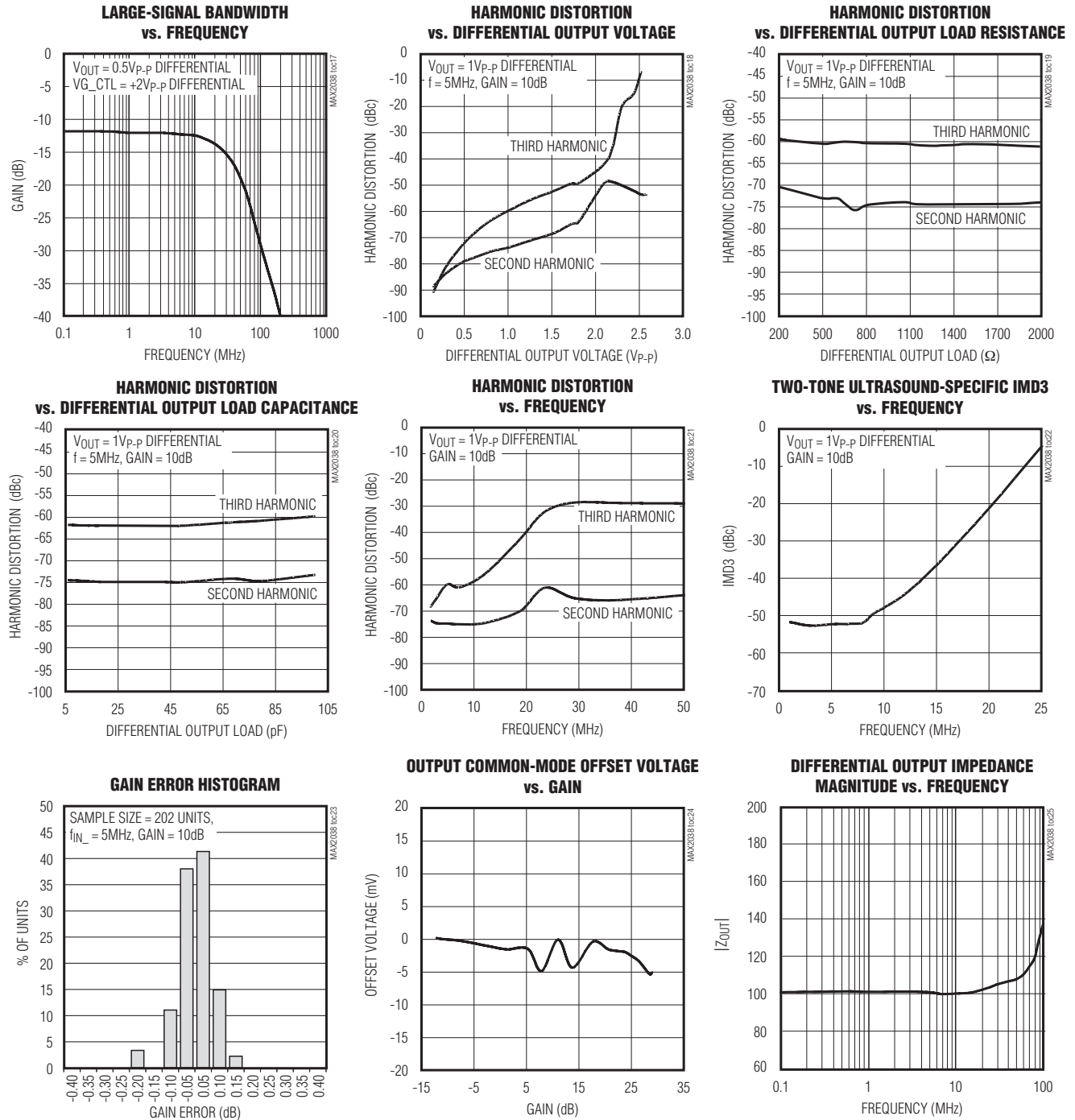


CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

標準動作特性(続き)

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $PD = 0$, $V_{G_CLAMP_MODE} = 1$, $f_{RF} = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

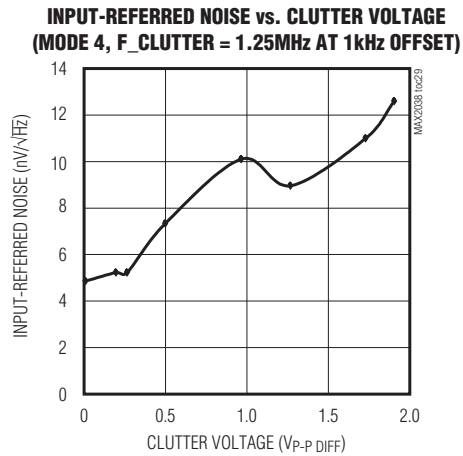
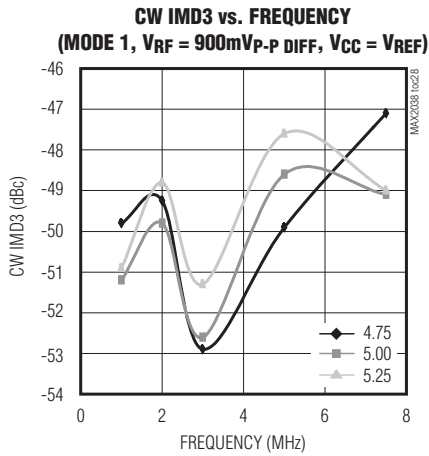
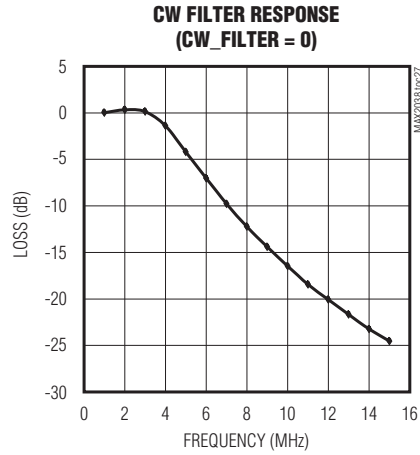
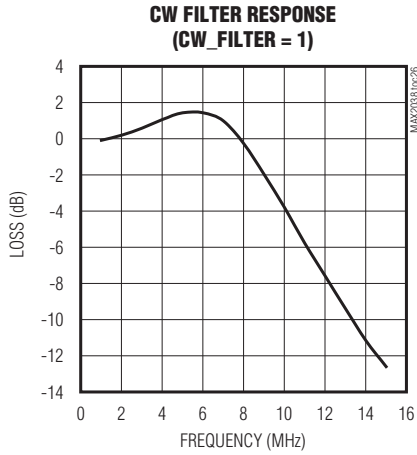


CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

標準動作特性(続き)

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, CW mixer outputs pulled up to 11V through four separate $\pm 0.1\%$ 115Ω resistors, differential mixer inputs are driven from a low-impedance source.)



CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

端子説明

端子	名称	機能
1	CWIN2-	CWミキサチャンネル2反転差動入力
2	CWIN2+	CWミキサチャンネル2非反転差動入力
3	VGIN3-	VGAチャンネル3反転差動入力
4	VGIN3+	VGAチャンネル3非反転差動入力
5, 10, 19, 24, 29, 34, 58, 79, 81, 96	GND	グラウンド
6	CWIN3-	CWミキサチャンネル3反転差動入力
7	CWIN3+	CWミキサチャンネル3非反転差動入力
8	VGIN4-	VGAチャンネル4反転差動入力
9	VGIN4+	VGAチャンネル4非反転差動入力
11	CWIN4-	CWミキサチャンネル4反転差動入力
12	CWIN4+	CWミキサチャンネル4非反転差動入力
13	EXT_C1	外部補償。内部のバイアス回路をバイパスする場合は、4.7 μ Fのコンデンサで(ピンのできる限り近くで)グラウンドに接続してください。
14	EXT_C2	外部補償。内部のバイアス回路をバイパスする場合は、4.7 μ Fのコンデンサで(ピンのできる限り近くで)グラウンドに接続してください。
15	EXT_C3	外部補償。内部のバイアス回路をバイパスする場合は、4.7 μ Fのコンデンサで(ピンのできる限り近くで)グラウンドに接続してください。
16, 42, 46, 54, 72, 82, 87	VCC	5V電源。外部の+5V電源に接続してください。各VCC電源を0.1 μ Fのコンデンサで(ピンのできる限り近くで)グラウンドにバイパスしてください。
17	VGIN5-	VGAチャンネル5反転差動入力
18	VGIN5+	VGAチャンネル5非反転差動入力
20	CWIN5-	CWミキサチャンネル5反転差動入力
21	CWIN5+	CWミキサチャンネル5非反転差動入力
22	VGIN6-	VGAチャンネル6反転差動入力
23	VGIN6+	VGAチャンネル6非反転差動入力
25	CWIN6-	CWミキサチャンネル6反転差動入力
26	CWIN6+	CWミキサチャンネル6非反転差動入力
27	VGIN7-	VGAチャンネル7反転差動入力
28	VGIN7+	VGAチャンネル7非反転差動入力
30	CWIN7-	CWミキサチャンネル7反転差動入力
31	CWIN7+	CWミキサチャンネル7非反転差動入力
32	VGIN8-	VGAチャンネル8反転差動入力
33	VGIN8+	VGAチャンネル8非反転差動入力
35	CWIN8-	CWミキサチャンネル8反転差動入力
36	CWIN8+	CWミキサチャンネル8非反転差動入力

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

端子説明(続き)

端子	名称	機能
37, 93	VREF	+5Vリファレンス電源。低ノイズ電源に接続してください。GNDに0.1 μ Fのコンデンサで(ピンのできる限り近くで)バイパスしてください。デバイスのノイズ性能は電源からVREFへのノイズの影響に依存します。VREF用に低ノイズ電源を使用してください。VCC用の電源が低ノイズ特性を示す場合は、VCCとVREFを互いに接続して同じ電源電圧を共用させることができます。
38	EXT_RES	外付け抵抗器。内部のバイアス回路のバイアスを設定する場合は、7.5k Ω (0.1%)の抵抗器で(ピンのできる限り近くで)グラウンドに接続してください。
39	CW_VG	CWミキサVGAイネーブル。VGAまたはCWミキサ動作を選択します。VGAをイネーブルしてCWミキサをパワーダウン状態にする場合は、CW_VGをロジックハイに設定してください。CWをイネーブルしてVGAをパワーダウン状態にする場合は、CW_VGをロジックローに設定してください。
40	PD	パワーダウンスイッチ。デバイスをパワーダウンモードに設定する場合は、PDをハイに駆動してください。通常動作の場合はPDをローに駆動してください。
41	CW_FILTER	CWフィルタモードコーナー周波数選択。CW経路の内蔵ローパスフィルタのコーナー周波数を選択します。コーナー周波数を9.5MHzにする場合は、CW_FILTERをロジックハイに設定してください。コーナー周波数を4.5MHzにする場合は、CW_FILTERをロジックローに設定してください。
43	M4_EN	モード4イネーブル。シリアルポートを無効にして8チャンネルのCW経路をすべて作動させる場合は、M4_ENをロジックハイに設定してください。
44	LOW_PWR	低電力イネーブル。デバイスの低電力CWミキサモードをイネーブルする場合はハイに設定してください。
45	DOUT	シリアルポートデータ出力。CWチャンネルを容易にデジチェーンしてアナログビーム形成プログラミングを行うことを可能とするためのデータ出力です。
47	N.C.	接続なし。このピンは未接続のままにしてください。(この端子はMAX2038のEVキットのデータシートではTEST_MODE端子という名称で記載されています。)
48	LO8	CWチャンネル8 LO入力。モード3および4用のLOクロック入力です。
49	VGOUT8+	VGAチャンネル8非反転差動出力
50	VGOUT8-	VGAチャンネル8反転差動出力
51	LO7	CWチャンネル7 LO入力。モード3および4用のLOクロック入力です。
52	VGOUT7+	VGAチャンネル7非反転差動出力
53	VGOUT7-	VGAチャンネル7反転差動出力
55	LO6	CWチャンネル6 LO入力。モード3および4用のLOクロック入力です。
56	VGOUT6+	VGAチャンネル6非反転差動出力
57	VGOUT6-	VGAチャンネル6反転差動出力
59	LO5	CWチャンネル5 LO入力。モード3および4用のLOクロック入力です。
60	VGOUT5+	VGAチャンネル5非反転差動出力
61	VGOUT5-	VGAチャンネル5反転差動出力
62	VG_CTL-	VGAアナログ利得制御差動入力。差動電圧の設定が-2Vの場合に利得が最大(+29.5dB)となり、+2Vの場合に利得が最小(-12.5dB)となります。
63	VG_CTL+	
64	LO_LVDS-	CW LVDS LO反転差動入力。モード1および2用のLOクロックの反転入力です。
65	LO_LVDS+	CW LVDS LO非反転差動入力。モード1および2用のLOクロックの非反転入力です。
66	LO4	CWチャンネル4 LO入力。モード3および4用のLOクロック入力です。
67	VGOUT4+	VGAチャンネル4非反転差動出力
68	VGOUT4-	VGAチャンネル4反転差動出力
69	LO3	CWチャンネル3 LO入力。モード3および4用のLOクロック入力です。

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

端子説明(続き)

端子	名称	機能
70	VGOUT3+	VGAチャンネル3非反転差動出力
71	VGOUT3-	VGAチャンネル3反転差動出力
73	LO2	CWチャンネル2 LO入力。モード3および4用のLOクロック入力です。
74	VGOUT2+	VGAチャンネル2非反転差動出力
75	VGOUT2-	VGAチャンネル2反転差動出力
76	LO1	CWチャンネル1 LO入力。モード3および4用のLOクロック入力です。
77	VGOUT1+	VGAチャンネル1非反転差動出力
78	VGOUT1-	VGAチャンネル1反転差動出力
80	DIN	シリアルポートデータ入力。シリアルシフトレジスタのプログラム用のデータ入力です。
83	CLK	シリアルポートデータクロック。シリアルシフトレジスタのプログラム用のクロック入力です。
84	CW_M1	CWモード選択入力1。ビーム形成モード1、2、3、または4のプログラム用の入力です。モードのプログラムの詳細については、表1をご覧ください。
85	CW_M2	CWモード選択入力2。ビーム形成モード1、2、3、または4のプログラム用の入力です。モードのプログラムの詳細については、表1をご覧ください。
86	VG_CLAMP_MODE	VGAクランプモードイネーブル。VGAクランプモードをイネーブルする場合は、VG_CLAMP_MODEをローに駆動してください。VGA出力は差動2.4V _{p-p} (typ)にクランプされます。VGAクランプモードをイネーブルする場合は、VG_CLAMP_MODEをハイに駆動してください。
88	LOAD	シリアルポートロード。シリアルシフトレジスタからI/Q位相分周器にデータをロードします。I/Q位相分周器をプログラムするためには、LOADバスをハイからローに駆動した後、ローからハイに駆動してください。
89	CW_QOUT+	CWミキサ非反転差動直交出力。8個の直交ミキサの組合せによるCWミキサ出力です。
90	CW_QOUT-	CWミキサ反転差動直交出力。8個の直交ミキサの組合せによるCWミキサ出力です。
91	CW_IOUT-	CWミキサ反転差動同相出力。8個の同相ミキサの組合せによるCWミキサ出力です。
92	CW_IOUT+	CWミキサ非反転差動同相出力。8個の同相ミキサの組合せによるCWミキサ出力です。
94	VGIN1-	VGAチャンネル1反転差動入力
95	VGIN1+	VGAチャンネル1非反転差動入力
97	CWIN1-	CWミキサチャンネル1反転差動入力
98	CWIN1+	CWミキサチャンネル1非反転差動入力
99	VGIN2-	VGAチャンネル2反転差動入力
100	VGIN2+	VGAチャンネル2非反転差動入力
—	EP	エクスポーズドパッド。内部でGNDに接続されています。放熱性能を最大にするため、EPを大面積のPCBグランドプレーンに接続してください。

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

詳細

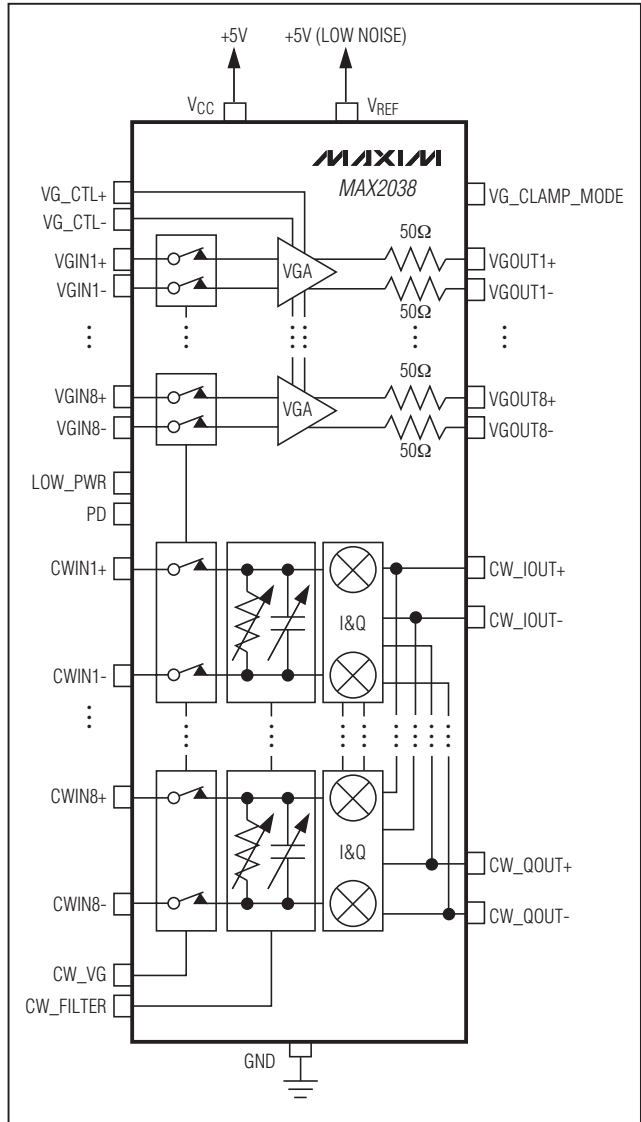
MAX2038は、8チャンネルのVGAとプログラム可能オクタル(8回路)直交ミキサアレイを集積化したデバイスであり、超音波画像処理とドップラーアプリケーション向けに設計されています。このデバイスは、効率的な電力消費、広いダイナミックレンジ、および優れた低ノイズ性能に最適化されています。VGA経路は、差動入力、アナログ可変利得制御、ダイレクトADC駆動用差動出力、およびADCのオーバドライブを防止するための選択可能な出力電圧クランプを備えています。集積化されたオクタル直交ミキサアレイには、CWDビーム形成アプリケーション用のシリアルプログラム可能LO位相ジェネレータが内蔵されています。LO位相分周器は、4、8、または16直交位相用にプログラム可能です。各CWミキサの入力経路には、ローパスフィルタが集積化されています。ミキサの出力は単一のI/Q差動電流出力に集約されます。

MAX2038には完全な連続波(CW)ドップラービーム形成ソリューションのためのオクタル直交ミキサアレイとプログラム可能LO位相ジェネレータも内蔵されています。各チャンネルのLO位相の選択は、デジタルシリアルインタフェースと単一の高周波数クロックを使用してプログラムするか、または個々の複合ミキサペアのLOを独立した4個のLOクロックを使用してじかに駆動することが可能です。プログラムインタフェースの配線を最小限に抑えるために、シリアルインタフェースは複数のデバイスを容易にデジチェーン可能なように設計されています。LOの位相分周器はプログラム可能であり、4、8、または16直交位相に対応します。各CWミキサの入力経路は、最適なCWDノイズ性能のための選択可能なローパスフィルタで構成されています。各ミキサの出力は、単一のIおよびQ差動電流出力の形に集約されます。ミキサおよびLOジェネレータは、900mV_{p-p}差動クラック信号で測定した場合、1.25MHzのキャリアから1kHzのオフセットで-155dBc/Hzという極めて低いノイズ性能を持つように設計されています。

可変利得アンプ(VGA)

MAX2038のVGAは、高リニアリティ、広いダイナミックレンジ、および低出力ノイズ性能に最適化されているため、このデバイスは超音波画像処理アプリケーションに最適です。また、VGAの経路は、10MHzにおいて-80dBのチャンネル間クロストーク、および超音波システムの最小チャンネル間フォーカス誤差に対して±0.25dB以下の絶対利得誤差を示します。各VGA経路は、アナログ利得の調整用回路、ADC駆動用の差動出力ポート(VGOUT₊、VGOUT₋)付き出力バッファ、およびクワッドLNAのMAX2034にじかにインタフェースする

高水準の波形ミキサおよび プログラム可能ビーム形成器の ファンクションダイアグラム



のに最適な差動入力ポート(VGIN₊、VGIN₋)を備えています。詳しくは「高水準の波形ミキサおよびプログラム可能ビーム形成器のファンクションダイアグラム」をご覧ください。

VGAは、-12.5dB~+29.5dBの可変利得範囲を備えており、42dB (typ)の全ダイナミックレンジを実現します。VGAの利得は差動利得制御入力VG_CTL₊とVG_CTL₋によって調整することができます。差動利得制御入力電圧を、最小利得に対しては+2Vに設定し、最大利得に対しては-2Vに設定してください。差動アナログ制御コモンモード電圧は3V (typ)です。

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

VGAクランプ

ADCのオーバドライブや飽和を防止するために、VGA出力信号を制限するクランプが備えられています。VGA差動出力を $2.4V_{p-p}$ にクランプする場合は、VG_CLAMP_MODEをローに設定してください。クランプをディセーブルする場合は、VG_CLAMP_MODEをハイに設定してください。

パワーダウン

このデバイスは、PDによってパワーダウンすることもできます。パワーダウンモードの場合はPDをロジックハイに設定してください。パワーダウンモードでデバイスに流れる全消費電流は27mAです。通常動作の場合はPDをロジックローに設定してください。

過負荷回復

また、このデバイスは、超音波入力バッファ画像処理アプリケーションにおいて一般的な大入力信号条件で過負荷から通常動作に迅速に回復するよう最適化され

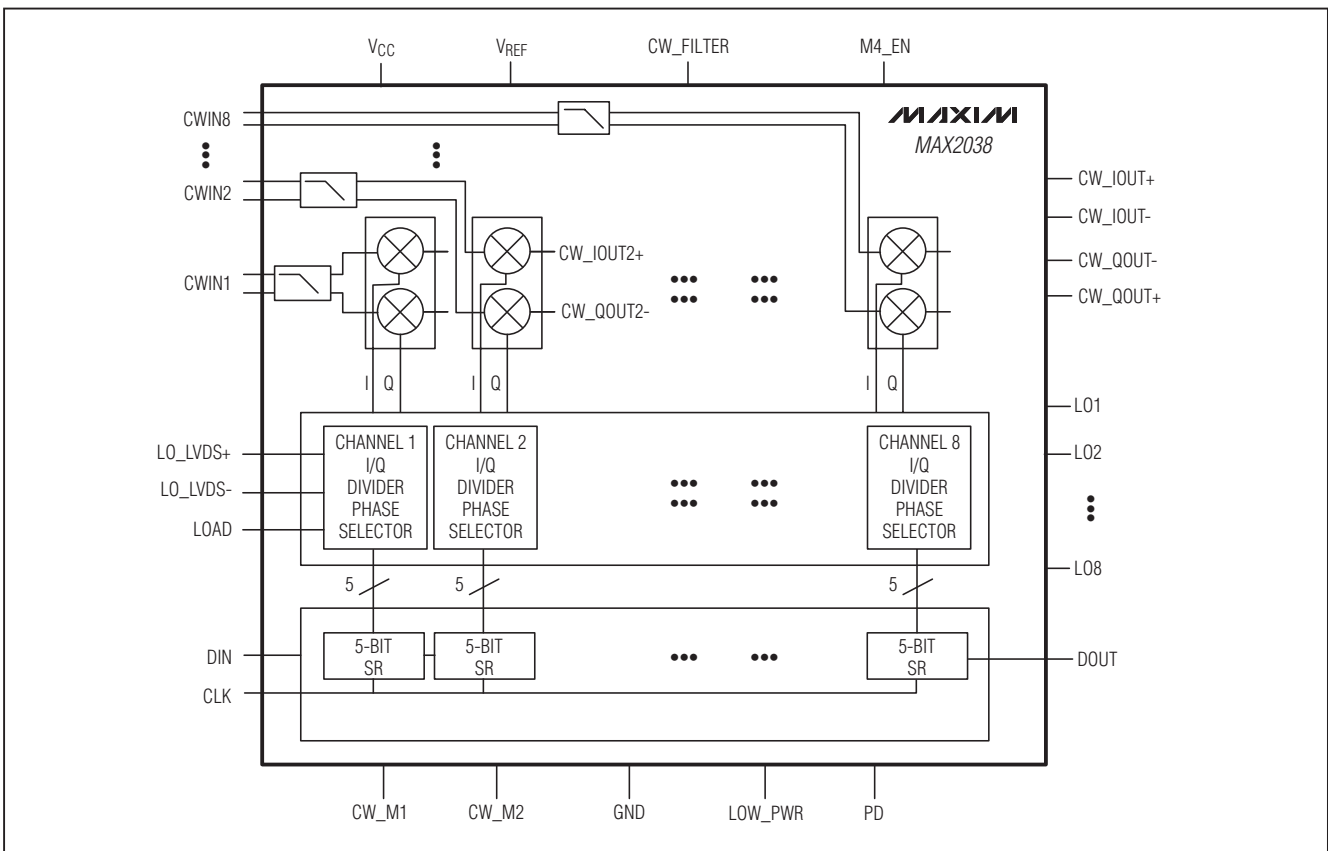
ています。送信に関わる過負荷からの高速回復時間の説明については、「標準動作特性」の項をご覧ください。

オクタル連続波(CW)ミキサ

MAX2038のCWミキサは、アクティブ二重平衡トポロジを使用して設計されています。これらのミキサは広いダイナミックレンジと高いリニアリティ性能を実現しており、極めて低ノイズであるため、超音波CWD信号の受信に最適です。オクタル直交ミキサアレイは1.25MHzのキャリアから1kHzで-155dBc/Hzのノイズ性能を備えており、ツートーン、3次、超音波処理に特有な相互変調積は-50dBc (typ)です。「アプリケーション情報」の項の「超音波処理に特有なIMD3規格」をご覧ください。

このオクタルアレイは、全CWDビーム形成信号を生成するための直交と同相の差動電流出力(CW_QOUT+、CW_QOUT-、CW_IOUT+、CW_IOUT-)を示します。最大差動電流出力は $3mA_{p-p}$ (typ)、ミキサの出力コンプライアンス電圧範囲は4.75V~12Vです。

高水準のCWミキサおよびプログラム可能ビーム形成器の ファンクションダイアグラム



CWオクタル(8回路)ミキサ内蔵、 超音波VGA

CWミキサの出力の集約

オクタルミキサアレイからの出力は内部で集約されて、全CWD集約ビーム形成信号が生成されます。オクタルアレイは、8個の差動直交(Q)出力と8個の差動同相(I)出力を生成します。すべての直交および同相出力が単一のIおよびQ差動電流出力(CW_QOUT+, CW_QOUT-, CW_IOUT+, CW_IOUT-)に集約されます。

LO位相の選択

LO位相分周器はシフトレジスタを介してプログラム可能であり、完全なCWビーム形成ソリューションのための4、8、または16直交位相に対応します。

CWDビーム形成モード

CWDビーム形成器の動作には4つの独立したモードがあります。各動作モードの概要については、表1をご覧ください。動作モードは、ロジック入力CW_M1およびCW_M2によって選択することができます。位相の生成はシリアルインタフェースを通して制御されます。様々な直交位相のプログラム方法の詳細については、「アプリケーション情報」の項の「シリアルインタフェース」をご覧ください。

モード1

モード1動作の場合、LO_LVDSの入力周波数は $f_{LO} \times 16$ が一般的です。CWD LOの周波数範囲は1MHz~7.5MHzであるため、入力周波数は16MHz~120MHzの範囲になります。この高いLOクロック周波数には、差動LVDS入力が必要です。 $f_{LO} \times 16$ の入力が、次に16分周されて16個の位相が生成されます。これらの16個の位相が8チャンネルのそれぞれについて生成され、選択された位相用にシリアルシフトレジスタによってプ

グラムされます。各チャンネルに対して5ビットのシフトレジスタが存在しており、それを使用して16分周回路の出力位相をプログラムします。シフトレジスタの最初の4ビットは、16の位相のプログラム用です。第5のビットは、各チャンネルを個別にオン/オフします。モード1の場合、CW_M1とCW_M2の両方をロジックローに設定してください。

表2. モード1のロジック表(B4 = 0で
チャンネルオン/B4 = 1でチャンネルオフ)

MODE 1 CW_M1 = 0 CW_M2 = 0	MSB			LSB	SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
0	0	0	0	0	0/1
22.5	0	0	0	1	0/1
45	0	0	1	0	0/1
67.5	0	0	1	1	0/1
90	0	1	0	0	0/1
112.5	0	1	0	1	0/1
135	0	1	1	0	0/1
157.5	0	1	1	1	0/1
180	1	0	0	0	0/1
202.5	1	0	0	1	0/1
225	1	0	1	0	0/1
247.5	1	0	1	1	0/1
270	1	1	0	0	0/1
292.5	1	1	0	1	0/1
315	1	1	1	0	0/1
337.5	1	1	1	1	0/1

表1. CWDビーム形成方式のまとめ

CW_M1	CW_M2	MODE	LO INPUT FREQUENCY	CLOCK INTERFACE	PHASE RESOLUTION	NO. OF CLOCK INPUTS PER CHIP	PROGRAM BY SERIAL SHIFT REGISTER (SSR)	NO. OF USEFUL BITS IN SSR	NO. OF DON'T- CARE BITS IN SSR
0	0	1	16 x	LVDS	16 phases	1	Yes	4	0
0	1	2	8 x	LVDS	8 phases	1	Yes	3	1 MSB
1	0	3	4 x	3V CMOS	4 phases	8	Yes	2	2 MSBs
1	1	4	4 x	3V CMOS	Quadrature provided	8	No	N/A	N/A

N/A = 適用外

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

モード2

モード2動作の場合、LO_LVDSの入力周波数は $f_{LO} \times 8$ (typ)です。CWD LOの周波数範囲は1MHz~7.5MHzであり、入力周波数は8MHz~60MHzの範囲になります。この高いLOクロック周波数には、差動LVDS入力が必要です。 $f_{LO} \times 8$ の入力が、次に8分周されて8個の位相が生成されます。これらの8個の位相が8チャンネルのそれぞれについて生成され、選択された位相用にシリアルシフトレジスタによってプログラムされます。シリアルシフトレジスタはモード1、2、3に共通で、各チャンネルに対して5ビットのシフトレジスタが存在しており、それを使用して出力の位相をプログラムします。しかし、モード2では8個の位相のみが生成されるため、4個の位相プログラム用ビットの内の3ビットが使用されます。シリアルシフトレジスタを使用してチャンネル当り5ビットがロードされる点は同じですが、位相プログラム用の最上位ビットは任意ビットです。シフトレジスタの第5のビットは、常に各チャンネルを個別にオン/オフします。モード2の場合、CW_M1をロジックローに設定して、CW_M2をロジックハイに設定してください。表3をご覧ください。

**表3. モード2のロジック表(DC = 任意、
B4 = 0でチャンネルオン/B4 = 1で
チャンネルオフ)**

MODE 2 CW_M1 = 0 CW_M2 = 1	MSB			LSB	SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
0	DC	0	0	0	0/1
45	DC	0	0	1	0/1
90	DC	0	1	0	0/1
135	DC	0	1	1	0/1
180	DC	1	0	0	0/1
225	DC	1	0	1	0/1
270	DC	1	1	0	0/1
315	DC	1	1	1	0/1

モード3

このモードでは、LO_LVDS入力は使用されません。各チャンネルに対する独立した $f_{LO} \times 4$ のクロック入力LO1~LO8を使用して提供されます。CWD LOの周波数範囲は1MHz~7.5MHzであり、入力周波数は4MHz~30MHzの範囲になります。LOクロック周波数は3VのCMOS入力を利用することができます。 $f_{LO} \times 4$ のLO1~LO8入力が4分周されて4個の位相が生成されます。

**表4. モード3のロジック表(DC = 任意、
B4 = 0でチャンネルオン/B4 = 1で
チャンネルオフ)**

MODE 3 CW_M1 = 1 CW_M2 = 0	MSB			LSB	SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
0	DC	DC	0	0	0/1
90	DC	DC	0	1	0/1
180	DC	DC	1	0	0/1
270	DC	DC	1	1	0/1

これらの4個の位相が8チャンネルのそれぞれについて生成され、選択された位相用にシリアルシフトレジスタによってプログラムされます。モード3の場合、4個の位相が生成されるため、4個の位相プログラム用の内の2ビットのみが必要とされ、上位2ビットは「任意」ビットです。モード3の場合、CW_M1をロジックハイに設定して、CW_M2をロジックローに設定してください。表4をご覧ください。

モード4

このモードでは、LO_LVDS入力は使用されません。各チャンネルについて、独立した $f_{LO} \times 4$ のLO1~LO8入力を使用して適切な位相を外部から供給します。デューティサイクルに依存しない正確な直交LO駆動を内部で生成することができるような $f_{LO} \times 4$ 入力が要求されます。このモードでは、シリアルシフトレジスタは使用されないことに注意してください。CWD LOの周波数範囲は1MHz~7.5MHzであり、入力周波数は4MHz~30MHzの範囲になります。適切な入力をLO1~LO8に供給してください。すべてのCWDチャンネルを同期化することができるように、リセットラインが用意されています。リセットラインはRESETを通して実装します。モード4の場合、CW_M1とCW_M2の両方をロジックハイに設定してください。表5をご覧ください。

表5. モード4のロジック表

MODE 4 CW_M1 = 1 CW_M2 = 1	MSB			LSB	SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
Serial bus not used in mode 4	N/A	N/A	N/A	N/A	N/A

N/A = 適用外

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

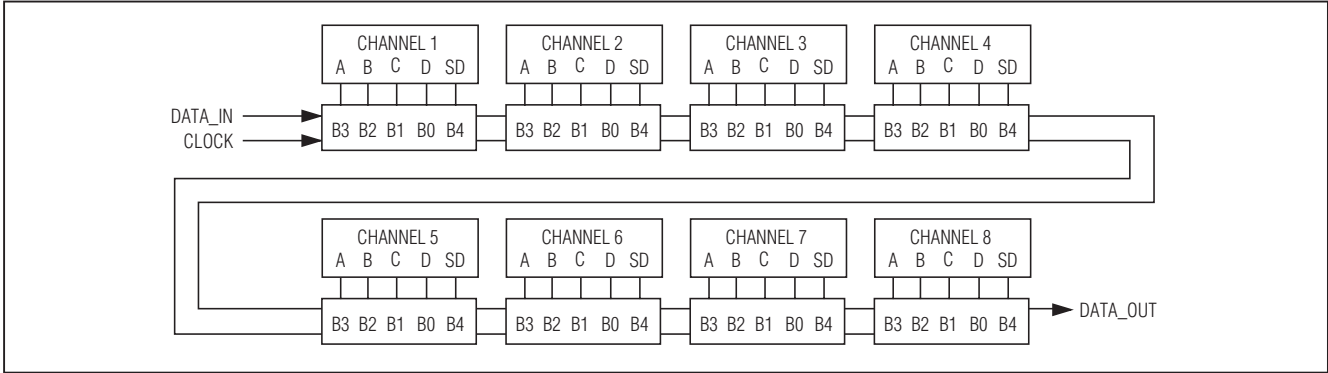


図1. シリアルシフトレジスタのデータフロー

同期

図1に、シリアルデータポート経由での8個の個別チャンネルのシリアルプログラム方法を示します。シリアルデータは1つのポートから別のポートへのデジチェーンが可能であり、単一のデータラインを使用してシステム内の複数のチップをプログラムすることができます。

CWローパスフィルタ

MAX2038には、各CW差動入力ペアと該当するミキサ入力の間、選択可能なローパスフィルタも内蔵されています。ハイバンド用とローバンド用のシャントコンデンサおよび抵抗がチップ上に集積化されています。これらの並列コンデンサ/抵抗回路は、それぞれのCW差動入力に対して差動で機能し、CW_FILTERを通して選択することができます。フィルタのコーナー周波数を $f_c = 9.5\text{MHz}$ に設定する場合は、CW_FILTERをハイに駆動してください。コーナー周波数を $f_c = 4.5\text{MHz}$ にする場合は、CW_FILTERをローに駆動してください。CW_VGによってフィルタ入力を(チップ内部の)入力端子から切り離すことが可能で、LNA出力の過負荷が防止され、VGA入力コモンモード電圧が変化しなくなります。

VGAとCWミキサの操作

通常動作時のMAX2038は、VGA経路がイネーブルされてミキサアレイがパワーダウンされているか(VGAモード)、

または直交ミキサアレイがイネーブルされてVGA経路がパワーダウンされているか(CWモード)どちらかに設定されます。VGAモードでは、CWミキサアレイがパワーダウンされる以外に、ローパスフィルタとCWミキサへの差動入力も内部で入力端子から切り離され、CW差動入力(CWIN_+, CWIN_-)がハイインピーダンスになります。CWモードでは、VGA入力が入部でデバイスの入力ポートから切り離されます。VGAモードにする場合はCW_VGをロジックハイに設定して、CWモードにする場合はCW_VGをロジックローに設定してください。

パワーダウンと低電力モード

デバイスのパワーダウン中は、CW_VGのロジック設定に関係なくVGAとCWミキサの両方がディセーブルされます。入力への内部スイッチがすべて遮断されるため、VGAとCWミキサの両方の入力がハイインピーダンスになります。デバイスの全消費電流は27mAに減少します。デバイスをパワーダウンさせる場合は、PDをロジックハイに設定してください。

CWD動作に必要な電力を減少させる低電力モードが利用可能です。このモードを選択している場合、より低い自己消費電流で複合ミキサが動作して、チャンネル当りの全電力が53mAに減少します。このモードの動作では、デバイスのダイナミック性能がわずかに低下することに注意してください。表6に、標準的な動作モードのロジック機能を示します。

表6. 標準的な動作モードのロジック機能

PD INPUT	CW_VG INPUT	LOW_PWR	VGA	CW MIXER	INTERNAL SWITCH TO VGA	INTERNAL SWITCH TO LPF AND CW MIXER	5V V _{CC} CURRENT CONSUMPTION (mA)	11V V _{MIX} CURRENT CONSUMPTION (mA)
1	1	N/A	Off	Off	Off	Off	27	0
1	0	N/A	Off	Off	Off	Off	27	0
0	0	0	Off	On	Off	On	245	106
0	0	1	Off	On	Off	On	245	53
0	1	N/A	On	Off	On	Off	204	0

N/A = 適用外

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

アプリケーション情報

モード選択の応答時間

モード選択の応答時間とは、デバイスがCWモードとVGAモードの切替えを行うために必要な時間です。ADCの駆動に使用される計測アンプにCW出力をインタフェースするために考えられる1つのアプローチを図2に示します。この実装では、CW_IOUT+、CW_IOUT-、CW_QOUT+、CW_QOUT-の各出力と、それぞれが駆動する回路の間に、大きな値(470nF~1μFの範囲)の4個のコンデンサが存在します。CWミキサの出力は、通常はコモンモード設定抵抗によって入力インピーダンスを設定されるオペアンプで構成された計測アンプの入力を駆動します。

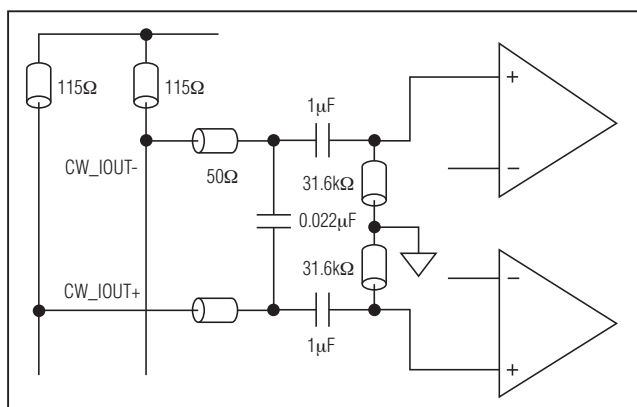


図2. 標準的なCWミキサ出力回路の例

この出力回路には、明らかにハイパスコーナーとローパスコーナーの両方が存在します。ローパスコーナーは、主として115Ωのミキサプルアップ抵抗、50Ωの直列抵抗、および0.022μFのシャントコンデンサによって設定されます。このローパスコーナーは、LOの漏れと上側波帯の組合せを除去するために使用されます。しかし、1μFのDCブロッキングコンデンサと2個の31.6kΩのシャント抵抗の組合せによって決定されるという事実のために、ハイパスコーナーはさらに重要な問題になります。

図にすると、簡略化した主要ハイパス回路は図3のようになります。

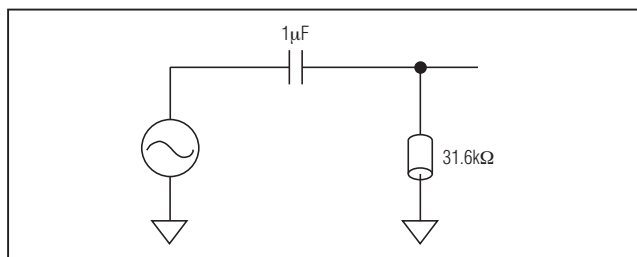


図3. 簡略化したハイパスポールの回路

この場合、ハイパスポールは $f_p = 1/(2 \times \pi \times RC) \approx 5\text{Hz}$ になります。最低400Hzの周波数までのCWD画像処理に干渉せずに、DCに現われるダウンコンバートされたクラッタトーンを除去するためには、この低いハイパスコーナー周波数が必要になります。たとえば、最低400HzまでのCWDを使用する場合、ポールによるロールオフが発生しないようにするために、ハイパスポールの選択として少なくともその十分の一(40Hz以下)が望ましいことになります。ハイパスポールを400Hzに設定した場合は、そのコーナー周波数での応答が3dB低下することを忘れてください。先ほどの例ではハイパスポールを5Hzに設定していましたが、これは今説明したDC~40Hzという制限範囲内に入っています。

結局、ミキサの出力と計測アンプの間に接続される妥当なサイズのDCブロックは大きな時定数を持つため、モード選択の切替え速度が低下します。

図2のアプローチに代わるものとして、より高速なモード選択の応答時間を実現するソリューションを図4に示します。

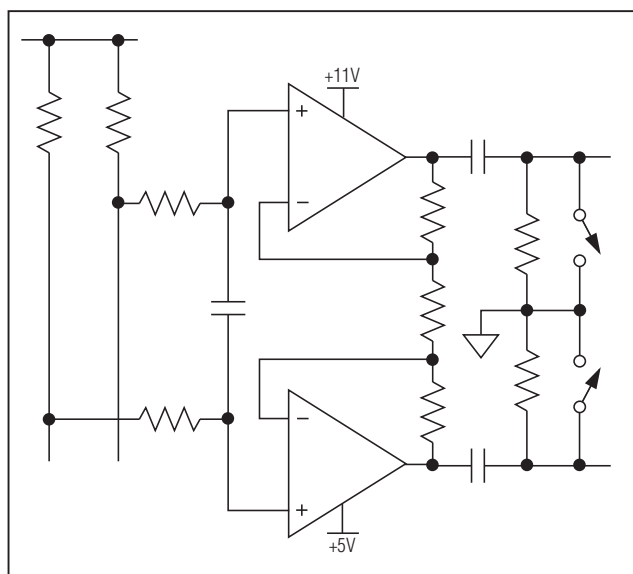


図4. 計測アンプへの入力DC結合によるモード選択の応答時間の改善

図4では、CWDミキサの出力が計測アンプの入力にDC結合されています。したがって、オペアンプはミキサ出力のコンプライアンス範囲全体に対応可能である必要があり、これはミキサがディセーブルされている場合の最大11Vから、最小はミキサがイネーブルされている場合のMAX2038の5V電源までとなります。オペアンプはハイレール用に11Vから、ローレール用に5Vから給電が可能であり、6Vのオペアンプが必要になります。

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

シリアルインタフェース

MAX2038のシリアルインタフェースは、シリアルシフトレジスタの実装を使用してLOを16、8、または4直交位相にプログラムします。データはDINからデバイスにシフトインされます。シリアルシフトレジスタのクロックはCLK入力に印加します。シリアルシフトレジスタはチャンネル当たり5ビットです。最初の4ビットは位相のプログラム用であり、5番目のビットはミキサアレイの各チャンネルをイネーブルまたはディセーブルします。

各ミキサは、16の位相の1つにプログラム可能です。したがって、プログラムのために各チャンネルについて4ビットが必要になります。マスタの高周波数ミキサクロックが、差動入力LO_LVDS+とLO_LVDS- (モード1と2の場合)およびLO_ (モード3と4の場合)に印加されます。位相カウンタにプログラム値をロードして正しいLO位相を生成することができるように、LOAD入力が設けられています。ミキシングのための入力信号は、8個の差動入力CWIN_+およびCWIN_-に印加します。集約されたI/Qベースバンド差動出力が、CW_IOUT+/-とCW_QOUT+/-から供給されます。CW_M1とCW_M2は、4種類の可能な動作モードの1つを選択するために使用します。表1をご覧ください。

プログラムインタフェースの配線を最小限に抑えるために、シリアルインタフェースは複数のデバイスを容易にデジチェーン可能なように設計されています。このデジチェーン機能用にDOUTが利用可能です。

ビーム形成器のプログラム

通常のCWD動作中は、LO_またはLO_LVDS+/-のミキサクロックがオンであり、DIN、CLK、およびLOADのプログラム用信号がオフになっています (LOAD = ハイ、CLK = ロー、DIN = 任意、ただしハイまたはローに固定)。プログラムシーケンスを開始するには、ミキサクロックをオフにしてください。データは10MHzの推奨プログラム速度または100nsの最小データクロック期間/時間でシフトレジスタにシフトインされます。タイミングの詳細については図5をご覧ください。

シフトレジスタのプログラミング後、LOADバスをロジックローに駆動した後でロジックハイに戻して、内部カウンタからI/Q位相分周器/セクタに適切な値をロードします。LOADは最小時間 t_{CLH} の間ローに維持する必要があります。ユーザがミキサクロックをオンにすることでビーム形成が開始されます。クロックはミキサクロックサイクルの先頭から開始されるようにオンにする必要があります。

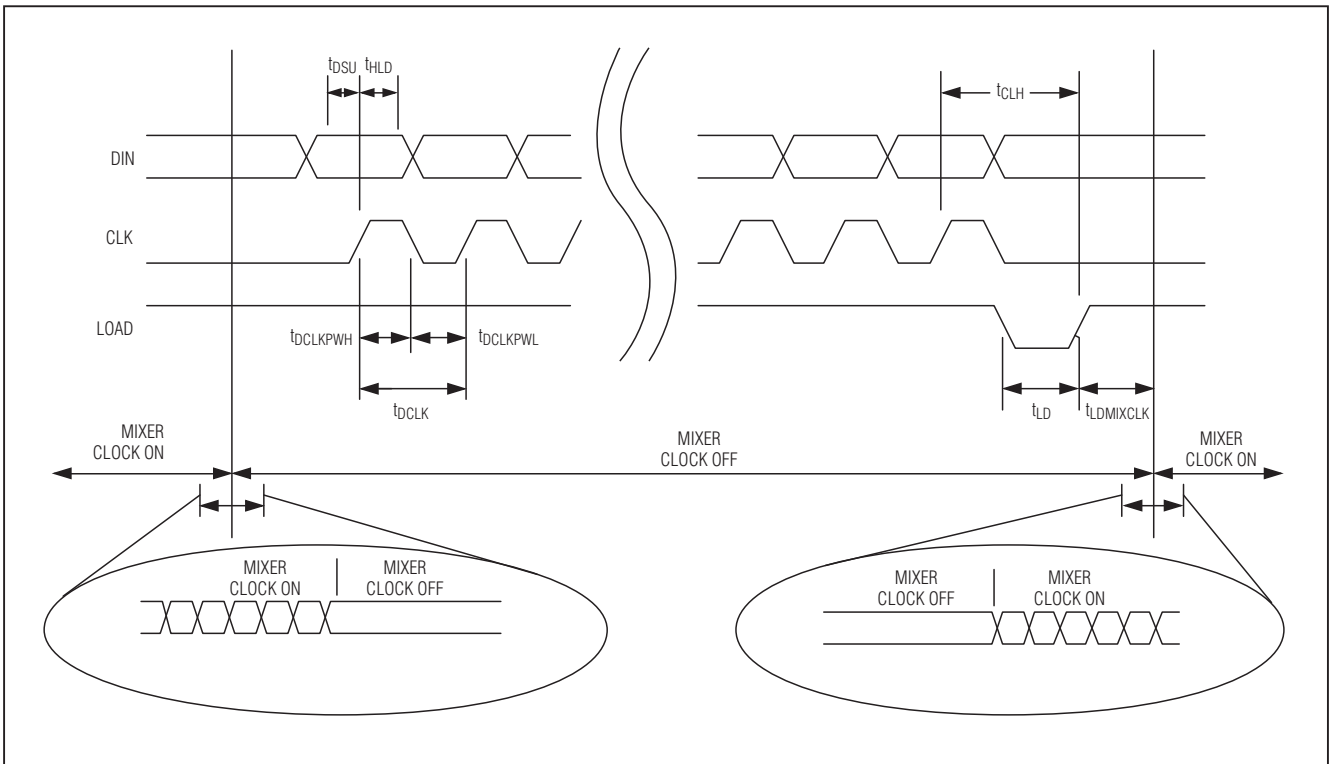


図5. シフトレジスタのタイミング図

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

CWミキサの出力の集約

最大差動電流出力は $3\text{mA}_{\text{p-p}}$ (typ)であり、ミキサ出力のコンプライアンス電圧はミキサチャンネル当り $4.75\text{V} \sim 12\text{V}$ の範囲です。個々の差動ミキサ出力におけるミキサのコモンモード電流は、 3.25mA (typ)です。集約後の合計電流は、 115Ω の負荷抵抗のそれぞれで $N \times 3.25\text{mA}$ (ただし $N = \text{チャンネル数}$)になります。この場合、 $+V_{\text{SUM}}$ と $-V_{\text{SUM}}$ の各出力における静止出力電圧は、 $11\text{V} - (N \times 3.25\text{mA} \times 115) = 11\text{V} - (8 \times 3.25\text{mA} \times 115) = 8.05\text{V}$ になります。1つのチャンネルが最大出力電流(差動 $3\text{mA}_{\text{p-p}}$)で駆動され、他のチャンネルが駆動されていない状態で、各出力の電圧スウィングは $1.5\text{mA}_{\text{p-p}} \times 115\Omega$ すなわち $174\text{mV}_{\text{p-p}}$ であり、差動電圧は $348\text{mV}_{\text{p-p}}$ です。この例では、電圧コンプライアンス範囲は $+V_{\text{SUM}}$ と $-V_{\text{SUM}}$ の有効範囲として定義されます。

外部補償

内蔵バイアス回路のバイパスには外部補償が必要です。EXT_C1、EXT_C2、およびEXT_C3 (ピン13、14、15)からグラウンドに $4.7\mu\text{F}$ のコンデンサをできる限り近づけて接続してください。

外付けバイアス抵抗器

内蔵バイアス回路のバイアスを設定するためには、EXT_RESに外付け抵抗器が必要です。EXT_RES (ピン38)からグラウンドに $7.5\text{k}\Omega$ (0.1%)の抵抗器をできる限り近づけて接続してください。

アナログ入力および出力の結合

一般的なアプリケーションでは、MAX2038は低ノイズのアンプ(MAX2034などの)から駆動されており、VGAは通常はADC (オクタルADCのMAX1436など)へのディスプレイ差動アンチエイリアシングフィルタを駆動しています。MAX2038の差動入力インピーダンスは 240Ω (typ)です。VGAの差動出力はそれぞれのVGA差動出力においてGNDに対して 60pF の差動負荷容量を駆動することが可能で、VGA出力の差動容量は 10pF です($R_L = 1\text{k}\Omega$)。差動出力には約 3.75V のコモンモードバイアスが加えられています。次段のコモンモード入力範囲が異なる場合は、これらの差動出力をAC結合してください。

超音波処理に特有なIMD3規格

通常の通信規格と異なり、超音波処理に特有なIMD3ツートーン規格では2つの入力トーンの振幅が等しくありません。この測定では、 f_1 は生体組織からの反射を表し、 f_2 は血液からの反射を表します。血液からの反射は振幅が 25dB (typ)低いいため、測定値は他よりも 25dB 低い一方の入力トーンで規定されます。問題となる($f_1 - (f_2 - f_1)$)のIMD3積は超音波アプリケーションに望ましくないドップラー誤差信号として現われます。図6を参照してください。

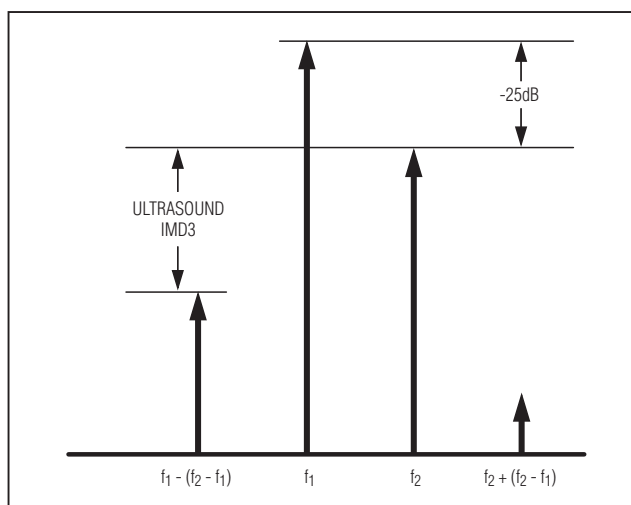


図6. 超音波IMD3測定法

基板レイアウト

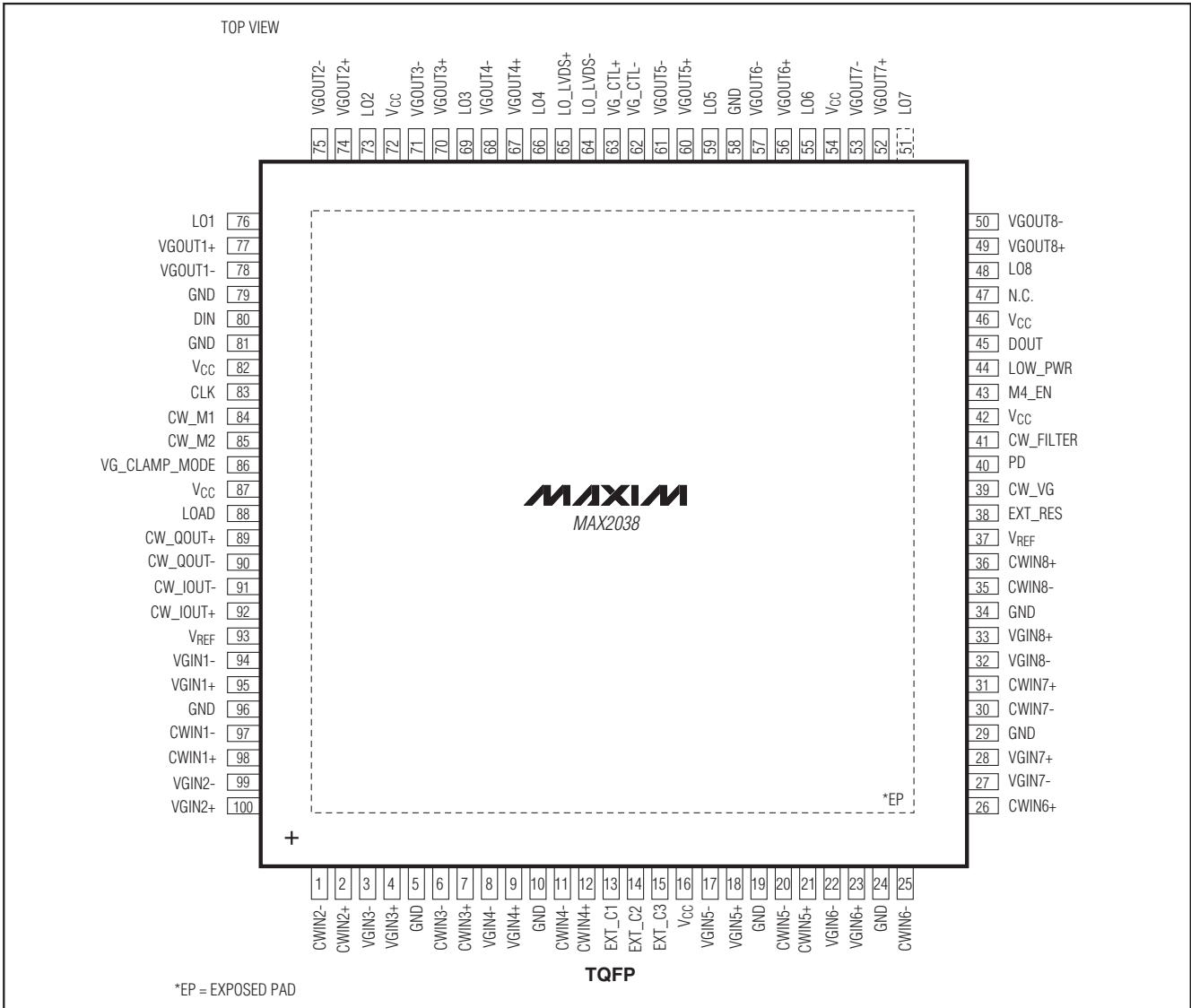
MAX2038のピン配置は、デバイスとその関連ディスプレイ部品との物理的なレイアウトが極めてコンパクトになるように最適化されています。このデバイスの標準的なアプリケーションでは、複数の信号処理チャンネルを扱うために複数のデバイスを近接させて実装する場合があります。

MAX2038のTQFP-EPパッケージのエクスポートパッド(EP)は、ダイに対して低熱抵抗経路を提供します。MAX2038が実装されるPCBは、EPからの放熱経路となるように設計することが重要です。また、EPから電気的なグラウンドまでを低インダクタンス経路としてください。EPは、PCB上で、じかに、もしくはめっきされたビアホールのアレイを経由してグラウンドプレーンに必ず半田付けする必要があります。

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

MAX2038

ピン配置



チップ情報

PROCESS: Silicon Complementary Bipolar

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なる点がある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
100 TQFP-EP	C100E+3	21-0116

CWオクタル(8回路)ミキサ内蔵、 超音波VGA

改訂履歴

版数	改訂日	説明	改訂ページ
0	1/09	初版	—
1	5/10	マイナーな訂正を追加	2-10, 12, 13, 18

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2010 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。