

EVALUATION KIT
AVAILABLE

MAXIM

10ビット、45Msps、超低電力
アナログフロントエンド

MAX19707

概要

MAX19707は、消費電力重視の通信機器用に設計された超低電力、ミックスドシグナルのアナログフロントエンド(AFE)です。この製品は超低電力で高ダイナミック性能に最適化され、デュアル10ビットの45Msps受信(Rx) ADC、デュアル10ビットの45Msps送信(Tx) DAC、補助RFフロントエンド制御用の3つの高速セトリング12ビット補助DACチャンネル、および10ビット、333kspsハウスキーピング用補助ADCを内蔵しています。Tx-Rx高速モードでの標準動作電力は、45MHzのクロック周波数で84.6mWです。

Rx ADCは、 $f_{IN} = 5.5\text{MHz}$ および $f_{CLK} = 45\text{MHz}$ において54.2dBのSNRと71.2dBcのSFDRを備えています。アナログI/Q入力アンプは、完全差動化され、1.024V_{p-p}のフルスケール信号を受け付けます。標準I/Qチャンネルマッチングは、位相が $\pm 0.03^\circ$ で、利得が $\pm 0.01\text{dB}$ です。

Tx DACは、 $f_{OUT} = 2.2\text{MHz}$ および $f_{CLK} = 45\text{MHz}$ において73.2dBcのSFDRを備えています。アナログI/Qのフルスケール出力電圧は、 $\pm 400\text{mV}$ (差動)です。Tx DACのコモンモードDCレベルは、0.71V~1.05Vに設定することができます。I/Qチャンネルのオフセットは、無線ラインアップの側波帯/搬送波の抑圧が最適になるように設定することができます。標準I/Qチャンネルマッチングは、利得が $\pm 0.01\text{dB}$ で、位相が $\pm 0.07^\circ$ です。

Rx ADCとTx DACは、単一の10ビット、パラレル、高速デジタルバスを共有しているため、時分割デュプレクス(TDD)アプリケーション用のハーフェデュプレクス動作が可能です。3線式シリアルインタフェースを通じて、電源管理モード、補助DACチャンネル、および補助ADCチャンネルが制御されます。

MAX19707は、+2.7V~+3.3Vのアナログ単一電源と+1.8V~+3.3VのデジタルI/O電源で動作します。MAX19707は、拡張温度範囲(-40°C~+85°C)での動作が保証され、48ピンTQFNパッケージで提供されます。データシートの最後の「選択ガイド」には、このAFEファミリの他のピンコンパチブルバージョンが記載されています。

アプリケーション

WiMAX CPE	VoIP端末
802.11a/b/g WLAN	ポータブル通信機器

型番

PART*	PIN-PACKAGE	PKG CODE
MAX19707ETM	48 Thin QFN-EP**	T4877-4
MAX19707ETM+	48 Thin QFN-EP**	T4877-4

*すべてのデバイスは-40°C~+85°Cの使用範囲での動作が保証されています。

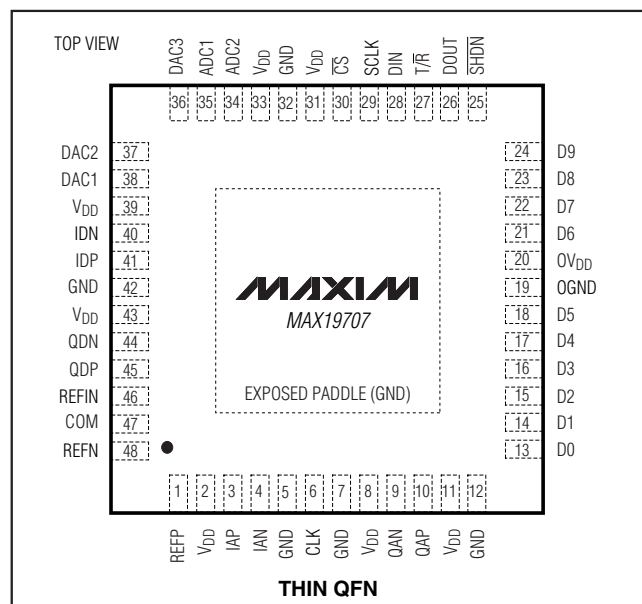
**EP = Exposed paddle.

+は鉛フリーパッケージを示します。

特長

- ◆ デュアル、10ビットの45Msps Rx ADC、およびデュアル、10ビットの45Msps Tx DAC
- ◆ 超低電力
84.6mW($f_{CLK} = 45\text{MHz}$ 、高速モードにおいて)
77.1mW($f_{CLK} = 45\text{MHz}$ 、低速モードにおいて)
低電流スタンバイおよびシャットダウンモード
- ◆ プログラム可能なTx DACコモンモードDCレベルおよびI/Qオフセット調整
- ◆ 優れたダイナミック性能
SNR = 54.2dB($f_{IN} = 5.5\text{MHz}$ (Rx ADC)において)
SFDR = 73.2dBc($f_{OUT} = 2.2\text{MHz}$ (Tx DAC)において)
- ◆ 3 x 12ビット、1 μs の補助DAC
- ◆ 10ビット、333kspsの補助ADC、4:1入力多重化およびデータ平均化付き
- ◆ 優れた利得/位相マッチング
位相: $\pm 0.03^\circ$ 、利得: $\pm 0.01\text{dB}$ (Rx ADC)
($f_{IN} = 5.5\text{MHz}$ において)
- ◆ 多重化パラレルデジタルI/O
- ◆ シリアルインタフェース制御
- ◆ 汎用電源制御回路
シャットダウン、スタンバイ、アイドル、Tx/Rxディセーブル
- ◆ 小型48ピンThin QFNパッケージ
(7mm x 7mm x 0.8mm)

ピン配置



ファンクションダイアグラムと選択ガイドは、データシートの最後に記載されています。

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND, OV_{DD} to OGND-0.3V to +3.6V
 GND to OGND-0.3V to +0.3V
 IAP, IAN, QAP, QAN, IDP, IDN, QDP,
 QDN, DAC1, DAC2, DAC3 to GND-0.3V to V_{DD}
 ADC1, ADC2 to GND-0.3V to (V_{DD} + 0.3V)
 REFP, REFN, REFIN, COM to GND-0.3V to (V_{DD} + 0.3V)D0-D9,
 DOUT, T/R, SHDN, SCLK, DIN, CS,
 CLK to OGND-0.3V to (OV_{DD} + 0.3V)

Continuous Power Dissipation (T_A = +70°C)
 48-Pin Thin QFN (derate 27.8mW/°C above +70°C)2.22W
 Thermal Resistance θ_{JA}36°C/W
 Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 45MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Analog Supply Voltage	V _{DD}		2.7	3.0	3.3	V
Output Supply Voltage	OV _{DD}		1.8		V _{DD}	V
V _{DD} Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx): f _{CLK} = 45MHz, f _{OUT} = 2.2MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		16.5		mA
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx): f _{CLK} = 45MHz, f _{OUT} = 2.2MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		29.8	35	
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx): f _{CLK} = 45MHz, f _{IN} = 5.5MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		28.2	34	
		Ext2-Rx, Ext3-Rx, and SPI1-Rx states; receive ADC operating mode (Rx): f _{CLK} = 45MHz, f _{IN} = 5.5MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		25.7		

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD} Supply Current		Standby mode: CLK = 0 or OV_{DD} ; aux-DACs ON and at midscale, aux-ADC ON		3.2	5	mA
		Idle mode: $f_{CLK} = 45MHz$; aux-DACs ON and at midscale, aux-ADC ON		12.1	15	
		Shutdown mode: CLK = 0 or OV_{DD}		1		μA
OV_{DD} Supply Current		Ext1-Rx, Ext2-Rx, Ext3-Rx, Ext4-Rx, SPI1-Rx, SPI3-Rx states; receive ADC operating mode (Rx): $f_{CLK} = 45MHz$, $f_{IN} = 5.5MHz$ on both channels; aux-DACs ON and at midscale, aux-ADC ON		7.7		mA
		Ext1-Tx, Ext2-Tx, Ext3-Tx, Ext4-Tx, SPI2-Tx, SPI4-Tx states; transmit DAC operating mode (Tx), $f_{CLK} = 45MHz$, $f_{OUT} = 2.2MHz$ on both channels; aux-DACs ON and at midscale, aux-ADC ON		485		
		Standby mode: CLK = 0 or OV_{DD} ; aux-DACs ON and at midscale, aux-ADC ON		1		
		Idle mode: $f_{CLK} = 45MHz$; aux-DACs ON and at midscale, aux-ADC ON		76		
		Shutdown mode: CLK = 0 or OV_{DD}		1		
Rx ADC DC ACCURACY						
Resolution	N			10		Bits
Integral Nonlinearity	INL			± 1.6		LSB
Differential Nonlinearity	DNL			± 0.7		LSB
Offset Error		Residual DC offset error	-5	± 0.5	+5	%FS
Gain Error		Include reference error	-5.5	± 1.0	+5.5	%FS
DC Gain Matching			-0.15	± 0.01	+0.15	dB
Offset Matching				± 13		LSB
Gain Temperature Coefficient				± 30		ppm/ $^\circ C$
Power-Supply Rejection	PSRR	Offset error ($V_{DD} \pm 5\%$)		± 0.4		LSB
		Gain error ($V_{DD} \pm 5\%$)		± 0.1		%FS

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC ANALOG INPUT						
Input Differential Range	V_{ID}	Differential or single-ended inputs		± 0.512		V
Input Common-Mode Voltage Range	V_{CM}			$V_{DD} / 2$		V
Input Impedance	R_{IN}	Switched capacitor load		120		k Ω
	C_{IN}			5		pF
Rx ADC CONVERSION RATE						
Maximum Clock Frequency	f_{CLK}	(Note 2)			45	MHz
Data Latency (Figure 3)		Channel I		5		Clock Cycles
		Channel Q		5.5		
Rx ADC DYNAMIC CHARACTERISTICS (Note 3)						
Signal-to-Noise Ratio	SNR	$f_{IN} = 5.5MHz$, $f_{CLK} = 45MHz$	52.5	54.2		dB
		$f_{IN} = 22MHz$, $f_{CLK} = 45MHz$		54.1		
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 5.5MHz$, $f_{CLK} = 45MHz$	52.2	54.1		dB
		$f_{IN} = 22MHz$, $f_{CLK} = 45MHz$		54		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 5.5MHz$, $f_{CLK} = 45MHz$	62.1	71.2		dBc
		$f_{IN} = 22MHz$, $f_{CLK} = 45MHz$		70.4		
Third-Harmonic Distortion	HD3	$f_{IN} = 5.5MHz$, $f_{CLK} = 45MHz$		-78.1		dBc
		$f_{IN} = 22MHz$, $f_{CLK} = 45MHz$		-73.1		
Intermodulation Distortion	IMD	$f_1 = 1.8MHz$, -7dBFS; $f_2 = 1MHz$, -7dBFS		-68.6		dBc
Third-Order Intermodulation Distortion	IM3	$f_1 = 1.8MHz$, -7dBFS; $f_2 = 1MHz$, -7dBFS		-79.2		dBc
Total Harmonic Distortion	THD	$f_{IN} = 5.5MHz$, $f_{CLK} = 45MHz$		-68.4	-61.5	dB
		$f_{IN} = 22MHz$, $f_{CLK} = 45MHz$		-68.8		
Aperture Delay				3.5		ns
Overdrive Recovery Time		1.5x full-scale input		2		ns
Rx ADC INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		$f_{INX,Y} = 5.5MHz$ at -0.5dBFS, $f_{INX,Y} = 1.8MHz$ at -0.5dBFS (Note 4)		-90		dB
Amplitude Matching		$f_{IN} = 5.5MHz$ at -0.5dBFS (Note 5)		± 0.01		dB
Phase Matching		$f_{IN} = 5.5MHz$ at -0.5dBFS (Note 5)		± 0.03		Degrees

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 45MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Tx DAC DC ACCURACY							
Resolution	N			10		Bits	
Integral Nonlinearity	INL			±0.3		LSB	
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 6)	-1	±0.2	+1	LSB	
Residual DC Offset	V _{OS}	T _A ≥ +25°C	-4	±1	+4	mV	
		T _A < +25°C	-4.5	±1	+4.5		
Full-Scale Gain Error		Include reference error (peak-to-peak error)	T _A ≥ +25°C	-30		+30	mV
			T _A < +25°C	-40		+40	
Tx DAC DYNAMIC PERFORMANCE							
DAC Conversion Rate	f _{CLK}	(Note 2)			45	MHz	
In-Band Noise Density	N _D	f _{OUT} = 2.2MHz, f _{CLK} = 45MHz		-130.6		dBc/Hz	
Third-Order Intermodulation Distortion	IM3	f ₁ = 2MHz, f ₂ = 2.2MHz		80		dBc	
Glitch Impulse				10		pV•s	
Spurious-Free Dynamic Range to Nyquist	SFDR	f _{CLK} = 45MHz, f _{OUT} = 2.2MHz	60	73.2		dBc	
Total Harmonic Distortion to Nyquist	THD	f _{CLK} = 45MHz, f _{OUT} = 2.2MHz		-71	-59	dB	
Signal-to-Noise Ratio to Nyquist	SNR	f _{CLK} = 45MHz, f _{OUT} = 2.2MHz		57.1		dB	
Tx DAC INTERCHANNEL CHARACTERISTICS							
I-to-Q Output Isolation		f _{OUTX,Y} = 2MHz, f _{OUTX,Y} = 2.2MHz		85		dB	
Gain Mismatch Between DAC Outputs		Measured at DC	T _A ≥ +25°C	-0.3	±0.01	+0.3	dB
			T _A < +25°C	-0.42		+0.42	
Phase Mismatch Between DAC Outputs		f _{OUT} = 2.2MHz, f _{CLK} = 45MHz		±0.07		Degrees	
Differential Output Impedance				800		Ω	
Tx DAC ANALOG OUTPUT							
Full-Scale Output Voltage	V _{FS}			±400		mV	
Output Common-Mode Voltage	V _{COM}	Bits CM1 = 0, CM0 = 0 (default)	1.0	1.05	1.1	V	
		Bits CM1 = 0, CM0 = 1		0.95			
		Bits CM1 = 1, CM0 = 0		0.80			
		Bits CM1 = 1, CM0 = 1		0.71			

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC–Tx DAC INTERCHANNEL CHARACTERISTICS						
Receive Transmit Isolation		ADC $f_{INI} = f_{INQ} = 5.5MHz$, DAC $f_{OUTI} = f_{OUTQ} = 2.2MHz$, $f_{CLK} = 45MHz$		85		dB
AUXILIARY ADC (ADC1, ADC2)						
Resolution	N			10		Bits
Full-Scale Reference	V_{REF}	AD1 = 0 (default)		2.048		V
		AD1 = 1		V_{DD}		
Analog Input Range				0 to V_{REF}		V
Analog Input Impedance		At DC		500		k Ω
Input-Leakage Current		Measured at unselected input from 0 to V_{REF}		± 0.1		μA
Gain Error	GE	Includes reference error	-5		+5	%FS
Zero-Code Error	ZE			2		mV
Differential Nonlinearity	DNL			± 0.53		LSB
Integral Nonlinearity	INL			± 0.45		LSB
Supply Current				210		μA
AUXILIARY DACs (DAC1, DAC2, DAC3)						
Resolution	N	(Note 6)		12		Bits
Integral Nonlinearity	INL			± 1.25		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic over codes 100 to 4000 (Note 6)	-1.0	± 0.65	+1.1	LSB
Gain Error	GE	$R_L > 200k\Omega$		± 0.7		%FS
Zero-Code Error	ZE			± 0.6		%FS
Output-Voltage Low	V_{OL}	$R_L > 200k\Omega$			0.1	V
Output-Voltage High	V_{OH}	$R_L > 200k\Omega$	2.56			V
DC Output Impedance		DC output at midscale		4		Ω
Settling Time		From 1/4 FS to 3/4 FS, within ± 10 LSB		1		μs
Glitch Impulse		From 0 to FS transition		24		nV•s
Rx ADC–Tx DAC TIMING CHARACTERISTICS						
CLK Rise to Channel-I Output Data Valid	t_{DOI}	Figure 3 (Note 6)	4.6	6.5	8.5	ns
CLK Fall to Channel-Q Output Data Valid	t_{DOQ}	Figure 3 (Note 6)	6.8	8.8	11.5	ns
I-DAC DATA to CLK Fall Setup Time	t_{DSI}	Figure 5 (Note 6)	10			ns

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Q-DAC DATA to CLK Rise Setup Time	t_{DSQ}	Figure 5 (Note 6)	10			ns
CLK Fall to I-DAC Data Hold Time	t_{DHI}	Figure 5 (Note 6)	0			ns
CLK Rise to Q-DAC Data Hold Time	t_{DHQ}	Figure 5 (Note 6)	0			ns
CLK Duty Cycle				50		%
CLK Duty-Cycle Variation				± 15		%
Digital Output Rise/Fall Time		20% to 80%		2.6		ns
SERIAL-INTERFACE TIMING CHARACTERISTICS (Figure 6, Note 6)						
Falling Edge of \overline{CS} to Rising Edge of First SCLK Time	t_{CSS}		10			ns
DIN to SCLK Setup Time	t_{DS}		10			ns
DIN to SCLK Hold Time	t_{DH}		0			ns
SCLK Pulse-Width High	t_{CH}		25			ns
SCLK Pulse-Width Low	t_{CL}		25			ns
SCLK Period	t_{CP}		50			ns
SCLK to \overline{CS} Setup Time	t_{CS}		10			ns
\overline{CS} High Pulse Width	t_{CSW}		80			ns
\overline{CS} High to DOUT Active High	t_{CSD}	Bit AD0 set		200		ns
\overline{CS} High to DOUT Low (Aux-ADC Conversion Time)	t_{CONV}	Bit AD0 set, no averaging (see Table 14), $f_{CLK} = 45MHz$, CLK divider = 16 (see Table 15)		4.27		μs
DOUT Low to \overline{CS} Setup Time	t_{DCS}	Bit AD0, AD10 set		200		ns
SCLK Low to DOUT Data Out	t_{CD}	Bit AD0, AD10 set			14.5	ns
\overline{CS} High to DOUT High Impedance	t_{CHZ}	Bit AD0, AD10 set		200		ns
MODE-RECOVERY TIMING CHARACTERISTICS (Figure 7)						
Shutdown Wake-Up Time	$t_{WAKE,SD}$	From shutdown to Rx mode, ADC settles to within 1dB SINAD		85.2		μs
		From shutdown to Tx mode, DAC settles to within 10 LSB error		28.2		
Idle Wake-Up Time (With CLK)	$t_{WAKE,ST0}$	From idle to Rx mode with CLK present during idle, ADC settles to within 1dB SINAD		9.8		μs
		From idle to Tx mode with CLK present during idle, DAC settles to 10 LSB error		6.4		
Standby Wake-Up Time	$t_{WAKE,ST1}$	From standby to Rx mode, ADC settles to within 1dB SINAD		13.7		μs
		From standby to Tx mode, DAC settles to 10 LSB error		24		

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Enable Time from Tx to Rx, (Ext2-Tx to Ext2-Rx, Ext4-Tx to Ext4-Rx, and SPI4-Tx to SPI3-Rx States)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		500		ns
Enable Time from Rx to Tx, (Ext1-Rx to Ext1-Tx, Ext4-Rx to Ext4-Tx, and SPI3-Rx to SPI4-Tx States)	$t_{ENABLE, TX}$	DAC settles to within 10 LSB error		500		ns
Enable Time from Tx to Rx, (Ext1-Tx to Ext1-Rx, Ext3-Tx to Ext3-Rx, and SPI1-Tx to SPI2-Rx States)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		4.1		μs
Enable Time from Rx to Tx, (Ext2-Rx to Ext2-Tx, Ext3-Rx to Ext3-Tx, and SPI1-Rx to SPI2-Tx States)	$t_{ENABLE, TX}$	DAC settles to within 10 LSB error		7.0		μs
INTERNAL REFERENCE ($V_{REFIN} = V_{DD}$; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Positive Reference		$V_{REFP} - V_{COM}$		0.256		V
Negative Reference		$V_{REFN} - V_{COM}$		-0.256		V
Common-Mode Output Voltage	V_{COM}		$V_{DD}/2 - 0.15$	$V_{DD}/2$	$V_{DD}/2 + 0.15$	V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
Differential Reference Output	V_{REF}	$V_{REFP} - V_{REFN}$	+0.489	+0.512	+0.534	V
Differential Reference Temperature Coefficient	REFTC			± 10		ppm/ $^\circ C$
BUFFERED EXTERNAL REFERENCE (external $V_{REFIN} = 1.024V$ applied; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Reference Input Voltage	V_{REFIN}			1.024		V
Differential Reference Output	V_{DIFF}	$V_{REFP} - V_{REFN}$		0.512		V
Common-Mode Output Voltage	V_{COM}			$V_{DD}/2$		V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
REFIN Input Current				-0.7		μA
REFIN Input Resistance				500		k Ω

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (CLK, SCLK, DIN, \overline{CS}, D0–D9, T/R, \overline{SHDN})						
Input High Threshold	V_{INH}		0.7 x OV_{DD}			V
Input Low Threshold	V_{INL}		0.3 x OV_{DD}			V
Input Leakage	I_{IN}	D0–D9, CLK, SCLK, DIN, \overline{CS} , T/R, $\overline{SHDN} = OGND$ or OV_{DD}	-1		+1	μA
Input Capacitance	C_{IN}		5			pF
DIGITAL OUTPUTS (D0–D9, DOUT)						
Output-Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$	0.2 x OV_{DD}			V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$	0.8 x OV_{DD}			V
Tri-State Leakage Current	I_{LEAK}		-1		+1	μA
Tri-State Output Capacitance	C_{OUT}		5			pF

Note 1: Specifications from $T_A = +25^\circ C$ to $+85^\circ C$ are guaranteed by production tests. Specifications from $T_A = +25^\circ C$ to $-40^\circ C$ are guaranteed by design and characterization.

Note 2: The minimum clock frequency (f_{CLK}) for the MAX19707 is 7.5MHz (typical). The minimum aux-ADC sample rate clock frequency (ACLK) is determined by f_{CLK} and the chosen aux-ADC clock-divider value. The minimum aux-ADC ACLK > 7.5MHz / 128 = 58.6kHz. The aux-ADC conversion time does not include the time to clock the serial data out of the SPI™. The maximum conversion time (for no averaging, NAVG = 1) will be, $t_{CONV} (max) = (12 \times 1 \times 128) / 7.5MHz = 205\mu s$.

Note 3: SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.

Note 4: Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tone.

Note 5: Amplitude and phase matching is measured by applying the same signal to each channel, and comparing the two output signals using a sine-wave fit.

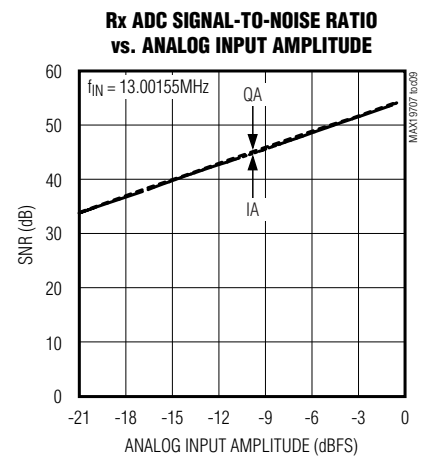
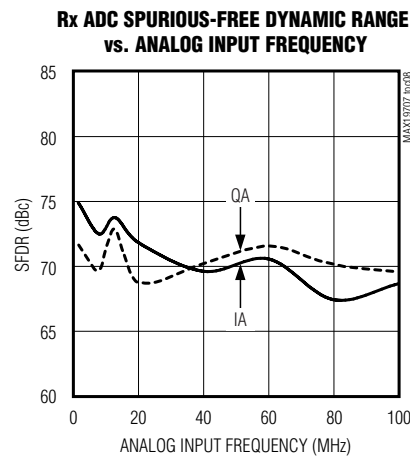
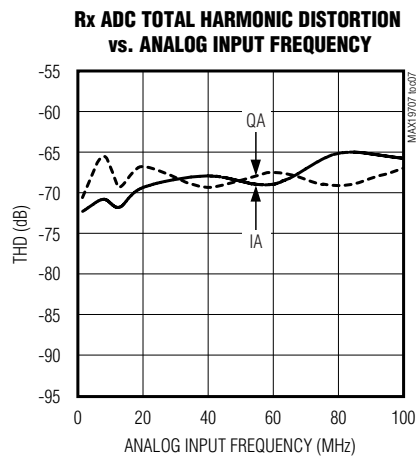
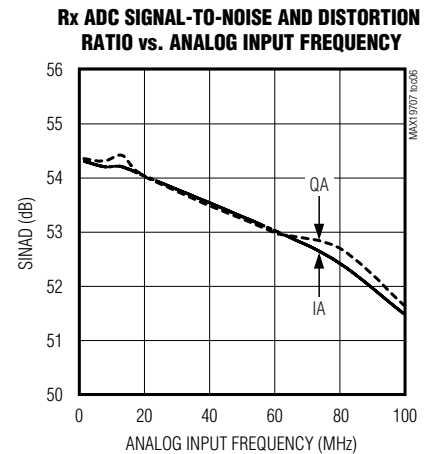
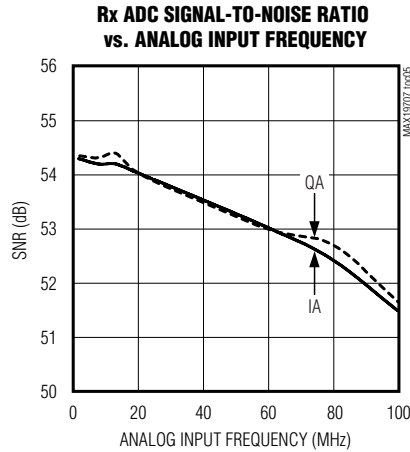
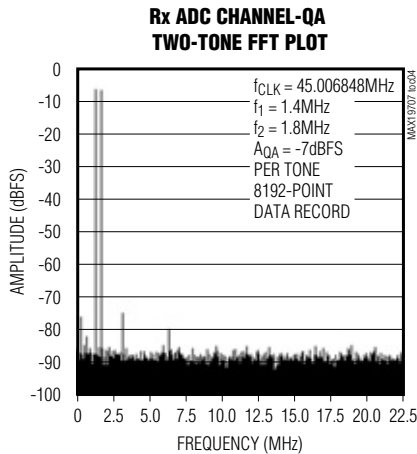
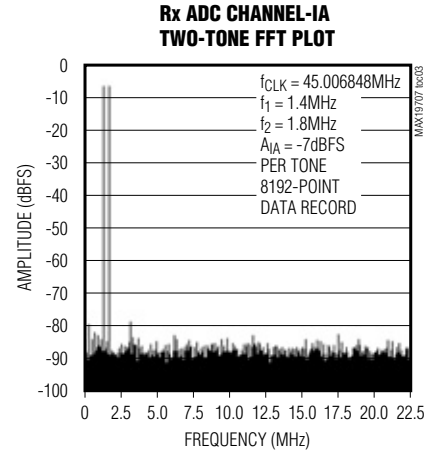
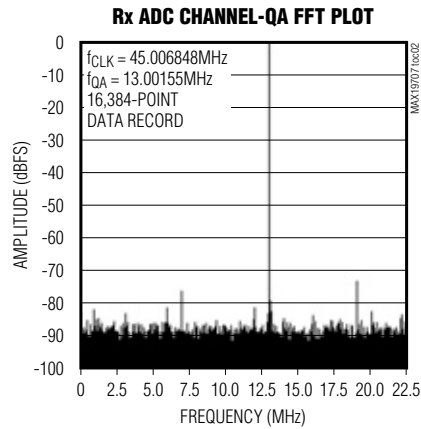
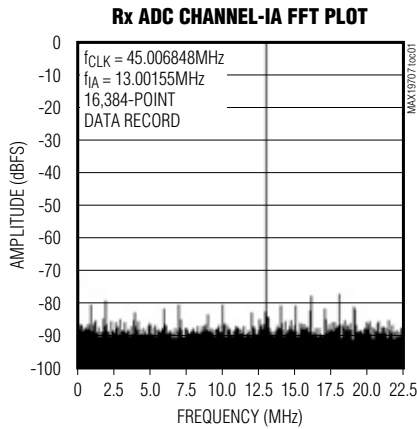
Note 6: Guaranteed by design and characterization.

SPIはMotorola, Inc.の商標です。

10ビット、45MSPs、超低電力 アナログフロントエンド

標準動作特性

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = $-0.5dBFS$, Tx DAC output amplitude = $0dBFS$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



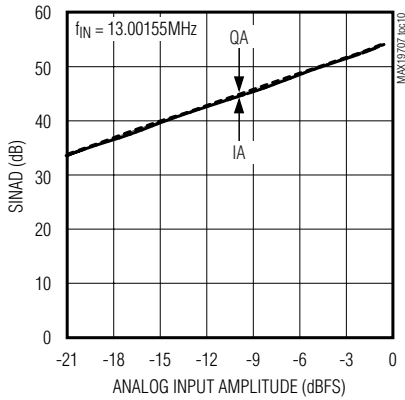
10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

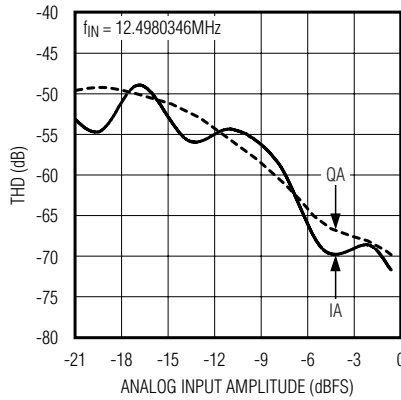
標準動作特性(続き)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = $-0.5dBFS$, Tx DAC output amplitude = $0dBFS$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

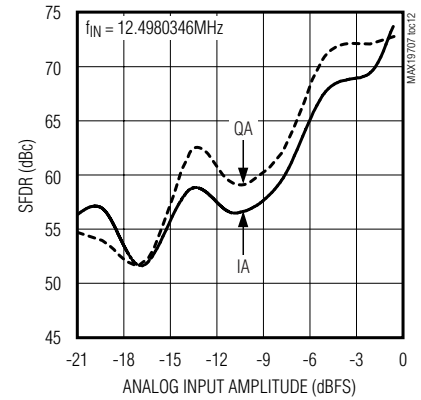
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. ANALOG INPUT AMPLITUDE



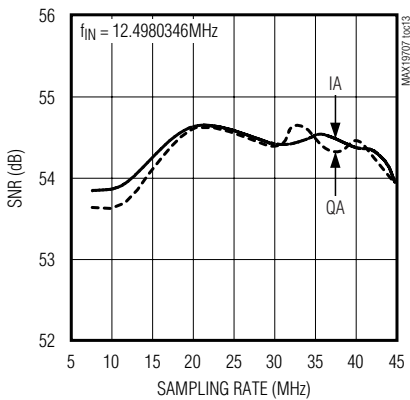
Rx ADC TOTAL HARMONIC DISTORTION vs. ANALOG INPUT AMPLITUDE



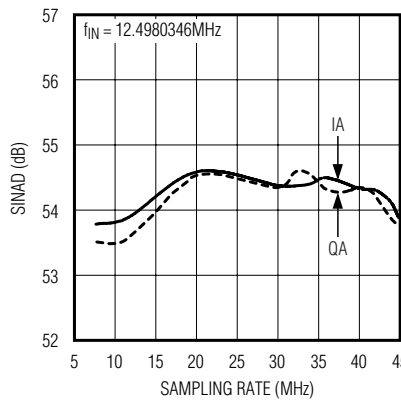
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT AMPLITUDE



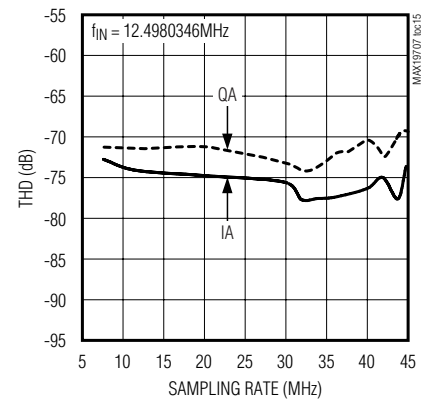
Rx ADC SIGNAL-TO-NOISE RATIO vs. SAMPLING RATE



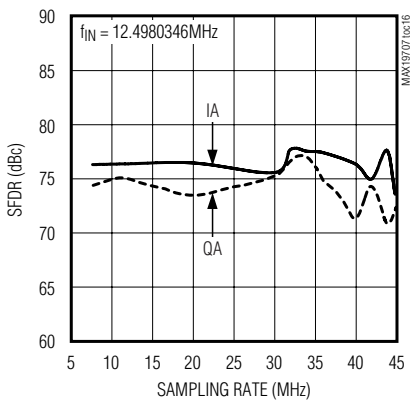
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING RATE



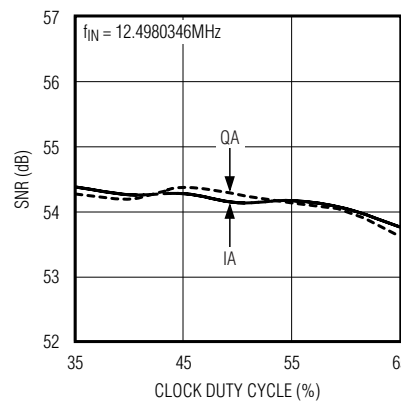
Rx ADC TOTAL HARMONIC DISTORTION vs. SAMPLING RATE



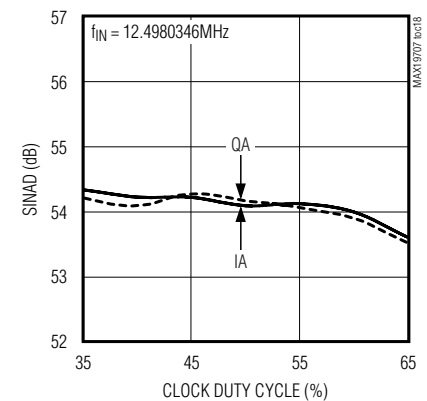
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



Rx ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE



Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE

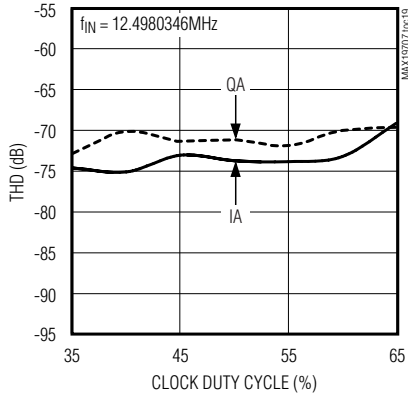


10ビット、45MSPS、超低電力 アナログフロントエンド

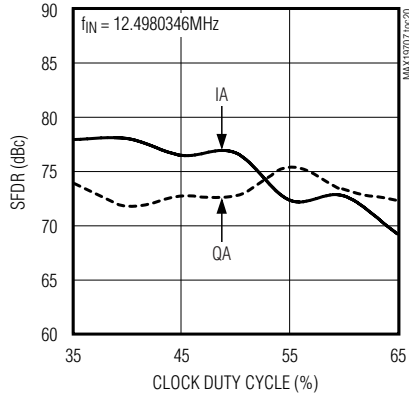
標準動作特性(続き)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = $-0.5dBFS$, Tx DAC output amplitude = $0dBFS$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

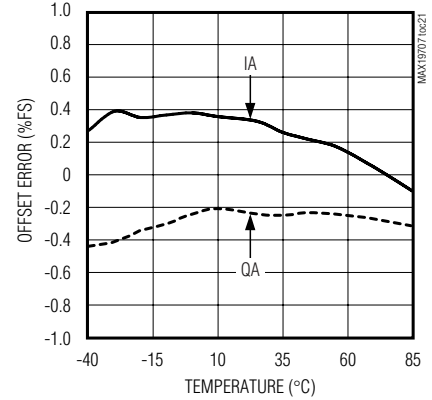
Rx ADC TOTAL HARMONIC DISTORTION vs. CLOCK DUTY CYCLE



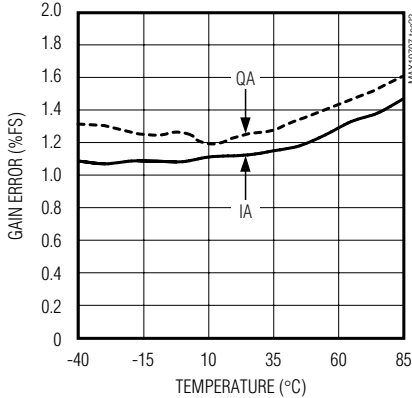
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE



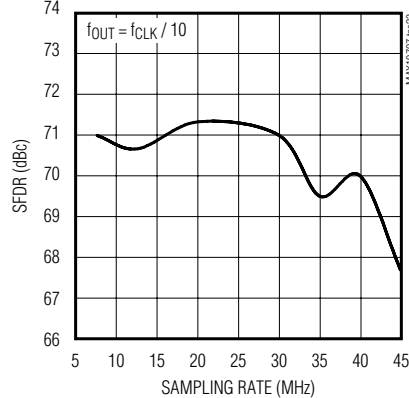
Rx ADC OFFSET ERROR vs. TEMPERATURE



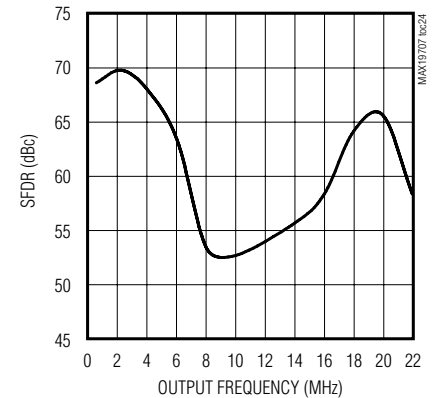
Rx ADC GAIN ERROR vs. TEMPERATURE



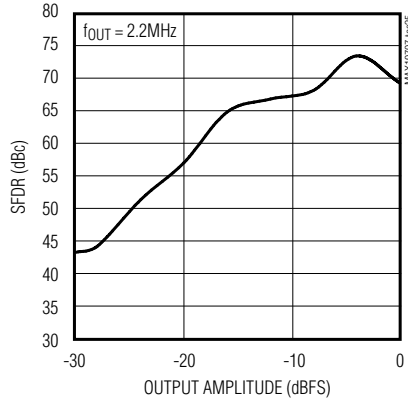
Tx DAC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



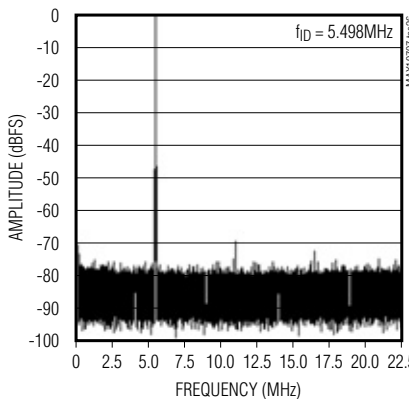
Tx DAC SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY



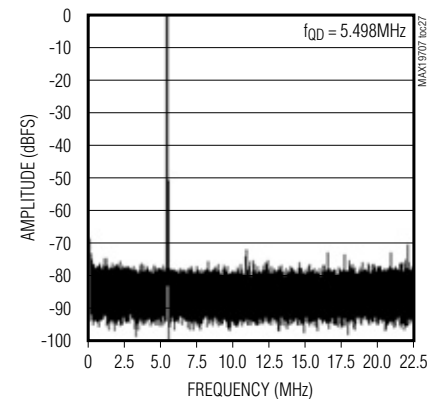
Tx DAC SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT AMPLITUDE



Tx DAC CHANNEL-ID SPECTRAL PLOT



Tx DAC CHANNEL-QD SPECTRAL PLOT



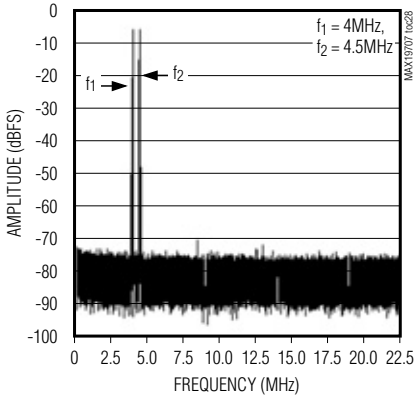
10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

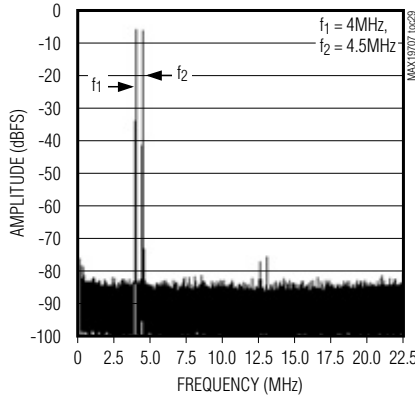
標準動作特性(続き)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = $-0.5dBFS$, Tx DAC output amplitude = $0dBFS$, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

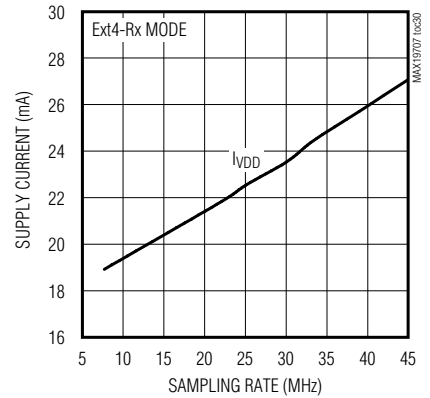
Tx DAC CHANNEL-ID TWO-TONE SPECTRAL PLOT



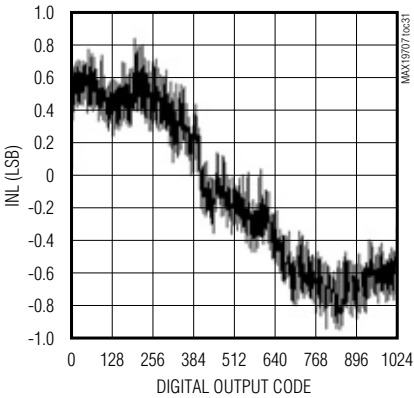
Tx DAC CHANNEL-QD TWO-TONE SPECTRAL PLOT



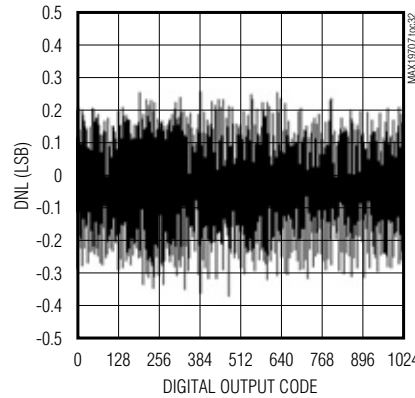
SUPPLY CURRENT vs. SAMPLING RATE



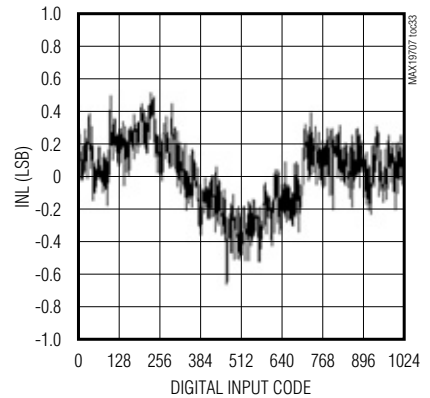
Rx ADC INTEGRAL NONLINEARITY



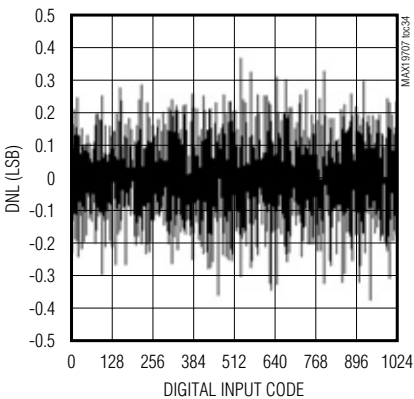
Rx ADC DIFFERENTIAL NONLINEARITY



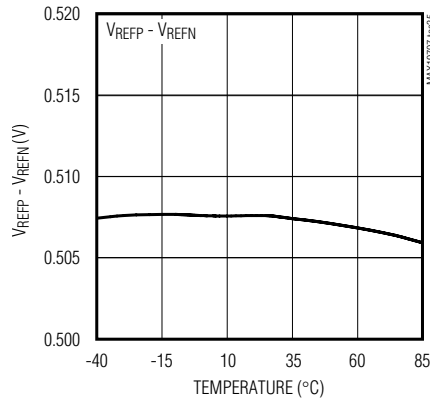
Tx DAC INTEGRAL NONLINEARITY



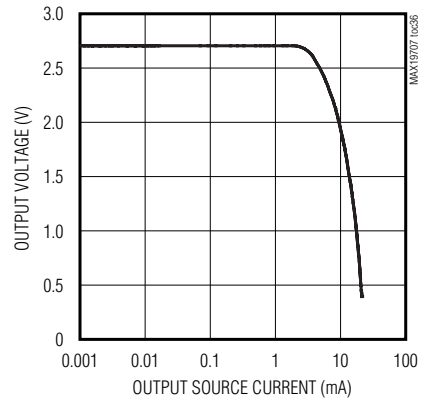
Tx DAC DIFFERENTIAL NONLINEARITY



REFERENCE OUTPUT VOLTAGE vs. TEMPERATURE



AUX-DAC OUTPUT VOLTAGE vs. OUTPUT SOURCE CURRENT

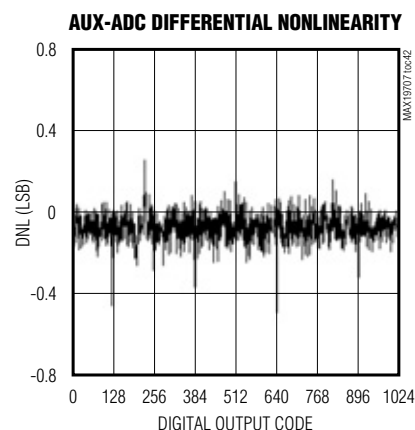
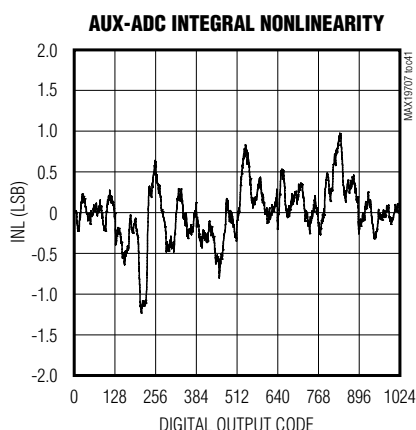
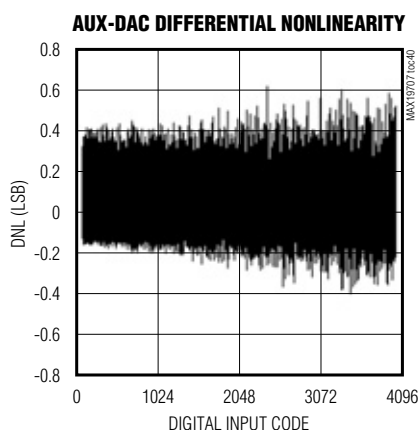
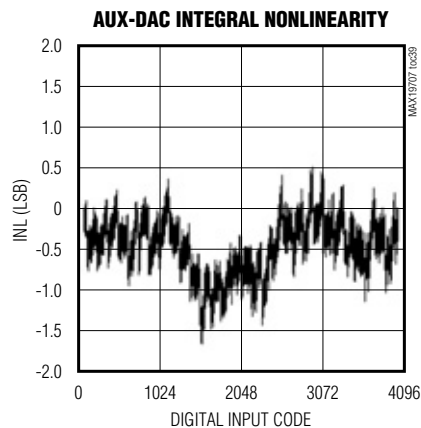
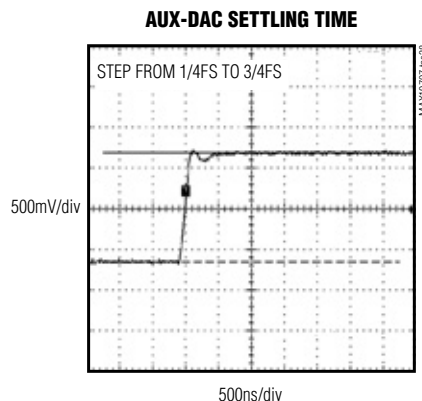
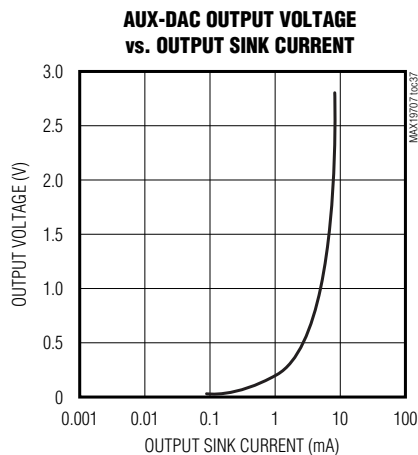


10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

標準動作特性(続き)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 45MHz$ (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	REFP	上側リファレンス電圧。REFPのできる限り近くで、0.33 μF のコンデンサでGNDにバイパスしてください。
2, 8, 11, 31, 33, 39, 43	V_{DD}	アナログ電源電圧。 V_{DD} を0.1 μF のコンデンサと並列の2.2 μF のコンデンサでGNDにバイパスしてください。
3	IAP	チャンネルAの正アナログ入力。シングルエンド動作の場合は、信号ソースをIAPに接続してください。
4	IAN	チャンネルAの負アナログ入力。シングルエンド動作の場合は、IANをCOMに接続してください。
5, 7, 12, 32, 42	GND	アナロググランド。すべてのGNDピンをグランドプレーンに接続してください。
6	CLK	変換クロック入力。受信ADCと送信DACの両方に対するクロック信号。
9	QAN	チャンネルQAの負アナログ入力。シングルエンド動作の場合は、QANをCOMに接続してください。

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

端子説明(続き)

端子	名称	機能
10	QAP	チャンネルQAの正アナログ入力。シングルエンド動作の場合は、信号ソースをQAPに接続してください。
13-18, 21-24	D0-D9	デジタルI/O。Rxモードにおける受信ADC用出力。Txモードにおける送信DAC用入力。D9が最上位ビット(MSB)で、D0が最下位ビット(LSB)です。
19	OGND	出力ドライバグランド。
20	OVDD	出力ドライバ電源。電圧範囲は+1.8V~V _{DD} です。OV _{DD} を0.1μFのコンデンサと並列の2.2μFのコンデンサでOGNDにバイパスしてください。
25	SHDN	アクティブローシャットダウン入力。MAX19707をシャットダウンするためには、ロジックローを印加してください。
26	DOUT	補助ADCデジタル出力。
27	T/R	送信または受信モード選択入力。T/Rのロジックロー入力でデバイスは受信モードに設定されます。ロジックハイ入力でデバイスは送信モードに設定されます。
28	DIN	3線式シリアルインタフェースデータ入力。データはSCLKの立上りエッジでラッチされます。
29	SCLK	3線式シリアルインタフェースクロック入力
30	CS	3線式シリアルインタフェースチップ選択入力。ロジックローでシリアルインタフェースはイネーブルされます。
34	ADC2	補助ADC用アナログ入力
35	ADC1	補助ADC用アナログ入力
36	DAC3	補助DAC3用アナログ出力
37	DAC2	補助DAC2用アナログ出力
38	DAC1	補助DAC1用アナログ出力(AFC DAC、V _{OUT} = 1.1V(電源投入時))
40, 41	IDN, IDP	DACチャンネルID差動電圧出力
44, 45	QDN, QDP	DACチャンネルQD差動電圧出力
46	REFIN	リファレンス入力。内部リファレンスとする場合は、V _{DD} に接続してください。
47	COM	コモンモード電圧I/O。COMを0.33μFのコンデンサでGNDにバイパスしてください。
48	REFN	負リファレンスI/O。Rx ADCの変換範囲は±(V _{REFP} - V _{REFN})です。REFNを0.1μFのコンデンサでGNDにバイパスしてください。
—	EP	エクスポーズパッド。エクスポーズパッドは内部でGNDに接続されています。EPをGNDプレーンに接続してください。

詳細

MAX19707は、デュアル、10ビットのRx ADCとデュアル、10ビットのTx DACを内蔵しており、45MSPSの変換レートで超低電力と高ダイナミック性能を提供します。Rx ADCアナログ入力アンプは、完全差動型で、1.024V_{p-p}のフルスケール信号を受け付けます。Tx DACアナログ出力は、完全差動型で、±400mVのフルスケール出力、選択可能なコモンモードDCレベル、および可変I/Qオフセット調整を備えています。

MAX19707は、3つの12ビット補助DAC(aux-DAC)チャンネル、および4:1の入力マルチプレクサ付き10ビット、333ksps補助ADC(aux-ADC)を内蔵しています。補助DACチャンネルは、高速自動利得制御(AGC)のための1μsのセトリング時間、可変利得アンプ(VGA)、および自動周波数制御(AFC)レベル設定を備えています。

補助ADCは、プロセッサのオーバヘッドを低減するデータ平均化、および変換レートを設定するための選択可能なクロック分周器を備えています。

MAX19707は、動作モードと電源管理を制御するための3線式シリアルインタフェースを内蔵しています。シリアルインタフェースは、SPIおよびMICROWIRE™に対応しています。MAX19707のシリアルインタフェースは、シャットダウン、アイドル、スタンバイ、送信(Tx)、および受信(Rx)の各モードを選択し、かつ補助DACおよび補助ADCチャンネルを制御します。

デジタルインタフェースを単一の10ビットパラレル多重化バスとするために、Rx ADCとTx DACに共通デジタルI/Oを共有させています。この10ビットデジタルバスは、+1.8V~+3.3Vの単一電源で動作します。

MICROWIREはNational Semiconductor Corp.の商標です。

10ビット、45MSPS、超低電力 アナログフロントエンド

デュアル、10ビットRx ADC

ADCには、消費電力を最小限に抑えながら高速変換が可能な7段から成る完全差動のパイプラインアーキテクチャが採用されています。入力に取り込まれたサンプルは、1/2クロックサイクルごとにパイプラインステージを順次移動します。出力ラッチによる遅延を含む全クロックサイクルの待ち時間は、チャンネルIAでは5クロックサイクルで、チャンネルQAでは5.5クロックサイクルです。ADCのフルスケールアナログ入力範囲は $\pm V_{REF}$ で、コモンモード入力範囲は $V_{DD}/2 \pm 0.2V$ です。 V_{REF} は

V_{REFP} と V_{REFN} の差です。詳しくは、「リファレンスの構成」の項をご覧ください。

入カトラック/ホールド(T/H)回路

図1は、Rx ADCの入カトラック/ホールド(T/H)回路の簡略図を示します。ADC入力(IAP、QAP、IAN、およびQAN)はいずれも、差動またはシングルエンドのいずれかで駆動することができます。IAPとIAN、およびQAPとQANのインピーダンスを整合させ、入力信号のコモンモード電圧を最適性能が得られる $V_{DD}/2 (\pm 200mV)$ のRx ADC範囲内に設定してください。

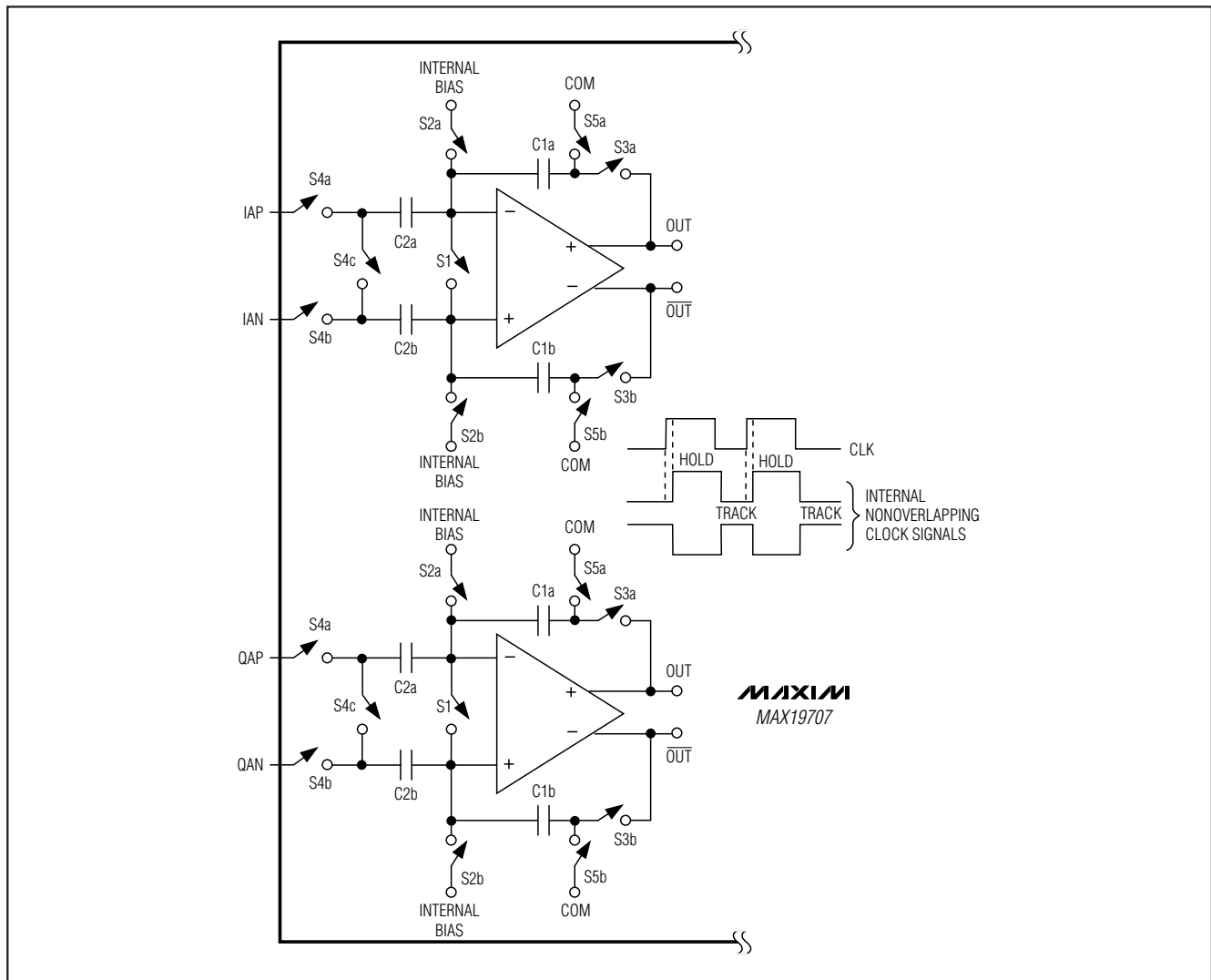


図1. Rx ADCの内部T/H回路

表1. Rx ADCの出力コードと入力電圧

DIFFERENTIAL INPUT VOLTAGE	DIFFERENTIAL INPUT (LSB)	OFFSET BINARY (D0~D9)	OUTPUT DECIMAL CODE
$V_{REF} \times 512/512$	511 (+Full Scale - 1 LSB)	11 1111 1111	1023
$V_{REF} \times 511/512$	510 (+Full Scale - 2 LSB)	11 1111 1110	1022
$V_{REF} \times 1/512$	+1	10 0000 0001	513
$V_{REF} \times 0/512$	0 (Bipolar Zero)	10 0000 0000	512
$-V_{REF} \times 1/512$	-1	01 1111 1111	511
$-V_{REF} \times 511/512$	-511 (-Full Scale + 1 LSB)	00 0000 0001	1
$-V_{REF} \times 512/512$	-512 (-Full Scale)	00 0000 0000	0

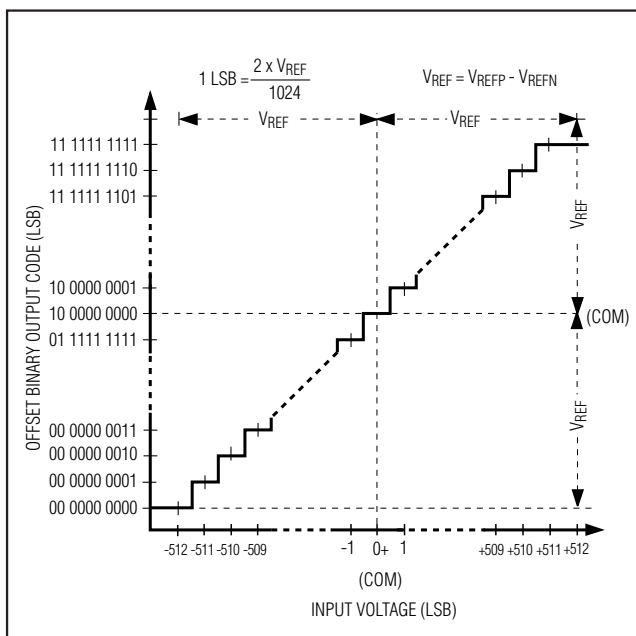


図2. Rx ADCの伝達関数

Rx ADCシステムのタイミング要件

図3は、クロック、アナログ入力、および得られた出力データの関係を示します。チャンネルI(CHI)とチャンネルQ(CHQ)は、クロック信号(CLK)の立上りエッジでサンプリングされ、得られたデータは出力D0~D9で多重化されます。CHIのデータはCLKの立上りエッジで更新され、CHQのデータはCLKの立下りエッジで更新されます。出力ラッチによる遅延を含む全クロックサイクル待ち時間は、CHIでは5クロックサイクルで、CHQでは5.5クロックサイクルです。

デジタル入力/出力データ(D0~D9)

MAX19707が受信モードにあるとき、D0~D9はRx ADCのデジタルロジック出力です。このバスは、各Tx DACデジタルロジック入力に共用され、ハーフデュープレクスモードで動作します。MAX19707が送信モードにあるとき、D0~D9はTx DACのデジタルロジック入力です。ロジックレベルは、 $1.8V \sim V_{DD}$ の OV_{DD} によって設定されます。デジタル出力コードはオフセットバイナリです(表1)。MAX19707のアナログ部に大きなデジタル電流がフィードバックされてそのダイナミック性能が低下することのないように、デジタル出力D0~D9の容量性負荷をできる限り小さく(15pF以下)保ってください。デジタル出力のバッファによって、出力は容量性の重負荷から分離されます。MAX19707の近くでデジタル出力と直列に100Ωの抵抗器を接続すると、Rx ADCとTx DACの性能が改善されます。100Ωの直列抵抗器を介してデジタル出力の例については、MAX19707EVKITの回路図を参照してください。

シャットダウン、アイドル、およびスタンバイ状態でデジタル入力が開放されないように、D0~D9は内部でプルアップされています。D0~D9 I/Oを通して電流が流れないようにするためには、外部バスをトライステートとするかまたは OV_{DD} にプルアップする必要があり、グラウンドに駆動してはなりません。

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

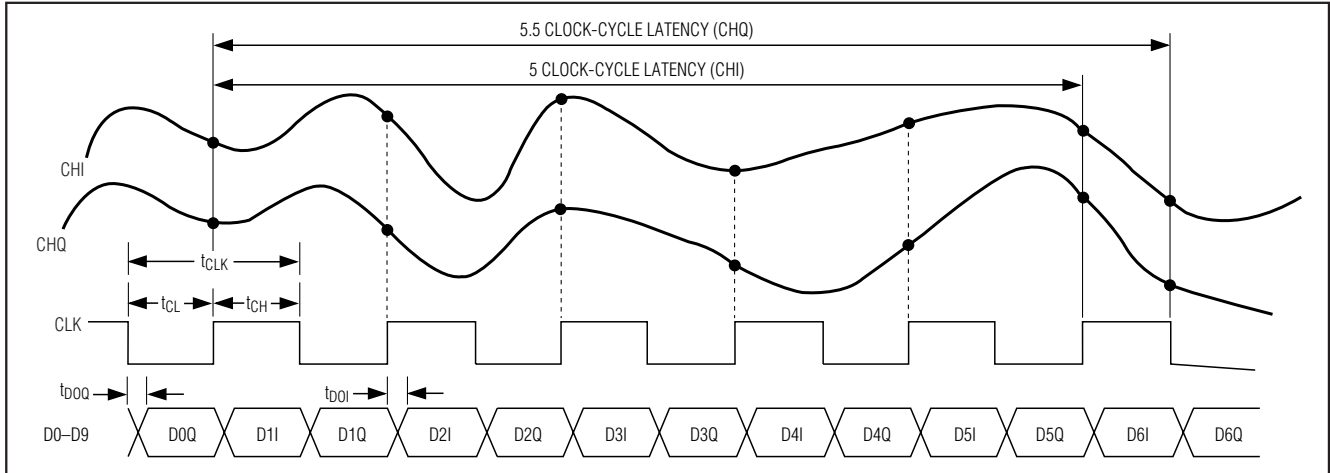


図3. Rx ADCシステムのタイミング図

デュアル、10ビットTx DAC

デュアル、10ビットのデジタル-アナログコンバータ (Tx DAC)は、最大45MHzのクロック速度で動作します。Tx DACの各デジタル入力D0~D9は、単一の10ビットバス上に多重化されています。電圧リファレンスは、Tx DACのフルスケール出力電圧を決定します。リファレンス電圧の設定に関する詳細については、「リファレンスの構成」の項をご覧ください。

IDN、IDP、およびQDN、QDPにおける各Tx DAC出力は、0.7V~1.05Vの可変DCコモンモードバイアスにバイアスされ、70kΩ以上の入力インピーダンスを有する差動入力段を駆動するように設計されています。

このため、RF直交アップコンバータとMAX19707の間のアナログインタフェースが簡素化されます。多くのRFアップコンバータは、0.7V~1.05Vのコモンモードバイアスを必要とします。Tx DACのDCコモンモードバイアスは個別のレベル設定抵抗器とコードが生成するレベルシフトが不要となり同時に各Tx DACのフルダイナミックレンジが維持されます。Tx DACの差動アナログ出力はシングルエンドモードで使用することができません。これはコモンモードDCレベルが内部で生成されるためです。表2は、Tx DACの出力電圧と入力コードの関係を示します。表10は、DCコモンモードレベルの選択を示します。Tx DACアナログ出力レベルの説明については、図4を参照してください。

表2. Tx DACの出力電圧と入力コード

(Internal Reference Mode $V_{REFDAC} = 1.024V$, External Reference Mode $V_{REFDAC} = V_{REFIN}$; $V_{FS} = \pm 400$ for 800mVp-p Full Scale)

DIFFERENTIAL OUTPUT VOLTAGE (V)	OFFSET BINARY (D0-D9)	INPUT DECIMAL CODE
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1023}{1023}$	11 1111 1111	1023
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1021}{1023}$	11 1111 1110	1022
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{3}{1023}$	10 0000 0001	513
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1}{1023}$	10 0000 0000	512
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1}{1023}$	01 1111 1111	511
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1021}{1023}$	00 0000 0001	1
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1023}{1023}$	00 0000 0000	0

10ビット、45Msps、超低電力 アナログフロントエンド

また、Tx DACでは、各I/QチャネルのDCオフセット補正が独立に行われます。この機能はSPIインタフェースを通じて設定されます。DCオフセット補正は、Tx信号

経路において側波帯および搬送波の抑圧を最適化するために使用されます(表9参照)。

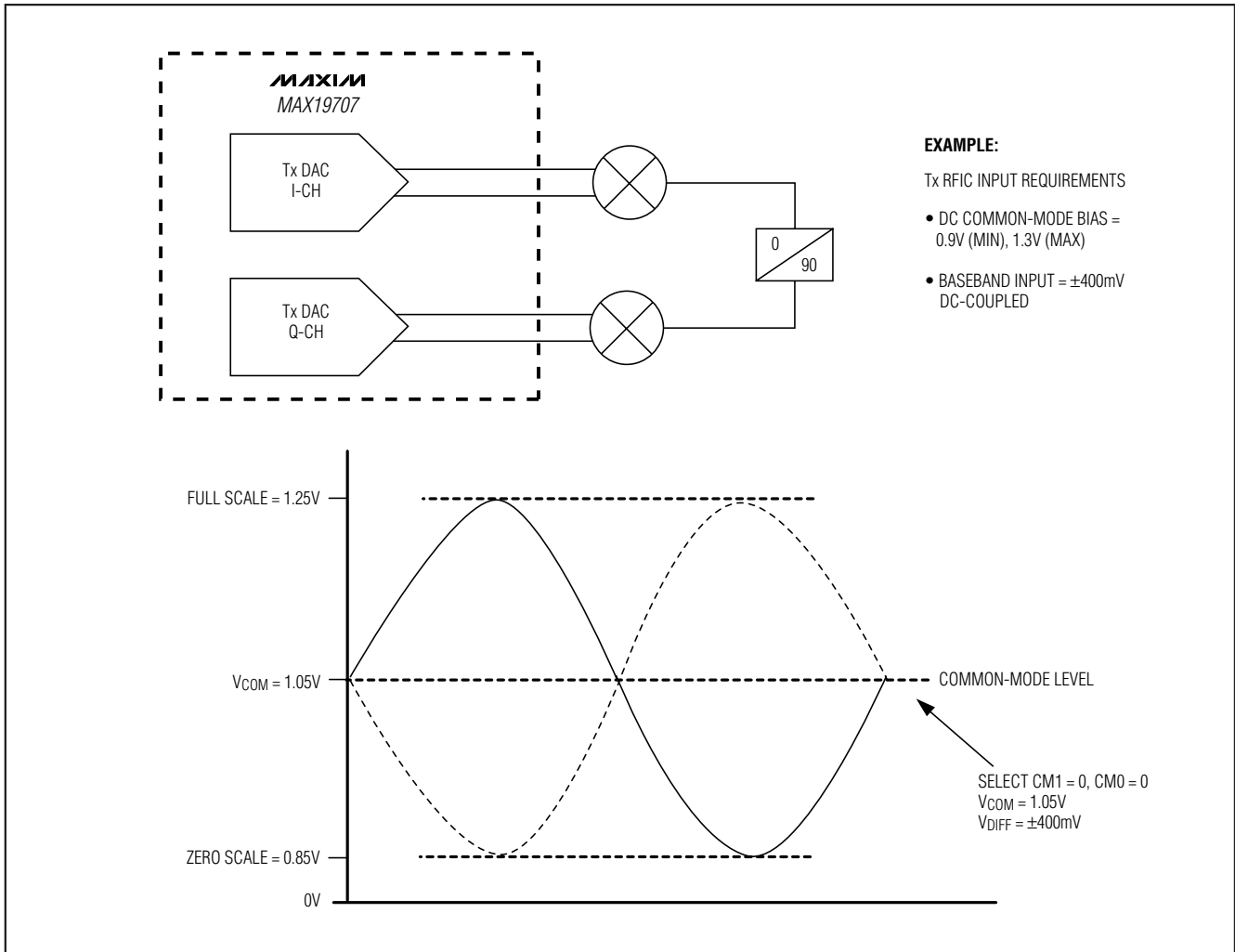


図4. IDN、IDP、またはQDN、QDP差動出力でのTx DACのコモンモードDCレベル

10ビット、45Msps、超低電力 アナログフロントエンド

Tx DACのタイミング

図5は、クロック、入力データ、およびアナログ出力の関係を示します。Iチャンネルのデータ(ID)はクロック信号の立下りエッジでラッチされ、Qチャンネルのデータ(QD)はクロック信号の立上りエッジでラッチされます。I出力とQ出力は、クロック信号の次の立上りエッジで同時に更新されます。

3線式シリアルインタフェースおよび動作モード

3線式シリアルインタフェースは、MAX19707の動作モードおよび3つの12ビット補助DACと10ビット補助ADCを制御します。電源投入時に、MAX19707を所望のモードで動作するように設定してください。シャットダウン、アイドル、スタンバイ、Rx、Tx、補助DACの各制御、または補助ADC変換に関してデバイスを設定するためには、3線式シリアルインタフェースを使用してください。16ビットデータレジスタによって、表3に示すようにモード制御を設定します。16ビットワードは、A3~A0の制御ビットとD11~D0のデータ

ビットで構成されます。データは、MSB(D11)を先頭としてLSB(A0)が最後にシフトインされます。表4、5、および6は、MAX19707の動作モードおよびSPIコマンドを示します。シリアルインタフェースは、すべてのモードでアクティブのままです。

SPIレジスタの説明

動作モードを選択するためには、レジスタの制御ビットA3~A0を表3に示すように設定してください。ENABLE-16、補助DAC1、補助DAC2、補助DAC3、IOFFSET、QOFFSET、補助ADC、ENABLE-8、およびCOMSELの各モードを選択するためには、A3~A0ビットを変更してください。ENABLE-16はデフォルトの動作モードです。このモードでは、シャットダウン、アイドル、およびスタンバイの各状態が可能であり、また高速、低速、Rx、およびTxの各モードの切替えが可能です。表4はMAX19707の電源管理モードを示します。表5は、T/R端子で制御される外部Tx-Rxの切替えモードを示します。表6は、SPIで制御されるTx-Rxの切替えモードを示します。

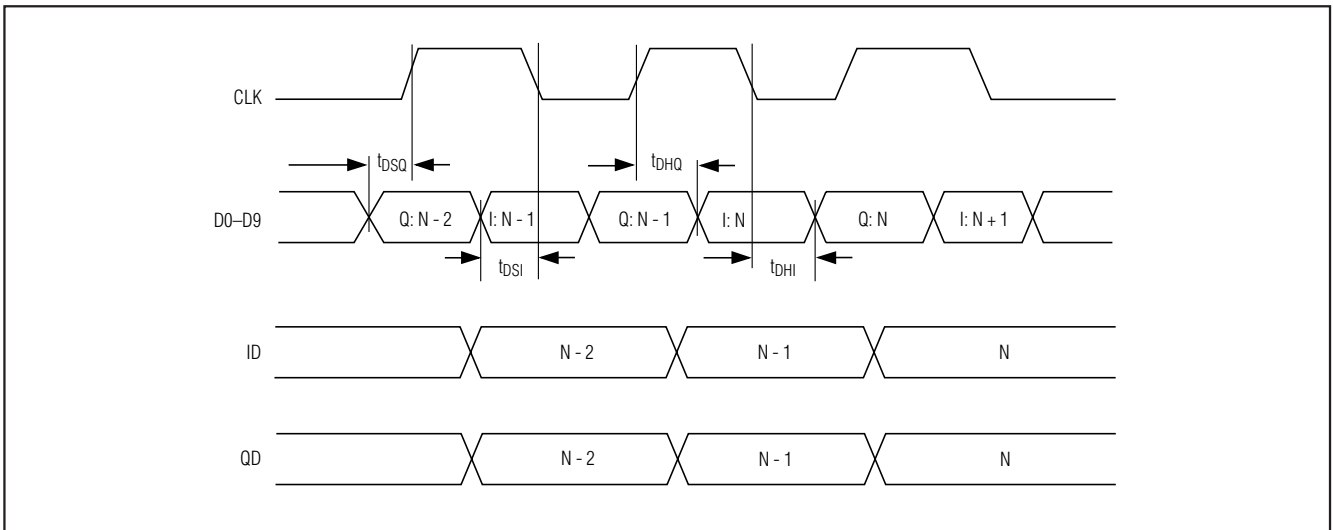


図5. Tx DACシステムのタイミング図

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

表3. MAX19707のモード制御

REGISTER NAME	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	A3	A2	A1	A0
	(MSB)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 (LSB)
ENABLE-16	E11 = 0 Reserved	E10 = 0 Reserved	E9	—	—	E6	E5	E4	E3	E2	E1	E0	0	0	0	0
Aux-DAC1	1D11	1D10	1D9	1D8	1D7	1D6	1D5	1D4	1D3	1D2	1D1	1D0	0	0	0	1
Aux-DAC2	2D11	2D10	2D9	2D8	2D7	2D6	2D5	2D4	2D3	2D2	2D1	2D0	0	0	1	0
Aux-DAC3	3D11	3D10	3D9	3D8	3D7	3D6	3D5	3D4	3D3	3D2	3D1	3D0	0	0	1	1
I OFFSET	—	—	—	—	—	—	IO5	IO4	IO3	IO2	IO1	IO0	0	1	0	0
Q OFFSET	—	—	—	—	—	—	QO5	QO4	QO3	QO2	QO1	QO0	0	1	0	1
COMSEL	—	—	—	—	—	—	—	—	—	—	CM1	CM0	0	1	1	0
Aux-ADC	AD11 = 0 Reserved	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	1	1	1
ENABLE-8	—	—	—	—	—	—	—	—	E3	E2	E1	E0	1	0	0	0

— = 空き

表4. 電源管理モード

ADDRESS				DATA BITS					T/ \bar{R}	MODE	FUNCTION (POWER MANAGEMENT)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E9*	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)	1X000				X					SHDN	SHUTDOWN	Rx ADC = OFF Tx DAC = OFF Aux-DAC = OFF Aux-ADC = OFF CLK = OFF REF = OFF	Device is in complete shutdown. Overrides T/ \bar{R} pin.
	XX001				X					IDLE	IDLE	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State CLK = ON REF = ON	Fast turn-on time. Moderate idle power. Overrides T/ \bar{R} pin.
	1X010				X					STBY	STANDBY	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State Aux-ADC = OFF CLK = OFF REF = ON	Slow turn-on time. Low standby power. Overrides T/ \bar{R} pin.

X = 任意

* 8ビットモードではビットE9がありません。

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

表5. T/Rピンを使用した外部Tx-Rx制御(T/R = 0 = Rxモード、T/R = 1 = Txモード)

ADDRESS				DATA BITS				T/R	STATE	FUNCTION Rx TO Tx-Tx TO Rx SWITCHING SPEED	DESCRIPTION	COMMENT				
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27								
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				0011				0	Ext1-Rx	FAST-SLOW	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/R transitions 0 to 1.				
								1	Ext1-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/R transitions 1 to 0.				
				0100				(Default)				0	Ext2-Rx	SLOW-FAST	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/R transitions 0 to 1.
												1	Ext2-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/R transitions 1 to 0.
				0101								0	Ext3-Rx	SLOW-SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/R transitions 0 to 1.
												1	Ext3-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/R transitions 1 to 0.
				0110								0	Ext4-Rx	FAST-FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/R transitions 0 to 1.
												1	Ext4-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/R transitions 1 to 0.

表6. SPIコマンドを使用したTx-Rx制御

ADDRESS				DATA BITS				T/R	MODE	FUNCTION (Tx-Rx SWITCHING SPEED)	DESCRIPTION	COMMENTS
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1	0	1	1	X	SPI1-Rx	SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx through SPI command.
				1	1	0	0	X	SPI2-Tx	SLOW	Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx through SPI command.
				1	1	0	1	X	SPI3-Rx	FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enabled	Moderate Power: Fast Rx to Tx through SPI command.
				1	1	1	0	X	SPI4-Tx	FAST	Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enabled	Moderate Power: Fast Tx to Rx through SPI command.

X = 任意

ENABLE-16モードでは、補助DACが独立した制御ビットE4、E5、およびE6を備えており、E9が補助ADCをイネーブルします。表7は補助DACのイネーブルコードを示し、表8は補助ADCのイネーブルコードを示します。ビットE11とE10は予備です。ビットE11とE10をロジックローに設定してください。

補助DAC1、補助DAC2、および補助DAC3モードは、DAC1、DAC2、およびDAC3という名前の補助DACを選択し、各DACのデータ入力を保持します。ビット_D11~_D0は、各補助DACのデータ入力でSPIを通じて設定することができます。また、MAX19707は、Tx DACのIチャンネルとQチャンネルのオフセットを独立に調整するように設定することが可能な2個の6ビットレジスタを内蔵しています(表9参照)。COMSELモードを使用して、ビットCM1とCM0によって出力コモンモード電圧を選択してください(表10参照)。補助ADCモードを使用して、補助ADCの変換を開始してください(詳しくは、「10ビット、333ksps補助ADC」の項をご覧ください)。高速イネーブル、ならびにシャットダウン、アイドル、およびスタンバイの各状態間の切替え、ならびに高速、低速、およびRx/Tx各モード間の切替えにはENABLE-8モードを使用してください。

表7. 補助DACイネーブル表
(ENABLE-16モード)

E6	E5	E4	AUX-DAC3	AUX-DAC2	AUX-DAC1
0	0	0	ON	ON	ON
0	0	1	ON	ON	OFF
0	1	0	ON	OFF	ON
0	1	1	ON	OFF	OFF
1	0	0	OFF	ON	ON
1	0	1	OFF	ON	OFF
1	1	0	OFF	OFF	ON
1	1	1	OFF	OFF	OFF

表8. 補助ADCイネーブル表
(ENABLE-16モード)

E9	SELECTION
0 (Default)	Aux-ADC is Powered ON
1	Aux-ADC is Powered OFF

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

表9. IおよびQチャネルのオフセット制御ビット(IOFFSETまたはQOFFSETモード)

BITS IO5–IO0 WHEN IN IOFFSET MODE, BITS QO5–QO0 WHEN IN QOFFSET MODE						OFFSET 1 LSB = (VFS _{P-P} / 1023)
IO5/QO5	IO4/QO4	IO3/QO3	IO2/QO2	IO1/QO1	IO0/QO0	
1	1	1	1	1	1	-31 LSB
1	1	1	1	1	0	-30 LSB
1	1	1	1	0	1	-29 LSB
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	0	0	0	1	0	-2 LSB
1	0	0	0	0	1	-1 LSB
1	0	0	0	0	0	0mV
0	0	0	0	0	0	0mV (Default)
0	0	0	0	0	1	1 LSB
0	0	0	0	1	0	2 LSB
⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	1	1	1	0	1	29 LSB
0	1	1	1	1	0	30 LSB
0	1	1	1	1	1	31 LSB

注：±400mVの送信フルスケールの場合：1LSB = (800mV_{P-P}/1023) = 0.7820mV

表10. コモンモードの選択
(COMSELモード)

CM1	CM0	Tx DAC OUTPUT COMMON MODE (V)
0	0	1.05 (Default)
0	1	0.95
1	0	0.80
1	1	0.70

シャットダウンモードでは、MAX19707のアナログ部すべてがシャットダウンされ、Rx ADCのデジタル出力をトライステートモードにすることによってきわめて大幅な節電が行われます。Rx ADC出力がトライステートからオンに遷移すると、最後に変換されたワードがデジタル出力に現れます。シャットダウンモードから抜け出ると、Tx DACによって以前に保存されたデータは失われます。シャットダウンモードからのウェイクアップ時間は、REFP、REFN、およびCOMでのコンデンサの充電に要する時間に依存します。内部リファレンスモードおよびバッファ付き外部リファレンスモードでのウェイクアップ時間は、通常、Rxモードに入る場合は85.2μsで、Txモードに入る場合は28.2μsです。アイドルモードでは、リファレンスおよびクロック分配回路は給電されますが、その他すべての機能はオフになります。

Rx ADC出力はトライステートに強制されます。ウェイクアップ時間は、Rxモードに入る場合は9.8μsで、Txモードに入る場合は6.4μsです。Rx ADC出力がトライステートからオンに遷移すると、最後に変換されたワードがデジタル出力に出力されます。

スタンバイモードでは、リファレンスは給電されますが、その他のデバイスの機能はオフになります。スタンバイモードからのウェイクアップ時間は、Rxモードに入る場合は13.7μsで、Txモードに入る場合は24μsです。Rx ADC出力がトライステートからアクティブになると、最後に変換されたワードがデジタル出力に出力されます。

高速および低速Rx/Txモード

外部Tx-Rx制御に加えて、MAX19707はRx動作とTx動作の切替え用の低速及び高速の各モードも備えています。高速Txモードでは、Rx ADCコアは給電されますが、ADCコアのデジタル出力はD0～D9バス上でトライステートになります。同様に、高速Rxモードでは、送信DACコアは給電されますが、DACコアのデジタル入力もD0～D9バス上でトライステートになります。TxからRx、またはRxからTxへの切替え時間は、コンバータがオンでパワーダウン状態から復帰する必要がないため高速です。高速モードでは、RxからTx、またはTxからRxへの切替え時間は0.5μsです。

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

ただし、TxとRxの両コアは常にオンであるため、消費電力は高速モードの場合の方が大きくなります。これらの状態でのバスの競合を避けるために、Rx ADC出力バッファはTxモードの間はトライステートで、Tx DAC入力バスはRxモードの間はトライステートです。

低速モードでは、Rx ADCコアはTxモードの間オフとなり、同様に、Tx DACとフィルタはRxモードの間オフとなるため、これらのモードでは消費電力が低下します。たとえば、低速Txモードでの消費電力は49.5mWです。低速Rxモードでの消費電力は、高速Rxモードでの消費電力84.6mWに対して77.1mWとなります。ただし、状態間の回復時間は増加します。低速モードでのRxからTxへの切替え時間は7 μ sで、TxからRxへの切替え時間は4.1 μ sです。

外部T/R切替え制御とシリアルインタフェース制御

ENABLE-16またはENABLE-8レジスタのビットE3は、デバイスのTx-Rxモードを外部からT/R入力(E3 = ロー)またはSPIコマンド(E3 = ハイ)のいずれによって制御するかを決定します。デフォルトでは、MAX19707は外部Tx-Rx制御モードにあります。

外部制御モードでは、T/R入力(端子27)を使ってRxモードとTxモードを切り替えてください。T/R端子を使用する

と、RxモードとTxモードの切替えが高速になります。外部Tx-Rx制御を無効にするためには、シリアルインタフェースを通じてMAX19707を設定してください。シャットダウン、アイドル、またはスタンバイの各モードの間は、T/R入力は無効になります。外部Tx-Rx制御を復元するためには、ビットE3をローに設定し、シリアルインタフェースを通じてシャットダウン、アイドル、またはスタンバイの各モードを終了してください。

SPIのタイミング

シリアルデジタルインタフェースは、SPI/QSPI™/MICROWIRE/DSP対応の標準3線式接続です。DINでのシリアルデータローディングまたはDOUTでの出力をイネーブ爾するためには、CSをローに設定してください。CSのハイからローへの遷移に続いて、データはシリアルクロック(SCLK)の立上りエッジに同期して最上位ビットを先頭にシフト入力します。16ビットがシリアル入力レジスタにロードされた後、CSがハイに遷移するとデータはラッチに転送されます。次の書込みシーケンスが始まる前の少なくとも80nsの間に、CSはハイに遷移する必要があります。各遷移の間、SCLKをアイドルハイまたはアイドルローのいずれとすることもできます。図6は、3線式シリアルインタフェースの詳細なタイミング図を示します。

QSPIはMotorola, Inc.の商標です。

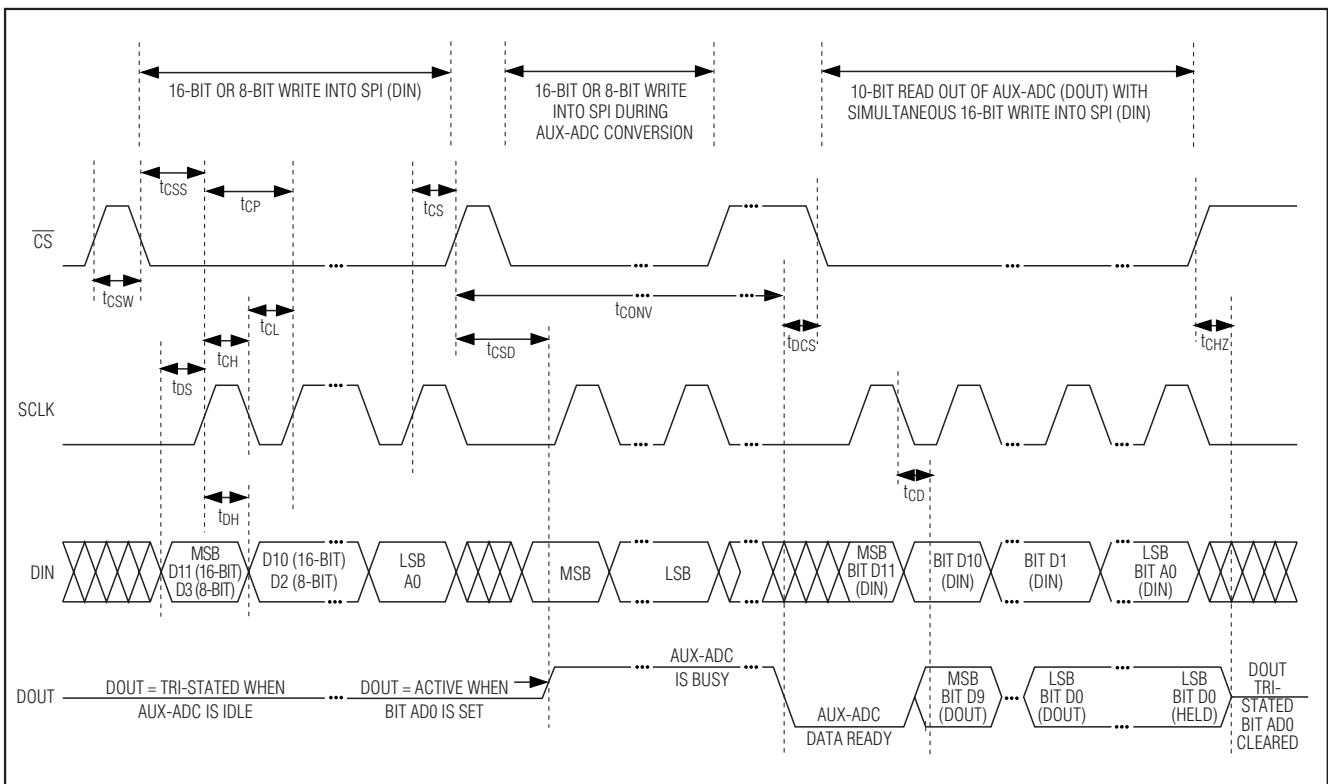


図6. シリアルインタフェースのタイミング図

10ビット、45Msps、超低電力 アナログフロントエンド

モード回復のタイミング

図7は、モード回復のタイミング図を示します。t_{WAKE}は、シャットダウン、アイドル、またはスタンバイモードを終了してRxまたはTxモードに入るときにウェイクアップ時間です。t_{ENABLE}は、RxとTxのモード間で切り替わるときに回復時間です。t_{WAKE}またはt_{ENABLE}は、Rx ADCが仕様化されたSINAD性能の1dB以内に整定し、Tx DACが10 LSBの誤差に整定するまでの時間です。t_{WAKE}とt_{ENABLE}の時間は、16ビットシリアルコマンドがCSのハイへの遷移(SPI制御)、またはT/Rのロジック遷移(外部のTx-Rx制御)によってMAX19707にラッチされた後に測定されます。高速モードでは、TxとRxのモード間で切り替わるときに回復時間は0.5μsです。

システムクロック入力(CLK)

Rx ADCとTx DACはCLK入力を共有しています。CLK入力は、1.8V~V_{DD}のOV_{DD}によって設定されたCMOS対応信号レベルを受け付けます。デバイスの段間変換は

外部クロックの立上りおよび立下りエッジの再現性に依存するため、低ジッタで高速立上りおよび立下り時間(2ns以下)のクロックを使用してください。

特に、サンプリングはクロック信号の立上りエッジで行われるため、このエッジのジッタを最小限に抑える必要があります。有意なクロックジッタが存在すると、内蔵Rx ADCのSNR性能が次式のように制限されます：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

ここで、f_{IN}はアナログ入力周波数、t_{AJ}はクロックジッタの時間です。

クロックジッタは、アンダサンプリングアプリケーションにとって特に重要です。クロック入力をアナログ入力とみなして、その経路をアナログ入力や他のデジタル信号ラインから遠ざけてください。MAX19707のクロック入力は、OV_{DD}/2の電圧スレッショルドで動作し、50%±15%のデューティサイクルで動作します。

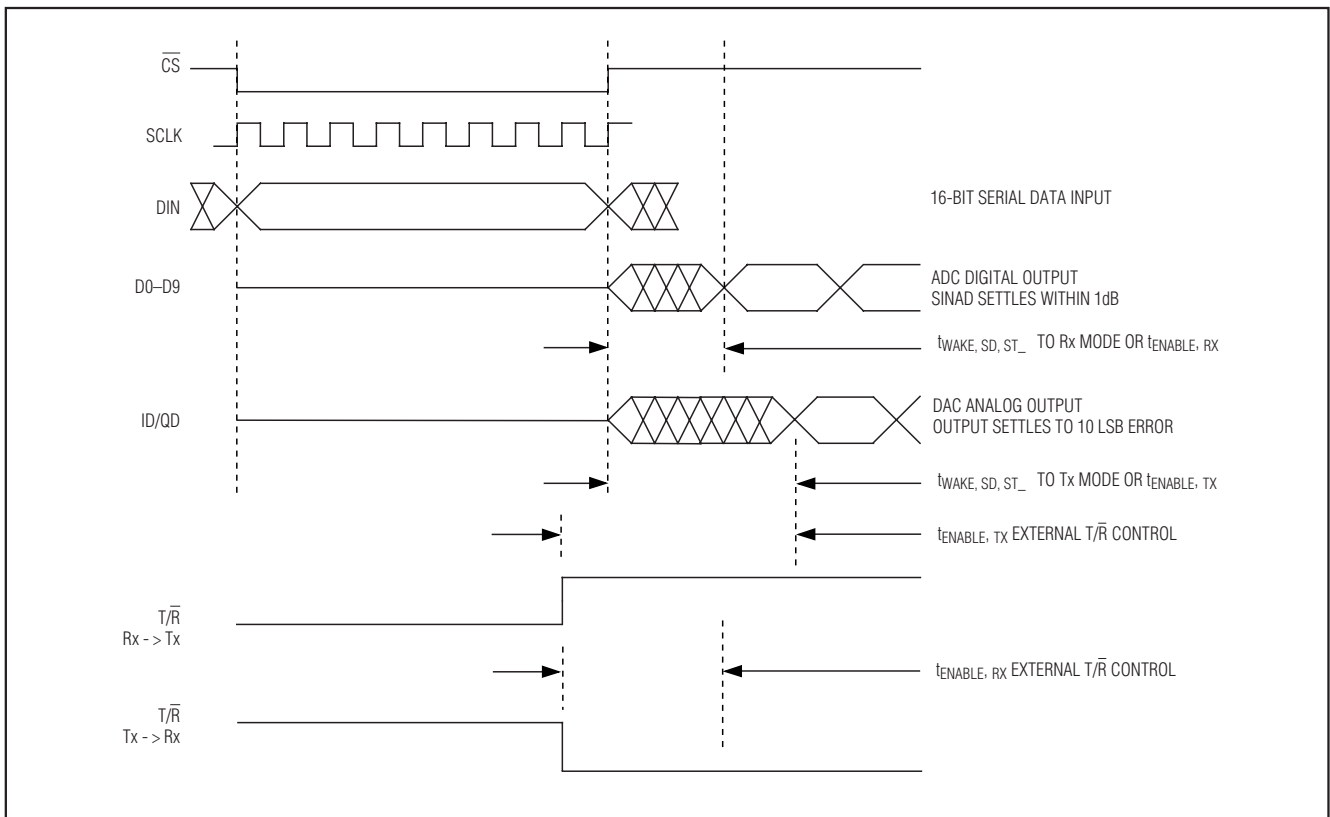


図7. モード回復のタイミング図

10ビット、45MSPS、超低電力 アナログフロントエンド

12ビット補助制御DAC

MAX19707は、VGA、AGC、およびAFCの各機能の制御用としてセトリング時間が1 μ sの3つの12ビット補助DAC(DAC1、DAC2、DAC3)を内蔵しています。補助DACの出力範囲は0.1V~2.56Vです。電源投入時のVGAおよびAGC出力(DAC2とDAC3)は0になっています。電源投入時のAFCのDAC(DAC1)は、1.1Vになっています。補助DACは、補助DACが完全にオフで出力電圧が0に設定されているシャットダウンモードにある間を除いて、SPIバスを通じて独立に制御することができます。スタンバイおよびアイドルモードでは、補助DACは最終値を維持しています。シャットダウンからのウェイクアップ時の補助DACは最終値から再開します。

仕様化されたセトリング時間と安定性を実現するために、補助DACの出力の負荷接続には注意が必要です。容量性負荷は、パッケージとトレースの容量を含めて5pF以下に保つ必要があります。抵抗性負荷は200k Ω 以上でなければなりません。容量性負荷が5pFを超える場合は、10k Ω の抵抗器を出力に直列に接続してください。この直列抵抗器を追加すると、セトリング時間は長くなりますがより大きい容量性負荷(15pF以下)の駆動に対応することができます。

10ビット、333ksps 補助ADC

MAX19707は10ビット、4:1の入力マルチプレクサ付き333kspsの補助ADCを内蔵しています。補助ADCモードレジスタでは、ビットAD0をセットすると補助ADCの変換が開始されます。変換が終了するとビット

AD0は自動的にクリアされます。変換中にAD0を設定またはクリアしても何の影響もありません(表11参照)。ビットAD1は補助ADCの内部リファレンスを決定します(表12参照)。ビットAD2とAD3は、補助ADCの入力ソースを決定します(表13参照)。ビットAD4、AD5、およびAD6は、1つの変換開始コマンドが与えられたときの平均化回数を選択します。平均化回数が増加すると変換時間が長くなります(表14参照)。変換クロックは、ビットAD7、AD8、およびAD9を適正に設定することによってシステムクロックから分周することができます(表15参照)。補助ADCの出力データは、ビットAD10をハイに設定することによってDOUTから出力することができます。(表16参照)

補助ADCは、4:1の入力マルチプレクサを備えているため4つの入力ソースの測定が可能です。入力ソースはAD3とAD2で選択されます(表13参照)。マルチプレクサ入力の2つ(ADC1とADC2)は、MAX2208などのRFパワー検出器やMAX6613などの温度センサといった外部ソースに接続することができます。他の2つのマルチプレクサ入力は、内部でV_{DD}とOV_{DD}に接続されて電源電圧を監視します。内部のV_{DD}とOV_{DD}への接続は、V_{DD}/2とOV_{DD}/2の測定データを提供する内蔵抵抗分圧器によって行われます。補助ADCの電圧リファレンスは、内部の2.048VバンドギャップリファレンスまたはV_{DD}から選択することができます(表12参照)。V_{DD}リファレンスの選択肢は、フルスケール範囲が2.048Vレベルを超える外部電圧ソースを測定するために用意されています。入力ソースの電圧範囲をV_{DD}を超えて拡大することはできません。

表11. 補助ADCの変換

AD0	SELECTION
0	Aux-ADC Idle (Default)
1	Aux-ADC Start-Convert

表12. 補助ADCのリファレンス

AD1	SELECTION
0	Internal 2.048V Reference (Default)
1	Internal V _{DD} Reference

表13. 補助ADCの入力ソース

AD3	AD2	AUX-ADC INPUT SOURCE
0	0	ADC1 (Default)
0	1	ADC2
1	0	V _{DD} / 2
1	1	OV _{DD} / 2

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

変換は、1変換サイクル(平均化が行われない場合)を終了するのに12クロックエッジ(入力サンプリングに1、10ビットの各々に1、およびシリアル出力レジスタへのロードの最後に1)を必要とします。平均化(平均化が2以上に設定される場合)の各変換は12クロックエッジを必要とします。変換クロックはシステムクロック入力(CLK)から生成されます。SPIによって設定可能な分周器は、システムクロックを適切な除数(ビットAD7、AD8、およびAD9で設定; 表15参照)で分周して、変換クロックを補助ADCに供給します。補助ADCは、最高変換レートが333kspsです。最高変換クロック周波数は4MHz (333ksps x 12)です。MAX19707に供給されるシステムCLK周波数に基づいて変換クロック周波数を4MHz以下に維持するために、適正な分周器の値を選択してください(表15参照)。補助ADCの総変換時間(t_{CONV})は、 $t_{CONV} = (12 \times N_{AVG} \times N_{DIV})/f_{CLK}$ として計算することができます。ここで、 N_{AVG} は平均化の数(表14参照)、 N_{DIV} はCLKの除数(表15参照)、 f_{CLK} はシステムCLK周波数です。

DOUTは通常トライステート状態にあります。補助ADCの変換開始ビット(AD0)をセットすると、DOUTはアクティブ(ハイ)になって補助ADCがビジーであることを示します。変換サイクル(平均化を含む)が終了すると、データは出力レジスタに格納されて、DOUTはローになり、出力データがDOUTに駆動される準備が整ったことを示します。ビットAD10がセットされると(AD10 = 1)補助ADCはデータ出力モードに入り、ここで \overline{CS} が次にローになるとデータはDOUTに出力されます。データがシリアルクロック(SCLK)の立下りエッジで遷移すると補助ADCのデータはDOUTからシフトアウト(MSB先頭で)されます。 \overline{CS} が非アクティブ(ハイ)になるとDOUTはトライステート状態に入ります。ビットAD10がクリアされると(AD10 = 0)、補助ADCのデータはDOUTに出力されなくなります(表16参照)。

DINはDOUTの状態とは無関係に書き込むことができます。DINに16ビットの命令を書き込むと、デバイスの設定が更新されます。データをDOUTから読み取る間に内部レジスタが変更されないように、DINをハイ状態に保持してください。このことによって、実質的にすべて1がアドレス1111に書き込まれます。アドレス1111は存在しないため、内部レジスタは影響を受けません。

表14. 補助ADCの平均化

AD6	AD5	AD4	AUX-ADC AVERAGING
0	0	0	1 Conversion (No Averaging) (Default)
0	0	1	Average of 2 Conversions
0	1	0	Average of 4 Conversions
0	1	1	Average of 8 Conversions
1	0	0	Average of 16 Conversions
1	0	1	Average of 32 Conversions
1	1	X	Average of 32 Conversions

X = 任意

表15. 補助ADCのクロック(CLK)分周器

AD9	AD8	AD7	AUX-ADC CONVERSION CLOCK
0	0	0	CLK Divided by 1 (Default)
0	0	1	CLK Divided by 2
0	1	0	CLK Divided by 4
0	1	1	CLK Divided by 8
1	0	0	CLK Divided by 16
1	0	1	CLK Divided by 32
1	1	0	CLK Divided by 64
1	1	1	CLK Divided by 128

表16. 補助ADCのデータ出力モード

AD10	SELECTION
0	Aux-ADC Data is Not Available on DOUT (Default)
1	Aux-ADC Enters Data Output Mode Where Data is Available on DOUT

表17. リファレンスモード

V _{REFIN}	REFERENCE MODE
> 0.8V × V _{DD}	Internal Reference Mode. V _{REF} is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a 0.33μF capacitor.
1.024V ±10%	Buffered External Reference Mode. An external 1.024V ±10% reference voltage is applied to REFIN. V _{REF} is internally generated to be V _{REFIN} / 2. Bypass REFP, REFN, and COM each with a 0.33μF capacitor. Bypass REFIN to GND with a 0.1μF capacitor.

リファレンスの構成

MAX19707は、電源および温度の全範囲にわたって安定な高精度1.024Vのバンドギャプリファレンスを内蔵しています。REFIN入力は2つのリファレンス動作モードを提供します。REFINの電圧(V_{REFIN})によってリファレンス動作モードを設定します(表17)。

内部リファレンスモードでは、REFINをV_{DD}に接続してください。V_{REF}は内部で生成される0.512V±4%の電圧です。COM、REFP、およびREFNはローインピーダンス出力で、V_{COM} = V_{DD}/2、V_{REFP} = V_{DD}/2 + V_{REF}/2、およびV_{REFN} = V_{DD}/2 - V_{REF}/2です。REFP、REFN、およびCOMの各々を0.33μFのコンデンサでバイパスしてください。REFINを0.1μFのコンデンサでGNDにバイパスしてください。

バッファ付き外部リファレンスモードでは、1.024V ±10%をREFINに印加してください。このモードでは、COM、REFP、およびREFNはローインピーダンス出力で、V_{COM} = V_{DD}/2、V_{REFP} = V_{DD}/2 + V_{REFIN}/4、およびV_{REFN} = V_{DD}/2 - V_{REFIN}/4です。REFP、REFN、およびCOMの各々を0.33μFのコンデンサでバイパスしてください。REFINを0.1μFのコンデンサでGNDにバイパスしてください。このモードでは、Tx DACのフルスケール出力は外部リファレンスに比例します。たとえば、V_{REFIN}が10%(max)だけ増加すると、Tx DACのフルスケール出力も10%、すなわち±440mVだけ増加します。

アプリケーション情報

バランstransAC結合の使用

RFトランス(図8)は、シングルエンド信号ソースを最適なADC性能が得られる完全差動信号に変換するための優れたソリューションを提供します。トランスのセンタタップをCOMに接続すると、入力に対してV_{DD}/2 DCのレベルシフトが起ります。1:1のトランスの使用が可能ですが、ステップアップトランスを選択すると駆動要件

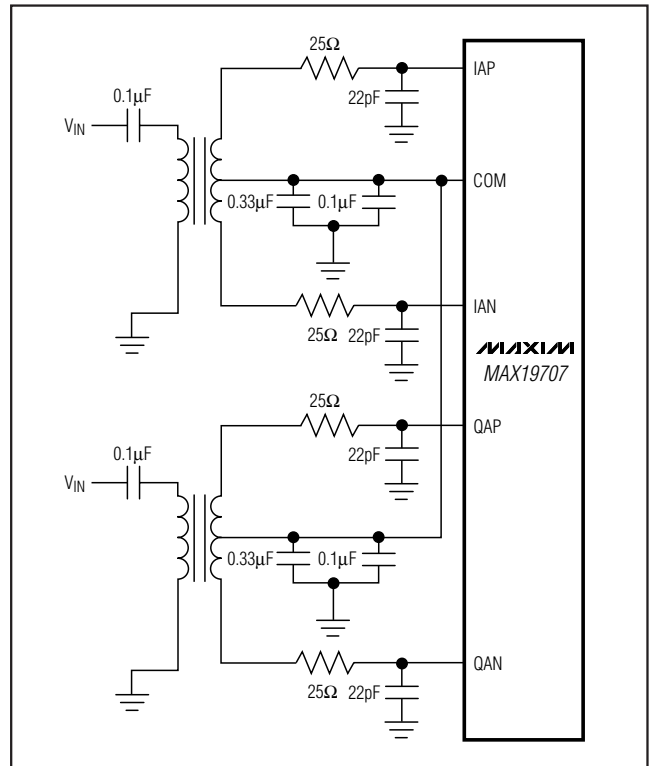


図8. Rx ADCのバランstrans結合シングルエンド-差動入力駆動

を緩和することができます。一般に、MAX19707は、特に高い入力周波数に対してシングルエンド信号よりも完全差動入力信号の方が優れたSFDRとTHDを示します。

差動モードでは、両入力(IAP、IAN、QAP、QAN)が平衡しているため偶数次の高調波が少なく、Rx ADC入力の各々の信号振幅がシングルエンドモードに比べて半分で済みます。図9は、MAX19707のTx DAC差動アナログ出力をシングルエンドに変換するRFトランスを示します。

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

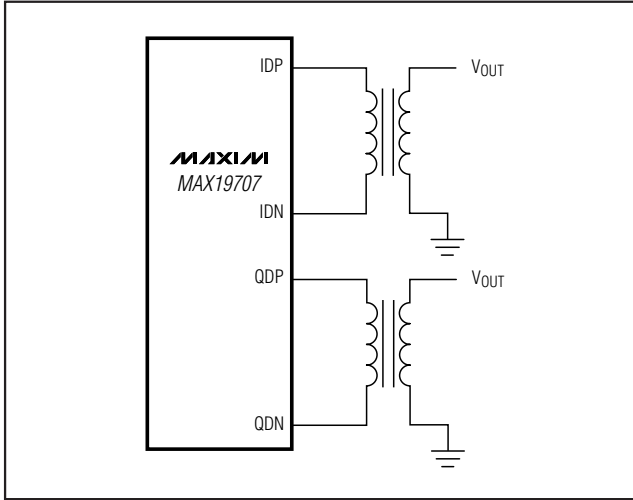


図9. Tx DACのバランstrans結合差動-シングルエンド出力駆動

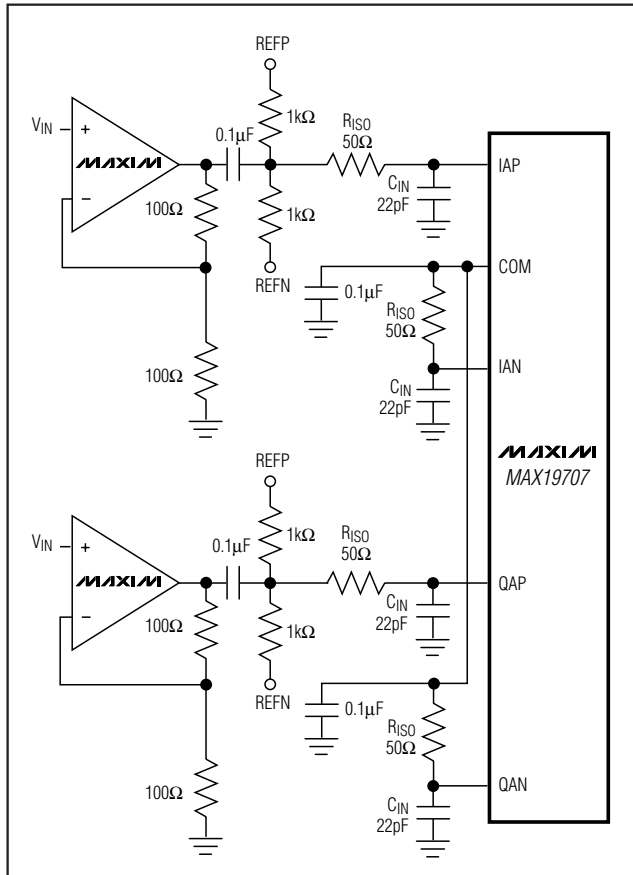


図10. Rx ADCのシングルエンド駆動

オペアンプ結合の使用

バランstransが使えない場合は、オペアンプでMAX19707のRx ADCを駆動してください。図10と11は、AC結合シングルエンドおよびDC結合差動アプリケーションに対してオペアンプで駆動されるRx ADCを示します。MAX4454やMAX4354などのアンプは、高速、広帯域幅、低ノイズ、および低歪みを提供して入力信号の完全性を維持します。図11に示すオペアンプ回路は、Tx DACの差動アナログ出力のインタフェースに使用して、利得を加えたりバッファとして使用したりすることもできます。Tx DACの差動アナログ出力は、内部でコモンモードレベルが生成されるためシングルエンドモードで使用することができません。また、Tx DACのアナログ出力は、入力インピーダンスが70kΩ以上の差動入力段を駆動するように設計されています。シングルエンド出力が必要な場合は、差動-シングルエンド変換を行うアンプの中から適切な入力コモンモード電圧範囲を有するアンプを選択してください。

TDDモード

MAX19707はTDDアプリケーションで動作するように最適化されています。高速モードを選択すると、MAX19707はT/R端子によってTxモードとRxモードを0.5μs(typ)で切り替えることができます。Rx ADCとTx DACは独立に動作します。Rx ADCとTx DACのデジタルバスは共有されており単一の10ビットパラレルバスを形成しています。3線式シリアルインタフェースまたは外部のT/R端子を使って、Rx ADCをイネーブルするRxモードまたはTx DACをイネーブルするTxモードを選択してください。Rxモードで動作する場合はTx DACバスはイネーブルされず、Txモードで動作する場合はRx ADCバスはトライステートになり、不要なスプリアス放射が排除されてバスの競合が回避されます。TDDモードでは、MAX19707は $f_{CLK} = 45\text{MHz}$ で84.6mWを消費します。

TDDアプリケーション

図12はTDDの標準アプリケーション回路を示します。MAX19707は、RFフロントエンドと直接インタフェースし、802.11、802.16、DSRC、および独自仕様の無線システムなど、TDDアプリケーション用の完全な「RF-to-Bits」ソリューションを提供します。MAX19707はデジタルベースバンド開発者に以下のようなシステムの恩恵をもたらします。

- 開発期間の短縮
- 高性能、低電力アナログ機能
- 低リスク、実証済みアナログフロントエンドソリューション
- ミックスドシグナルテスト不要
- 開発費なし
- IPロイヤリティ経費なし
- 65nm~90nmのCMOSに対応したデジタルベースバンドを実現

10ビット、45MSPS、超低電力 アナログフロントエンド

MAX19707

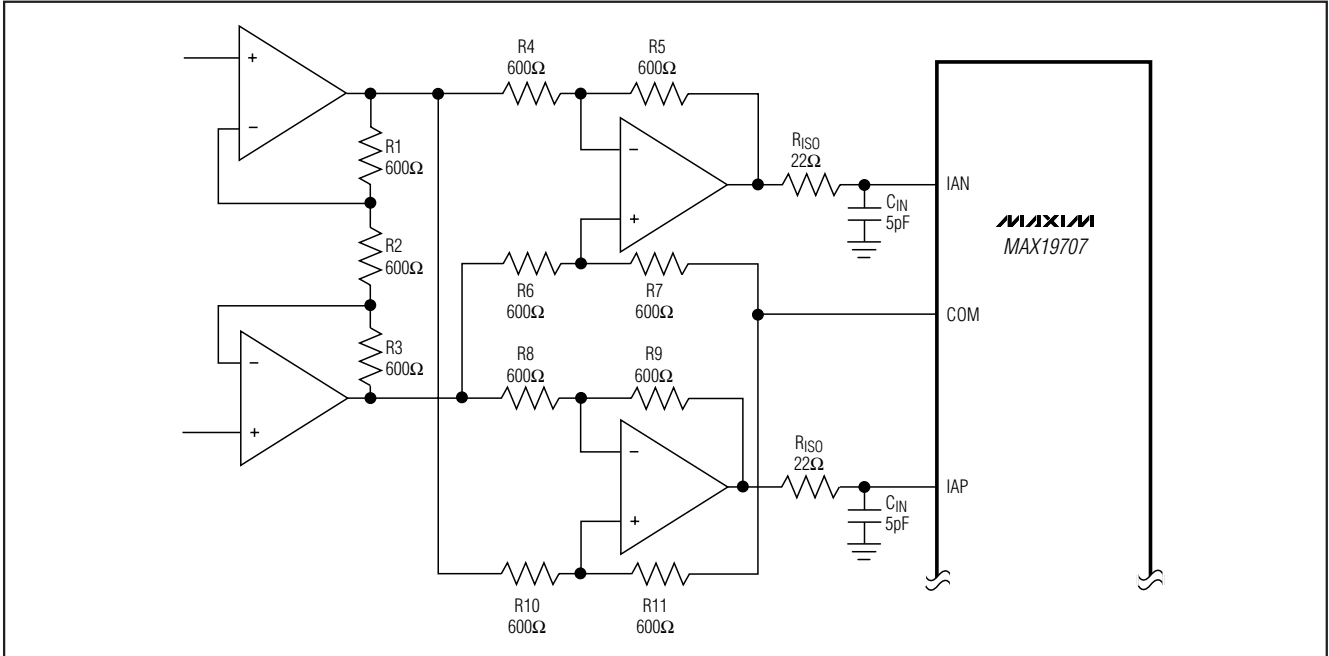


図11. Rx ADCのDC結合差動駆動

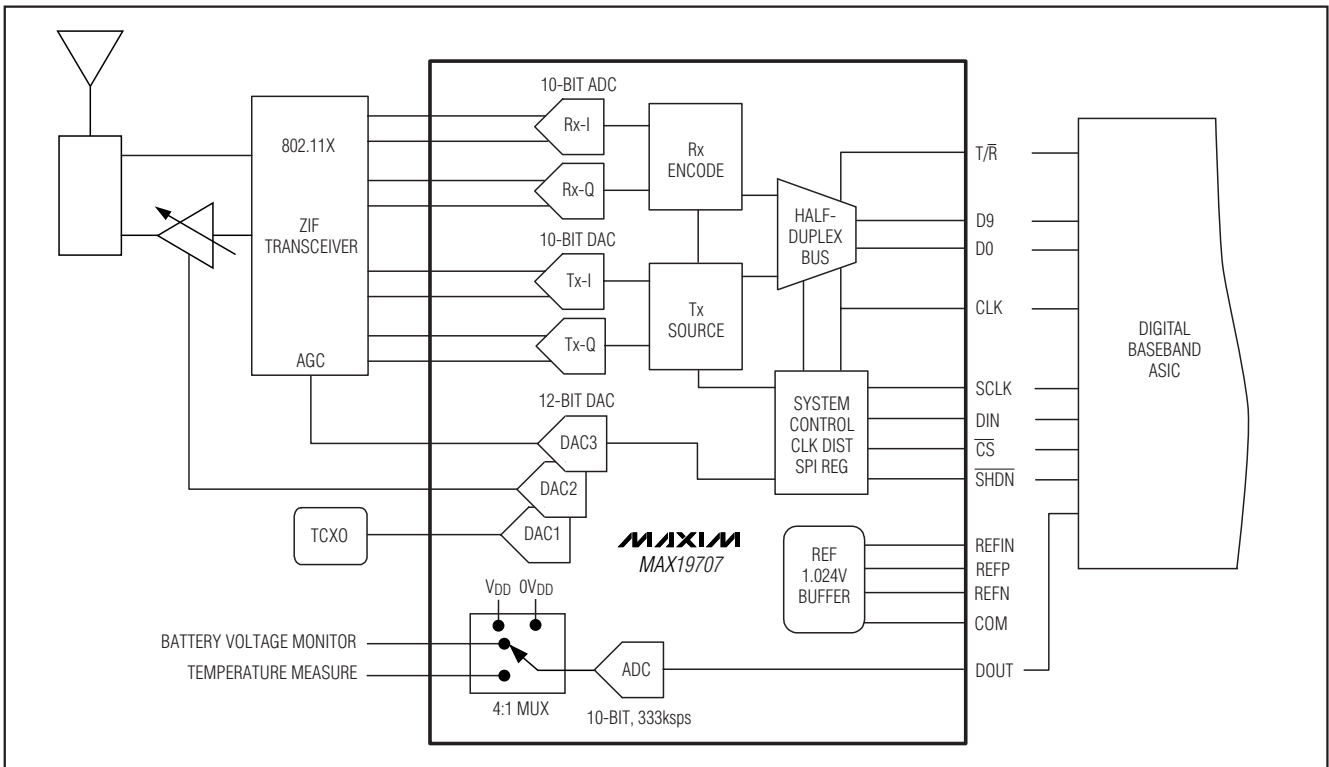


図12. 802.11 RFの標準アプリケーション回路

10ビット、45MSPS、超低電力 アナログフロントエンド

グランド、バイパス、および 基板レイアウト

MAX19707には、高速の基板レイアウト設計法を適用する必要があります。基板レイアウト基準については、MAX19707 EVキットのデータシートを参照してください。すべてのバイパスコンデンサは、インダクタンスを最小とする表面実装型デバイスを使用し、できればデバイスと基板の同じ側でデバイスにできる限り近づけて配置してください。2.2 μ Fのコンデンサと並列の0.1 μ Fのセラミックコンデンサで V_{DD} をGNDにバイパスしてください。2.2 μ Fのコンデンサと並列の0.1 μ Fのセラミックコンデンサで OV_{DD} をOGNDにバイパスしてください。REFP、REFN、およびCOMの各々を0.33 μ FのセラミックコンデンサでGNDにバイパスしてください。REFINを0.1 μ FのコンデンサでGNDにバイパスしてください。

独立したグランドプレーンと電源プレーンを備えた多層基板を使用すると、最高レベルの信号完全性が実現します。デバイスのパッケージ上のアナロググランド(GND)とデジタル出力ドライバグランド(OGND)の物理位置に整合するように配置した分割グランドプレーンを使用してください。MAX19707の裏側のエクスポートパッドをGNDプレーンに接続してください。ノイズの多いデジタルグランド電流がアナロググランドプレーンに干渉しないように、2つのグランドプレーンを1点で接続してください。この接続の理想的な場所は、実験的に、2つのグランドプレーン間のギャップに沿った一点に定めることができます。この接続は、値の小さい表面実装型抵抗器(1 Ω ~5 Ω)やフェライトビーズを使用するか、または直接短絡することによって行ってください。また、グランドプレーンがノイズの多いデジタルシステムのグランドプレーン(たとえば、ダウンストリームの出力バッファやDSPグランドプレーン)から十分に隔離されていれば、すべてのグランド端子で同じグランドプレーンを共有することが可能です。

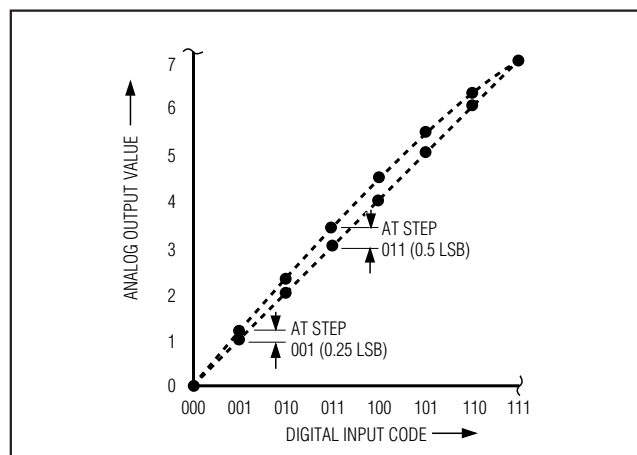


図13a. 積分非直線性

高速デジタル信号トレースは、ノイズに敏感なアナログトレースから離して配置してください。

チャンネル間のクロストークを最小限に抑えるために各コンバータへのアナログラインを必ず分離してください。信号ラインはすべて短くし、また直角に曲げることは避けてください。

ダイナミックパラメータの定義

ADCおよびDACのスタティックパラメータの定義

積分非直線性(INL)

積分非直線性は、実際の伝達関数上の値の直線からのずれです。この直線は、オフセットと利得誤差をゼロにした後の一次回帰直線または伝達関数の両端点を結んだ直線のいずれかです。デバイスのスタティックな直線性パラメータは、一次回帰直線を使用して測定されます(DAC 図13a)。

微分非直線性(DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。1 LSBより小さいDNL誤差の仕様は、ミッシングコード(ADC)のない単調伝達関数を保証します(ADCとDAC)(DAC 図13b)。

ADCオフセット誤差

理想的には、ミッドスケールの遷移がミッドスケールよりも0.5 LSBだけ上で起ります。オフセット誤差は、測定された遷移点と理想的な遷移点のずれの大きさです。

DACオフセット誤差

オフセット誤差(図13a)は、理想的なオフセットポイントと実際のオフセットポイントの差です。オフセットポイントは、デジタル入力ミッドスケール時の出力値です。この誤差は、すべてのコードに同じ大きさだけ影響を与え、一般に調整によって補償することができます。

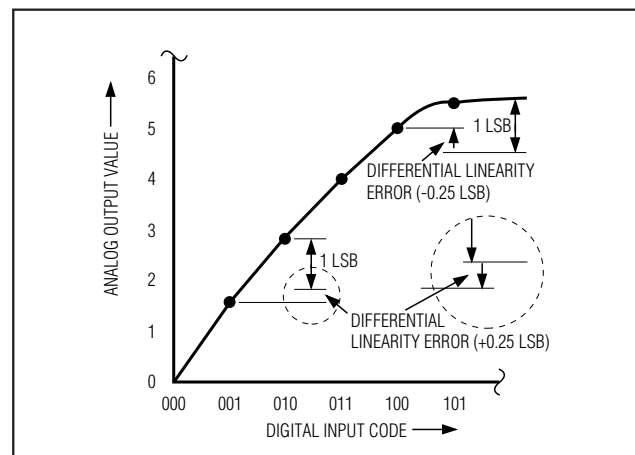


図13b. 微分非直線性

ADC利得誤差

理想的には、ADCのフルスケール遷移は、フルスケールよりも1.5LSBだけ下で起ります。利得誤差は、測定された遷移点と理想的な遷移点(オフセット誤差が除去された)のずれの大きさです。

ADCのダイナミックパラメータの定義

アパーチャジッタ

図14はアパーチャジッタ(t_{AJ})を示します。これはアパーチャ遅延における各サンプル間の変動です。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプリングが行われる瞬間までの時間です(図14)。

信号対ノイズ比(SNR)

デジタルサンプルから完全に再現される波形の場合、理論的な最大SNRは、フルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)との比で、ADCの分解能(Nビット)から次式によって直接求められます。

$$SNR(max) = 6.02dB \times N + 1.76dB \text{ (in dB)}$$

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズソースがあります。SNRは、RMS信号とRMSノイズの比をとることによって求められます。RMSノイズには、基本波成分、最初の5つの高調波、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

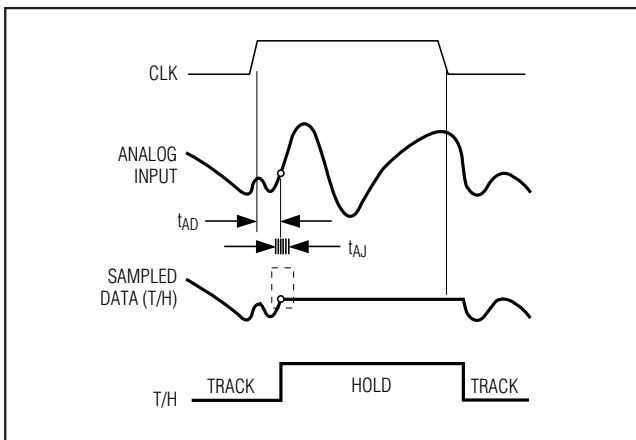


図14. T/Hアパーチャのタイミング

信号対ノイズ比 + 歪み(SINAD)

SINADは、RMS信号とRMSノイズ + 歪みの比をとることによって求められます。RMSノイズ + 歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

有効ビット数(ENOB)

ENOBは、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を表します。理想的なADCの誤差は、量子化ノイズのみから成ります。フルスケール正弦波入力波形に対するENOBは次式から計算されます。

$$ENOB = (SINAD - 1.76) / 6.02$$

全高調波歪み(THD)

THDは、通常、入力信号に含まれる最初の5つの高調波のRMS和と基本波そのものとの比です。これは、次式で表されます。

$$THD = 20 \times \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1} \right]$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_6$ は第2から第6までの高調波の振幅です。

第3高調波歪み(HD3)

HD3は、第3高調波成分のRMS値と基本波入力信号の比として定義されます。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分(DCオフセットを除く)のRMS値との比をデシベル単位で表した値です。

相互変調歪み(IMD)

IMDは、2つのトーン f_1 と f_2 が入力に存在するとき、全入力パワーを基準とする相互変調積の全パワーです。相互変調積は、 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ です。各入力トーンレベルは、-7dBFSとします。

3次相互変調(IM3)

IM3は、2つの入力トーン f_1 と f_2 が入力に存在するとき、いずれかの入力トーンの入力パワーを基準とする最悪の3次相互変調積のパワーです。3次相互変調積は、 $(2 \times f_1 \pm f_2)$ と $(2 \times f_2 \pm f_1)$ です。各入力トーンレベルは、-7dBFSとします。

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

電源除去比

電源除去比は、電源が±5%変化したときのオフセットおよび利得誤差の変化として定義されます。

小信号帯域幅

信号のスループレートがADCの性能を制限しない程度の-20dBFSの小振幅アナログ入力信号がADCに印加されます。その後、デジタル変換結果が3dBだけ減少する点まで入力周波数が掃引されます。通常、T/H性能が小信号入力帯域幅に対する制限要因となります。

フルパワー帯域幅

-0.5dBFSの大振幅アナログ入力信号がADCに印加されて、デジタル変換結果の振幅が3dBだけ減少する点まで入力周波数が掃引されます。この点がフルパワー帯域幅周波数として定義されます。

DACのダイナミックパラメータの定義

全高調波歪み

THDは、ナイキスト周波数までの出力高調波のRMS和と基本波との比です。これは、次式で表されます。

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1} \right]$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_n$ はナイキスト周波数までの第2～第n高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅とナイキスト周波数までの次に大きい歪み成分(DCオフセットを除く)のRMS値との比です。

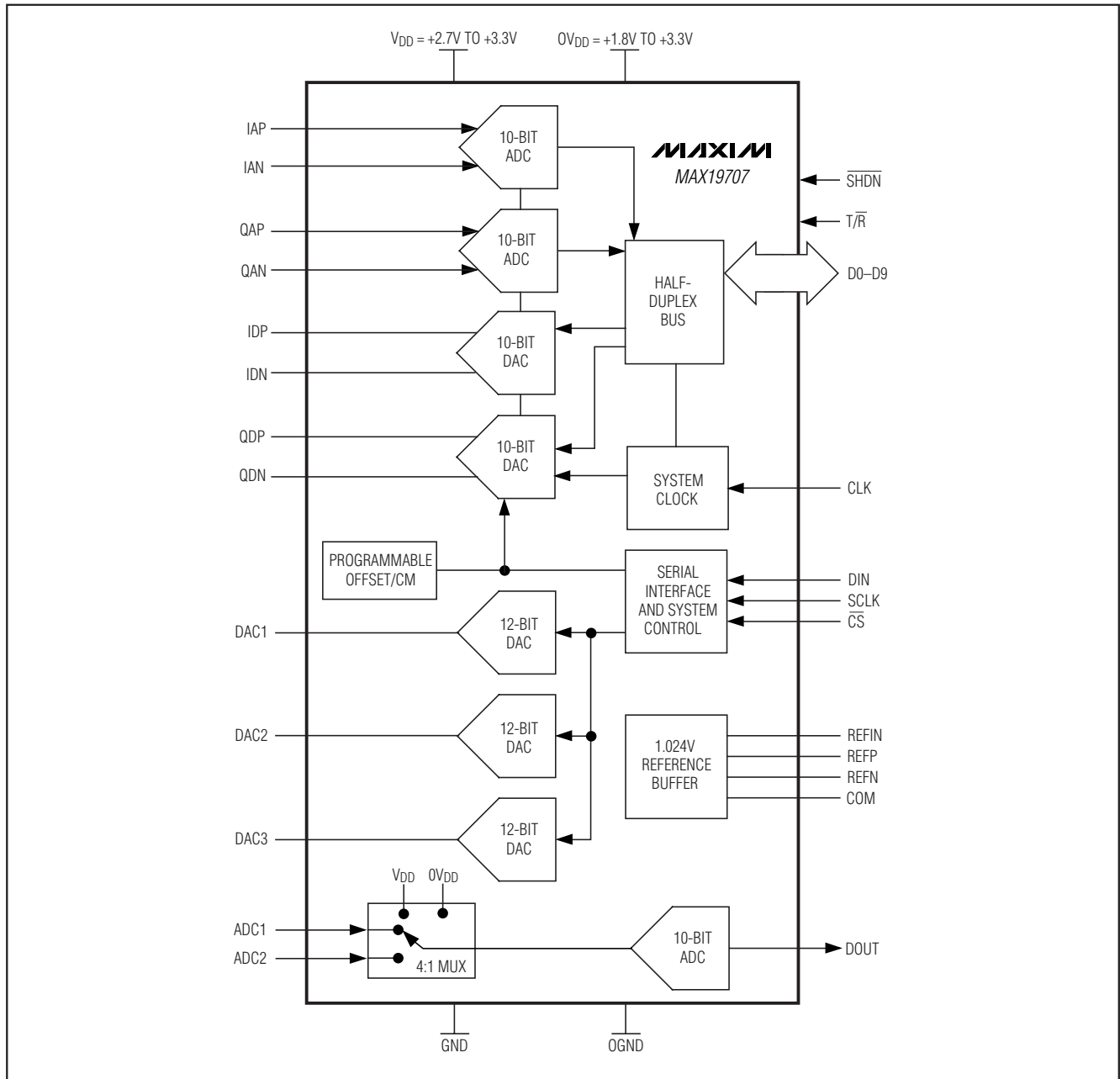
選択ガイド

PART	DESCRIPTION	SAMPLING RATE (Msps)
MAX19700	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs	7.5
MAX19708	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	11
MAX19705/MAX19706/MAX19707	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	7.5/22/45

10ビット、45Msps、超低電力 アナログフロントエンド

ファンクションダイアグラム

MAX19707

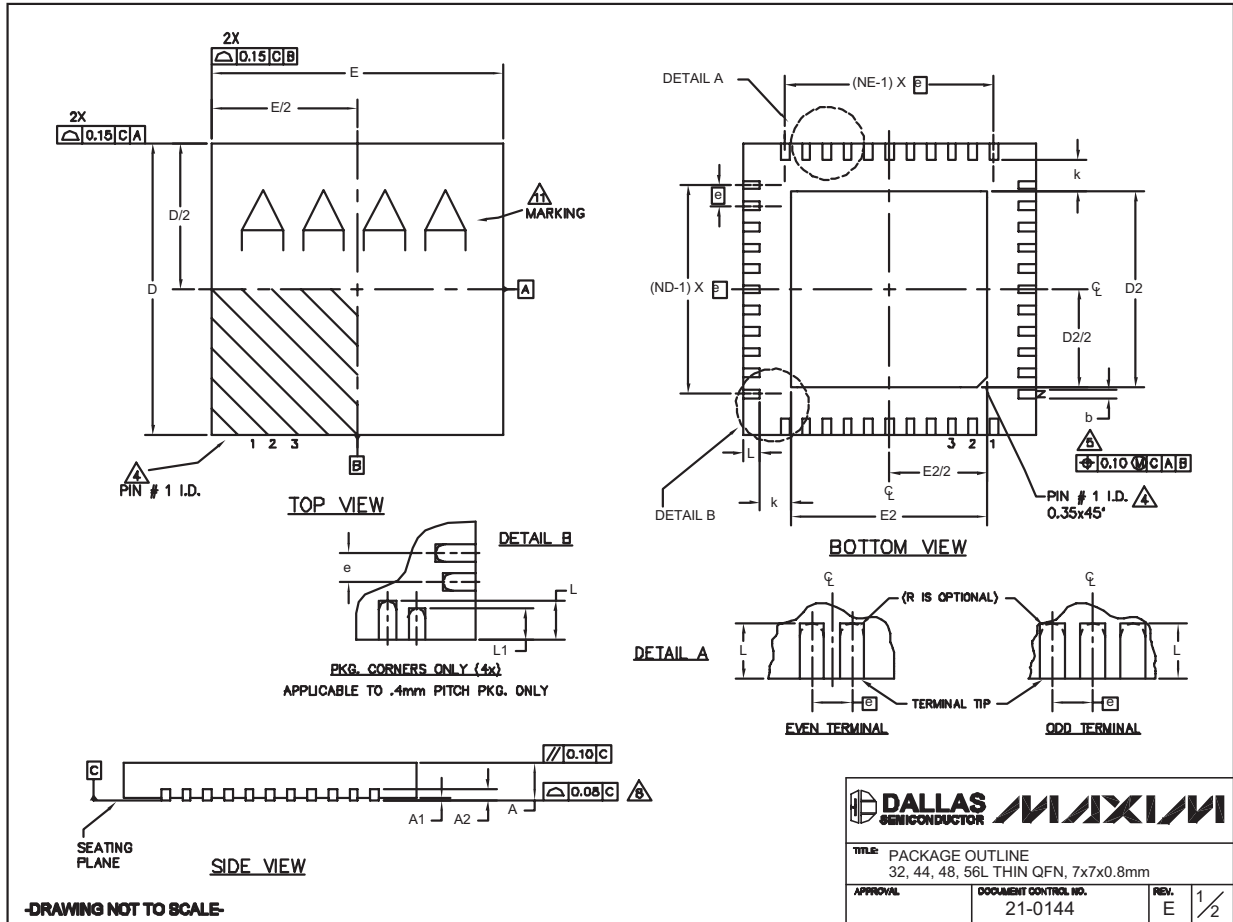


10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



32, 44, 48L QFN:EPS

10ビット、45Msps、超低電力 アナログフロントエンド

MAX19707

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS														EXPOSED PAD VARIATIONS											
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1)			56L 7x7			PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T3277-2	-	4.55	4.70	4.85	4.55	4.70	4.85	-	YES
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	-	0.05	T3277-3	-	4.55	4.70	4.85	4.55	4.70	4.85	-	NO
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25	T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	-	NO
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-3	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T4877-4	-	5.45	5.60	5.63	5.45	5.60	5.63	-	YES
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45	T4877-5	-	2.40	2.50	2.60	2.40	2.50	2.60	-	NO
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.40	0.50	0.60	T4877-6	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES
L1	-	-	-	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50	T5677-1	-	5.20	5.30	5.40	5.20	5.30	5.40	-	YES
N	32			44			48			44			56			** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.									
ND	8			11			12			10			14												
NE	8			11			12			12			14												

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-1/-3/-4/-5/-6 & T5677-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

TITLE PACKAGE OUTLINE			
32, 44, 48, 56L THIN QFN, 7x7x0.8mm			
APPROVAL	DOCUMENT CONTROL NO.	REV.	
	21-0144	E	2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 37

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.