

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

## 概要

MAX1716/MAX1854/MAX1855は、ノートブックコンピュータのコアCPU DC-DCコンバータ用のステップダウンコントローラです。先端技術のCPUのコア電源に必要な動的可変出力(5ビットDAC)、超高速過渡応答、高DC精度及び高効率の組み合わせを特長とします。マキシム社独自のQuick-PWM™クイック応答、一定オンタイムPWM制御方式は、広い入力/出力電圧比を容易に処理し、比較的一定のスイッチング周波数を維持しながら、負荷トランジェントに対して100ns“インスタント・オン”応答を提供します。

MAX1716/MAX1854/MAX1855は、電圧ポジショニング電源を必要とするCPUコアアプリケーション用に特別に設計されています。電圧ポジショニング入力(VPS)と高DC精度制御ループの組み合わせにより、負荷電流に対応して出力設定点を変更する電源が実現されています。この構成により、最大負荷時の電力消費が削減され、必要な出力コンデンサの数が低減します。

MAX1716/MAX1854/MAX1855は入力範囲が28Vと広いため、1ステージバック変換を使用することにより高圧バッテリーを直接ステップダウンし、最高の効率を達成できます。これに対し、高いスイッチング周波数で2ステージ変換(バッテリーの代わりに+5Vシステム電源のステップダウン)を使用すると、サイズを最小化できます。出力電圧は、5ビットデジタルアナログコンバータ(DAC)入力を使って動的に調整できます。

MAX1716/MAX1854/MAX1855は、24ピンQSOPパッケージで提供されています。アプリケーションがSpeedStep™パワーコントロールを必要とする場合は、MAX1717を参照して下さい。

## アプリケーション

- ノートブックコンピュータ
- ドッキングステーション
- CPUコア電源
- 1ステージ(BATT ~ V<sub>CORE</sub>)コンバータ
- 2ステージ(+5V ~ V<sub>CORE</sub>)コンバータ

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1716EEG	-40°C to +85°C	24 QSOP
MAX1854EEG	-40°C to +85°C	24 QSOP
MAX1855EEG	-40°C to +85°C	24 QSOP

Quick-PWMはMaxim Integrated Productsの商標です。  
SpeedStepはIntel Corp.の商標です。

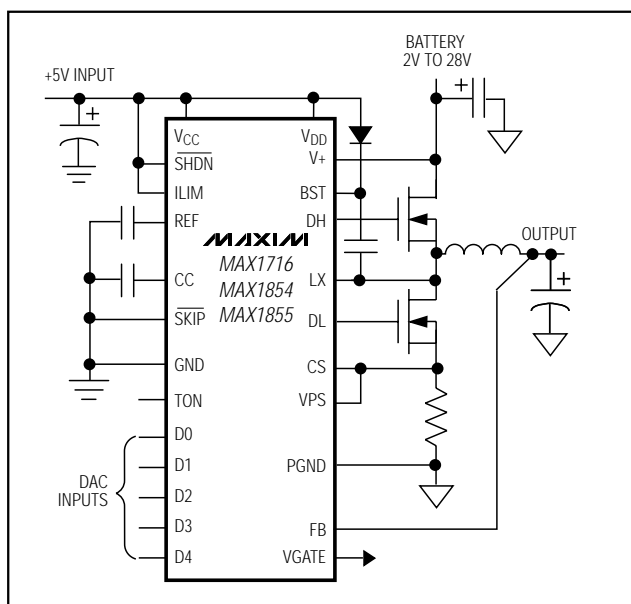
本データシートに記載された内容は、英語によるマキシム社の公式なデータシートを翻訳したものです。翻訳により生じる相違及び誤りについての責任は負いかねます。正確な内容の把握にはマキシム社の英語のデータシートをご参照下さい。

無料サンプル及び最新版データシートの入手にはマキシム社のホームページをご利用下さい。www.maxim-ic.com

## 特長

- ◆ 高効率電圧ポジショニング
- ◆ Quick-PWM構造
- ◆ V<sub>OUT</sub>ラインレギュレーション精度: ±1%
- ◆ 可変出力範囲(5ビットDAC)
  - MAX1716: 0.925V ~ 1.6V
  - MAX1854: 0.925V ~ 2.0V
  - MAX1855: 0.600V ~ 1.75V
- ◆ 入力範囲: 2V ~ 28V
- ◆ スwitching周波数: 200/300/400/550kHz
- ◆ 出力低電圧保護
- ◆ 過電圧保護(MAX1716/MAX1855)
- ◆ 大きな同期整流器MOSFETを駆動
- ◆ 1.7msデジタルソフトスタート
- ◆ I<sub>CC</sub>消費電流: 700µA
- ◆ シャットダウン消費電流: 1µA
- ◆ リファレンス出力: 2V ±1%
- ◆ V<sub>GATE</sub>遷移完了インジケータ
- ◆ パッケージ: 小型24ピンQSOP

## 標準動作回路



ピン配置はデータシートの最後に記載されています。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## ABSOLUTE MAXIMUM RATINGS

V+ to GND .....	-0.3V to +30V	LX to BST .....	-6V to +0.3V
V <sub>CC</sub> , V <sub>DD</sub> to GND .....	-0.3V to +6V	CS to GND .....	-2V to +30V
PGND to GND .....	±0.3V	REF Short Circuit to GND .....	Continuous
SHDN, VGATE to GND .....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
ILIM, FB, CC, REF, D0-D4, VPS, TON to GND .....	-0.3V to (V <sub>CC</sub> + 0.3V)	24-Pin QSOPT (derate 9.5mW/°C above +70°C) .....	762mW
SKIP to GND (Note 1) .....	-0.3V to (V <sub>CC</sub> + 0.3V)	Operating Temperature Range .....	-40°C to +85°C
DL to PGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	Junction Temperature .....	+150°C
BST to GND .....	-0.3V to +36V	Storage Temperature Range .....	-65°C to +150°C
DH to LX .....	-0.3V to (V <sub>BST</sub> + 0.3V)	Lead Temperature (soldering, 10s) .....	+300°C

**Note 1:** SKIP may be forced below -0.3V, temporarily exceeding the absolute maximum rating, for the purpose of debugging prototype breadboards, using the no-fault test mode. Limit the current drawn to -2mA (max).

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, V+ = +15V, V<sub>CC</sub> = V<sub>DD</sub> = 5V, SKIP = V<sub>CC</sub>, VPS = PGND, T<sub>A</sub> = 0°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>PWM CONTROLLER</b>							
Input Voltage Range		Battery voltage, V+	2		28	V	
		V <sub>CC</sub> , V <sub>DD</sub>	4.5		5.5		
DC Output Voltage Accuracy (Notes 2, 3)		V+ = 4.5V to 28V, VPS = PGND	DAC codes from 1.35V to 2.0V	-1		1	%
			DAC codes from 0.925V to 1.3V	-1.2		1.2	
			DAC codes from 0.6V to 0.9V	-1.5		1.5	
FB Input Bias Current	I <sub>FB</sub>	FB = 0.6V to 2.0V	-0.2		0.2	μA	
VPS Input Bias Current	I <sub>VPS</sub>	V <sub>VPS</sub> = ±40mV	-1		1	μA	
VPS Gain	A <sub>VPS</sub>	V <sub>VPS</sub> = 0 or -40mV, gain from VPS to FB	0.153	0.175	0.197	%/mV	
CS Input Bias Current	I <sub>CS</sub>	0 to 28V	-1		1	μA	
ILIM Input Leakage Current	I <sub>ILIM</sub>	V <sub>ILIM</sub> = 0 or 5.0V		0.01	100	nA	
Soft-Start Ramp Time		0 to full ILIM		1.7		ms	
On-Time (Note 4)	t <sub>ON</sub>	V+ = 11.0V, V <sub>FB</sub> = 1.5V	TON = GND	205	255	300	ns
			TON = REF	280	327	375	
			TON = open	425	470	520	
			TON = V <sub>CC</sub>	615	678	740	
Minimum Off-Time (Note 4)	t <sub>OFF(MIN)</sub>			400	500	ns	

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_+ = +15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = V_{CC}$ ,  $VPS = PGND$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>BIAS AND REFERENCE</b>							
Quiescent Supply Current ( $V_{CC}$ )	$I_{CC}$	Measured at $V_{CC}$ , FB forced above the regulation point		700	950	$\mu A$	
Quiescent Supply Current ( $V_{DD}$ )	$I_{DD}$	Measured at $V_{DD}$ , FB forced above the regulation point		<1	5	$\mu A$	
Quiescent Supply Current ( $V_+$ )	$I_+$			25	40	$\mu A$	
Shutdown Supply Current ( $V_{CC}$ )		$\overline{SHDN} = GND$		<1	5	$\mu A$	
Shutdown Supply Current ( $V_{DD}$ )		$\overline{SHDN} = GND$		<1	5	$\mu A$	
Shutdown Supply Current ( $V_+$ )		$\overline{SHDN} = GND$ , $V_{CC} = V_{DD} = 0$ or $5V$		<1	5	$\mu A$	
Reference Voltage	$V_{REF}$	$V_{CC} = 4.5V$ to $5.5V$ , no external REF load	1.98	2	2.02	V	
Reference Load Regulation		$I_{REF} = 0$ to $50\mu A$			0.01	V	
REF Sink Current	$I_{REF}$	REF in regulation	10			$\mu A$	
REF Fault Lockout Voltage		Falling edge		1.6		V	
<b>FAULT PROTECTION</b>							
Output Overvoltage Fault Threshold (Note 5)		Measured at FB	MAX1716	1.8	1.9	2.0	V
			MAX1855	1.97	2.0	2.03	
Output Overvoltage Fault Propagation Delay (Note 5)		FB forced to 2% above trip threshold (MAX1716/MAX1855 only)		1.5		$\mu s$	
Output Undervoltage Fault Threshold (Foldback)			35	40	45	%	
Output Undervoltage Fault Propagation Delay		FB forced to 2% below trip threshold		10		$\mu s$	
Output Undervoltage Fault Blanking Time (Foldback)		From $\overline{SHDN}$ signal going high	10		30	ms	
Current-Limit Threshold (Positive, Default)	$V_{ITH}$	$V_{PGND} - V_{CS}$ , $I_{LIM} = V_{CC}$	110	120	130	mV	
Current-Limit Threshold (Positive, Adjustable)	$V_{ITH}$	$V_{PGND} - V_{CS}$	$V_{ILIM} = 0.5V$	40	50	60	mV
			$V_{ILIM} = 2V$ (REF)	170	200	230	
Negative Current-Limit Threshold		$V_{PGND} - V_{CS}$		$-1.2 \times V_{ITH}$		mV	
Zero-Crossing Current-Limit Threshold		$V_{PGND} - V_{CS}$		3		mV	
Thermal Shutdown Threshold		Hysteresis = $10^\circ C$		150		$^\circ C$	
$V_{CC}$ Undervoltage Lockout Threshold		Rising edge, hysteresis = $20mV$ , switching disabled below this level	4.0		4.45	V	

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_+ = +15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = V_{CC}$ ,  $V_{PS} = PGND$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VGATE Lower Trip Threshold		Measured at FB with respect to unloaded output voltage, falling edge	-12.5	-10	-7.5	%
VGATE Upper Trip Threshold		Measured at FB with respect to unloaded output voltage, rising edge	7.5	10	12.5	%
VGATE Propagation Delay		Falling edge, FB forced 2% below or above VGATE trip threshold		1.5		$\mu s$
VGATE Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
VGATE Leakage Current		High state, forced to 5.5V			1	$\mu A$
<b>GATE DRIVERS</b>						
DH Gate Driver On-Resistance	$R_{ON(DH)}$	$V_{BST} - V_{LX}$ forced to 5V		1.3	5	$\Omega$
DL Gate Driver On-Resistance	$R_{ON(DL)}$	High state (pullup)		1.5	5	$\Omega$
		Low state (pulldown)		0.5	1.7	
DH Gate Driver Source/Sink Current	$I_{DH}$	DH forced to 2.5V, $V_{BST} - V_{LX}$ forced to 5V		1		A
DL Gate Drive Sink Current	$I_{DL}$	DL forced to 5V		3		A
DL Gate Driver Source Current	$I_{DL}$	DL forced to 2.5V		1		A
Dead-Time		DL rising		35		ns
		DH rising		26		
<b>LOGIC AND I/O</b>						
Logic Input High Voltage	$V_{IH}$	D0-D4, $\overline{SHDN}$ , $\overline{SKIP}$	2.4			V
Logic Input Low Voltage	$V_{IL}$	D0-D4, $\overline{SHDN}$ , $\overline{SKIP}$			0.8	V
TON Input Levels		TON = $V_{CC}$ (200kHz operation)	$V_{CC} - 0.4$			V
		TON = open (300kHz operation)	3.15	3.85		
		TON = REF (400kHz operation)	1.65	2.35		
		TON = GND (550kHz operation)		0.5		
Logic Input Current		TON = GND or $V_{CC}$	-3	3		$\mu A$
		$\overline{SHDN}$ , $\overline{SKIP}$ = GND or $V_{CC}$	-1	1		
D0-D4 Pullup Current		D0-D4 = GND	3	5	10	$\mu A$
$\overline{SKIP}$ No-Fault Mode Current		$T_A = +25^\circ C$	-1.5		-0.1	mA

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1,  $V_+ = +15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = V_{CC}$ ,  $VPS = PGND$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>PWM CONTROLLER</b>							
Input Voltage Range		Battery voltage, $V_+$	2		28	V	
		$V_{CC}$ , $V_{DD}$	4.5		5.5		
DC Output Voltage Accuracy (Notes 2, 3)		$V_+ = 4.5V$ to $28V$ , $VPS = PGND$	DAC codes from 1.35V to 2.0V	-1.6		1.6	%
			DAC codes from 0.6V to 1.3V	-2		2	
FB Input Bias Current	$I_{FB}$	$FB = 0.6V$ to $2.0V$	-0.2		0.2	$\mu A$	
VPS Input Bias Current	$I_{VPS}$	$V_{VPS} = \pm 40mV$	-1		1	$\mu A$	
VPS Gain	$A_{VPS}$	$V_{VPS} = 0$ or $-40mV$ , gain from VPS to FB	0.153		0.197	%/mV	
CS Input Bias Current	$I_{CS}$	0 to 28V	-1		1	$\mu A$	
ILIM Input Leakage Current	$I_{ILIM}$	$V_{ILIM} = 0$ or $5.0V$			100	nA	
On-Time (Note 4)	$t_{ON}$	$V_+ = 11.0V$ , $V_{FB} = 1.5V$	TON = GND	205		300	ns
			TON = REF	280		375	
			TON = open	425		520	
			TON = $V_{CC}$	615		740	
Minimum Off-Time (Note 4)	$t_{OFF(MIN)}$				500	ns	
<b>BIAS AND REFERENCE</b>							
Quiescent Supply Current ( $V_{CC}$ )	$I_{CC}$	Measured at $V_{CC}$ , FB forced above the regulation point			950	$\mu A$	
Quiescent Supply Current ( $V_{DD}$ )	$I_{DD}$	Measured at $V_{DD}$ , FB forced above the regulation point			5	$\mu A$	
Quiescent Supply Current ( $V_+$ )	$I_+$				40	$\mu A$	
Shutdown Supply Current ( $V_{CC}$ )		$\overline{SHDN} = GND$			5	$\mu A$	
Shutdown Supply Current ( $V_{DD}$ )		$\overline{SHDN} = GND$			5	$\mu A$	
Shutdown Supply Current ( $V_+$ )		$\overline{SHDN} = GND$ , $V_+ = 28V$ , $V_{CC} = V_{DD} = 0$ or $5V$			5	$\mu A$	
Reference Voltage	$V_{REF}$	$V_{CC} = 4.5V$ to $5.5V$ , no external REF load	1.98		2.02	V	
Reference Load Regulation		$I_{REF} = 0$ to $50\mu A$			0.01	V	
REF Sink Current	$I_{REF}$	REF in regulation	10			$\mu A$	
<b>FAULT PROTECTION</b>							
Output Overvoltage Fault Threshold (Note 5)		Measured at FB	MAX1716	1.8		2.0	V
			MAX1855	1.97		2.03	
Output Undervoltage Fault Threshold (Foldback)			35		45	%	
Output Undervoltage Fault Blanking Time (Foldback)		From $\overline{SHDN}$ signal going high	10		30	ms	

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_+ = +15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = V_{CC}$ ,  $VPS = PGND$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted.) (Note 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Limit Threshold (Positive, Default)	$V_{I\overline{TH}}$	$V_{PGND} - V_{CS}$ , $I_{LIM} = V_{CC}$	100		140	mV
Current-Limit Threshold (Positive, Adjustable)	$V_{I\overline{TH}}$	$V_{PGND} - V_{CS}$	$V_{LIM} = 0.5V$	35	65	mV
			$V_{LIM} = 2V$ (REF)	160	240	
$V_{CC}$ Undervoltage Lockout Threshold		Rising edge, hysteresis = 20mV, switching disabled below this level	4.0		4.45	V
VGATE Lower Trip Threshold		Measured at FB with respect to unloaded output voltage, falling edge	-12.5		-7.5	%
VGATE Upper Trip Threshold		Measured at FB with respect to unloaded output voltage, rising edge	7.5		12.5	%
VGATE Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
VGATE Leakage Current		High state, forced to 5.5V			1	$\mu A$
<b>GATE DRIVERS</b>						
DH Gate Driver On-Resistance	$R_{ON(DH)}$	$V_{BST} - V_{LX}$ forced to 5V			5	$\Omega$
DL Gate Driver On-Resistance	$R_{ON(DL)}$	High state (pullup)			5	$\Omega$
		Low state (pulldown)			1.7	
<b>LOGIC AND I/O</b>						
Logic Input High Voltage	$V_{IH}$	D0–D4, $\overline{SHDN}$ , $\overline{SKIP}$	2.4			V
Logic Input Low Voltage	$V_{IL}$	D0–D4, $\overline{SHDN}$ , $\overline{SKIP}$			0.8	V
TON Input Levels		TON = $V_{CC}$ (200kHz operation)	$V_{CC} - 0.4$			V
		TON = open (300kHz operation)	3.15	3.85		
		TON = REF (400kHz operation)	1.65	2.35		
		TON = GND (550kHz operation)		0.5		
Logic Input Current		TON = GND or $V_{CC}$	-3		3	$\mu A$
		$\overline{SHDN}$ , $\overline{SKIP} = GND$ or $V_{CC}$	-1		1	
D0–D4 Pullup Current		D0–D4 = GND	3		10	$\mu A$

**Note 2:** Output voltage accuracy specifications apply to DAC voltages from 0.6V to 2.0V. Includes load-regulation error.

**Note 3:** When the inductor is in continuous conduction, the output voltage will have a DC regulation level higher than the error-comparator threshold by 50% of the ripple. In discontinuous conduction ( $\overline{SKIP} = GND$ , light load), the output voltage will have a DC regulation level higher than the trip level by approximately 1.5% due to slope compensation.

**Note 4:** On-time and off-time specifications are measured from 50% to 50% at the DH pin, with LX forced to 0, BST forced to 5V, and a 500pF capacitor from DH to LX to simulate external MOSFET gate capacitance. Actual in-circuit times may be different due to MOSFET switching speeds.

**Note 5:** The MAX1854 does not have overvoltage protection.

**Note 6:** Specifications to  $-40^\circ C$  are guaranteed by design, not production tested.

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

## 標準動作特性

(Circuit from Figure 1, components from Table 2,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

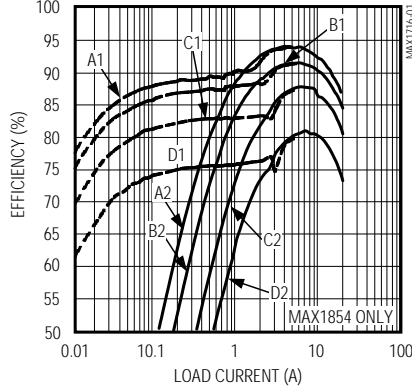
### SKIP MODE ( $\overline{\text{SKIP}} = \text{GND}$ )

- A1:  $V_{\text{BATT}} = 4.5\text{V}$
- B1:  $V_{\text{BATT}} = 7\text{V}$
- C1:  $V_{\text{BATT}} = 15\text{V}$
- D1:  $V_{\text{BATT}} = 24\text{V}$

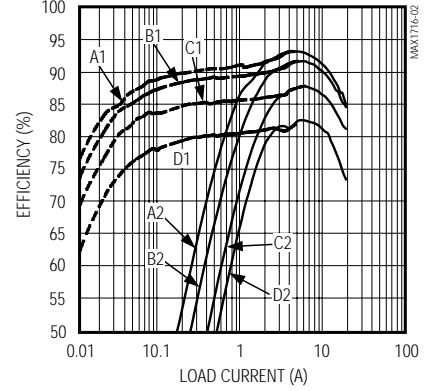
### PWM MODE ( $\overline{\text{SKIP}} = V_{\text{CC}}$ )

- A2:  $V_{\text{BATT}} = 4.5\text{V}$
- B2:  $V_{\text{BATT}} = 7\text{V}$
- C2:  $V_{\text{BATT}} = 15\text{V}$
- D2:  $V_{\text{BATT}} = 24\text{V}$

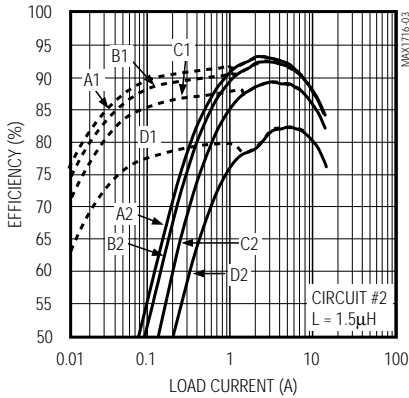
EFFICIENCY vs. LOAD CURRENT  
(2.0V AT 300kHz)



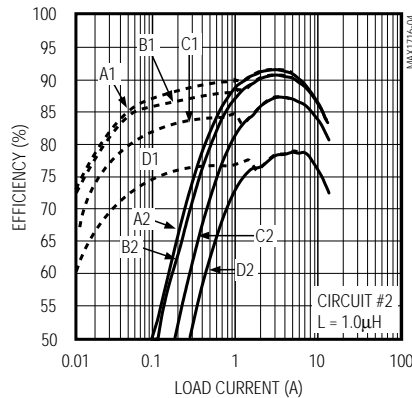
EFFICIENCY vs. LOAD CURRENT  
(1.6V AT 300kHz)



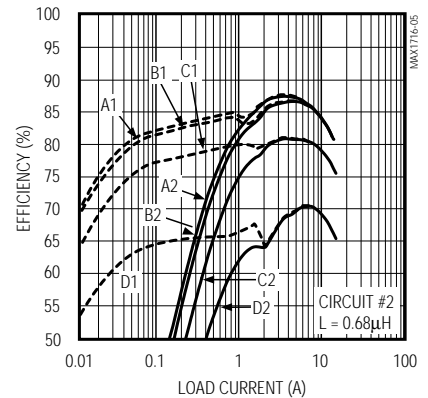
EFFICIENCY vs.  
LOAD CURRENT (1.3V AT 200kHz)



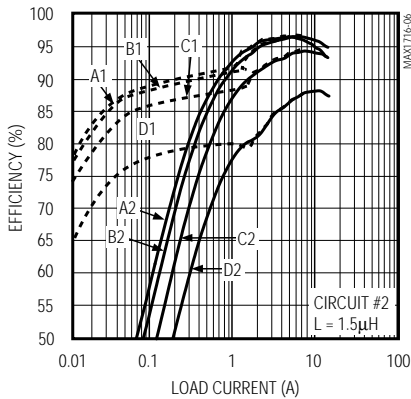
EFFICIENCY vs.  
LOAD CURRENT (1.3V AT 300kHz)



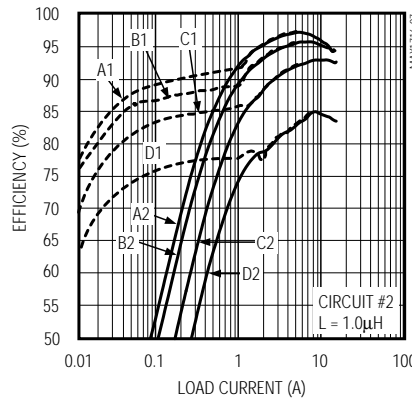
EFFICIENCY vs.  
LOAD CURRENT (1.3V AT 550kHz)



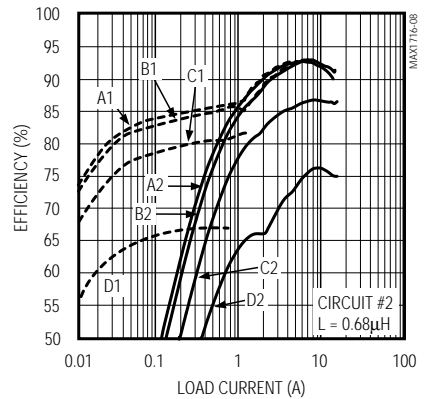
EFFECTIVE EFFICIENCY vs.  
LOAD CURRENT (1.3V AT 200kHz)



EFFECTIVE EFFICIENCY vs.  
LOAD CURRENT (1.3V AT 300kHz)



EFFECTIVE EFFICIENCY vs.  
LOAD CURRENT (1.3V AT 550kHz)

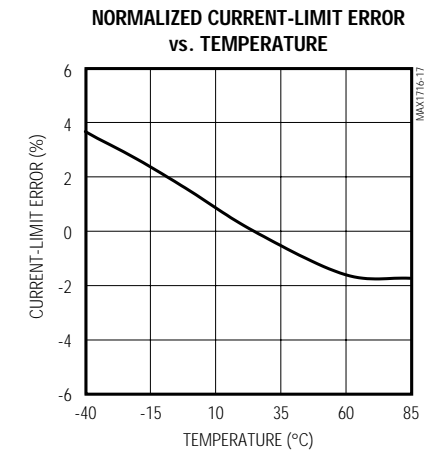
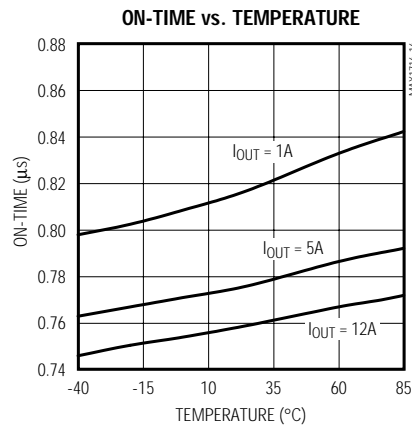
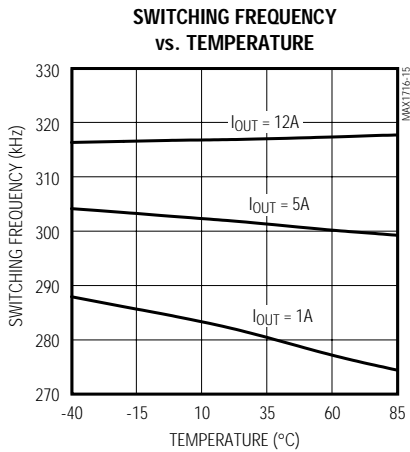
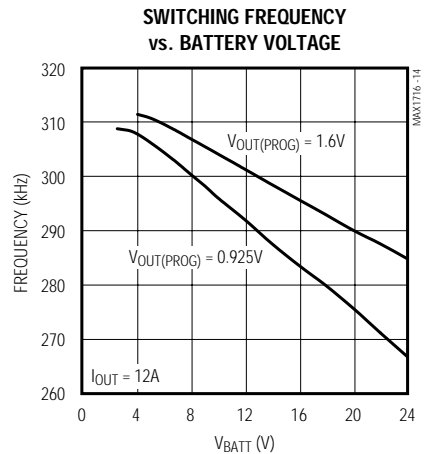
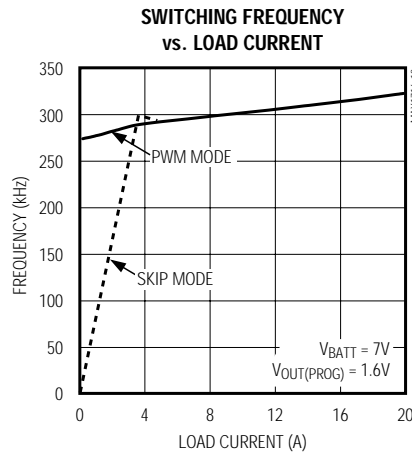
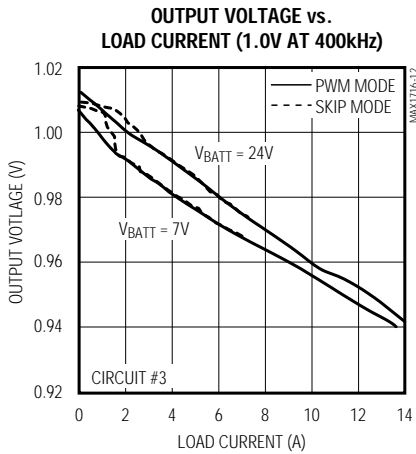
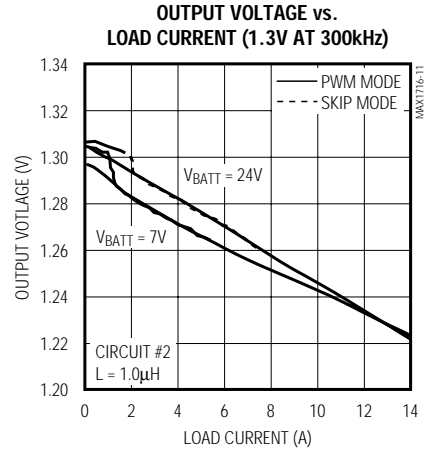
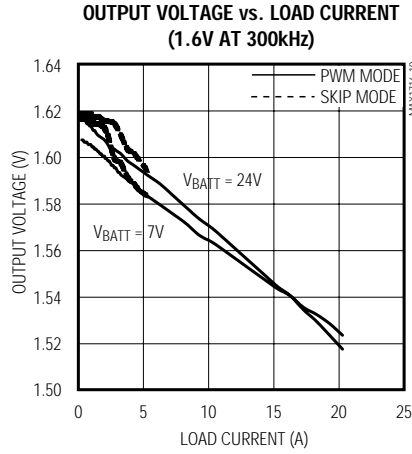
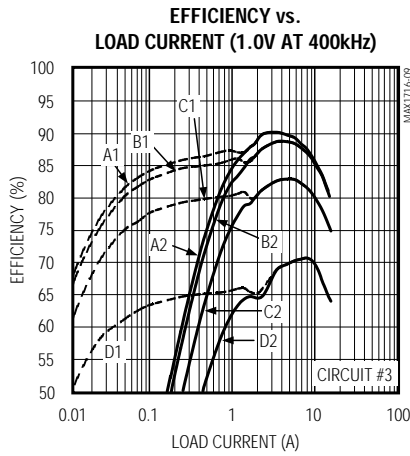


# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## 標準動作特性(続き)

(Circuit from Figure 1, components from Table 2,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



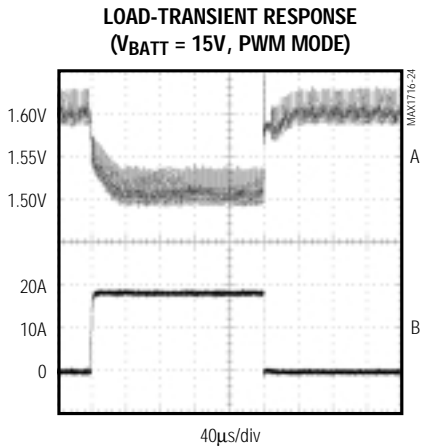
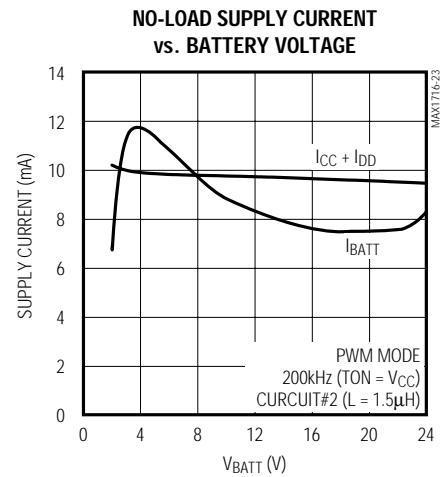
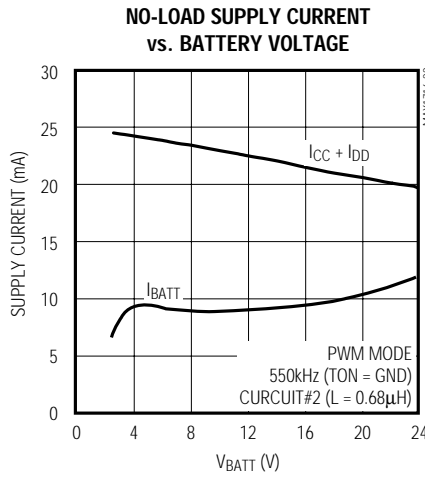
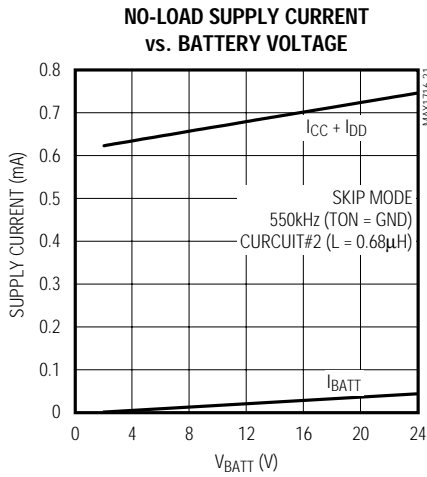
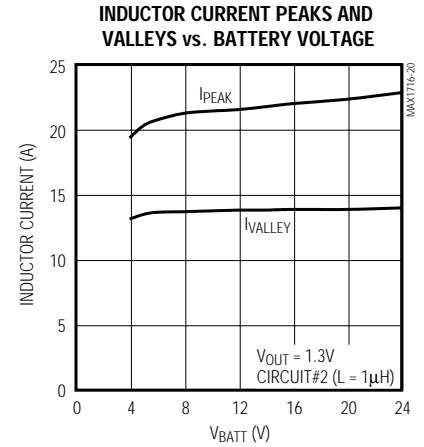
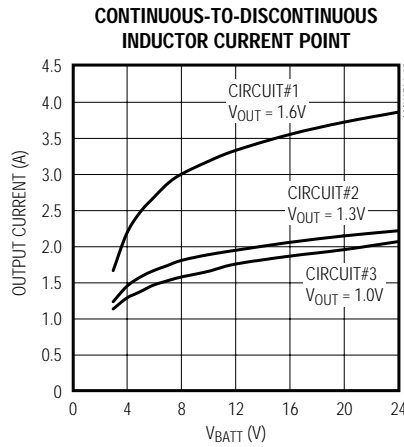
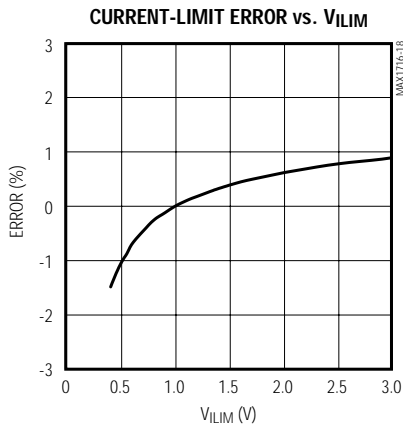


# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

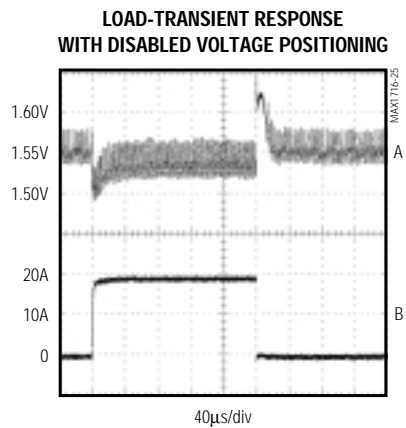
MAX1716/MAX1854/MAX1855

## 標準動作特性(続き)

(Circuit from Figure 1, components from Table 2,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



A.  $V_{OUT} = 1.6\text{V}$ , 50mV/div; B.  $I_{OUT} = 1.3\text{A}$  TO 18A, 10A/div; CIRCUIT #1,  $V_{BATT} = 15\text{V}$ , PWM MODE



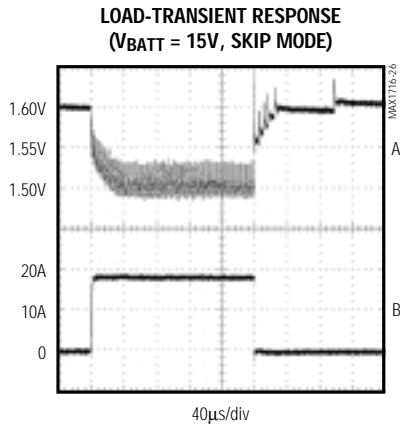
A.  $V_{OUT} = 1.6\text{V}$ , 50mV/div; B.  $I_{OUT} = 0.3\text{A}$  TO 18A, 10A/div; CIRCUIT #1,  $V_{BATT} = 15\text{V}$ , PWM MODE; VPS = PGND

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

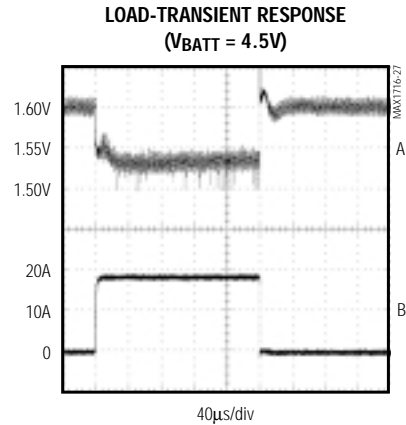
MAX1716/MAX1854/MAX1855

## 標準動作特性(続き)

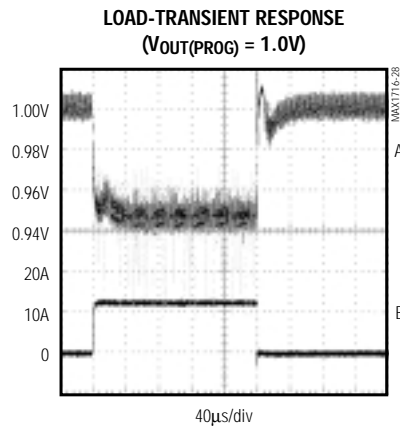
(Circuit from Figure 1, components from Table 2,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



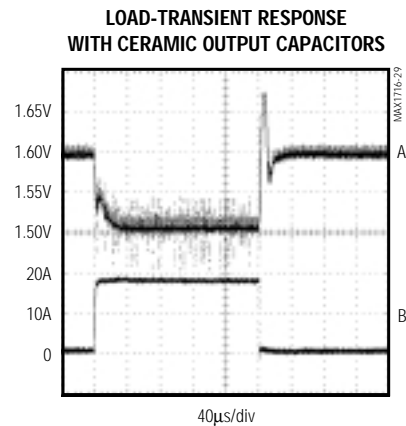
A.  $V_{OUT} = 1.6\text{V}$ , 50mV/div; B.  $I_{OUT} = 0.3\text{A TO } 18\text{A}$ , 10A/div  
CIRCUIT #1,  $V_{BATT} = 15\text{V}$ , SKIP MODE



A.  $V_{OUT} = 1.6\text{V}$ , 50mV/div  
B.  $I_{OUT} = 0.3\text{A TO } 18\text{A}$ , 10A/div  
CIRCUIT #1,  $V_{BATT} = 4.5\text{V}$ , PWM MODE



A.  $V_{OUT} = 1.0\text{V}$ , 20mV/div  
B.  $I_{OUT} = 0.3\text{A TO } 12\text{A}$ , 10A/div  
CIRCUIT #3,  $V_{BATT} = 4.5\text{V}$ , PWM MODE

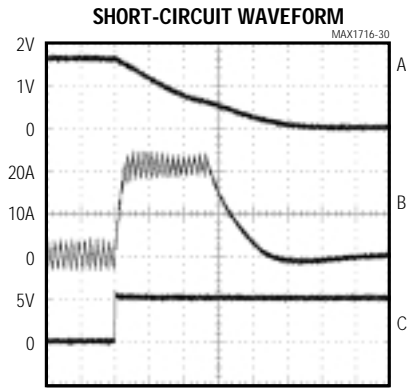


A.  $V_{OUT} = 1.6\text{V}$ , 50mV/div  
B.  $I_{OUT} = 0.3\text{A TO } 18\text{A}$ , 10A/div  
CIRCUIT #4,  $V_{BATT} = 15\text{V}$ , PWM MODE

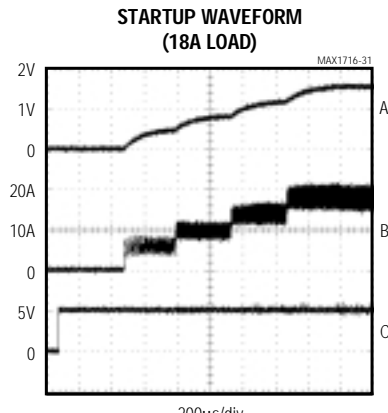
# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

## 標準動作特性(続き)

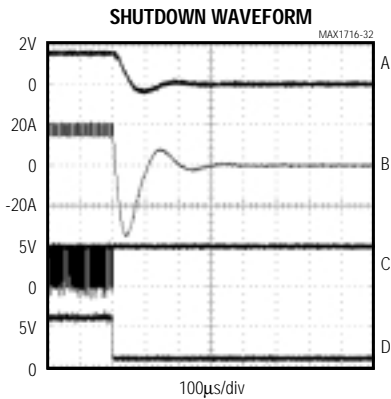
(Circuit from Figure 1, components from Table 2,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



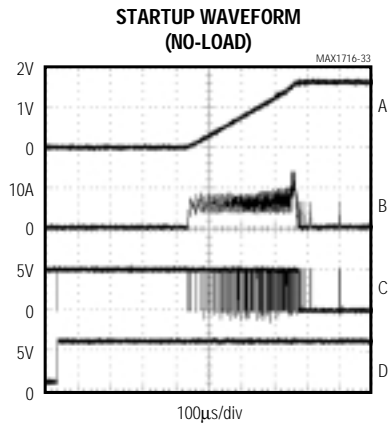
A.  $V_{\text{OUT}} = 1.6\text{V}$ , 1V/div  
B.  $I_L$ ,  $L = 0.68\mu\text{H}$ , 10A/div  
C. SHORT-CIRCUIT CONTROL, 5V/div



A.  $V_{\text{OUT}} = 1.6\text{V}$ , 1V/div  
B.  $I_L$ ,  $L = 0.68\mu\text{H}$ , 10A/div  
C.  $V_{\text{SHDN}} = 0$  TO  $V_{\text{CC}}$ , 5V/div  
 $R_{\text{OUT}} = 88\text{m}\Omega$



A.  $V_{\text{OUT}} = 1.6\text{V}$ ,  $R_{\text{OUT}} = 88\text{m}\Omega$ , 2V/div  
B.  $I_L$ ,  $L = 0.68\mu\text{H}$ , 20A/div  
C.  $V_{\text{DL}}$ , 5V/div  
D.  $V_{\text{SHDN}} = V_{\text{CC}}$  TO 0, 5V/div



A.  $V_{\text{OUT}} = 1.6\text{V}$ , NO LOAD, 1V/div  
B.  $I_L$ ,  $L = 0.68\mu\text{H}$ , 10A/div  
C.  $V_{\text{DL}}$ , 5V/div  
D.  $V_{\text{SHDN}} = 0$  TO  $V_{\text{CC}}$ , 5V/div

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## 端子説明

端子	名称	機能
1	DH	ハイサイドゲートドライバ出力。スイング電圧はLX ~ BSTです。
2	V+	バッテリー電圧検出接続。V+は入力電源に接続して下さい。V+は、PWM単安定マルチバイブレータのタイミング設定専用です。DHのオン時間は2V ~ 28Vの範囲にわたって入力電圧に反比例します。
3	$\overline{\text{SHDN}}$	シャットダウン制御入力。SHDNをGNDに接続するとMAX1716/MAX1854/MAX1855は強制的にシャットダウンします。V <sub>CC</sub> に駆動又は接続すると通常動作になります。SHDNの立上がりエッジがフォルトラッチをクリアします。
4	FB	フィードバック入力。通常はV <sub>OUT</sub> に接続されています。FBは電源のところで局部的に大容量出力フィルタコンデンサに接続されています。オプションとして、外部抵抗分圧器を使って出力電圧を設定することもできます。
5	CC	電圧ポジショニング補償コンデンサ。CCとGNDの間に47pF ~ 1000pF(47pF typ)のコンデンサを接続することにより、ループ応答時間を調整して下さい。
6	ILIM	電流リミット調整。ILIMがV <sub>CC</sub> に接続されていると、GND-CS電流リミットスレッショルドはデフォルトで120mVになります。可変モードにおいては、電流リミットスレッショルド電圧はILIMの電圧(0.5V ~ 2.0V)の10分の1になります。120mVのデフォルト値への切換えのロジックスレッショルドは約V <sub>CC</sub> - 1Vです。ILIMをREFに接続すると、200mVの固定スレッショルドになります。
7	V <sub>CC</sub>	PWMコアのアナログ電源入力。直列20Ω抵抗でシステム電源電圧(+4.5V ~ +5.5V)に接続して下さい。0.22μF(min)セラミックコンデンサでGNDにバイパスして下さい。
8	TON	オン時間選択制御入力。これは、DHオン時間を決定するために使用される4レベル入力です。TONをGND、REF又はV <sub>CC</sub> に接続するか、無接続にしておくことによって次のスイッチング周波数が設定されます：GND = 550kHz、REF = 400kHz、フローティング = 300kHz、V <sub>CC</sub> = 200kHz。
9	REF	+2.0Vリファレンス電圧出力。0.22μF(min)コンデンサでGNDにバイパスして下さい。外部負荷に対して50μAの電流を供給できます。
10	GND	アナロググランド
11	VPS	電圧ポジショニング検出入力。1kΩ抵抗を通じてCSに接続すると、負荷依存性出力電圧降下が最大になります。電圧ポジショニングレベルを調整するには、CSとPGNDの間に抵抗分圧器を接続して下さい。抵抗値の選択法については、「電圧ポジショニングの設定」を参照して下さい。
12	VGATE	オープンドレインパワーグッド出力。VGATEは出力が安定化状態の時通常値のハイとなります。VGATEはシャットダウン、低電圧ロックアウト及びソフトスタート時にローになります。障害条件が発生するとVGATEは強制的にローになり、障害がクリアされるまでローに留まります。
13	DL	ローサイドゲートドライバ出力。スイング電圧はPGND ~ V <sub>DD</sub> です。
14	PGND	パワーグランド
15	V <sub>DD</sub>	DLゲートドライブの電源入力。システム電源電圧(+4.5V ~ +5.5V)に接続して下さい。1μF(min)セラミックコンデンサでPGNDにバイパスして下さい。
16	D4	MSB DACコード入力。V <sub>CC</sub> への5μAの内部プルアップがあります(表5)。
17	D3	DACコード入力。V <sub>CC</sub> への5μAの内部プルアップがあります(表5)。
18	D2	DACコード入力。V <sub>CC</sub> への5μAの内部プルアップがあります(表5)。
19	D1	DACコード入力。V <sub>CC</sub> への5μAの内部プルアップがあります(表5)。
20	D0	LSB DACコード入力。V <sub>CC</sub> への5μAの内部プルアップがあります(表5)。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## 端子説明(続き)

端子	名称	機能
21	SKIP	パルススキッピング又は低ノイズモード制御入力。V <sub>CC</sub> に接続すると低ノイズ強制PWMモードになります。GNDに接続するとパルススキッピング動作がイネーブルされます。低ノイズ強制PWMモードにおいては、軽負荷でインダクタ電流が再循環し、パルススキッピング動作しません。通常動作においては電流の再循環が起こりません。SKIPは、過電圧及び低電圧保護回路の両方をディセーブルし、フォルトラッチをクリアするために使用することも可能です(「ノーフォルトテストモード」を参照)。SKIPをフローティングにしておかないで下さい。
22	BST	ブーストフライングコンデンサの接続。標準アプリケーション回路(図1)に従って、外部コンデンサ及びダイオードに接続して下さい。
23	LX	外部インダクタ接続部。LXはインダクタのスイッチ側に接続して下さい。LXは、DHハイサイドゲートドライバのローの電源電圧として使用します。LXは電流リミットコンパレータには接続しません。
24	CS	電流検出入力。CSとPGNDの間に抵抗(R <sub>SENSE</sub> )を接続して下さい。電流リミットスレッショルドはILIMによって設定されます。電流検出信号(インダクタ電流 × R <sub>SENSE</sub> )が電流リミットスレッショルドを超えると、MAX1716/MAX1854/MAX1855は新しいサイクルを開始しません。

表1. 標準アプリケーション用の部品

COMPONENT	CIRCUIT 1 (FIGURE 1)	CIRCUIT 2 (FIGURE 11)	CIRCUIT 3 (FIGURE 12)	CIRCUIT 4 (FIGURE 13)
Output Voltage	1.6V	1.3V	1.0V	1.6V
Input Voltage Range	7V to 24V	7V to 24V	7V to 24V	7V to 24V
Maximum Load Current	18A	12A	12A	18A
Inductor	0.68μH Sumida CDEP134H-0R6 or Panasonic ETQP6F0R6BFA	1μH Sumida CEP125-1R0MC or Panasonic ETQP6FIRIBFA	0.68μH Sumida CDEP134H-0R6 or Panasonic ETQP6F0R6BFA	0.47μH Sumitomo CXE-R47
TON Level	Float	Float	REF	GND
Frequency	300kHz	300kHz	400kHz	550kHz
High-Side MOSFET	International Rectifier (2) IRF7811	International Rectifier IRF7811	International Rectifier IRF7811	International Rectifier (2) IRF7811
Low-Side MOSFET	Fairchild (2) FDS7764A Or International Rectifier (2) IRF7811	Fairchild (2) FDS7764A Or International Rectifier (2) IRF7811	Fairchild (2) FDS7764A Or International Rectifier (2) IRF7811	Fairchild (2) FDS7764A Or International Rectifier (2) IRF7811
Input Capacitor	(5) 10μF Taiyo Yuden TMK432BJ106	(4) 10μF Taiyo Yuden TMK432BJ106	(4) 10μF Taiyo Yuden TMK432BJ106	(5) 10μF Taiyo Yuden TMK432BJ106
Output Capacitor	(5) 220μF Panasonic EEFUE0E221R	(4) 220μF Panasonic EEFUE0E221R	(4) 220μF Panasonic EEFUE0E221R	(8) 47μF Taiyo Yuden JMK432BJ476MM or TDK C4532X5ROJ476M
Current-Sense Resistor	3mΩ	3.5mΩ	3.5mΩ	3mΩ
ILIM Level	V <sub>REF</sub> /3	V <sub>REF</sub> /4	V <sub>REF</sub> /4	V <sub>REF</sub> /3
Voltage-Positioning Resistor Ratio	1:1 (0.5x)	1:2 (0.66x)	1:2 (0.66x)	1:1 (0.5x)

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

表2. 部品メーカー

MANUFACTURER	PHONE (COUNTRY CODE)	WEBSITE
<b>MOSFETs</b>		
Fairchild Semiconductor	(1) 888-522-5372	www.fairchildsemi.com
International Rectifier	(1) 310-322-3331	www.irf.com
Siliconix	(1) 203-268-6261	www.vishay.com
<b>CAPACITORS</b>		
Kemet	(1) 408-986-0424	www.kemet.com
Panasonic	(1) 847-468-5624	www.panasonic.com
Sanyo	(65) 281-3226 (Singapore) (1) 408-749-9714	www.secc.co.jp
Taiyo Yuden	(03) 3667-3408 (Japan) (1) 408-573-4150	www.t-yuden.com
TDK	(1) 847-390-4373	www.tdk.com
<b>INDUCTORS</b>		
Coilcraft	(1) 800-322-2645	www.coilcraft.com
Coiltronics	(1) 561-752-5000	www.coiltronics.com
Sumida	(1) 408-982-9660	www.sumida.com
Sumitomo	(1) 408-451-8441 (USA) 81 75 961-3141 (Japan)	www.ssmc.co.jp

## 詳細

MAX1716/MAX1854/MAX1855は、18A(typ)以上の負荷ステップを必要とするノートブックコンピュータの低電圧大電流CPUコア電源用のバックコントローラです。本コンバータで使用しているマキシム社独自のQuick-PWMパルス幅変調器は、広い入力電圧範囲にわたって比較的一定の動作周波数とインダクタ動作点を維持しながら、高速負荷ステップを扱えるように設計されています。このQuick-PWM構造は、従来の一定オン時間及び一定オフ時間PFM技術に伴うスイッチング周波数の大幅な変化による問題を回避すると共に、一定周波数電流モードPWMの負荷トランジェントタイミングの問題も回避します。

### +5Vバイアス電源(V<sub>CC</sub>及びV<sub>DD</sub>)

MAX1716/MAX1854/MAX1855は、バッテリーの他に+5Vの外部バイアス電源を必要とします。通常、この+5Vバイアス電源は、ノートブックコンピュータの95%効率+5Vシステム電源になります。バイアス電源をICの外部に配置すると効率を向上できるだけでなく、PWM回路及びゲートドライバで必要となる+5Vリニアレギュレータのコストを除去することもできます。スタンドアロン機能が必要な場合は、外部リニアレギュレータで+5V電源を発生できます。

この+5Vバイアス電源は、V<sub>CC</sub>(PWMコントローラ)及びV<sub>DD</sub>(ゲート駆動パワー)を供給しなければならないため、最大消費電流は次のようになります。

$$I_{BIAS} = I_{CC} + f \times (Q_{G1} + Q_{G2}) = 10\text{mA to } 40\text{mA (typ)}$$

ここで、I<sub>CC</sub>は700µA(typ)、fはスイッチング周波数、Q<sub>G1</sub>及びQ<sub>G2</sub>はMOSFETデータシートのV<sub>GS</sub> = 5Vにおける合計ゲートチャージ仕様リミットです。

入力が一定の4.5V~5.5V電源である場合は、バッテリー入力(V+)及び+5Vバイアス入力(V<sub>CC</sub>)をまとめて接続できます。+5Vバイアス電源をバッテリー電源の前にパワーアップする場合は、スタートアップを保証するために、バッテリー電圧が得られるまでイネーブル信号(SHDN)を遅延する必要があります。

### 入力フィードフォワードを備えた

フリーランニング、一定オン時間PWMコントローラ

Quick-PWM制御構造は、電圧フィードフォワードを備えた一定オン時間電流モードタイプです(図2)。PWMランプ信号は出力リップル電圧から得ています。このため、フィルタコンデンサのESRがフィードバック抵抗の役目を果たします。制御アルゴリズムは簡単です。ハイサイドスイッチのオン時間は、周期が入力電圧に反比例し、出力電圧に正比例する単安定マルチバイブレータだけによって決まります(「オンタイムワンショット」を参照)。もう1つの単安定マルチバイブレータは、最小オフ時間(400ns typ)を設定します。オンタイム



# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

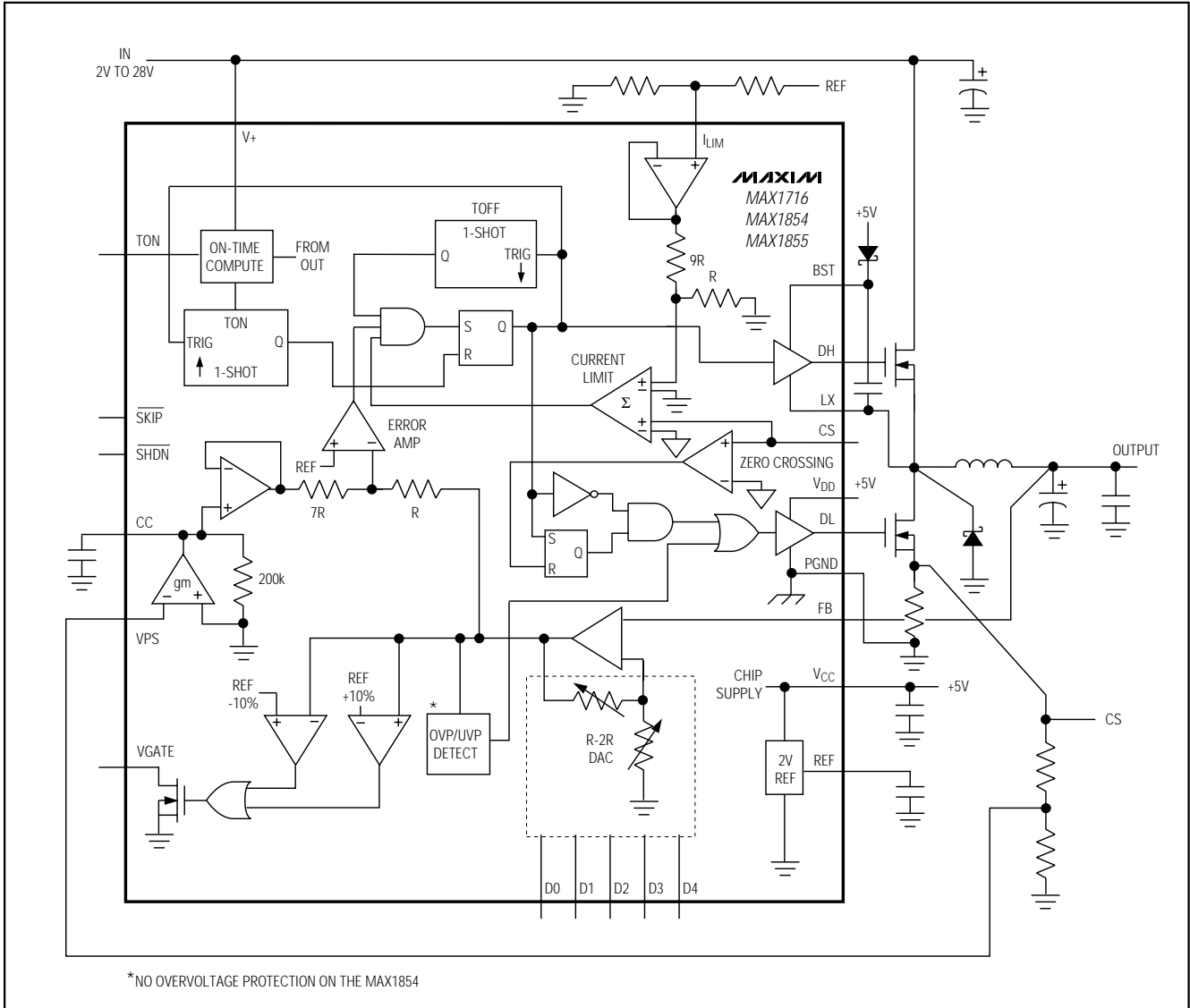


図2. ファンクションダイアグラム

表3. Kファクタ誤差の近似値

TON SETTING (kHz)	K-FACTOR (μs)	APPROXIMATE K-FACTOR ERROR (%)	MIN RECOMMENDED V <sub>BATT</sub> AT V <sub>OUT</sub> = 1.6V (V)
200	5	±9	2.04
300	3.3	±11	2.28
400	2.2	±15	2.84
550	1.8	±20	3.55



# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

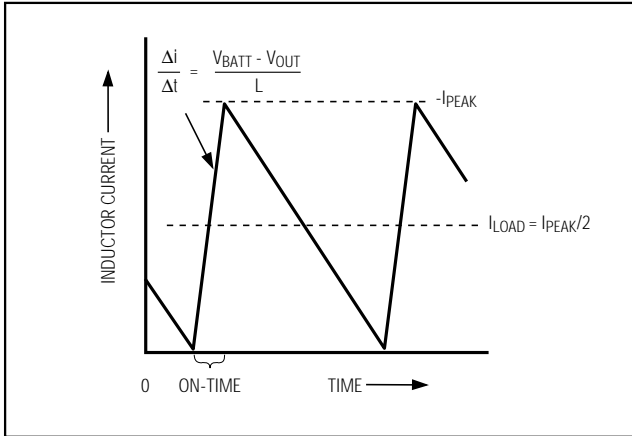


図3. パルススキップ断続クロスオーバー点

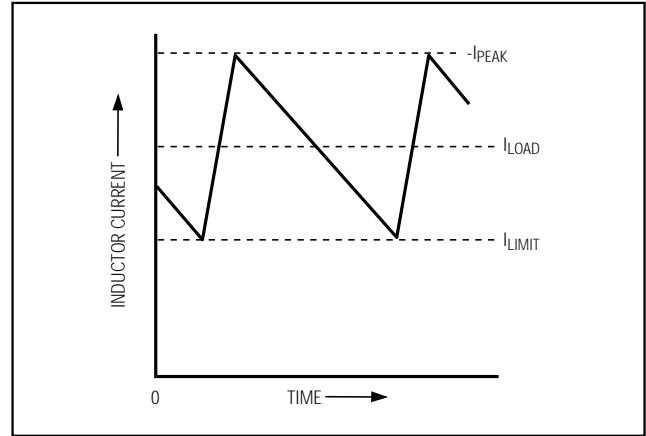


図4. “谷間”電流リミットスレッシュールド点

要因も影響します。「Electrical Characteristics」で保証しているオンタイムには、外部ハイサイドパワーMOSFETのスイッチング遅延が影響しています。出力電流が大きくなると、抵抗性損失(インダクタ、両方のMOSFET、出力コンデンサのESR、及び出力とグラウンドのプリント基板の銅の損失を含む)のためにスイッチング周波数が高くなる傾向があります。スイッチデッドタイムにより実効オンタイムが増加するため、スイッチング周波数が減少します。これは、PWMモード(SKIP = ハイ)で負荷電流が小さいか、負の場合にインダクタ電流が反転する時にだけ発生します。インダクタ電流が反転すると、インダクタのEMFによって、通常よりも早くLXがハイになり、DHの立上がりのデッドタイムだけオンタイムが長くなります。

コントローラが連続モードで動作する時はデッドタイムの影響はなくなり、実際のスイッチング周波数は次式で表されます。

$$f = (V_{OUT} + V_{DROPP1}) / [t_{ON} \times (V_{+} + V_{DROPP1} - V_{DROPP2})]$$

ここで、 $V_{DROPP1}$ は、同期整流器、インダクタ、及びプリント基板の抵抗を含め、インダクタ放電経路内の寄生電圧降下の合計値、 $V_{DROPP2}$ は充電経路内の抵抗の合計値(ハイサイドスイッチ、インダクタ及びプリント基板の抵抗を含む)、 $t_{ON}$ はMAX1716/MAX1854/MAX1855で計算したオンタイムを示します。

## 自動パルススキップ切換え

スキップモード(SKIP = ロー)では、軽負荷においてPFMへの自動切換えが発生します(図3)。この切換えには、インダクタ電流のゼロクロスでローサイドスイッチのオンタイムを中断するコンパレータが影響します。このメカニズムによって、パルススキップPFMと非スキップPWM動作間のスレッシュールドが、連続及び

非連続インダクタ電流動作間の境界と一致します。入力電圧( $V_{+}$ )範囲が7V ~ 24Vの場合、このスレッシュールドは入力電圧に多少依存しますが比較的一定しています。

$$I_{LOAD(SKIP)} \approx \left( \frac{K \times V_{OUT}}{2L} \right) \left( \frac{V_{+} - V_{OUT}}{V_{+}} \right)$$

ここで、Kはオンタイムスケールファクタを示します(表3)。PFM/PWMクロスオーバーが発生する負荷電流レベル( $I_{LOAD(SKIP)}$ )は、インダクタ値の関数であるピーク間リップル電流の1/2に等しくなります(図3)。例えば、 $K = 3.3\mu s$ (300kHz)、 $V_{BATT} = 12V$ 、 $V_{OUT} = 1.6V$ 、及び $L = 0.68\mu H$ の標準アプリケーション回路では、 $I_{LOAD} = 2.3A$ (全負荷の約1/4)でパルススキップ動作への切換えが発生します。シング(ソフト飽和)インダクタを使用した場合は、クロスオーバー点がさらに低い値で発生します。

軽負荷によってパルススキップ動作が発生すると、スイッチング波形はノイズが多く非同期のように見えることもあります。これは軽負荷効率が高くなる正常な動作です。PFMノイズと軽負荷効率間の妥協点は、インダクタ値を変えることによって調整できます。一般に、インダクタ値が低いと効率対負荷曲線がより広くなり、インダクタ値が高いとフルロード時の効率が高くなり(コイル抵抗が一定の場合)、出力電圧リップルが小さくなります。但し、インダクタ値を高くすると物理的なサイズが増し、(特に低入力電圧レベルにおいて)負荷過渡応答が劣化します。

## 強制PWMモード(SKIP = ハイ)

低ノイズ、強制PWMモード(SKIPをハイで駆動)においては、ローサイドスイッチのオンタイムを制御する

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

表4. 動作モードの真理値表

SHDN	SKIP	DL	MODE	COMMENTS
0	X	High	Shutdown	Micropower shutdown state.
1	GND	Switching	Normal Operation	Automatic switchover from PWM mode to pulse-skipping PFM mode at light loads. Prevents inductor current from recirculating into the input.
1	V <sub>CC</sub>	Switching	Forced PWM	Low-noise forced-PWM mode causes inductor current to reverse at light loads and suppresses pulse-skipping operation.
1	Below GND	Switching	No-Fault Test Mode	Test mode with overvoltage, undervoltage, and thermal shutdown faults disabled. Otherwise, the converter operates as if SKIP = GND.

X = Don't care

ゼロクロスコンパレータがディセーブルされます。これによって、ローサイドゲート駆動波形がハイサイドゲート駆動波形と相補的になります。この結果、PWMループがデューティサイクルを $V_{OUT}/V+$ に維持しようとするため、インダクタ電流は軽負荷で逆転します。強制PWMモードの利点はスイッチング周波数をほぼ一定に保つことですが、この場合無負荷時のバッテリー電流が10mA ~ 40mA(外部MOSFETとスイッチング周波数に依存)になり得るといった問題が生じます。

強制PWMモードが最も有効となるのは、オーディオ周波数ノイズを低減する場合及びフライバックトランス又はカップリングインダクタを使用した複数出力アプリケーションのクロスレギュレーションを向上する場合です。

## 電流リミット回路(ILIM)

電流リミット回路には、ユニークな“谷間”電流検出アルゴリズムを採用しています。電流検出信号が電流リミットスレッショルドよりも大きい時、MAX1716/MAX1854/MAX1855はPWMの新しいサイクルを開始しません(図4)。実際のピーク電流は、電流リミットスレッショルドよりもインダクタリップル電流の量だけ大きくなります。従って、正確な電流リミット特性と最大負荷能力は、電流リミットスレッショルド、インダクタ値及び入力電圧の関数になります。この不確実性という対価を支払うことにより、損失のない確実な過電流検出が達成できます。UVP保護回路と組み合わせると、この電流リミット技術は殆どの状況で有効になります。

又、 $V_{OUT}$ が電流のシンクとなっている時に過剰な逆インダクタ電流を防止する負の電流リミットも存在します。負の電流リミットスレッショルドは正の電流リミット

の約120%に設定されるため、ILIMの調整時に正の電流リミットに追随します。

MAX1716/MAX1854/MAX1855は、CSとPGNDの間の電圧を検出することによって電流を測定します。ローサイドNチャンネルMOSFETのソースとPGNDの間に外付検出抵抗を接続して下さい。同じ抵抗を使ってVPS入力の入力電圧も生成します(電圧ポジショニングの設定を参照)。検出電圧を小さくすると相対的な測定誤差が増えます。しかし、この構成はローサイドMOSFETのオン抵抗を使って電流を測定する方法に伴う不確実性を排除するため、1%の検出抵抗で検出すると電流リミット公差が向上します。

アプリケーションによっては、電圧ポジショニングに必要な信号は最小電流リミット電圧(50mV)よりもずっと小さくなります。この問題に対処するには2つの方法があります。1つは、電流検出抵抗を大きくして必要な電流リミット電圧を生成し、この信号を分圧して希望のVPS入力を得る方法です。この方法は最良の電流リミット精度を提供します。もう1つは、希望のVPS電圧を生成する検出抵抗を選択して、CSをLXに接続する方法です。この方法は、電力消費が最小になる代わりに電流リミット精度が低下します。デフォルトの電流リミット120mV( $ILIM = V_{CC}$ )は、ローサイドパワーMOSFET及び抵抗の小さな検出抵抗を使った電流リミット検出に対応しています。

ILIMの電圧によって電流リミットスレッショルドが設定されます。500mV ~ 2Vの範囲の電圧に対しては、電流リミットスレッショルド電圧は正確に $0.1 \times V_{ILIM}$ になります。REFとGNDの間の分圧器によってこの電圧を設定して下さい。ILIMが $V_{CC}$ に接続されている時、電流リミットスレッショルドはデフォルトの120mVになります。この120mVデフォルト値への切換え用ロジックスレッショルドは、約 $V_{CC} - 1V$ です。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

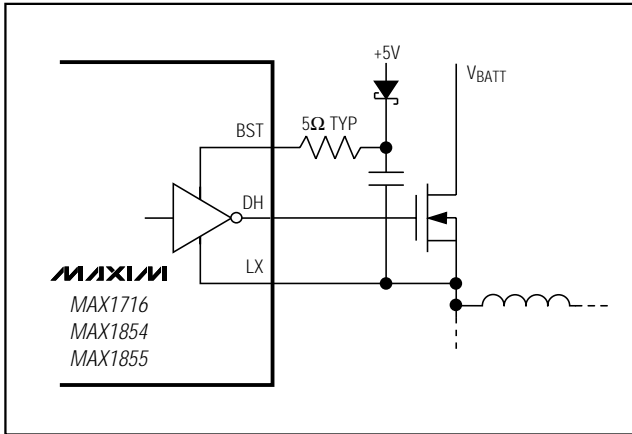


図5. スwitchングノードの立上がり時間の低減

プリント基板レイアウトのガイドラインを厳守し、CS及びPGNDから見た電流検出信号が、ノイズ及びDC誤差によって汚染されないようにして下さい。このICはローサイドMOSFETの近くに取り付け、ソース及びドレイン端子へのケルビン検出接続を短くダイレクトなトレースで行うことが必要です。

## MOSFETゲートドライバ(DH, DL)

DH及びDLドライバは、中間サイズのハイサイド及びより大きなローサイドパワーMOSFETの駆動用として最適化されています。これは、 $V_{IN} - V_{OUT}$ の差が大きなノートブックCPU環境に見られる低デューティ係数に合っています。適応デッドタイム回路はDL出力を監視し、DLが完全にオフになる前にハイサイドFETがオンになるのを防ぎます。この適応デッドタイム回路を正しく動作させるには、DLドライバからMOSFETゲートへの低抵抗、低インダクタンス経路が必要です。さもないと、MAX1716/MAX1854/MAX1855内の検出回路は、MOSFETゲートに現実にはまだ電荷が残っている時に、MOSFETゲートが「オフ」であるものと解釈します。経路には、10~20平方までの非常に短く太いトレースを使用して下さい(MOSFETがデバイスから2.5cmの場合は、1.27~2.54mm)。反対側のデッドタイム(DHターンオフ)は、固定の35ns(typ)内部遅延によって決まります。

DLをローに駆動する内部プルダウントランジスタは、 $0.5\Omega$ (typ)のオン抵抗を持つ堅牢性のあるものです。これは、大きなローサイド同期整流器MOSFETのドレインからゲートへの容量カップリングによって、インダクタノードの高速立上がり時間にDLがプルアップされるのを防ぎます。但し、大電流アプリケーションにおいては、ハイサイドFET及びローサイドFETの組み合わせによって過剰なゲートドレインカップリングが

起こり、効率の低下、EMIの発生、及び貫通電流の発生の原因になります。この問題は、多くの場合BSTと直列に抵抗を追加することによって解決することが可能で、この場合ターンオフ時間に影響を及ぼすことなくハイサイドFETのターンオン時間を増大できます(図5)。

## DACコンバータ(D0~D4)

デジタルアナログコンバータ(DAC)は、出力電圧をプログラムします。このDACはVID入力(D0~D4)から予め設定されたデジタルコードを受け取ります。これらの入力は微小な内部プルアップを備えているため、外付抵抗を排除できます。これらの入力はデジタルロジック、汎用I/O又は外部マルチプレクサによって駆動することも可能です。利用可能なDACコード及び結果として得られる出力電圧(表5)は、Intel社のモバイルPentium III™規格に適合しています。

D0~D4はレギュレータがアクティブな時に変更できます。この時、新しい出力電圧レベルへの遷移が始まります。 $V_{OUT}$ [遷移時のエラーを避けるため、D0~D4は同期して変更して下さい。ビット間のスキューが $1\mu s$ を超えると、間違ったDAC出力によって間違った電圧レベルへの部分的な遷移が起こり、その後で正しい電圧レベルへの遷移が起こるために全体的な遷移時間が長くなることがあります。

パワーアップされている時にMAX1855のDACコードを変更すると、コード変化による出力電圧の増加が120%を超えた時に低電圧保護機能が起動する場合があります。例えば、0.8Vより低いDACコードから1.75Vへの遷移があると低電圧保護機能が起動します。この場合、いったん0.8Vから1.35Vに遷移して、それから1.35Vから1.75Vに遷移するようにすると低電圧保護機能が起動するのを避けることができます。

## シャットダウン( $\overline{SHDN}$ )

$\overline{SHDN}$ を強制的にローにすると、MAX1716/MAX1854/MAX1855は低電流シャットダウン状態になります。シャットダウン状態においてはDLゲートドライバが強制的にハイになるためにローサイドMOSFETがターンオンして、出力コンデンサを放電し、出力を強制的にグラウンドレベルにします。 $\overline{SHDN}$ を $V_{CC}$ に駆動又は接続すると通常動作になります。 $\overline{SHDN}$ の立上がりエッジでフォルトラッチがクリアされます。

## パワーオンリセット

$V_{CC}$ が約2Vを超えて上昇すると、パワーオンリセット(POR)が発生し、フォルトラッチ及びソフトスタートカウンタがリセットされ、レギュレータが準備されます。

Pentium IIIはIntel Corp.の商標です。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

表5. 出力電圧対DACコード

D4	D3	D2	D1	D0	OUTPUT VOLTAGE		
					MAX1716	MAX1854	MAX1855
0	0	0	0	0	No CPU*	2.000V	1.750V
0	0	0	0	1	No CPU*	1.950V	1.700V
0	0	0	1	0	No CPU*	1.900V	1.650V
0	0	0	1	1	No CPU*	1.850V	1.600V
0	0	1	0	0	No CPU*	1.800V	1.550V
0	0	1	0	1	No CPU*	1.750V	1.500V
0	0	1	1	0	No CPU*	1.700V	1.450V
0	0	1	1	1	No CPU*	1.650V	1.400V
0	1	0	0	0	1.600V	1.600V	1.350V
0	1	0	0	1	1.550V	1.550V	1.300V
0	1	0	1	0	1.500V	1.500V	1.250V
0	1	0	1	1	1.450V	1.450V	1.200V
0	1	1	0	0	1.400V	1.400V	1.150V
0	1	1	0	1	1.350V	1.350V	1.100V
0	1	1	1	0	1.300V	1.300V	1.050V
0	1	1	1	1	No CPU*	No CPU*	1.000V
1	0	0	0	0	1.275V	1.275V	0.975V
1	0	0	0	1	1.250V	1.250V	0.950V
1	0	0	1	0	1.225V	1.225V	0.925V
1	0	0	1	1	1.200V	1.200V	0.900V
1	0	1	0	0	1.175V	1.175V	0.875V
1	0	1	0	1	1.150V	1.150V	0.850V
1	0	1	1	0	1.125V	1.125V	0.825V
1	0	1	1	1	1.100V	1.100V	0.800V
1	1	0	0	0	1.075V	1.075V	0.775V
1	1	0	0	1	1.050V	1.050V	0.750V
1	1	0	1	0	1.025V	1.025V	0.725V
1	1	0	1	1	1.000V	1.000V	0.700V
1	1	1	0	0	0.975V	0.975V	0.675V
1	1	1	0	1	0.950V	0.950V	0.650V
1	1	1	1	0	0.925V	0.925V	0.625V
1	1	1	1	1	No CPU*	No CPU*	0.600V

\*Note: In the no-CPU state, DH and DL are held low.

## 低電圧ロックアウト及びソフトスタート

V<sub>CC</sub>低電圧ロックアウト(UVLO)回路はスイッチングを禁止し、VGATEを強制的にローにして、DL出力をハイに駆動します。V<sub>CC</sub>電圧が4.2Vより低く落ちると、電源電圧が有効な決定をするために不十分であると見なされます。出力を過電圧障害から保護するため、このモードにおいてはDLが強制的にハイになります。これ

により、出力が強制的にGNDになり、大きな負のインダクタ電流が生じて出力がGNDより下に引き下げられます。V<sub>CC</sub>がこのように低下する可能性がある場合、ショットキダイオードで出力をGNDにクランプすることによって負のエクスカージョンを低減することができます。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

適正なスタートアップを保証するには、 $V_{CC}$ の前に $V+$ が存在する必要があります。 $V+$ が存在しない時にコンバータが出力を安定化状態にしようとする、フォルトラッチがトリップします。

$V_{CC}$ が4.2V以上になると、内部デジタルソフトスタートタイマが最大許容電流リミットを直線的に増加し始めます。この増加は20%、40%、60%、80%、100%の5ステップで発生し、 $1.7\text{ms} \pm 50\%$ 後に100%の負荷電流が利用できるようになります。

## パワーグッド出力(VGATE)

VGATEはウィンドウコンパレータのオープンドレイン出力です。このパワーグッド出力は、出力電圧が安定化電圧から $\pm 10\%$ 以内である限りハイインピーダンスに留まります。出力電圧が $\pm 10\%$ のウィンドウリミットの上又は下に外れると、内部MOSFETが起動して出力をローに引き下げます。障害条件が存在するとVGATEは強制的にローになり、その障害がクリアされるまでローに留まります。VGATEはシャットダウン、低電圧ロックアウト、及びソフトスタート中もローです。ロジックレベルの出力電圧を得るには、外付プルアップ抵抗をVGATEと $V_{CC}$ (又は $V_{DD}$ )の間に接続して下さい。殆どのアプリケーションにおいては $100\text{k}\Omega$ 抵抗が好適です。

## 出力過電圧保護(MAX1716/MAX1855のみ)

過電圧保護(OVP)回路は、大電流を流してバッテリーの保護回路を起動することによって、ハイサイドMOSFETの短絡から保護するように設計されています。出力電圧が過電圧になっていないかどうかについては、継続的に監視されています。出力がOVPスレッシュホールド(MAX1716は1.9V、MAX1855は2.0V)を超えると、OVPがトリガされ、回路がシャットダウンされます。この結果DLローサイドゲートドライバ出力は、SHDNがトグルされるか $V_{CC}$ 電源が1V以下に低下するまでハイにラッチされます。これによって、同期整流器MOSFETが100%デューティサイクルでオンになり、出力フィルタコンデンサが急速に放電され、出力が強制的にグランドレベルになります。過電圧の原因(ハイサイドMOSFETの短絡等)が取り除かれない場合、バッテリーの内部保護回路が起動します。

OVPは、ノーフォルトテストモードで解除できます(「ノーフォルトテストモード」参照)。

## 出力低電圧保護

出力低電圧保護(UVP)機能はフの字過電流リミットに似ていますが、可変電流リミットの代わりにタイマを使用します。レギュレータの出力がシャットダウンの解除から20ms以上後に公称値の40%以下の場合、PWMのラッチがオフになり、SHDNがトグルされるか、 $V_{CC}$ 電源がパルス的に1Vより下になるまで再起動しません。

UVPはノーフォルトテストモードで解除できます(「ノーフォルトテストモード」を参照)。

## サーマル障害保護

MAX1716/MAX1854/MAX1855はサーマル保護回路を備えています。温度が+150より高くなると、SHDNがトグルされるか、 $V_{CC}$ 電源がパルス的に1Vより下になるまでDLローサイドゲートドライバ出力がハイにラッチします。このスレッシュホールドは+10のサーマルヒステリシスを備えています。このヒステリシスにより、チップが冷却するまでレギュレータは再起動されません。

## ノーフォルトテストモード

過電圧/低電圧保護機能が作動していると、障害を突き止めるための時間が(最長で)数ミリ秒しかないため、プロトタイプブレッドボードのデバッグ処理が難しくなります。このため、OVP、UVP及びサーマルシャットダウン機能を完全にディセーブルし、また、すでにラッチした場合の障害ラッチをクリアするためのテストモードが提供されています。PWMは、SKIPが接地されているかのように動作します(SKIPモード)。

ノーフォルトテストモードに入るには、抵抗と直列に接続した外部の負電圧ソースを介してSKIPから1.5mAシンクします。SKIPは、シリコンダイオードでAGNDにクランプされているため、 $(V_{FORCE} - 0.65\text{V})/1.5\text{mA}$ に等しい抵抗値を選択して下さい。

## 設計手順

スイッチング周波数とインダクタ動作点(リップル電流比)を選ぶ前に、まず入力電圧範囲と最大負荷電流をしっかりと決めて下さい。設計上の主な妥協点は、良いスイッチング周波数とインダクタ動作点を選ぶことにあります。次の4つの要因によって設計が決まります。

入力電圧範囲：最大値( $V_{+(MAX)}$ )は、ACアダプタのワーストケースの高電圧に対応させる必要があります。最小値( $V_{+(MIN)}$ )は、コネクタ、ヒューズ、及びバッテリーセレクトスイッチによる電圧降下後の最低入力電圧に対応させる必要があります。選択できる場合は、より低い入力電圧の方が効率が高くなります。

最大負荷電流：考慮すべき値は2つあります。ピーク負荷電流( $I_{LOAD(MAX)}$ )は、瞬時的なデバイスのストレス及びフィルタリング条件を決定するため、出力コンデンサの選択、インダクタ飽和定格、及び電流リミット回路の設計を左右します。連続負荷電流( $I_{LOAD}$ )は、熱ストレスを決定するため、入力コンデンサ、MOSFET及びその他の重要な発熱部品の選択を左右します。最近のノートブックCPUでは、 $I_{LOAD} = I_{LOAD(MAX)} \times 80\%$ が一般的です。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

スイッチング周波数：スイッチング周波数によって、サイズと効率間の基本的な妥協点が決まります。MOSFETスイッチング損失は周波数及び $V_{+2}$ に比例するため、最適周波数は主に最大入力電圧の関数になります。又、MOSFET技術の急速な進歩によってより高い周波数が実用的になっていることから、最適周波数は変わりつつあります。

インダクタ動作点：この選択によってサイズと効率間の妥協点が決まります。インダクタ値が低い程リップル電流が大きくなり、サイズが小さくなりますが、効率は劣化し、出力ノイズが大きくなります。実用的な最小のインダクタ値は、臨界導通点(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに達する点)で回路が動作する値です。インダクタ値をこれ以上小さくしても、サイズ低減の利点はありません。

MAX1716/MAX1854/MAX1855のパルススキップアルゴリズムは、臨界導通点でスキップモードを開始します。従って、PFM/PWM切換えが発生する負荷電流値も、インダクタ動作点で決まります。最適点は通常リップル電流の20%~50%です。

インダクタのリップル電流は過渡応答性能に影響します。特に $V_{IN} - V_{OUT}$ の差が小さい時は大きな影響があります。インダクタ値が小さいと、インダクタ電流のスループレートが速くなって、急激な負荷ステップによって出力フィルタコンデンサから奪われた電荷を迅速に補給します。出力の落ち込みの量は、最大デューティ係数(オン時間と最小オフ時間から計算可能)の関数でもあります。

$$V_{SAG} = \frac{(I_{LOAD1} - I_{LOAD2})^2 \times L \times \left[ \left( K \times \frac{V_{OUT}}{V_{+}} \right) - t_{OFF(MIN)} \right]}{2 \times C_{OUT} \times V_{OUT} \times \left[ K \times \left( \frac{V_{+} - V_{OUT}}{V_{+}} \right) - t_{OFF(MIN)} \right]}$$

ここで、 $t_{OFF(MIN)}$ は最小オフ時間(「Electrical Characteristics」を参照)、 $K$ は表3から得ています。

## インダクタの選択

インダクタ値は、次に示すようにスイッチング周波数及び動作点(%リップル又はLIR)によって決まります。

$$L = \frac{V_{OUT} \times (V_{+} - V_{OUT})}{V_{+} \times f_{SW} \times LIR \times I_{LOAD(MAX)}}$$

例： $I_{LOAD(MAX)} = 18 \text{ A}$ 、 $V_{IN} = 7\text{V}$ 、 $V_{OUT} = 1.6\text{V}$ 、 $f_{SW} = 300\text{kHz}$ 、30%リップル電流又はLIR = 0.3の場合。

$$L = \frac{1.6\text{V} \times (7\text{V} - 1.6\text{V})}{7\text{V} \times 300\text{kHz} \times 0.30 \times 18\text{A}} = 0.76\mu\text{H}$$

割当てたスペースに収まる最小のDC抵抗を持つ低損失インダクタを使用して下さい。鉄粉コアは安価で200kHzにおいて良好に動作しますが、通常はフェライトコアが最適です。コアは、ピークインダクタ電流( $I_{PEAK}$ )で飽和しないだけの大きさであることが必要です。

$$I_{PEAK} = I_{LOAD(MAX)} + (I_{LOAD(MAX)} \times LIR / 2)$$

## 電流リミットの設定

最小電流リミットスレッシュホールドは、電流リミットが最小許容値の時に最大負荷電流に対応できる大きさであることが必要です。インダクタ電流の谷間は、 $I_{LOAD(MAX)}$ からリップル電流の半分を差し引いた時点で発生するため、次のようになります。

$$I_{LIMIT(LOW)} > I_{LOAD(MAX)} - (I_{LOAD(MAX)} \times LIR / 2)$$

ここで、 $I_{LIMIT(LOW)}$ は、最小電流リミットスレッシュホールド電圧を $R_{SENSE}$ で割り算した値を示します。デフォルト設定の120mVの場合、最小電流リミットスレッシュホールドは110mVになります。

$I_{LIM}$ を $V_{CC}$ に接続すると、電流リミットスレッシュホールドがデフォルトの120mVになります。可変モードにおいては、電流リミットスレッシュホールドは $I_{LIM}$ の電圧のちょうど10分の1になります。スレッシュホールドを可変にするためには、REFとGNDの間に抵抗分圧器を接続し、 $I_{LIM}$ をセンタータップに接続して下さい。外部調整範囲0.5V~2.0Vが電流リミットスレッシュホールド50mV~200mVに対応します。電流リミットを調整する時は、電流リミット許容差の誤差が増大するのを防ぐために公差1%の抵抗を使用し、分圧器の電流は10 $\mu$ Aにして下さい。

## 出力コンデンサの選択

出力フィルタコンデンサの実効直列抵抗(ESR)は、出力リップル及び負荷過渡条件を満足できる低さであることが必要ですが、それと同時にESRは安定性の条件を満足できる大きさであることが必要です。又、容量値は過電圧保護回路をトリップすることなく、全負荷から無負荷状態に向かうインダクタエネルギーを吸収できる大きさでなければなりません。

出力が急激な負荷トランジェントにさらされるCPU  $V_{CORE}$ コンバータや他のアプリケーションでは、出力コンデンサのサイズは負荷トランジェントによる過剰な出力低下を防止するために必要なESRの量に依存します。有限容量による電圧落ち込みを無視すると、次のようになります。

$$R_{ESR} = V_{STEP(MAX)} / I_{LOAD(MAX)}$$

実際に必要な容量値(マイクロファラッド)は、低ESRを達成するのに必要な物理サイズ及びコンデンサの種類に関係します。従って、コンデンサは通常容量値ではなく、ESR仕様及び電圧定格によって選択します(これに該当するのはタンタル、OS-CON、及びその他の電解コンデンサです)。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

セラミックやポリマー等の低容量フィルタコンデンサを使用する場合は、通常、全負荷から無負荷状態に遷移する時に $V_{SAG}$ 及び $V_{SOAR}$ が問題を起こすのを防ぐのに必要な容量を基準にしてコンデンサのサイズを決定します。一般に、オーバシュート条件を満足する容量を追加すれば、負荷の立上がりエッジでのアンダーシュートが問題になることはありません(「設計手順」の $V_{SAG}$ の式を参照)。蓄積されたインダクタエネルギーに起因するオーバシュートの量は次のようになります。

$$V_{SOAR} \approx (L \times I_{PEAK}^2) / (2 \times C_{OUT} \times V_{OUT})$$

ここで、 $I_{PEAK}$ はピークインダクタ電流です。

## 出力コンデンサの安定性

安定性は、スイッチング周波数に対するESRゼロの値によって決まります。不安定性の境界点は、次式から求めることができます。

$$f_{ESR} = f_{SW} / \pi$$

$$\text{ここで、} f_{ESR} = 1 / (2 \times \pi \times R_{ESR} \times C_{OUT})$$

標準的な300kHzアプリケーションでは、ESRゼロ周波数が95kHzよりも遥かに低くしなければならず、望ましいのは50kHz以下です。このデータシートの発行時に広く使用されているタンタル、三洋POSCAP及びパナソニックSPコンデンサでは、標準ESRゼロ周波数が30kHz以下になっています。インダクタの選択で使用した設計例では、50mV<sub>p-p</sub>リップルをサポートするのに必要なESRは $50\text{mV} / (18\text{A} \times 0.3) = 9.3\text{m}\Omega$ です。220 $\mu\text{F} / 2.5\text{V}$  パナソニックSPコンデンサを5つ並列に接続すると、3m $\Omega$ (max)のESRが得られます。この場合、標準の複合ESRは48kHzでゼロになります。

安定性の保証を考慮せずに、大きな値を持つセラミックコンデンサを出力の両端に直接取り付けるとは避けて下さい。値の大きなセラミックコンデンサはESRゼロ周波数が高く、不規則で不安定な動作になります。この場合、インダクタとFBピンのジャンクションから数cm程度下流の場所にコンデンサを配置すると、十分な直列抵抗を容易に追加できます。

不安定な動作は、ダブルパルス及び高速フィードバックループ不安定性といった関連性はあっても全く異なる2つの問題として現れます。

ダブルパルスは、出力のノイズが原因で発生するか、ESRが低すぎて出力電圧信号に十分な電圧の上昇が得られないことが原因で発生します。この結果、最小オフ時間期間が経過した直後に、新しいサイクルが誤差コンパレータによって誤って開始されます。ダブルパルスは有害であるというよりも厄介で、出力リップルの増大を除いて悪影響はありません。但し、ESRが不十分なことに起因してループ不安定性が生じている可能性があります。

ループ不安定性は、ライン又は負荷変動後の出力に発振を起こし、このために出力が許容範囲の上又は下に外れることがあります。

安定性をチェックする最も簡単な方法は、非常に速いゼロから最大への負荷トランジェントを与え、出力電圧リップルエンベロープのオーバシュート及びリングングを観察する方法です。この場合、AC電流プローブでインダクタ電流を同時に監視できます。最初のステップ応答アンダーシュート又はオーバシュート後は、リングングを1サイクルより多く発生させないで下さい。

## 入力コンデンサの選択

入力コンデンサは、スイッチング電流に必要な以下の式で定義されるリップル電流条件( $I_{RMS}$ )を満足する必要があります。

$$I_{RMS} = I_{LOAD} \frac{\sqrt{V_{OUT}(V_{+} - V_{OUT})}}{V_{+}}$$

入力と直列に機械式スイッチ又はコネクタを備えたシステムに見られる突入サージ電流への耐性から、殆どのアプリケーションにはタンタル以外のコンデンサ(セラミック、アルミ、又はOS-CON)が適切です。MAX1716/MAX1854/MAX1855が2ステージコンバータの2ステージ目として使用されている場合は、タンタルを入力コンデンサとして使用することが可能です。いずれの場合も、回路の信頼性をよくするため、ピークリップル電流における温度上昇が+10 以下のコンデンサを選択して下さい。

## パワーMOSFETの選択

ここで示すMOSFETガイドラインは、高電圧(> 20V) ACアダプタを使用した時に高負荷電流能力(> 18A)を得ることに焦点を置いています。低電流アプリケーションでは、通常これ程注意する必要はありません。

最大の効率を得るには、ハイサイドMOSFET(Q1)として平均入力電圧(3 Li+セル=11V、4 Li+セル=14V)で導通損失がスイッチング損失と同じになるものを選択します。さらに、最大及び最小入力電圧における導通損失にスイッチング損失を加えた値がパッケージ定格を超えないこと、又は全体的な熱許容量に違反しないことを確認して下さい。

ローサイドMOSFETとしては、 $R_{DS(ON)}$ が最低で、中型パッケージ(1~2つのSOP-8、DPAK、D<sup>2</sup>PAK等)で提供される妥当な価格のものを選択します。DLゲートドライバがゲートチャージ及びハイサイドMOSFETのターンオンによって寄生ゲート・ドレインコンデンサに注入される電流を十分供給できることを確認して下さい。これを怠ると、クロスコンダクションの問題が発生することがあります。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

## MOSFETの電力消費

最悪条件下における導通損失は、極端なデューティ係数で発生します。ハイサイドMOSFET(Q1)では、次に示すように最小入力電圧で、抵抗による電力消費が最悪になります。

$$PD(Q1 \text{ 抵抗性}) = (V_{OUT}/V_{+}) \times I_{LOAD}^2 \times R_{DS(ON)}$$

一般に、高い入力電圧でスイッチング損失を低減するには、小さなハイサイドMOSFETが望ましくなります。しかし、MOSFETをどれだけ小さくできるかは、パッケージ電力消費リミットを守るために必要な $R_{DS(ON)}$ によってしばしば制限されます。最適なのは、上でも述べたようにスイッチング損失と導通( $R_{DS(ON)}$ )損失が等しい時です。通常、入力が約15Vを超えない限り、ハイサイドスイッチング損失が問題になることはありません。

ターンオン時間とターンオフ時間に影響する要因は数量化が難しいため、スイッチング損失によるハイサイドMOSFET(Q1)の電力消費を計算するのは困難です。これらの要因としては、内部ゲート抵抗、ゲートチャージ、スレッシュホールド電圧、ソースインダクタンス、及びプリント基板のレイアウト特性があります。次に示すスイッチング損失の計算式は概算であって、ブレッドボード評価に代わるものではありません。ブレッドボード評価には、Q1に取り付けた熱電対を使用した確認チェックを含めることを推奨します。

$$PD(Q1 \text{ SWITCHING}) = \frac{C_{RSS} V_{+}^{(MAX)^2} f_{SW} I_{LOAD}}{I_{GATE}}$$

ここで、 $C_{RSS}$ はQ1の逆伝達容量、 $I_{GATE}$ はゲートドライブソース/シンクピーク電流(1A typ)を示します。

ハイサイドMOSFETのスイッチング損失は、最大ACアダプタ電圧が印加された時に深刻な熱の問題を起こすことがあります。これは $C \times V^2 \times f_{SW}$ スイッチング損失の式の二乗項が原因です。低バッテリー電圧で十分な $R_{DS(ON)}$ が得られるように選択したハイサイドMOSFETが、 $V_{+(MAX)}$ によって極端に熱くなる場合は、MOSFETを寄生容量の小さなものに換える必要があります。

ローサイドMOSFET(Q2)に関しては、次に示すように常に最大入力電圧で電力消費が最悪になります。

$$PD(Q2 \text{ 抵抗性}) = \left[ 1 - \frac{V_{OUT}}{V_{+(MAX)}} \right] I_{LOAD}^2 R_{DS(ON)}$$

最悪のMOSFET電力消費が発生するのは、 $I_{LOAD(MAX)}$ を超えている一方で、電流リミットを超えてフォルトラッチをトリップする程大きくはない重負荷がかかっている場合です。これに対する保護対策としては、次式

の $I_{LOAD}$ に耐えるように回路を“オーバデザイン”することが必要です。

$$I_{LOAD} = I_{LIMIT(HIGH)} + (I_{LOAD(MAX)} \times LIR/2)$$

ここで、 $I_{LIMIT(HIGH)}$ はスレッシュホールド公差及びオン抵抗変動を含め、電流リミット回路に許される最大谷間電流を示します。過負荷時の電力消費に対応するには、MOSFETのヒートシンクをかなりうまく行わなければなりません。

デッドタイム中にローサイドMOSFETボディダイオードがオンになるのを防止するには、順方向電圧が十分低いショットキダイオード(D1)を選択して下さい。原則として、DC電流定格が負荷電流の1/3に等しいダイオードで十分です。このダイオードはオプションで、効率が重要でない場合は省略して構いません。

## 電圧ポジショニング(VPS)の設定

電圧ポジショニングは、負荷電流に対応して出力電圧の設定点を動的に変更させます。出力に負荷がかかると、VPS入力からのフィードバック信号によって出力電圧の設定点が調整され、電力消費が減少します。この制御ループの負荷過渡応答は非常に速くなっていますが、よく制御されているために電圧変化量はマイクロプロセッサの電源ガイドラインで指定されている限界内に正確に維持されます。出力電圧を動的に調整することによる利点については、「電圧ポジショニング及び実効効率」を参照して下さい。

電圧変化量は、値の小さな検出抵抗( $R_{SENSE}$ )によって設定されます。この抵抗をローサイドMOSFETのソースとPGNDの間に配置して下さい。この抵抗の両端の電圧( $V_{VPS}$ )と出力電圧の関係は次のようになります。

$$V_{OUT} = V_{OUT(Prog)}(1 + A_{VPS} V_{VPS})$$

ここで、 $V_{OUT(Prog)}$ はDACコード(表5)によって設定された出力電圧、電圧ポジショニング利得係数( $A_{VPS}$ )は0.175%/mVです(「Electrical Characteristics」を参照)。MAX1716/MAX1854/MAX1855は電圧ポジショニングを設定出力電圧の10%以下と2%以上の間に制限する内部クランプを備えています。

VPSの電圧の設定にはいろいろな方法があります。VPSを1kΩ抵抗を通じてCSに直接接続するか、あるいは抵抗分圧器を通じて接続して下さい。CSに直接接続する場合、出力電圧の設定は次のようになります。

$$V_{VPS} = V_{CS} = -I_{LOAD} R_{SENSE}(1 - D)$$

ここで、 $D = V_{OUT}/V_{+}$ はレギュレータのデューティサイクルです。しかし、出力電圧と入力電圧の間の比は通常比較的大きいため、デューティ係数が回路性能に与える影響はそれほど大きくありません。このため、



# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

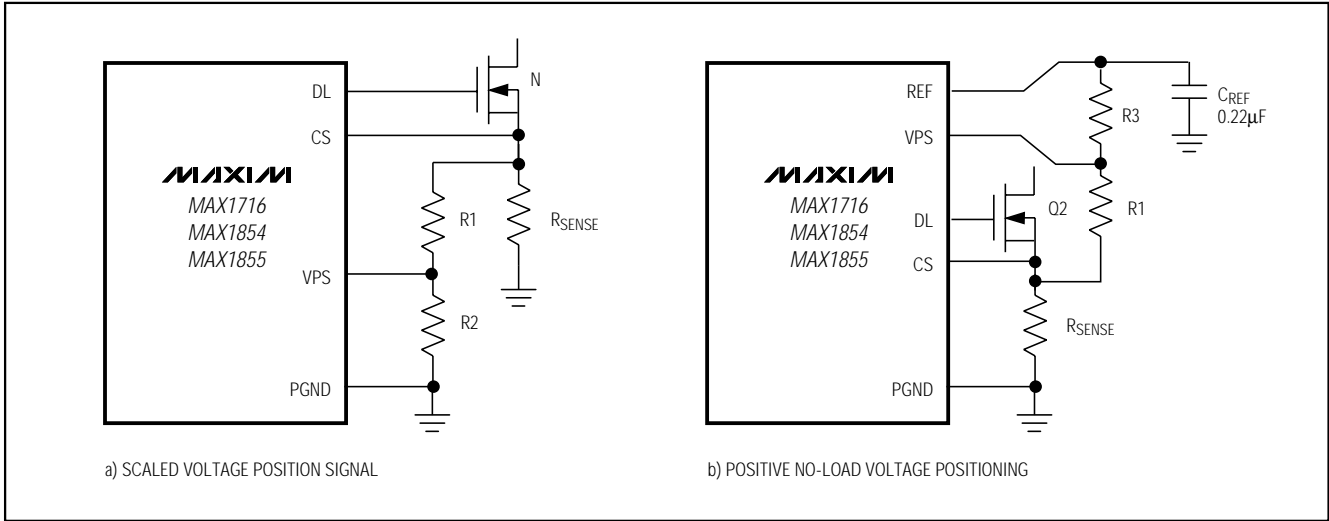


図6. 電圧ポジショニング構成

電圧ポジショニング出力の完全な表現は、電流検出抵抗と負荷電流の値のみに依存します。

$$V_{OUT} \approx V_{OUT(Prog)}(1 - A_{VPS}I_{LOAD}R_{SENSE})$$

アプリケーションによっては、出力電圧が負荷仕様内に留まることを保証するために正のオフセットを必要とする場合があります。正のオフセットは、REFとVPSとCSの間に抵抗分圧器を接続することによって生成することができます(図6a)。R1を1kΩに設定し、次式でR3を計算して下さい。

$$R3 = R1 \left[ \frac{V_{REF}A_{VPS}V_{OUT(Prog)}}{V_{OFFSET}} - 1 \right]$$

ここで、 $V_{REF}$ は2.0V(typ)、 $V_{OFFSET}$ は必要な正オフセット電圧です。電圧ポジショニング信号を減衰させる場合は、R1をR1とR2の並列合成( $R1/R2$ )で置換して下さい(R2が減衰抵抗です)(図6b)。

負荷トランジェントの直後に出力は $ESR_{COUT} \times I_{LOAD}$ だけ変化します。負荷依存性の電圧ポジションをこの初期負荷ステップに一致させると、出力電圧は $ESR_{COUT} \times I_{LOAD}$ だけ変化して、負荷が変化しない限りそのまま留まります(「電圧ポジショニング及び実効効率」を参照)。電圧ポジショニングを、出力コンデンサのESRによって生成される初期電圧降下に設定するためには、 $R_{SENSE} = ESR_{COUT} / (V_{OUT(Prog)} \times A_{VPS})$ を選択して下さい。

これより大きな電流検出抵抗を使用するアプリケーションにおいては、CSとVPSとPGNDの間に抵抗分圧器

を接続することによって $V_{VPS}$ を調整して下さい(図6b)。R1を1kΩに設定し、次式でR2を計算して下さい。

$$R2 = R1 \left[ \frac{ESR_{COUT}}{A_{VPS}V_{OUT(Prog)}R_{SENSE} - ESR_{COUT}} \right]$$

MAX1716/MAX1854/MAX1855の電圧ポジショニング回路は、従来の回路と比べていくつかの利点を持っています。従来の回路においては、検出点に固定電圧オフセットを加えて、値の小さな抵抗を出力と直列に使っていました。この新しい回路では、同じ電流検出抵抗を電圧ポジショニングと電流リミット検出の両方に使うことができます。これにより、正確な電流制限と電圧ポジショニングが同時に実現できます。新しい回路は出力電圧を制御ループ内で調整するため、電圧ポジショニング信号を内部で増幅することができます。利得が大きくなると値の小さな電流検出抵抗を使用できるため、この検出抵抗の電力消費は出力と直接直列に接続された単一の抵抗よりも大幅に小さくなります。

## 電圧ポジショニングの補償(CC)

電圧ポジショニング補償コンデンサは増幅されたVPS信号をフィルタリングするため、ユーザは電圧ポジショニングループの動的特性を調整できます。このノードにおけるインピーダンスは約200kΩであるため、このノードのポールは $1/(2 \times \pi \times RC)$ で近似することができます。応答時間は、CCとGNDの間に接続された47pF~1000pFのコンデンサで調整されます。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

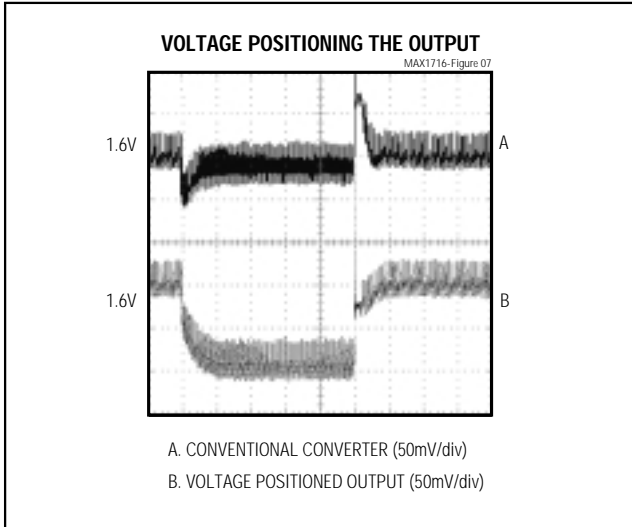


図7. 出力の電圧ポジショニング

## アプリケーション

### 電圧ポジショニングと実効効率

新しいモバイルプロセッサのコスト、サイズ及び電力消費を低減するには、細部まで注意する必要があります。CPUの消費電力が大きくなるに従い、最高速のDC-DCコンバータでも過渡電力必要条件を満たすことができないことが認識されてきました。負荷トランジェントの後、出力は直ちに  $ESR_{COUT} \times I_{LOAD}$  だけ変化します。従来のDC-DCコンバータは、負荷トランジェントが起こった後で出力電圧を通常状態まで安定化させることによって対応します(図7)。しかし、CPUは出力電圧が仕様の最小値より上に留まることを要求しているだけです。出力電圧を動的にこの下限に持つてくることにより、出力コンデンサの数を減らし、負荷がある時の消費電力を低減できます。

従来の(非電圧ポジショニング)回路においては、全電圧変化は次のようになります。

$$V_{P-P1} = 2 \times (ESR_{COUT} \times \Delta I_{LOAD}) + V_{SAG} + V_{SOAR}$$

ここで、 $V_{SAG}$ 及び $V_{SOAR}$ は図8で定義されています。負荷がある時に低めの電圧で安定化するようにコンバータを設定することにより、出力電流が突然減少した時に大きな電圧ステップを許容できるようになります(図7)。このため、電圧ポジショニング回路の全電圧変化は次のようになります。

$$V_{P-P2} = (ESR_{COUT} \times \Delta I_{LOAD}) + V_{SAG} + V_{SOAR}$$

ここで、 $V_{SAG}$ 及び $V_{SOAR}$ は「設計手順」で定義されています。いずれの回路においても振幅は同じであるため

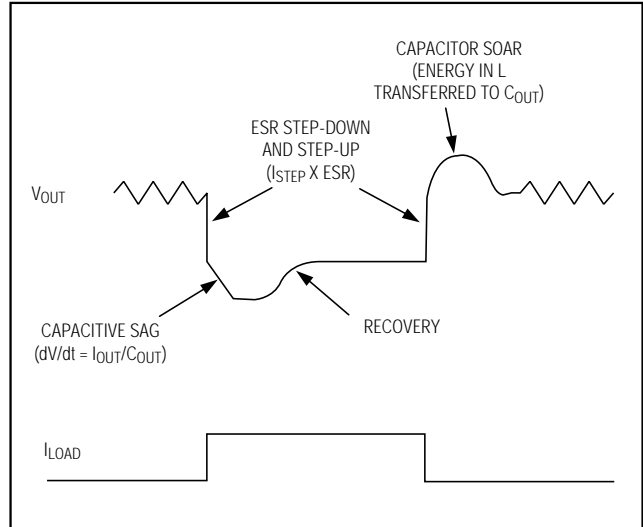


図8. 過渡応答の領域

( $V_{P-P1} = V_{P-P2}$ )、電圧ポジショニング回路は2倍のESRを許容します。ESR仕様を満たすにはいくつかのコンデンサを並列に接続するため、電圧ポジショニング回路の場合は数が少なく済みます。

電圧ポジショニングのもう1つの利点は、負荷電流が大きい時の消費電力が減少することです。負荷がある時に出力電圧が小さくなるため、( $R_{SENSE}$ である程度余分の電力が消費されますが)CPUの消費電流が小さくなります。公称1.6V、18A出力( $R_{LOAD} = 89m\Omega$ )の時、出力電圧を2.9%減少させると、出力電圧が1.55V、出力電流が17.44Aになります。これらの値から計算すると、CPUの消費電力は28.8Wから27.03Wに減少します。 $R_{SENSE}$ による消費電力の増加分は、

$$2.5m\Omega \times (17.44A)^2 = 0.76W$$

このため、全体的な電力節約量は次のようになります。

$$28.8W - (27.03W + 0.76W) = 1.01W$$

実効的には1.8WのCPU電力消費が節約され、節約分のかなりの部分が電源で消費されます。しかし、正味の節約分があること及び発熱場所をCPUから遠ざけるという両方の意味でこれは利点となります。実効効率は、所与のCPU動作条件において、電圧ポジショニング回路の全電力消費と同じ消費量を非電圧ポジショニング回路で実現した場合に必要な効率として定義されます。

実効効率は次のようにして計算して下さい。

- 1) ポジショニングされた回路の効率データ( $V_{IN}$ 、 $I_{IN}$ 、 $V_{OUT}$ 、 $I_{OUT}$ )から出発します。
- 2) 各データポイントの負荷抵抗をモデル化します。

$$R_{LOAD} = V_{OUT} / I_{OUT}$$

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

- 3) 非ポジショニングアプリケーションの各R<sub>LOAD</sub>データポイントにおいて存在すると思われる出力電流を計算します。

$$I_{NP} = V_{NP} / R_{LOAD}$$

ここで、(この例において)V<sub>NP</sub> = 1.6Vです。

- 4) 実効効率を次のようにして計算します。

実効効率 = (V<sub>NP</sub> × I<sub>NP</sub>) / (V<sub>IN</sub> × I<sub>IN</sub>) = 計算された非ポジショニング電力出力を測定された電圧ポジショニング電源入力で割った値。

- 5) この実効データポイントを非ポジショニング電流(I<sub>NP</sub>)のところにプロットします。

電圧ポジショニング回路の実効効率は「標準動作回路」に示されています。

## ドロップアウト性能

連続導通動作の出力電圧調整範囲は、固定500ns(max)最小オフタイムワンショットによって制限されます。最も優れたドロップアウト性能を得るには、最も遅い(200kHz)オン時間設定を使用します。低入力電圧における動作時は、オン時間及びオフ時間として最悪の値を使ってデューティ係数リミットを計算する必要があります。製造公差及び内部伝播遅延は、TON Kファクタに誤差を発生します。この誤差は、周波数が高い程大きくなります(表3)。又、ドロップアウト付近で動作させた時のバックレギュレータの過渡応答性能は低く、大容量出力コンデンサの追加が必要になることが一般的です(「設計手順」の項のV<sub>SAG</sub>式を参照)。

絶対的なドロップアウト点は、インダクタ電流がオン時間に直線的に増加する(I<sub>UP</sub>)のと同じだけ最小オフ時間の間に直線的に減少する(I<sub>DOWN</sub>)時です。比h = I<sub>UP</sub> / I<sub>DOWN</sub>は、負荷の増加にตอบสนองしてインダクタ電流を増加させる能力の指標です。この値は常に1を超えていなければなりません。hが1(絶対最小ドロップアウト点)に近づくにつれて、インダクタ電流が各スイッチングサイクルで増加できにくくなり、出力容量を追加しない限りV<sub>SAG</sub>が著しく増加します。

hの妥当な最小値は1.5ですが、これを上下に調整することにより、V<sub>SAG</sub>、出力容量及び最小動作電圧の間の妥協点を求めることができます。hの値が与えられている時の最小動作電圧は次のようになります。

$$V_{IN(MIN)} = \left[ \frac{V_{OUT} + V_{DROP1}}{1 - \left( \frac{t_{OFF(MIN)}h}{K} \right)} \right] + V_{DROP2} - V_{DROP1}$$

ここで、W<sub>DROP1</sub>及びV<sub>DROP2</sub>は放電及び充電経路における寄生電圧降下(「オンタイムワンショット」を参照)、t<sub>OFF(MIN)</sub>は「Electrical Characteristics」の表から、Kは表3から得ています。絶対最小入力電圧はh = 1で計算されています。

V<sub>IN(MIN)</sub>の計算値が必要な最小入力電圧よりも大きい場合は、動作周波数を低減するか、あるいは許容されるV<sub>SAG</sub>を得るために出力容量を追加して下さい。ドロップアウト付近の動作が予想される場合は、適切な過渡応答を保証するためにV<sub>SAG</sub>を計算して下さい。

ドロップアウト設計例：

$$V_{OUT} = 1.6V$$

$$f_{SW} = 550kHz$$

$$K = 1.8\mu s, \text{ワーストケースの} K = 1.58\mu s$$

$$t_{OFF(MIN)} = 500ns$$

$$V_{DROP1} = V_{DROP2} = 100mV$$

$$h = 1.5$$

$$V_{IN(MIN)} = [(1.6V + 0.1V) / (1 - (0.5\mu s \times 1.5 / 1.58\mu s))] + 0.1V - 0.1V = 3.2V$$

今度はh = 1で計算すると、ドロップアウトの絶対リミットが得られます。

$$V_{IN(MIN)} = [(1.6V + 0.1V) / (1 - (0.5\mu s \times 1.0 / 1.58\mu s))] + 0.1V - 0.1V = 2.5V$$

このように、非常に大きな出力容量を使った場合でもV<sub>IN</sub>は2.5Vより大きい必要があり、妥当な出力容量を使った場合の実用的な入力電圧は3.2Vです。

## 抵抗分圧器によるV<sub>OUT</sub>の調整

出力電圧は、DACではなくて抵抗分圧器を使って調整することも可能です(図9)。この方法の短所は、出力電圧レベルが変化する時にオン時間が自動的に適正な補償を受けられないということです。このため、抵抗比が変更される度にスイッチング周波数が変わったり、スイッチング周波数が過剰になったりします。出力電圧は次式に従って調整されます。

$$V_{OUT} = V_{FB} (1 + R1 / (R2 \parallel R_{INT}))$$

ここで、V<sub>FB</sub>はその時選択されているDAC値、R<sub>INT</sub>はFBの入力抵抗です。抵抗調整式の回路においては、スイッチング周波数のシフトを最小限に抑えるためにDACコードを実際出力電圧にできるだけ近く設定して下さい。

## 2Vより高いV<sub>OUT</sub>の調整

オンタイムを入力電圧に依存させるフィードフォワード回路は、V<sub>+</sub>、I<sub>LOAD</sub>及びDACコードが変化してもスイッチング周波数をほぼ一定に保ちます。この機能はFBが出力に直接接続されている限り非常にうまく作動

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

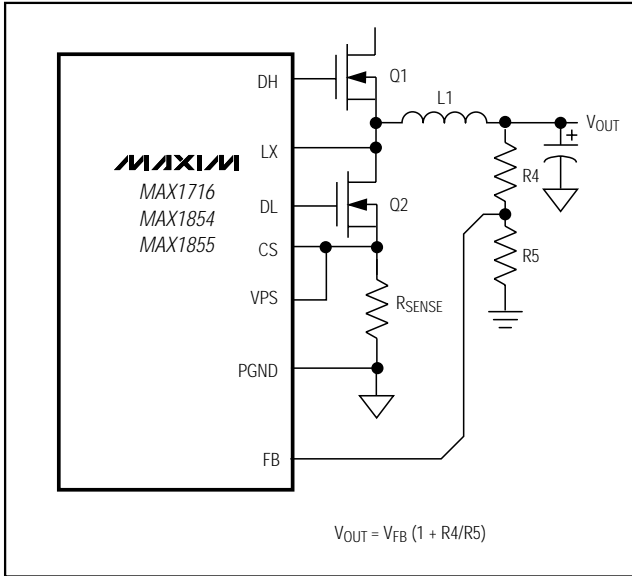


図9. 抵抗分圧器によるV<sub>OUT</sub>の調整

します。出力が抵抗分圧器で調整されている場合、スイッチング周波数は分圧比の逆数に比例して増加します。

この周波数変化は、バッテリー検出入力(V+)に抵抗分圧器を付加することによって補償することができます。バッテリー電圧とMAX1716/MAX1854/MAX1855のV+の間出力分圧器と同じ減衰係数の抵抗分圧器を接続して下さい。V+入力の公称入力インピーダンスは600kΩですから、抵抗値を選択する時はこれを考慮に入れて下さい。

## 1ステージ(バッテリー入力)対2ステージ (5V入力)アプリケーション

MAX1716/MAX1854/MAX1855は直接バッテリー接続で使用すること(1ステージ)も、安定化5V電源で駆動すること(2ステージ)もできます。いずれの方法にも利点があるため、最終的な設計を選ぶ時には十分検討して下さい。

1ステージ法は5V電源への要求条件が軽減されるため、全インダクタサイズが小さくなり、コンデンサの数が少なくなります。また、1ステージ法はインダクタ電流を速く増加させることができるため、過渡応答が良くなります。1ステージ法の全効率は2ステージ法よりも良くなります。

2ステージ法は、回路サイズが小さくて局所的な電力消費が小さいため、柔軟な配置が可能です。すなわち、電源をCPUの近くに配置することによりレギュレーションを改善すると共にプリント基板トレースによるI<sup>2</sup>R損失を低減できます。2ステージ設計は1ステージ設計よりも過渡応答が遅くなりますが、電圧ポジショニングコンバータの使用によってこれを相殺することが可能です。

## セラミック出力コンデンサアプリケーション

セラミックコンデンサには長所と短所があります。これらはESRが非常に低く、非燃焼性で、比較的小型であるうえ無極性です。その反面、高価でもろく、超低ESR特性によってESRゼロ周波数が異常に高くなることがあります。しかも、容量が比較的小さいために、小さなインダクタ値を使用するか(高スイッチング周波数)あるいはバルクのタンタル又は電解コンデンサを並列に接続してインダクタに溜まったエネルギーを吸収させないと、急に全負荷から無負荷状態に遷移した時に出力オーバーシュートが発生することもあります。場合によっては、電解コンデンサ用のスペースがないこともあり、セラミックだけを使用するDC-DC設計が必要になります。

MAX1716は、電圧ポジショニング回路においてセラミック出力コンデンサの小型性と低ESR性をフルに活かすことができます。ポジショニング抵抗の付加によってFBにおけるリップルが増加するため、セラミック出力コンデンサの実効ESRゼロ周波数が低くなります。

最小出力容量条件は出力オーバーシュート(V<sub>SOAR</sub>)によって決まります(「出力コンデンサの選択」を参照)。負荷ステップの回復時にインダクタからコンデンサに伝送されるエネルギーを最小にするために、周波数を400kHz~550kHzに増やす場合がよくあります。300kHz電圧ポジショニング回路と比較した場合、400kHz動作の場合の効率低下は2~3%、550kHz動作の場合は5%程度です。この効率低下の主な原因は、ハイサイドMOSFETのスイッチング損失にあります。

表1及び「標準動作特性」に示す回路はセラミックコンデンサを使用し、スイッチング周波数が550kHzとなっています(図13)。

## プリント基板レイアウトのガイドライン

低スイッチング損失及びクリーンで安定した動作を達成するには、プリント基板のレイアウトに注意が必要です。特に、スイッチング電力段には細心の注意が必要です(図10)。できれば全ての電力部品をボードの上面に実装し、グランド端子が互いにぴったり接触するようにします。良好なプリント基板レイアウトを達成するには、次のガイドラインに従って下さい。

- 1) 大電流経路は特にグランド端子部で短くします。これは、ジッタのない安定した動作を得る上で重要です。
- 2) 全てのアナロググランドを分離したパターンに接続し、そのパターンをMAX1716/MAX1854/MAX1855のGNDピンに接続して下さい。これにはV<sub>CC</sub>、REF及びCCコンデンサ、さらにFBとILIMに接続された抵抗分圧器が含まれます。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

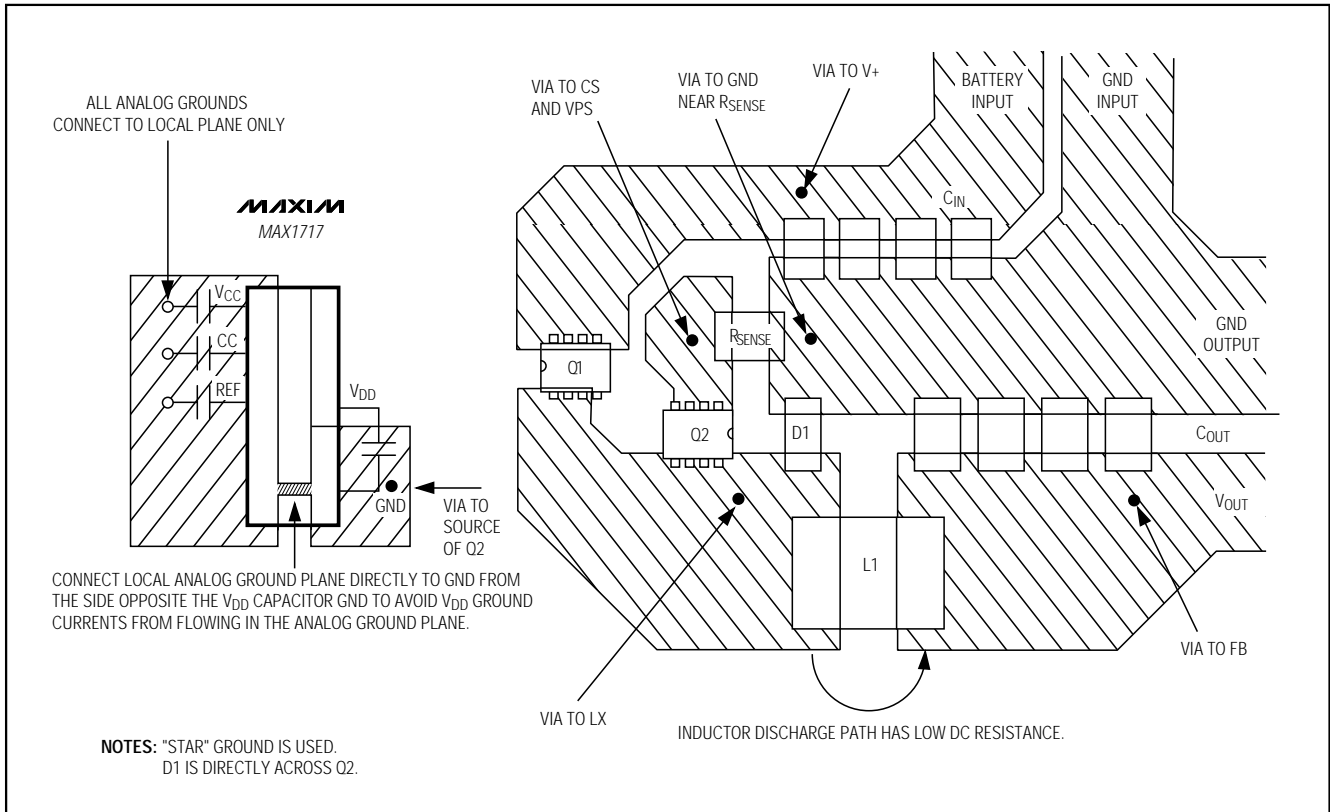


Figure 10. Power-Stage PC Board Layout Example

- 電源トレース及び負荷接続は短くして下さい。これは、高効率を達成する上で重要です。厚い銅のプリント基板(2オンス対1オンス)を使用すると、全負荷時の効率が1%以上向上します。プリント基板のトレースの配線はミリメートル単位の違いを考慮しなければならないため、容易な作業ではありません。トレース抵抗が1ミリオーム大きくなると、効率の低下が測定値に現れます。
- 電流リミット用のCS及びPGND接続は、電流リミットの精度を保証するためにケルビン検出接続を使用する必要があります。
- トレース長に妥協が必要な場合は、インダクタ放電経路よりも充電経路の方を長くします。例えば、インダクタとローサイドMOSFETの間又はインダクタと出力フィルタコンデンサの間よりも、入力コンデンサとハイサイドMOSFETの間の経路を長くするのが適切です。

- 出力へのFB接続は短く、まっすぐにして下さい。
- 高速スイッチングノードは敏感なアナログ領域(CC、REF、ILIM)から遠ざけて下さい。全てのプルアップ/ダウン処理(SKIP、SHDN、ILIM等)は、PGNDかVDDではなく、アナロググランドかVCCに行ってください。

## レイアウト手順

- グランド端子を隣接させ、電力部品を先に配置します(ローサイドMOSFETソース、CIN、COUT、D1アノード)。できればこれらの接続は全て最上層の隙間のない広い銅領域で行ってください。
- コントローラICをローサイドMOSFETの隣に配置します。DLゲートトレースは、短く太く(10~20平方)する必要があります(MOSFETがコントローラICから2.5cm離れている場合は、幅1.27mm~2.54mm)。

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

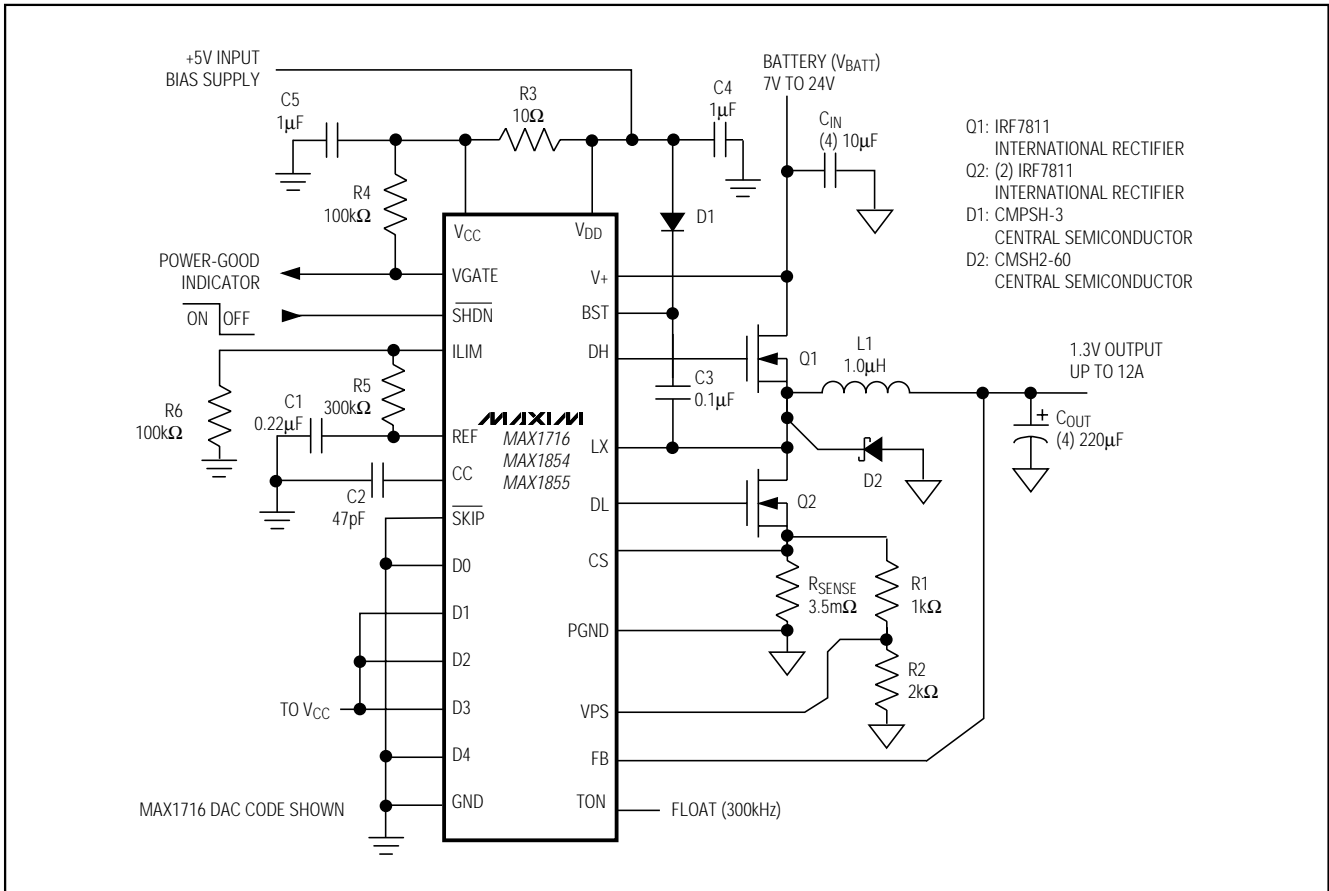


図11. 低電流アプリケーション(回路#2)

- 3) ゲート駆動部品(BSTダイオード及びコンデンサ、 $V_{DD}$ バイパスコンデンサ)は、コントローラICの近くでひとまとめにします。
- 4) DC-DCコントローラのグランド接続は図1のようにします。この図には、全ての大電力部品が集まる出力グランド、GNDピン及び $V_{DD}$ バイパスコンデンサ用のGNDプレーン、及び敏感なアナログ部品用のアナロググランドプレーンの3つのグランドプレーンが存在します。アナロググランドプレーン及びGNDプレーンは、ICの真下の一点においてだけ交差するようにして下さい。その後、これら2つのプレーンは、GNDからローサイドMOSFETのソース(星型グランドの中央)への短い接続で、大電力出力

グランドに接続します。又、この点を出力コンデンサのグランド端子の極めて近くにする必要があります。

- 5) 出力電力プレーン( $V_{CORE}$ 及びシステムグランドプレーン)を、複数ビアで出力フィルタコンデンサの正及び負端子に直接接続します。DC-DCコンバータ回路全体を、実用上可能な限りCPUの近くに配置して下さい。

## チップ情報

TRANSISTOR COUNT: 3729

# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

MAX1716/MAX1854/MAX1855

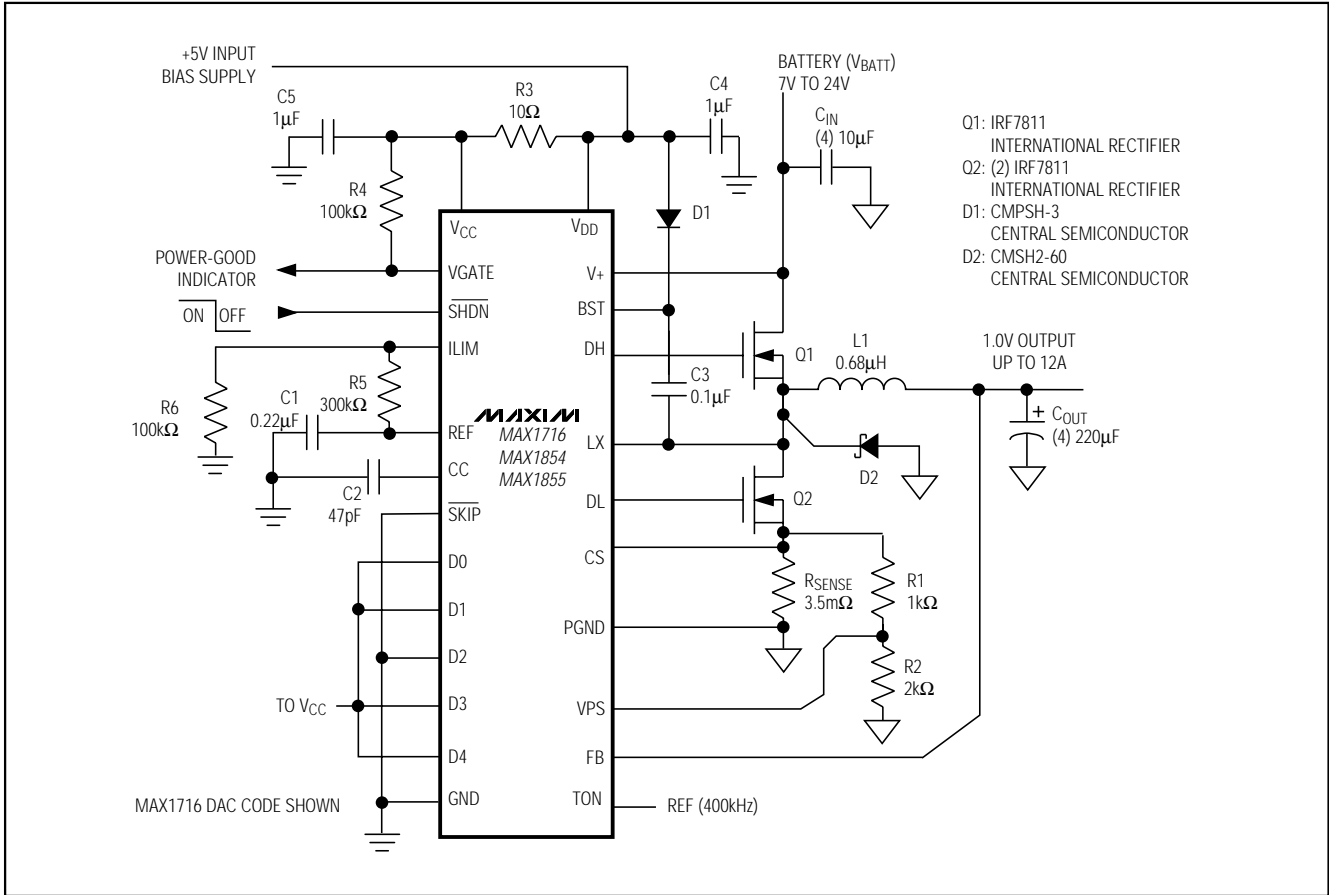


図12. 低電圧アプリケーション(回路#3)



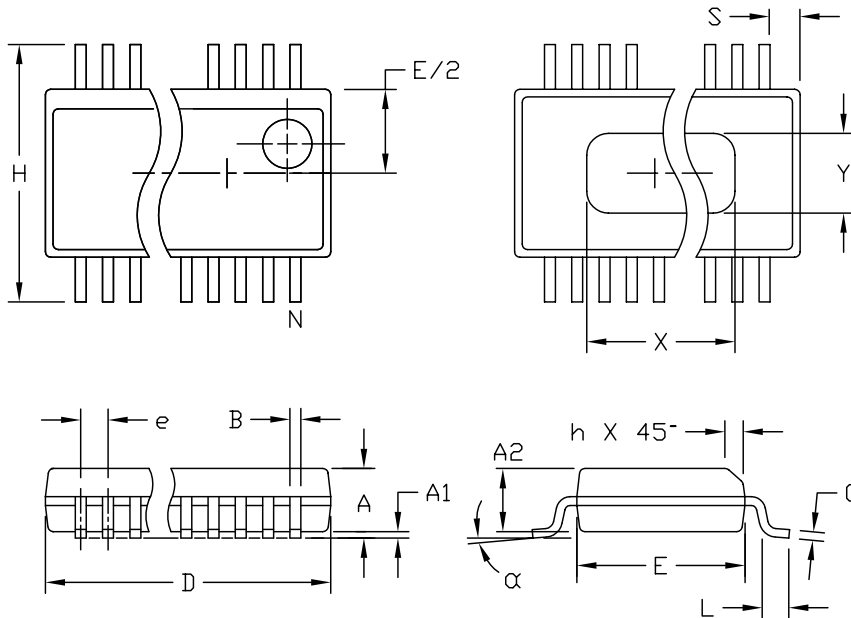


# 高速、可変、同期ステップダウンコントローラ、 電圧ポジショニング内蔵

パッケージ

MAX1716/MAX1854/MAX1855

QSOP EP5



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16   AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20   AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24   AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28   AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

- NOTES:
1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
  2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
  3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSDP PACKAGES.
  4. CONTROLLING DIMENSIONS: INCHES.
  5. MEETS JEDEC MO137.

**MAXIM**

PROPRIETARY INFORMATION

TITLE:

PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0055	C	

販売代理店

**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 33

© 2000 Maxim Integrated Products MAXIM is a registered trademark of Maxim Integrated Products.