

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### 概要

MAX17047/MAX17050は、クーロンカウンタの優れた短期的精度とリニアリティ、電圧ベースの残量ゲージの長期的安定性、および業界最高レベルの残量ゲージ精度を提供するための温度補償を組み合わせたMaximのModelGauge™ m3アルゴリズムを内蔵しています。ModelGauge m3は、クーロンカウンタのオフセット蓄積誤差を相殺するとともに、電圧のみに基づくあらゆる残量ゲージより優れた短期的精度を提供します。さらに、ModelGauge m3アルゴリズムでは時間の経過とともに少量の補正を継続的に行うため、クーロンカウンタアルゴリズムで通常発生する突発的な補正の問題がありません。

このデバイスは、経時劣化、温度、および放電率を自動的に補償し、広範囲の動作条件下でmAhまたは%単位で高精度な残容量値(SOC)、加えてエンプティまでの時間を提供します。このデバイスは、容量の減少とサイクル回数計という2つの方法でバッテリーの経時劣化を通知します。

このデバイスは、電流、電圧、および温度の高精度な測定値を提供します。バッテリーパックの温度は、補助入力のレシオメトリック測定でサポートされる外付けサーミスタを使用して測定します。2線式(I<sup>2</sup>C)インタフェースでデータおよび制御レジスタにアクセスすることができます。MAX17047は、鉛(Pb)フリー、10ピンTDFNパッケージ(3mm x 3mm)で提供されます。MAX17050は、0.4mmピッチの9ピンWLPパッケージで提供されます。

### アプリケーション

2.5G/3G/4G携帯電話	電子書籍リーダー
スマートフォン/PDA	デジタルスチルおよびビデオカメラ
タブレットおよびハンドヘルドコンピュータ	ポータブル医療機器
携帯ゲーム機	

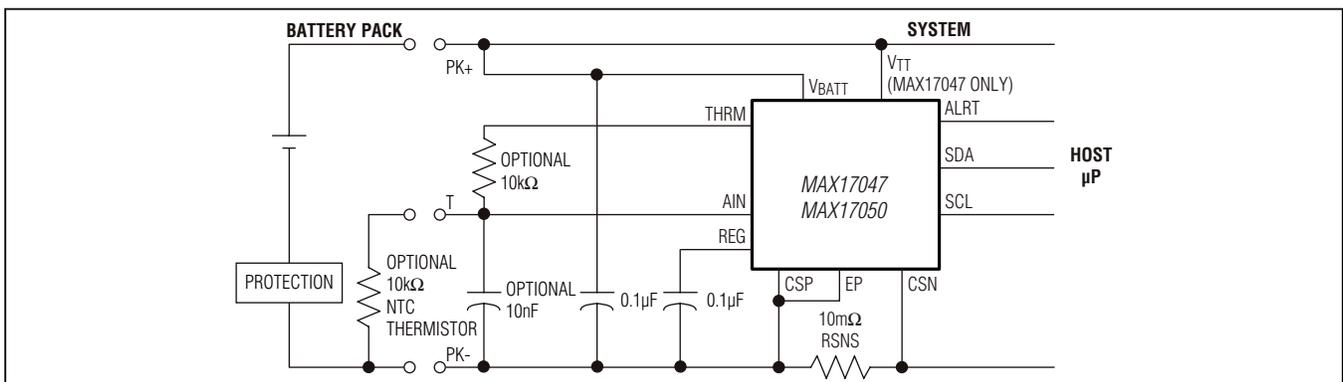
### 特長

- ◆ 高精度なバッテリー残容量とエンプティまでの時間の予測
  - ◇ 温度、経時劣化、および放電率の補償
  - ◇ 精度維持にエンプティ、フル、またはアイドル状態が不要
- ◆ 高精度測定システム
  - ◇ 較正不要
- ◆ ModelGauge m3アルゴリズム
  - ◇ 電圧残量ゲージによる長期的影響でクーロンカウンタのドリフトを相殺
  - ◇ クーロンカウンタの短期的影響で優れたリニアリティ
  - ◇ セル特性に適応
- ◆ 外部温度測定回路
  - ◇ アクティブに切替可能なサーミスタ抵抗分圧器で消費電流を低減
- ◆ 低静止時消費電流
  - ◇ アクティブ電流25μA、シャットダウン電流0.5μA以下
- ◆ SOC、電圧、温度、およびバッテリー挿脱時の警告表示
- ◆ 残容量のAtRate予測
- ◆ 2線式(I<sup>2</sup>C)インタフェース
- ◆ 小型、鉛(Pb)フリー、10ピンTDFNパッケージ(3mm x 3mm)または小型0.4mmピッチ9ピンWLPパッケージ

**型番**はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、[www.maximintegrated.com/jp/MAX17047](http://www.maximintegrated.com/jp/MAX17047)を参照してください。

### 簡略動作回路



ModelGaugeはMaxim Integrated Products, Inc.の商標です。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト ([www.maximintegrated.com/jp](http://www.maximintegrated.com/jp))をご覧ください。

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### ABSOLUTE MAXIMUM RATINGS

V <sub>BATT</sub> , SDA, SCL, ALRT to CSP .....	-0.3V to +6V
REG to CSP .....	-0.3V to +2.2V
V <sub>TT</sub> to CSP .....	-0.3V to +6V
THRM, AIN to CSP .....	-0.3V to (V <sub>TT</sub> + 0.3V)
CSN to CSP .....	-2V to +2V
Continuous Sink Current (V <sub>TT</sub> ) .....	20mA
Continuous Sink Current (SCL, SDA, ALRT) .....	20mA

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
TDFN (derate 24.4mW/°C above +70°C) .....	1951.2mW
WLP (derate 11.9mW/°C above +70°C) .....	952.0mW
Operating Temperature Range .....	-40°C to +85°C
Junction Temperature .....	+150°C
Storage Temperature Range .....	-55°C to +125°C
Lead Temperature (soldering 10s) .....	+300°C
Soldering Temperature (reflow) .....	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### PACKAGE THERMAL CHARACTERISTICS (Note 1)

TDFN	Junction-to-Ambient Thermal Resistance (θ <sub>JA</sub> ) .....	41°C/W	WLP	Junction-to-Ambient Thermal Resistance (θ <sub>JA</sub> ) .....	84°C/W
	Junction-to-Case Thermal Resistance (θ <sub>JC</sub> ) .....	9°C/W			

**Note 1:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to [www.maximintegrated.com/jp/thermal-tutorial](http://www.maximintegrated.com/jp/thermal-tutorial).

### ELECTRICAL CHARACTERISTICS

(V<sub>BATT</sub> = 2.5V to 4.5V, T<sub>A</sub> = -20°C to +70°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V <sub>BATT</sub>	(Note 3)	2.5		4.5	V
Supply Current	I <sub>DD0</sub>	Shutdown mode, T <sub>A</sub> ≤ +50°C		0.5	2	μA
	I <sub>DD1</sub>	Active mode, average current		25	42	
REG Regulation Voltage	V <sub>REG</sub>		1.5		1.9	V
Measurement Error, V <sub>BATT</sub>	V <sub>GERR</sub>	T <sub>A</sub> = +25°C		-7.5	+7.5	mV
				-20	+20	
Measurement Resolution, V <sub>BATT</sub>	V <sub>LSb</sub>			0.625		mV
V <sub>BATT</sub> Measurement Range	V <sub>FS</sub>		2.5		4.98	V
Input Resistance CSN, AIN			15			MΩ
Ratiometric Measurement Accuracy, AIN	T <sub>GERR</sub>		-0.5		+0.5	%
Ratiometric Measurement Resolution, AIN	T <sub>LSb</sub>			0.0244		% Full Scale
Current Register Resolution	I <sub>LSb</sub>			1.5625		μV
Current Full-Scale Magnitude	I <sub>FS</sub>			±51.2		mV
Current Offset Error	I <sub>OERR</sub>			±1.5		μV
Current Gain Error	I <sub>GERR</sub>		-1		+1	% of Reading
Time-Base Accuracy	t <sub>ERR</sub>	V <sub>DD</sub> = 3.6V at T <sub>A</sub> = +25°C	-1		+1	%
		T <sub>A</sub> = 0°C to +50°C	-2.5		+2.5	
		T <sub>A</sub> = -20°C to +70°C	-3.5		+3.5	

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{BATT} = 2.5V$  to  $4.5V$ ,  $T_A = -20^{\circ}C$  to  $+70^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
THRM Output Drive		$I_{OUT} = 0.5mA$	$V_{TT} - 0.1$			V
THRM Precharge Time	$t_{PRE}$		8.48			ms
SDA, SCL, ALRT Input Logic High	$V_{IH}$		1.5			V
SDA, SCL, ALRT Input Logic Low	$V_{IL}$		0.5			V
SDA, ALRT Output Logic Low	$V_{OL}$	$I_{OL} = 4mA$	0.4			V
SDA, ALRT Pulldown Current	$I_{PD}$	Active mode, $V_{SDA} = 0.4V$ , $V_{ALRT} = 0.4V$	0.05	0.2	0.4	$\mu A$
ALRT Leakage			1			$\mu A$
THRM Operating Range			2.5			$V_{TT}$ V
Battery-Removal Detection Threshold— $V_{AIN}$ Rising	$V_{DETR}$	$V_{THRM} - V_{AIN}$	40	125	200	mV
Battery-Removal Detection Threshold— $V_{AIN}$ Falling	$V_{DETF}$	$V_{THRM} - V_{AIN}$	70	150	230	mV
Battery-Removal Detection Comparator Delay	$t_{TOFF}$	$V_{AIN}$ step from 70% to 100% of $V_{THRM}$ to ALRT falling; Alrtp = logic 0; EnAIN = logic 1; FTHRM = logic 1	100			$\mu s$
External AIN Capacitance		$R_{THM} = 10k\Omega$ NTC	100			nF

### ELECTRICAL CHARACTERISTICS (2-WIRE INTERFACE)

( $2.5V \leq V_{BATT} \leq 4.5V$ ,  $T_A = -20^{\circ}C$  to  $+70^{\circ}C$ .) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	$f_{SCL}$	(Note 4)	0			400 kHz
Bus Free Time Between a STOP and START Condition	$t_{BUF}$		1.3			$\mu s$
Hold Time (Repeated) START Condition	$t_{HD:STA}$	(Note 5)	0.6			$\mu s$
Low Period of SCL Clock	$t_{LOW}$		1.3			$\mu s$
High Period of SCL Clock	$t_{HIGH}$		0.6			$\mu s$
Setup Time for a Repeated START Condition	$t_{SU:STA}$		0.6			$\mu s$
Data Hold Time	$t_{HD:DAT}$	(Notes 6, 7)	0			0.9 $\mu s$
Data Setup Time	$t_{SU:DAT}$	(Note 6)	100			ns
Rise Time of Both SDA and SCL Signals	$t_R$		20 + $0.1C_B$			300 ns

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### ELECTRICAL CHARACTERISTICS (2-WIRE INTERFACE) (continued)

( $2.5V \leq V_{BATT} \leq 4.5V$ ,  $T_A = -20^\circ C$  to  $+70^\circ C$ .) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Fall Time of Both SDA and SCL Signals	$t_f$		20 + $0.1C_B$		300	ns
Setup Time for STOP Condition	$t_{SU:STO}$		0.6			$\mu s$
Spike Pulse Widths Suppressed by Input Filter	$t_{SP}$	(Note 8)	0		50	ns
Capacitive Load for Each Bus Line	$C_B$	(Note 9)			400	pF
SCL, SDA Input Capacitance	$C_{BIN}$				60	pF

**Note 2:** Specifications are 100% tested at  $T_A = +25^\circ C$ . Limits over the operating range are guaranteed by design and characterization.

**Note 3:** All voltages are referenced to CSP.

**Note 4:** Timing must be fast enough to prevent the device from entering shutdown mode due to bus low for a period  $> 45s$  minimum.

**Note 5:**  $f_{SCL}$  must meet the minimum clock low time plus the rise/fall times.

**Note 6:** The maximum  $t_{HD:DAT}$  has only to be met if the device does not stretch the low period ( $t_{LOW}$ ) of the SCL signal.

**Note 7:** This device internally provides a hold time of at least 100ns for the SDA signal (referred to the minimum  $V_{IH}$  of the SCL signal) to bridge the undefined region of the falling edge of SCL.

**Note 8:** Filters on SDA and SCL suppress noise spikes at the input buffers and delay the sampling instant.

**Note 9:**  $C_B$ —total capacitance of one bus line in pF.

### I<sup>2</sup>Cバスのタイミング図

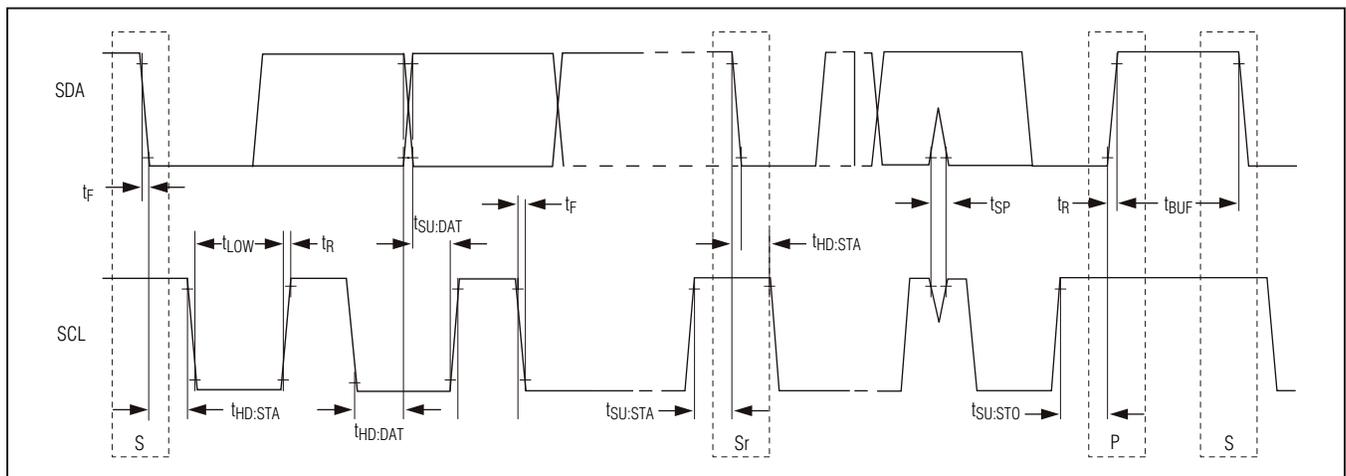


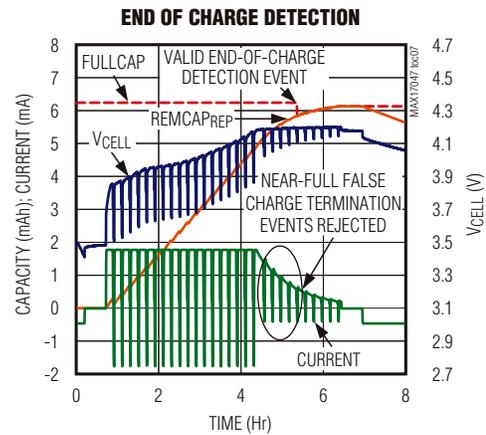
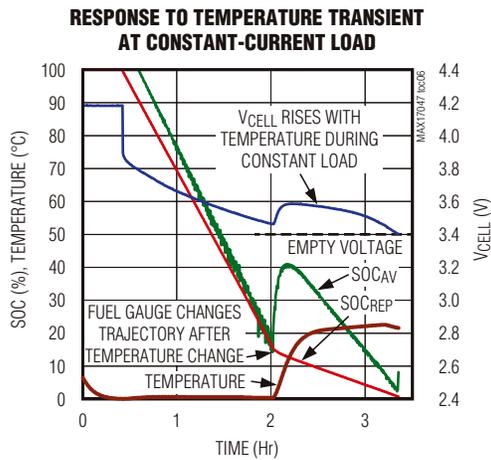
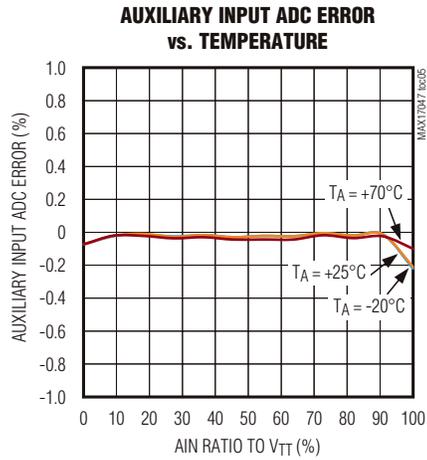
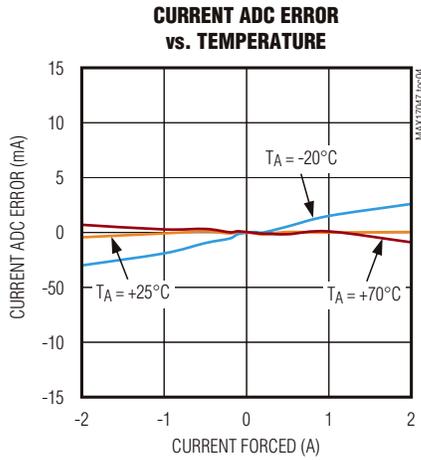
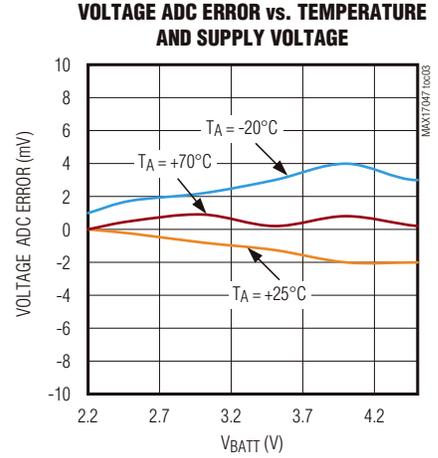
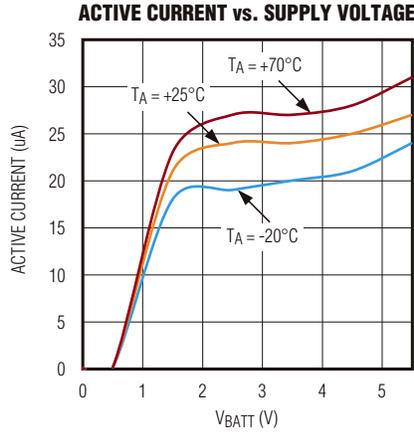
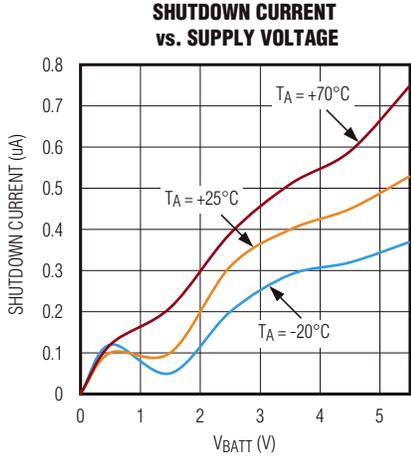
図1. I<sup>2</sup>Cバスのタイミング図

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### 標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

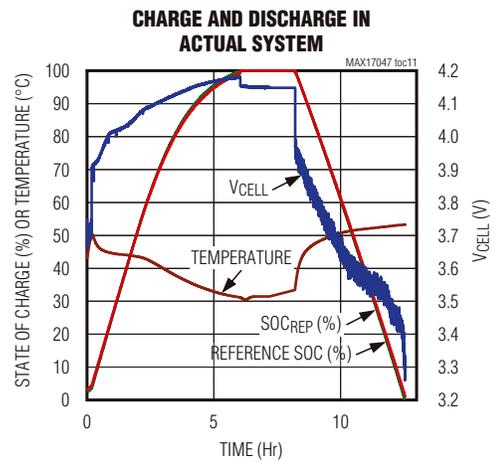
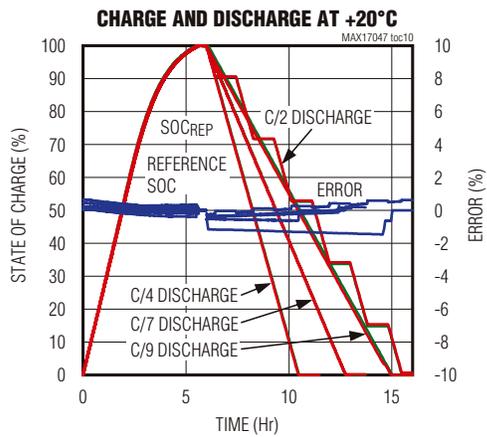
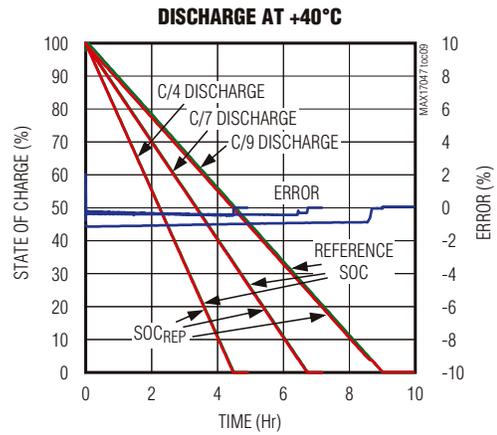
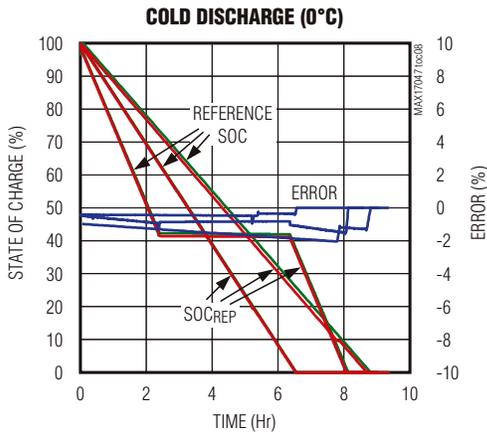


# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### 標準動作特性(続き)

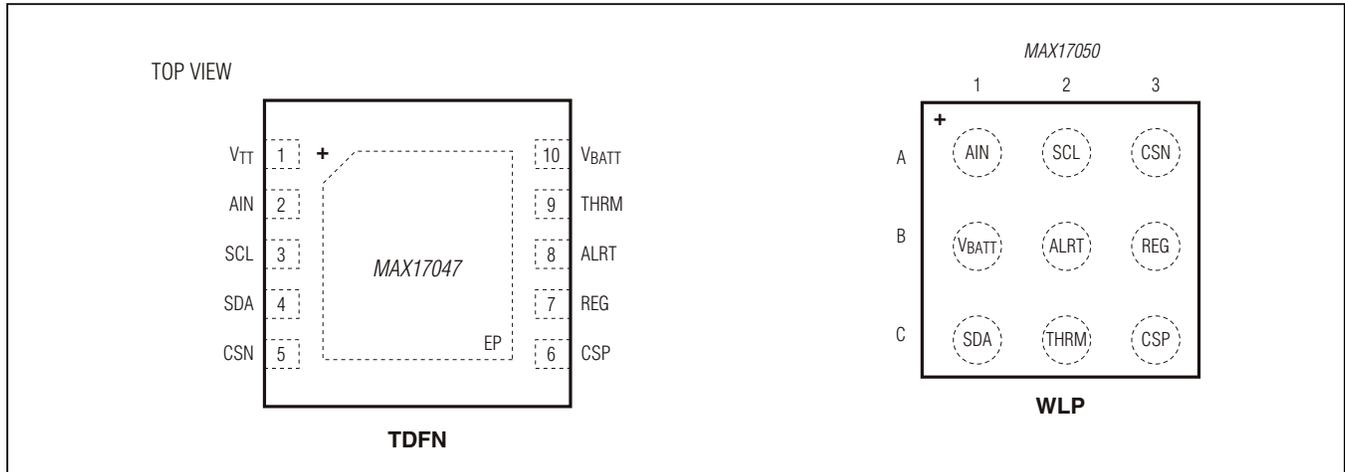
( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### ピン配置



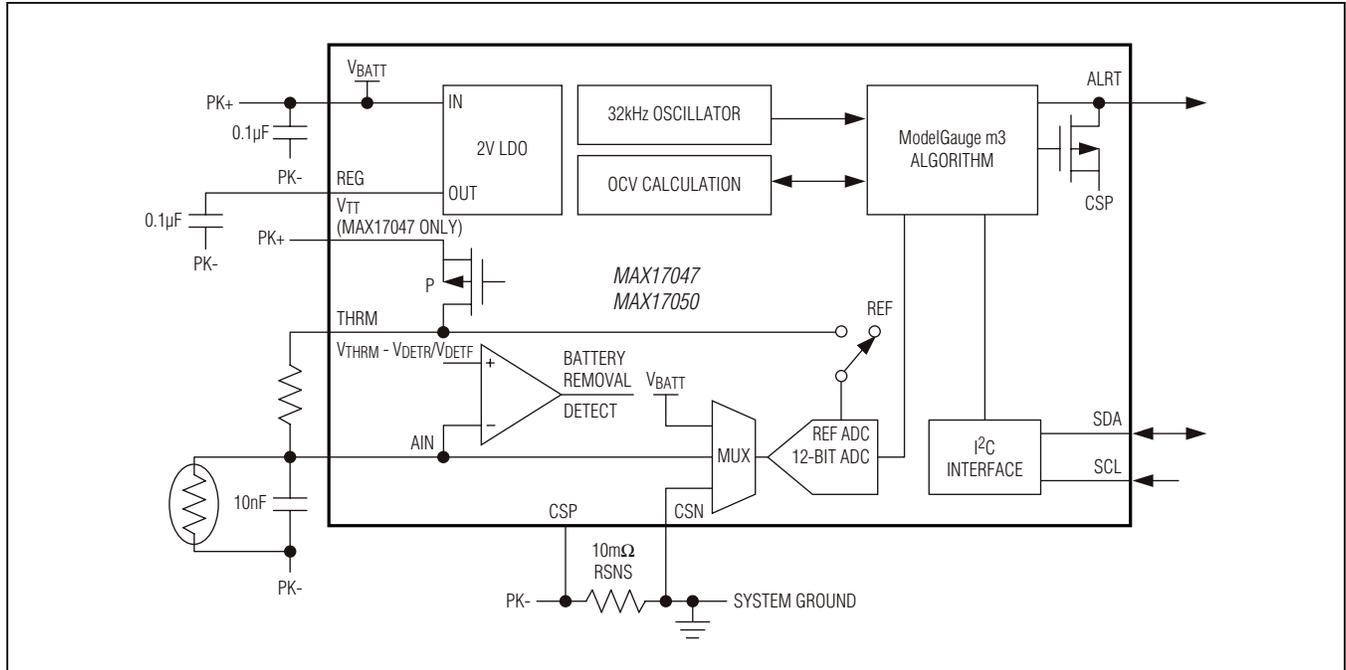
### 端子説明

端子	バンブ	名称	機能
TDFN	WLP		
1	—	VTT	サーミスタバイアススイッチの電源入力(MAX17047のみ)。MAX17050ではVTTは内部でVBATTに接続されています。レシオメトリックAIN端子電圧測定用の電源に接続してください。ほとんどのアプリケーションでは、VTTをVBATTに接続してください。
2	A1	AIN	補助電圧入力。外部温度測定回路からの補助電圧入力です。AINはバッテリー挿抜の検出も提供します。使用しない場合はVBATTに接続してください。
3	A2	SCL	シリアルクロック入力。2線式のクロックラインです。入力のみ。
4	C1	SDA	シリアルデータ入出力。2線式のデータラインです。オープンドレイン出力ドライバ。
5	A3	CSN	検出抵抗接続。システムグランド接続および検出抵抗入力。
6	C3	CSP	チップグランドおよび検出抵抗入力
7	B3	REG	電圧レギュレータバイパス。REGとCSPの間に0.1μFのコンデンサを接続してください。
8	B2	ALRT	警告表示。指定された条件のスレッショルドに一致したことを示すために使用されるオープンドレインのnチャンネル出力です。出力として使用する場合は電源レールとの間に200kΩのプルアップ抵抗が必要です。別の使い方として、出力機能をディセーブルしてALRTをシャットダウン入力として動作させることも可能です。
9	C2	THRM	サーミスタバイアス接続。サーミスタ抵抗分圧器の電源です。サーミスタ/抵抗分圧器のハイサイドに接続してください。温度測定中、THRMは内部でVTTに接続されます。
10	B1	VBATT	電源およびバッテリー電圧検出入力。バッテリーパックの正の端子にケルビン接続してください。0.1μFのコンデンサでCSPにバイパスしてください。
—	—	EP	エクスポーズドパッド(TDFNのみ)。CSPに接続してください。

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### ブロック図



### 詳細

MAX17047/MAX17050は、クーロンカウンタの優れた短期的精度とリニアリティ、電圧ベースの残量ゲージの長期的安定性、および業界最高レベルの残量ゲージ精度を提供するための温度補償を組み合わせたMaximのModelGauge m3アルゴリズムを内蔵しています。ModelGauge m3は、クーロンカウンタのオフセット蓄積誤差を相殺するとともに、電圧のみに基づくあらゆる残量ゲージより優れた短期的精度を提供します。さらに、ModelGauge m3アルゴリズムでは時間の経過とともに少量の補正を継続的に行うため、クーロンカウンタアルゴリズムで通常発生する突発的な補正の問題がありません。

このデバイスは、経時劣化、温度、および放電率を自動的に補償し、広範囲の動作条件下でmAhまたは%単位で高精度な残容量値(SOC)を提供します。このデバイスは、容量の減少とサイクル回数計という2つの方法でバッテリーの経時劣化を通知します。

このデバイスは、電流、電圧、および温度の高精度な測定値を提供します。バッテリーパックの温度は、補助入力のレシオメトリック測定でサポートされる外付けサーミスタを使用して測定します。2線式(I<sup>2</sup>C)インタフェースでデータおよび制御レジスタにアクセスすることができます。MAX17047は、10ピンTDFNパッケージ(3mm x 3mm)で提供され

ます。MAX17050は、0.4mmピッチの9ピンWLPパッケージで提供されます。

### ModelGauge m3アルゴリズム

ModelGauge m3アルゴリズムは、[図2](#)に示すように高精度のクーロンカウンタと電圧残量ゲージ(VFG)を組み合わせたものです。

標準的なクーロンカウンタベースの残量ゲージは、優れたリニアリティと短期的性能を備えています。しかし、電流検出測定オフセット誤差が蓄積されるためにドリフトが発生するという問題があります。オフセット誤差は通常は非常に小さな値ですが、ゼロにすることは不可能であり、通知される容量の誤差が時間とともに増大する原因となるため、定期的な補正が必要です。通常は、フル時またはエンプティ時に補正が実行されます。その他に、緩和したバッテリー電圧を使用して補正を実行するシステムもあります。それらのシステムは、長時間にわたって電流が流れなかったあとのバッテリー電圧に基づいてSOCを判断します。どちらにも同じ限界があり、実際のアプリケーションで補正の条件が長時間にわたって観測されなかった場合、システムの誤差は無限に増大します。標準的なクーロンカウンタの性能は、それらの補正の精度によって大部分が決定されます。

## ModelGauge m3残量ゲージ

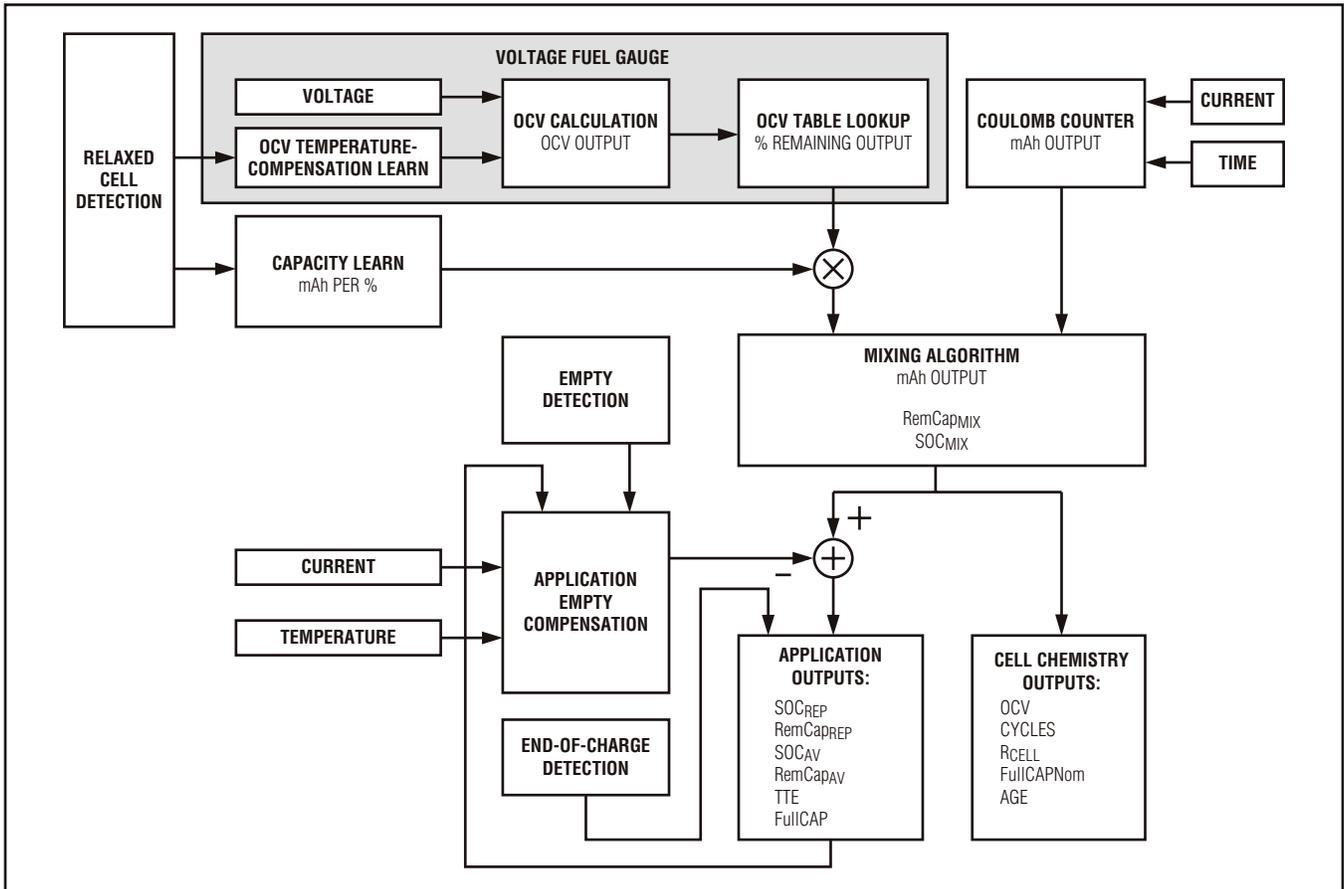


図2. ModelGauge m3の概要

標準的な電圧測定ベースのSOC予測は、セルモデリングが不適切なため低精度ですが、時間とともにオフセット誤差が蓄積することはありません。

このデバイスに内蔵されている先進的なVFGは、電流が流れている間にもオープン回路電圧(OCV)の予測を行い、リチウムイオン(Li+)バッテリーの非直線的な内部ダイナミクスをシミュレートして、より高精度でSOCを判定します。このモデルは、化学反応に起因するバッテリーの時間効果とバッテリーのインピーダンスを考慮して、テーブル参照に基づいてSOCを決定します。このSOC予測では、時間とともにオフセット誤差が蓄積されることはありません。

ModelGauge m3アルゴリズムは、高精度クーロンカウンタとVFGを組み合わせています。相補的な組み合わせの結果、クーロンカウンタとVFGの両方の弱点が排除され、両方の強みが提供されます。ミキシングアルゴリズムはVFG容量

をクーロンカウンタと組み合わせて、バッテリー状態の判定に両方が最適な形で使用されるようにそれぞれの結果に加重を行います。このように、VFG容量の結果を使用してバッテリー状態に継続的な少量の調整を加えることにより、クーロンカウンタのドリフトを排除します。

ModelGauge m3アルゴリズムはこのバッテリー状態情報を使用して、温度、バッテリー電流、経時劣化、およびアプリケーションパラメータを計算に入れて、システムが利用可能な残容量を判定します。

ModelGauge m3アルゴリズムは、個別の学習ルーチンを通して継続的にセルおよびアプリケーションに適応します。セルの経時劣化にともなって容量の変化が監視および更新され、アプリケーションでのセル電圧の挙動に基づいてVFGの動作が適応化されます。

## ModelGauge m3残量ゲージ

### OCV予測とクーロンカウントのミキシング

ModelGauge m3アルゴリズムの中核は、OCV状態予測とクーロンカウントを組み合わせるミキシングアルゴリズムです。ICのパワーオンリセット後は、クーロンカウントの精度は不明です。クーロンカウント出力に比べてOCV状態予測に大きな加重が行われます。セルがアプリケーション中のサイクル数を重ねるとともに、クーロンカウントの精度が向上するため、ミキシングアルゴリズムはクーロンカウントの結果が大部分となるように加重を変更します。これ以降、ICはサーボミキシングに切り替わります。サーボミキシングは、OCV予測からの誤差の方向に基づいてプラスまたはマイナスの固定の大きさの連続誤差補正をクーロンカウントに提供します。これによって、クーロンカウントとOCV予測の間の差を短時間で補正することができます。図3を参照してください。

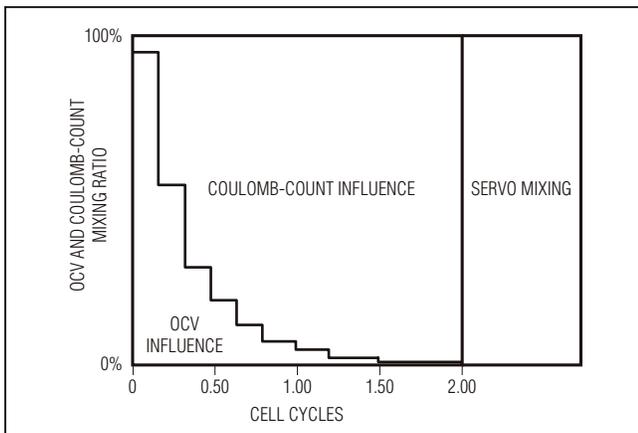


図3. ModelGauge m3のOCVとクーロンカウントのミキシング

ミキシングアルゴリズムからの出力結果は、電流測定オフセット誤差によるドリフトがないため、スタンドアロンのOCV予測アルゴリズムより安定しています。図4を参照してください。初期精度はセルの緩和状態に依存します。完全に緩和したセルの場合に最も高い初期精度が実現します。

### 残量ゲージのエンプティ補正

アプリケーションの温度および放電率の変化とともに、アプリケーションで利用可能な電荷の量も変化します。ModelGauge m3アルゴリズムは、セルの残容量(RemCap<sub>MIX</sub>)とアプリケーションの残容量(RemCap<sub>AV</sub>)を区別して、両方の結果をユーザーに通知します。

### 残量ゲージの学習および経時劣化のサポート

このデバイスは、初期誤差の除去およびセルの経時劣化に対する精度維持のために、定期的にセル特性とアプリケーション情報の内部調整を行います。システムの不安定性を防止し、残量ゲージ出力の顕著なジャンプを防止するために、これらの調整は常に少量の部分的修正の形で行われます。学習はホストからの入力なしで自動的に行われます。電源喪失をはさんで学習した精度を維持するために、ホストは学習した情報を定期的に保存し、電源回復後に復元する必要があります。詳細については、「[パワーアップとパワーオンリセット](#)」の項を参照してください。

- **アプリケーションで利用可能な全容量(FullICAP)**。これはアプリケーションで利用可能なフル時の全容量です。FullICAPは終了が検出されると充電の終了近くで更新されます。「[充電終了の検出](#)」の項を参照してください。

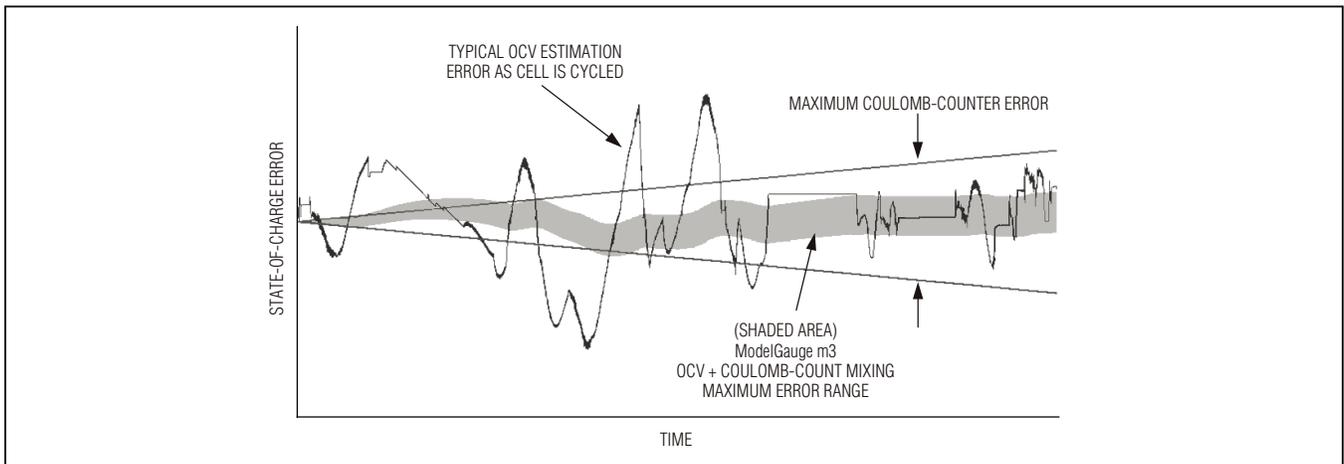


図4. ModelGauge m3アルゴリズムのミキシングの概念図

## ModelGauge m3残量ゲージ

- **セル容量(FullCapNom)**。これは、VFGによるフル時の全セル容量です。これには、高負荷時および/または低温時にアプリケーションで利用することができない容量がある程度含まれます。セルの充放電にともなって、デバイスはOCV測定に基づく%値の変換とクーロンカウントの変化を定期的に比較します。この情報によって、セルが経時劣化した場合にもデバイスはmAh単位のセル容量の正確な予測を維持することができます。
- **電圧残量ゲージ適応**。このデバイスはバッテリーの緩和反応を観察して、VFGの動作を調整します。この適応は、適格なセル緩和イベント中にRCOMP0レジスタを調整します。
- **エンプティ学習**。このデバイスは、セルの経時劣化やその他のセルの特性情報からの逸脱に対応するために、セルのエンプティ( $V_{CELL} < V_{empty}$ )が検出されるたびに内部データを更新します。これによって、バッテリーが経時劣化した場合もSOCの精度が維持されます。

### 残量ゲージの精度判定

エンドユーザーが体験する残量ゲージの真の精度を判断するためには、バッテリーをダイナミックな形で動作させる必要があります。単純なサイクルのみでエンドユーザー精度を理解することは不可能です。

クーロンカウンタのような補正ベースの残量ゲージの正確性を厳密に調べるために、部分的な負荷のセッションを使用してバッテリーをテストしてください。たとえば、一般的なユーザーは機器を10分間動作させ、その後1時間以上にわたって使用しないことがあります。確実なテスト方法としては、そのような種類のセッションをさまざまな負荷、温度、および時間で何度も行います。アプリケーションノート4799「Cell Characterization Procedure for a ModelGauge m3 Fuel Gauge」(英文)を参照してください。

### 初期精度

このデバイスは、パワーアップ後またはセル装着後の最初の電圧読み値を使用して、残量ゲージの開始時の出力を決定します。この読取りの前にセルが完全に緩和していることが想定されていますが、それが常に成り立つとは限りません。最近セルが充電または放電された場合、デバイスによって測定された電圧はセルの真の残容量値を反映していない可能性があり、残量ゲージ出力の初期誤差につながります。ほとんどの場合この誤差はわずかであり、通常動作中に残量ゲージアルゴリズムによって短時間で除去されます。

### 標準動作回路

このデバイスは、監視対象のセルパックの外部に実装するように設計されています。バッテリーパックの電圧は、VBATTおよびCSPの接続によってパックの端子で直接測定されます。電流は、CSP端子とCSN端子の間に配置した外付けの検出抵抗によって測定されます。外付けの抵抗分圧回路を使用しAIN端子を監視することによって、デバイスがセルパックの温度を測定することができます。THRM端子は抵抗分圧器にストロングプルアップを提供し、温度測定中以外は内部でディセーブルされます。

ホストとの通信は標準I<sup>2</sup>Cインタフェース上で行われます。SCLはホストからの入力、SDAは外部プルアップを必要とするオープンドレインのI/O端子です。ALRT端子は、特定のアプリケーション条件が検出された場合にホストプロセッサへの外部割込みとして使用することができる出力です。ALRTは入力として機能することも可能で、ホストがデバイスをシャットダウンすることができます。この端子もオープンドレインのため、外付けのプルアップ抵抗が必要です。図5は標準動作回路です。

### マルチセル回路

MAX17047は、マルチセルパックアプリケーションで使用することができます。抵抗分圧器でパック電圧を分割するので、ICはシングルセルの同等電圧を監視します。MAX9910は分圧出力をバッファするため、MAX17047による負荷によって精度は影響を受けません。V<sub>TT</sub>は、MAX9910の過負荷を避けるためにシステムの安定化電源に接続する必要があります。MAX17050のマルチセルアプリケーション回路についてはお問い合わせください。図6を参照してください。

### サーミスタ共有回路

MAX17047はセルのサーミスタ回路をシステムのチャージャと共有することができます。この回路には、セルパック内に1つのサーミスタがあり、セルパック外には1つのバイアス抵抗があります。このデバイスはチャージャ回路と同じ外部バイアスおよびサーミスタの測定ポイントを共有します。この構成では、各デバイスは干渉なしに個別または同時に温度測定を行えます。あるいは、デバイスにチャージャ回路のバイアス電圧がない場合は、V<sub>TT</sub>端子の個別のバイアス電圧を使用することができます。正常な動作のためには、この個別のバイアス電圧をデバイスの最小動作電圧よりも大きくする必要がありますが、チャージャ回路のバイアス電圧よりも1ダイオード電圧降下分以上、上回ってははいけません。MAX17050ではこの構成で動作できません。図7を参照してください。

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

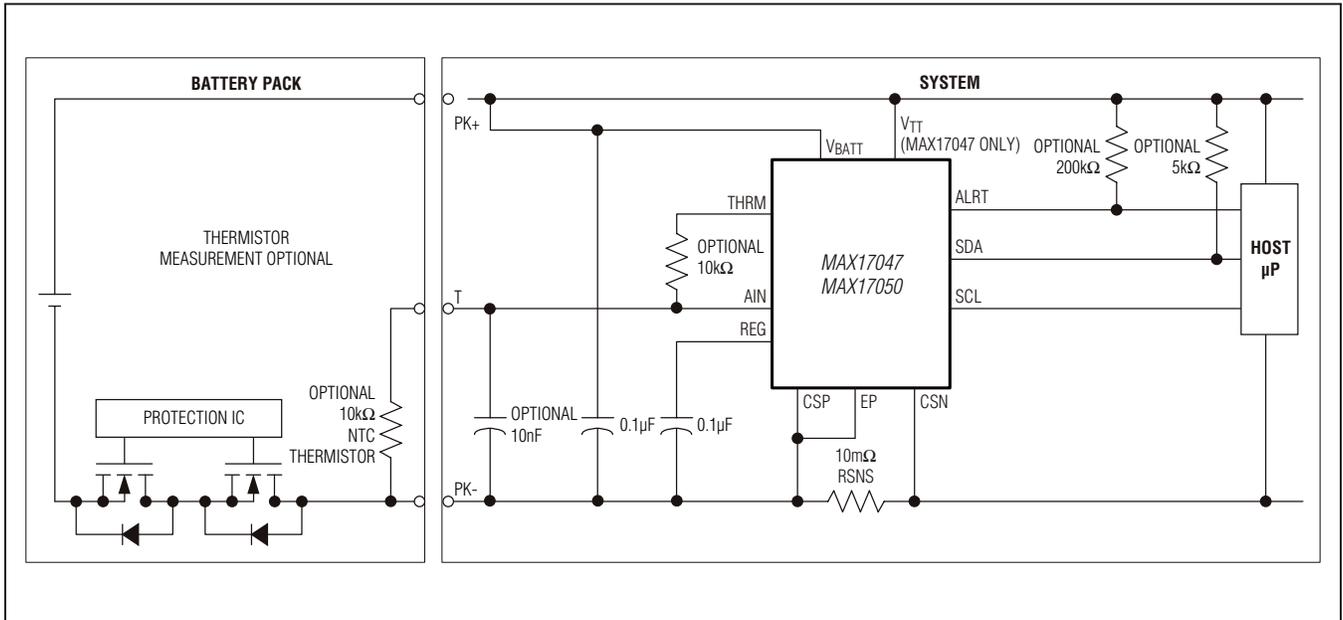


図5. 標準動作回路

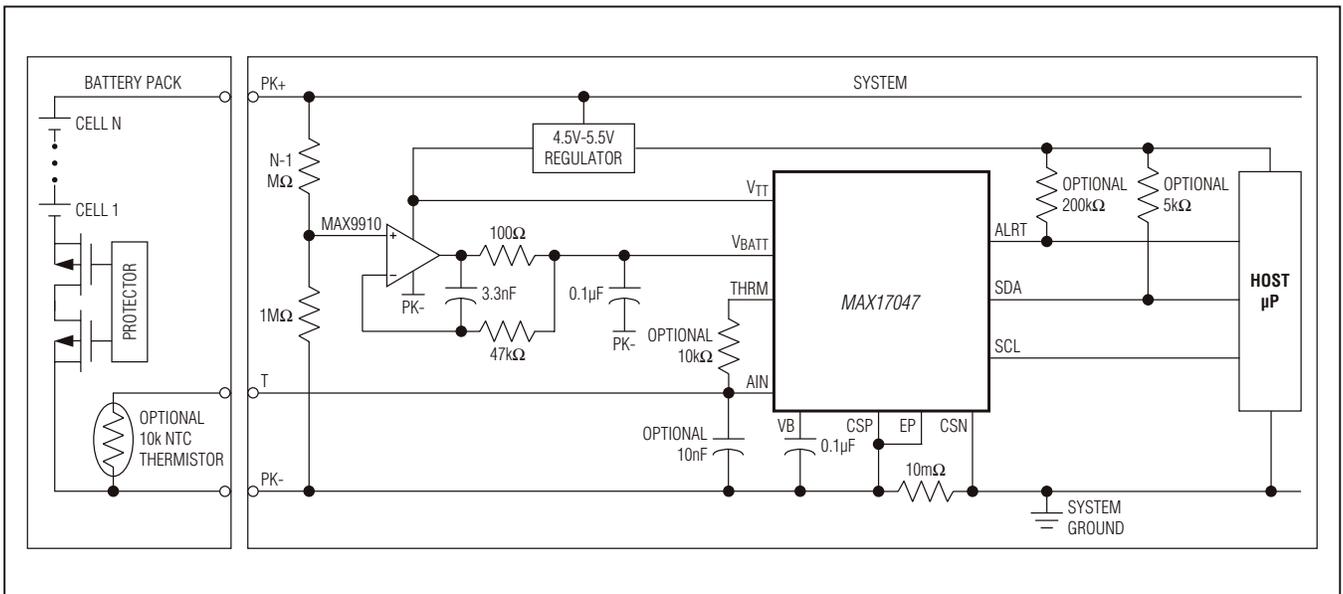


図6. マルチセルのアプリケーション回路

## ModelGauge m3残量ゲージ

### 推奨レイアウト

MAX17047/MAX17050 ModelGauge m3 ICを使用する場合、適切な回路レイアウト(図8を参照)が測定精度にとって不可欠です。推奨レイアウトのガイドラインは、以下のとおりです。

- 1)  $R_{SNS}$ はできる限りPACK-の近くに実装してください。このデバイスは電圧と電流の両方の測定値をCSP端子で共有します。そのため、電流検出抵抗とPACK-の間のトレース抵抗の量を制限することが重要です。
- 2)  $V_{BATT}$ のトレースはPACK+にケルビン接続してください。このデバイスは、 $V_{BATT}$ 端子を電圧測定とICの電源の両方に共用します。電圧測定の精度のために、このトレースでの電圧損失を制限することが重要です。除去不可能なPCBの抵抗は、アプリケーションセルの特性設定時に補償することができます。
- 3) CSNおよびCSPのトレースは $R_{SNS}$ にケルビン接続してください。このデバイスは、CSNおよびCSP端子を介

して電流を差動で測定します。これらのトレースに共有の大電流経路が存在する場合、電流測定利得の精度に影響します。除去不可能なPCBの抵抗は、アプリケーションセルの特性設定時に補償することができます。

- 4)  $V_{BATT}$ のコンデンサトレースのループ領域を最小限に抑えてください。このデバイスは、 $V_{BATT}$ 端子を電圧測定とICの電源の両方に共用します。電流測定の精度のために、 $V_{BATT}$ 端子のノイズを制限することが重要です。
- 5) REGのコンデンサトレースのループ領域を最小限に抑えてください。これは内部の安定化電源からのノイズをフィルタする上で寄与します。
- 6) その他のICの接続には制限はありません。THRM、ALRT、SDA、SCL、 $V_{TT}$ 、およびAINへの接続、ならびにこれらの端子に実装する外付け部品には、レイアウトに関する特別な要件はありません。

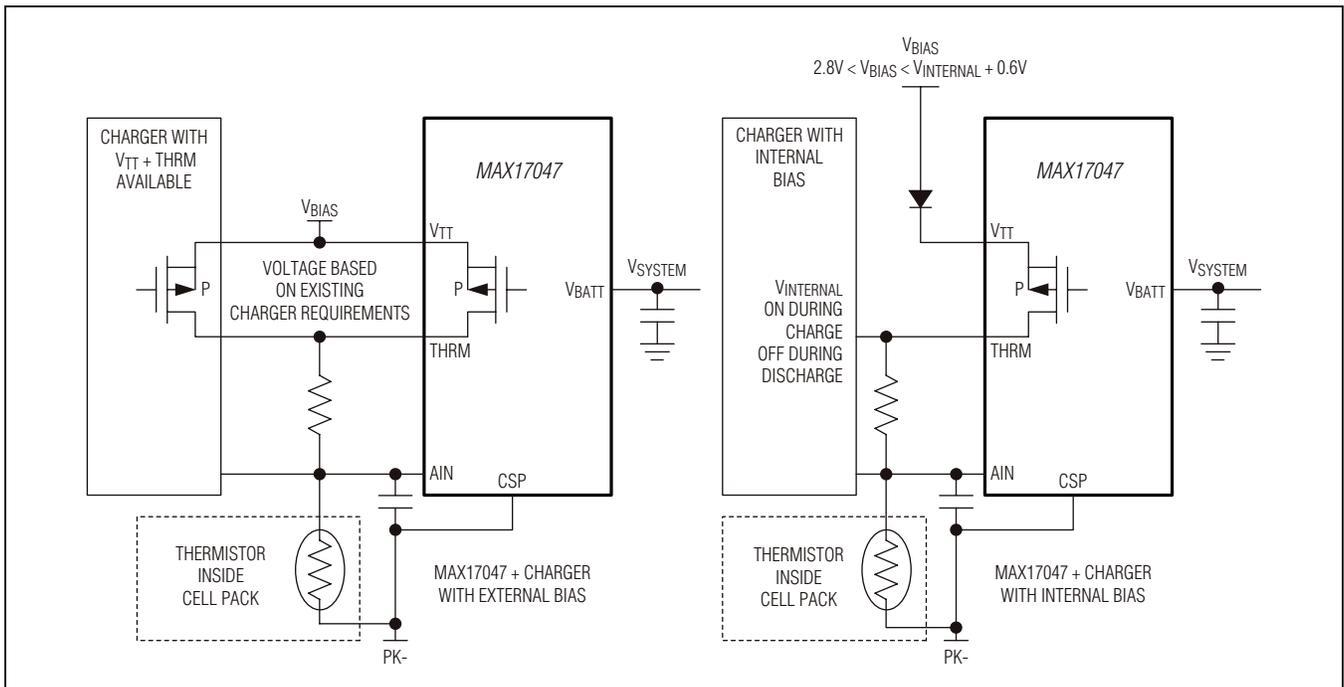


図7. パックのサーミスタをシステムのチャージャと共用する動作回路

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

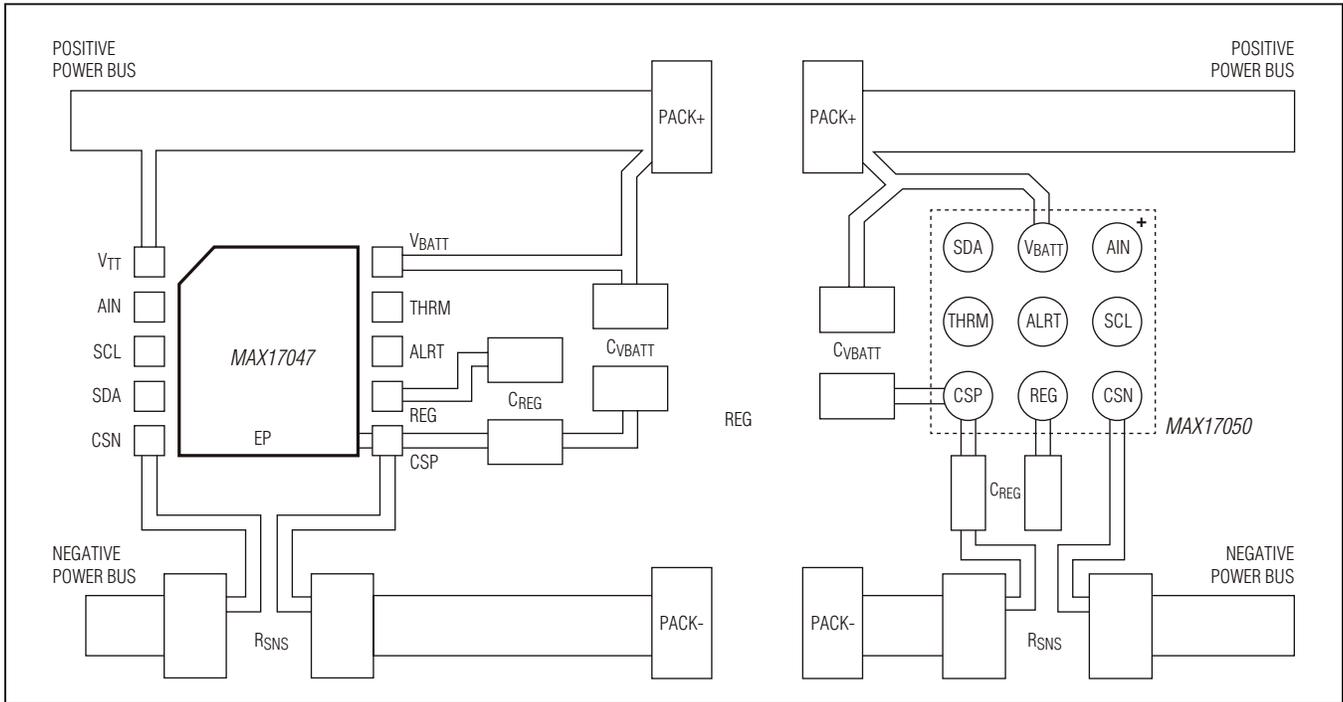


図8. 適切な基板レイアウト

### ModelGauge m3のレジスタ

結果を高精度で計算するために、ModelGauge m3はセルとアプリケーションについての情報およびデバイスによって測定されるリアルタイム情報を必要とします。図9に、カテゴリ別にグループ化したアルゴリズムに対するすべての入力および出力を示します。Analog Inputレジスタは、デバイスによって実行される電圧、温度、および電流のリアルタイム測定値です。Application-Specificレジスタは、アプリケーションの動作を反映するようにお客様によって設定されます。Cell Characterization Informationレジスタは、アプリケーションの動作範囲全体にわたるセルの振る舞いをモデル化する特性データを保持します。Algorithm Configurationレジスタは、アプリケーションに応じたホストによるデバイスの性能調整を可能にします。Save and Restoreレジスタは、デバイスのパワーサイクル後にアプリケーションがアルゴリズムの精度を維持することを可能にします。以下の各項目で、個々のレジスタについて詳細に説明します。

### ModelGauge Algorithm Outputレジスタ

以下のレジスタは、ModelGauge m3アルゴリズムの出力結果を保持します。

#### SOC<sub>MIX</sub>レジスタ(0Dh)

SOC<sub>MIX</sub>レジスタは、エンピティ補正の調整が実行される前の、セルの現在の残容量の計算値を保持します。このレジスタの値は%で格納され、分解能はLSb当り0.0039%です。8ビットの残容量値が必要な場合、ホストは下位バイトを破棄して、レジスタの上位バイトのみを分解能1.0%として使用することができます。図10はSOC<sub>MIX</sub>レジスタの形式を示します。

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

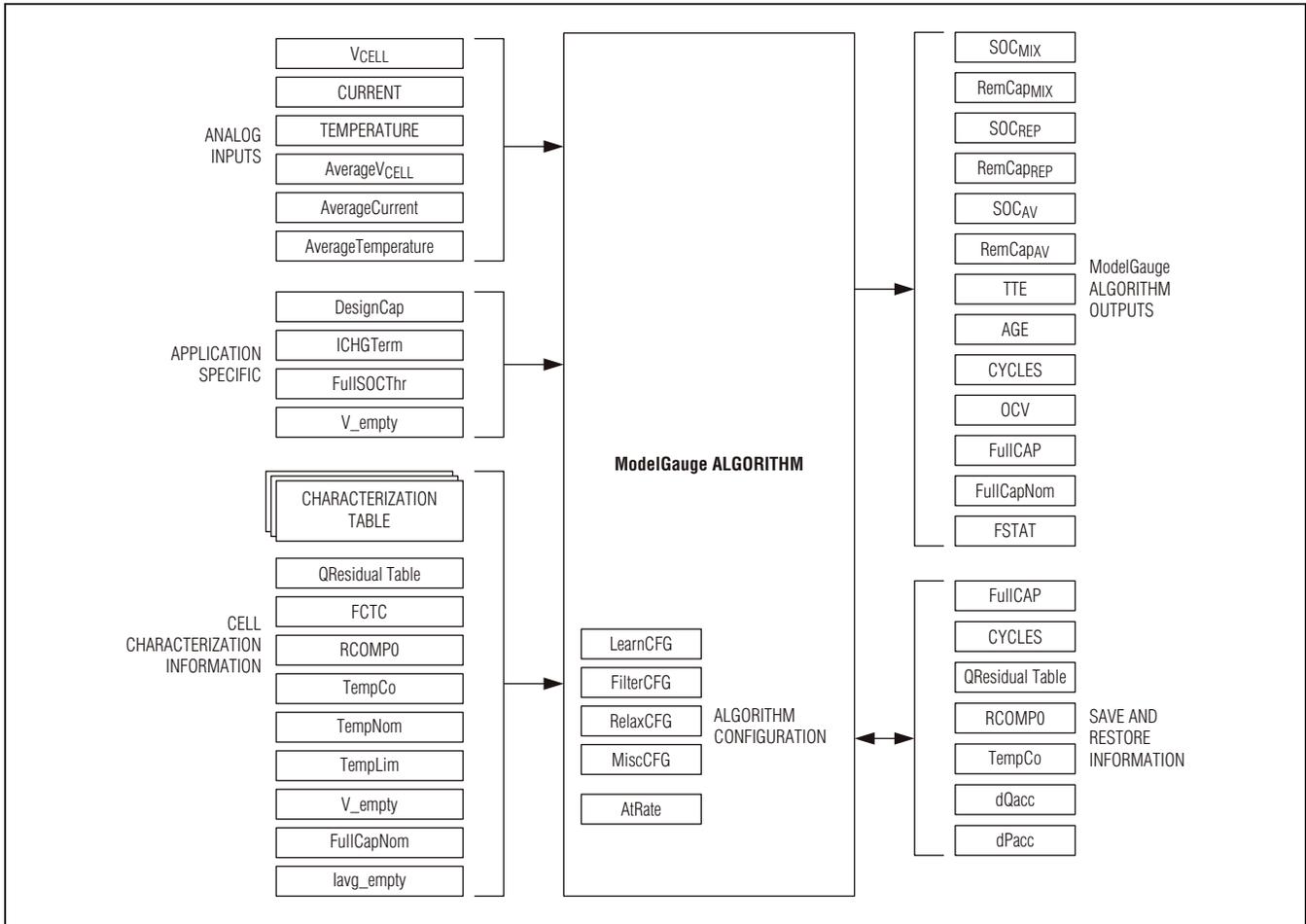


図9. ModelGauge m3のレジスタマップ

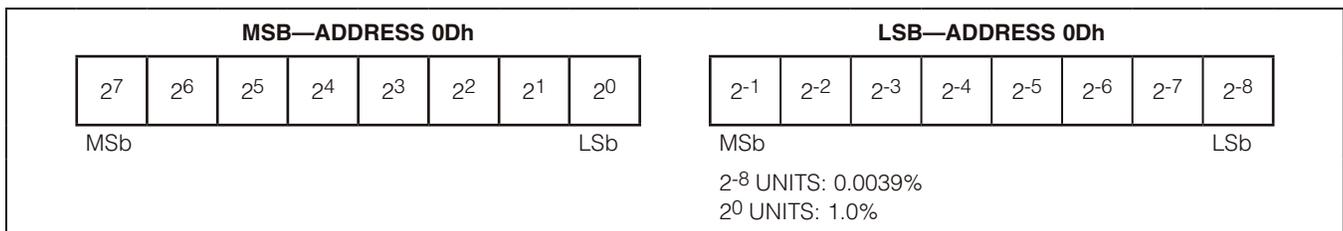


図10. SOC<sub>MIX</sub>レジスタの形式(出力)

## ModelGauge m3残量ゲージ

### RemCapMIXレジスタ(0Fh)

RemCapMIXレジスタは、エンプティ補正の調整が実行される前の、セルの残容量の計算値を保持します。値は $\mu\text{Vh}$ で格納されるため、mAh単位で残容量を判定するためにはアプリケーションの検出抵抗の値で除算する必要があります。図11はRemCapMIXレジスタの形式を示します。

### SOCREPレジスタ(06h)

SOCREPはSOC<sub>AV</sub>レジスタにフィルタを適用したもので、負荷電流の突然の変化などのアプリケーションの変化によって通知される値が大きくジャンプするのを防止します。このレジスタの値は%で格納され、分解能はLSb当り0.0039%です。8ビットのSOC値が必要な場合、ホストは下位バイトを破棄して、レジスタの上位バイトのみを分解能

1.0%として使用することができます。図12はSOCREPレジスタの形式を示します。

### RemCapREPレジスタ(05h)

RemCapREPはRemCap<sub>AV</sub>レジスタにフィルタを適用したもので、負荷電流の突然の変化などのアプリケーションの変化によって通知される値が大きくジャンプするのを防止します。値は $\mu\text{Vh}$ で格納されるため、mAh単位で残容量を判定するためにはアプリケーションの検出抵抗の値で除算する必要があります。AverageCurrentレジスタの値が $\pm 6\text{LSb}$ 以下となるアプリケーションのアイドル時には、RemCapREPは変化しません。この期間に測定された電流はRemCapMIXに積算され、セルに対する負荷または充電が発生した時点で徐々にRemCapREPに反映されます。図13はRemCapREPレジスタの形式を示します。

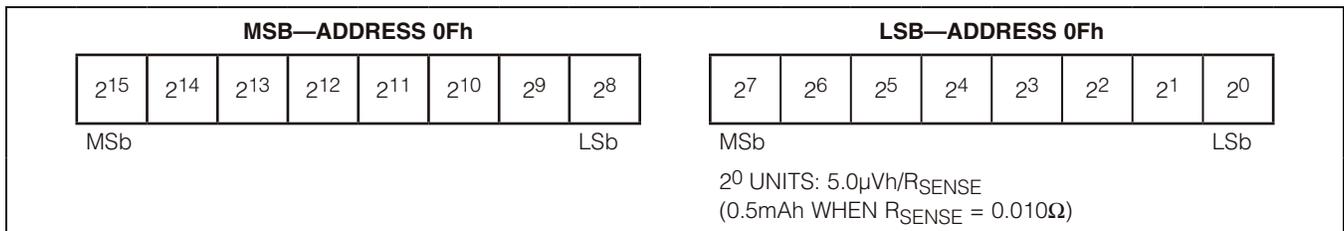


図11. RemCapMIXレジスタの形式(出力)

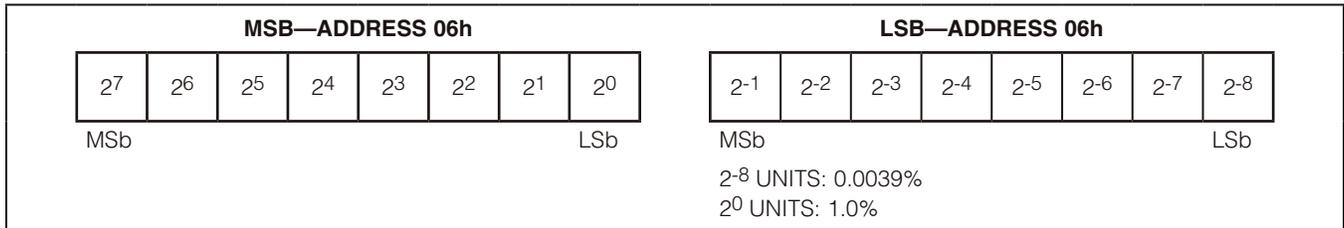


図12. SOCREPレジスタの形式(出力)

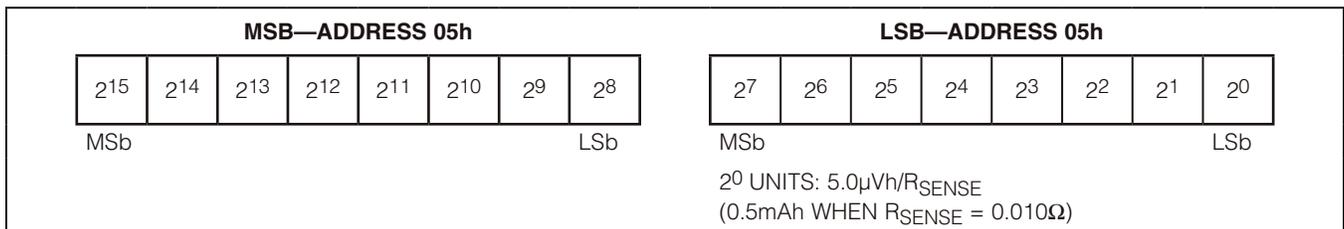


図13. RemCapREPレジスタの形式(出力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### SOC<sub>AV</sub>レジスタ(0Eh)

SOC<sub>AV</sub>レジスタは、エンプティ補正を含むModelGauge m3アルゴリズムからのすべての入力に基づくセルの現在の残容量の計算値を保持します。このレジスタの値は%で格納され、分解能はLSb当り0.0039%です。8ビットの残容量値が必要な場合、ホストは下位バイトを破棄して、レジスタの上位バイトのみを分解能1.0%として使用することができます。SOC<sub>AV</sub>レジスタの値は、フィルタが適用されていない計算値です。負荷電流の突然の変化などのアプリケーションの変化によって値がジャンプする場合があります。図14はSOC<sub>AV</sub>レジスタの形式を示します。

### RemCap<sub>AV</sub>レジスタ(1Fh)

RemCap<sub>AV</sub>レジスタは、エンプティ補正を含むModelGauge m3アルゴリズムからのすべての入力に基づくセルの残容量の計算値を保持します。値はμVhで格納されるため、mAh単位で残容量を判定するためにはアプリケーションの検出抵抗の値で除算する必要があります。レジスタの値は、

フィルタが適用されていない計算値です。負荷電流の突然の変化などのアプリケーションの変化によって値がジャンプする場合があります。図15はRemCap<sub>AV</sub>レジスタの形式を示します。

### SOC<sub>VF</sub>レジスタ(FFh)

SOC<sub>VF</sub>レジスタは、電圧残量ゲージによるバッテリーの現在のSOCの計算値を保持します。このレジスタの値は%で格納され、分解能はLSb当り0.0039%です。8ビットのSOC値が必要な場合、ホストは下位バイトを破棄して、レジスタの上位バイトのみを分解能1.0%として使用することができます。図16はSOC<sub>VF</sub>レジスタの形式を示します。

### TTEレジスタ(11h)

TTEレジスタは、アプリケーションの現在の状態でのエンプティまでの予想時間を保持します。TTEの値は、RemCap<sub>AV</sub>レジスタをAverageCurrentレジスタで除算することによって決定されます。結果はLSb当り5.625sの分解能でTTEレジスタに格納されます。

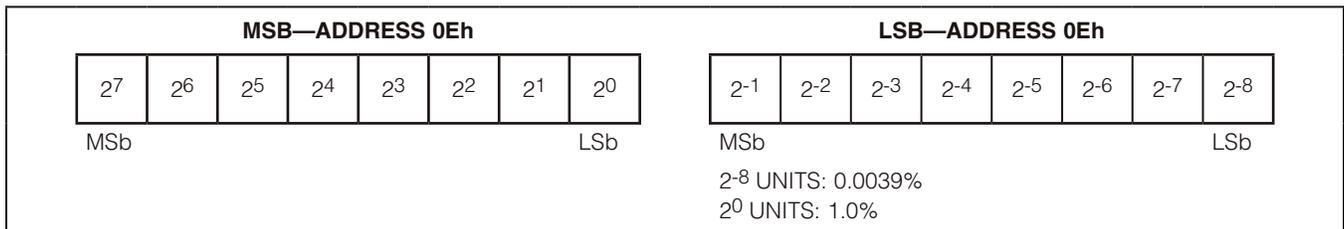


図14. SOC<sub>AV</sub>レジスタの形式(出力)

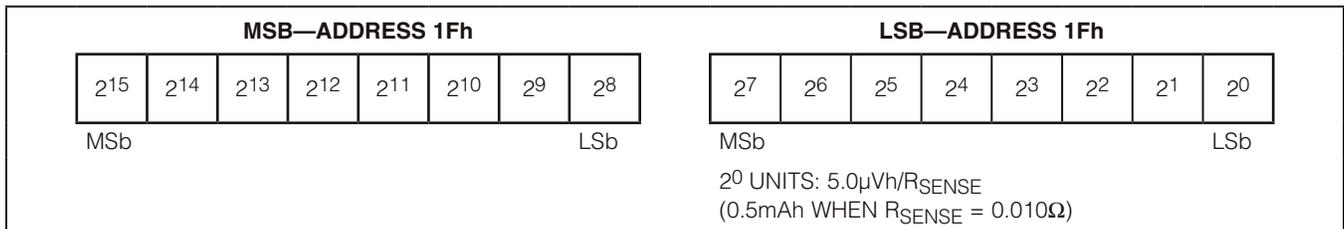


図15. RemCap<sub>AV</sub>レジスタの形式(出力)

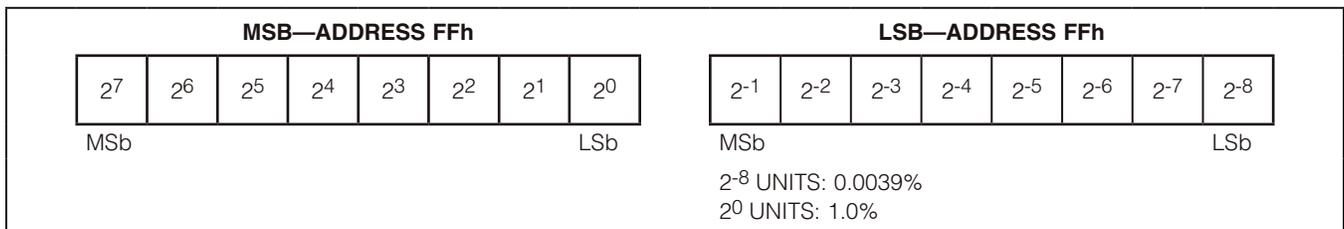


図16. SOC<sub>VF</sub>レジスタの形式(出力)

## ModelGauge m3残量ゲージ

別の方法として、TTEレジスタを使用して特定の電流負荷におけるエンプティまでの時間を予想することができます。AtRateレジスタに放電電流を示す負の数値が設定された場合、TTEレジスタはAtRateレジスタの値に基づくアプリケーションのエンプティまでの予想時間を表示します。[図17](#)はTTEレジスタの形式を示します。

### Ageレジスタ(07h)

Ageレジスタには、期待容量に対するアプリケーションの現在のセル容量をパーセントで示す計算値が格納されます。ホストはこの結果を使用して、同じ種類の新品のセルと比較したセルの健全性を判定することができます。結果はLSb当り0.0039%の0~256%の%値として表示されます。[図18](#)はAgeレジスタの形式を示します。レジスタ出力の計算式は、次のとおりです。

$$\text{Ageレジスタ} = 100\% \times (\text{FullCAPレジスタ} / \text{DesignCapレジスタ})$$

### Cyclesレジスタ(17h)

Cyclesレジスタは、充電と放電の両方についてセルの総てのパーセント変化量を積算します。結果はフル充電/放電

サイクルの合計カウントとして格納されます。たとえば、1回のフル充電/放電サイクルによってCyclesレジスタに100%が加算されます。Cyclesレジスタのフルレンジは0~65535%で、LSb当り1%です。このレジスタは、パワーアップ時に0%にリセットされます。セルのライフタイム全体のサイクルカウントを管理するためには、ホストがこのレジスタを定期的に保存して、パワーアップ時に再びデバイスに書き込む必要があります。詳細については、「[Save and Restoreレジスタ](#)」の項を参照してください。Cyclesレジスタの形式については、[図19](#)を参照してください。

### VFOCVレジスタ(FBh)

VFOCVレジスタには、電圧残量ゲージの生のオープン回路電圧出力が格納されます。この値は他の内部計算に使用され、デバッグを目的とする読取りが可能です。結果は2.5V~5.119Vの範囲の12ビット値で、1LSbは1.25mVです。このレジスタの最下位4ビットは任意ビットです。VFOCVレジスタの形式については、[図20](#)を参照してください。

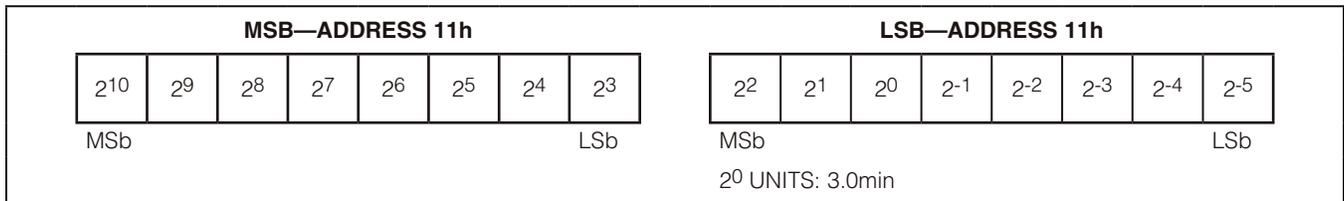


図17. TTEレジスタの形式(出力)

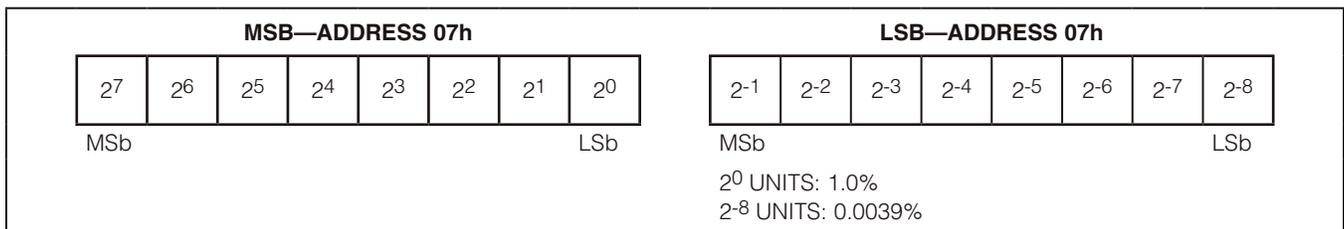


図18. Ageレジスタの形式(出力)



図19. Cyclesレジスタの形式(出力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### FullCAPレジスタ(10h)

このレジスタは、ModelGauge m3アルゴリズムで計算されたベストケースの条件(軽負荷、高温)でのセルのフル容量を保持します。アプリケーションの個々の充電サイクルの終了後に、新しいフル容量値が計算されます。値は $\mu\text{Vh}$ で格納されるため、mAh単位で容量を判定するためにはアプリケーションの検出抵抗の値で除算する必要があります。[図21](#)がFullCAPレジスタの形式です。「[充電終了の検出](#)」の項を参照してください。

### FullCapNomレジスタ(23h)

このレジスタは、温度およびチャージャの許容誤差を含まない、セルのフル容量の計算値を保持します。動作中は、ICによって定期的に新しいフル容量値が計算されます。値は $\mu\text{Vh}$ で格納されるため、mAh単位で容量を判定するためにはアプリケーションの検出抵抗の値で除算する必要があります。このレジスタはModelGauge m3アルゴリズムの出力を計算するために使用され、ユーザーはデバッグのためにのみ利用することができます。[図22](#)がFullCapNomレジスタの形式です。

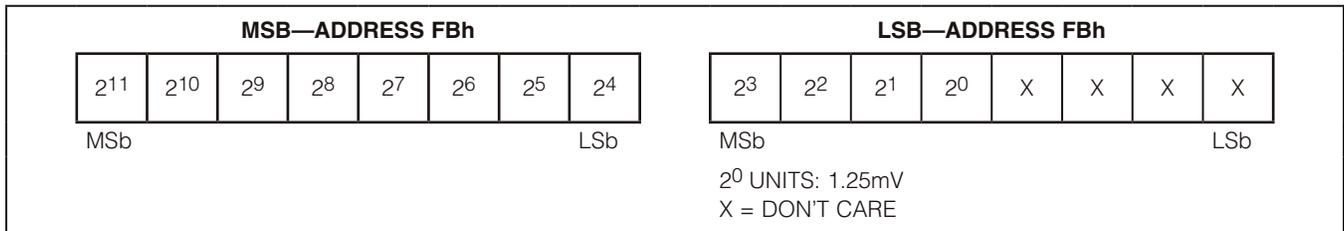


図20. VFOCVLレジスタの形式(出力)

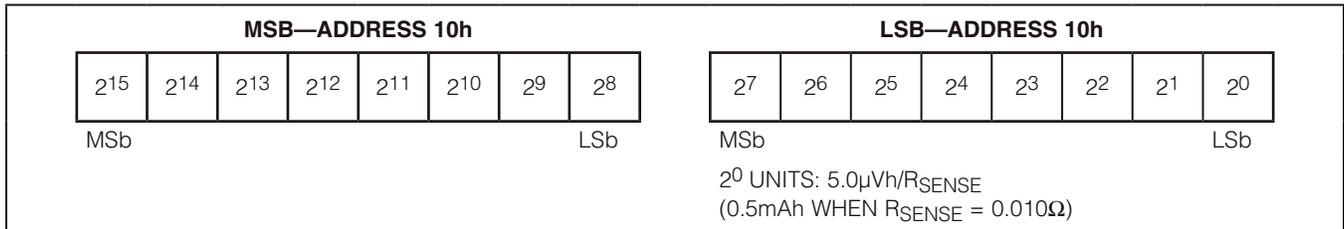


図21. FullCAPレジスタの形式(出力)

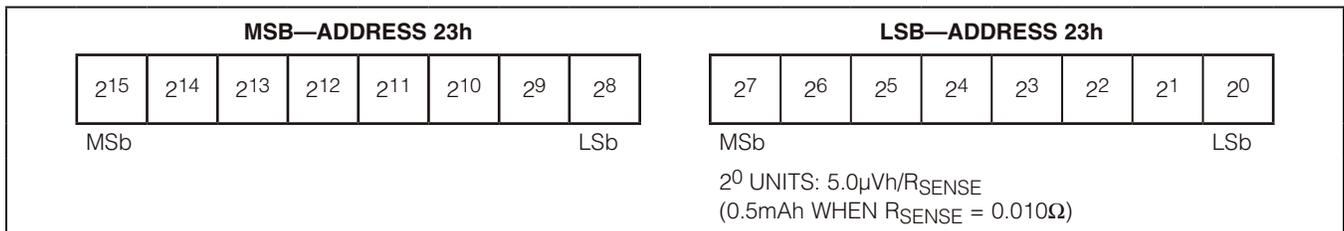


図22. FullCapNomレジスタの形式(出力)

## ModelGauge m3残量ゲージ

### QHレジスタ(4Dh)

QHレジスタは、デバイスによって生成された生のクーロンカウントを表示します。このレジスタは、ミキシングアルゴリズムへの入力として内部で使用されます。時間に沿ったQHの変化を観察することは、デバイスの動作をデバッグする上で役立つ場合があります。QHレジスタには、パワーアップ時に0000hが設定されます。QHレジスタの形式を[図23](#)に示します。

### Application-Specificレジスタ

以下のレジスタは、アプリケーションの挙動を定義します。ModelGauge m3アルゴリズムが高精度であるためには、これらのレジスタがユーザーによって設定される必要があります。これらのレジスタ値を変更する場合は、セル特性の再設定が必要になります。

### DesignCapレジスタ(18h)

DesignCapレジスタは、セルの期待容量を保持します。この値は、FullCAPレジスタに格納されている現在の容量の計算値と比較することによって、セルの経年劣化と健全性の判定に使用されます。DesignCapのLSbは $5.0\mu\text{Vh}$ に等しく、フルレンジは $0\sim 327.68\text{mVh}$ です。ユーザーはセルのmAhの容量に検出抵抗の値を乗算して、DesignCapレジスタに格納する $\mu\text{Vh}$ 値を決定してください。DesignCapレジスタの形式を[図24](#)に示します。

### FullSOCThrレジスタ(13h)

FullSOCThrレジスタは、充電終了の検出に制限を加えます。ICHGTermとAverageCurrentレジスタの値との比較が行われる前に、SOCVfがFullSOCThrの値を上回っている必要があります。ほとんどのアプリケーションで推奨されるFullSOCThrレジスタの設定は95%です。詳細については、ICHGTermレジスタの説明を参照してください。パワーアップ時のFullSOCThrレジスタは70%です。[図25](#)がFullSOCThrレジスタの形式です。

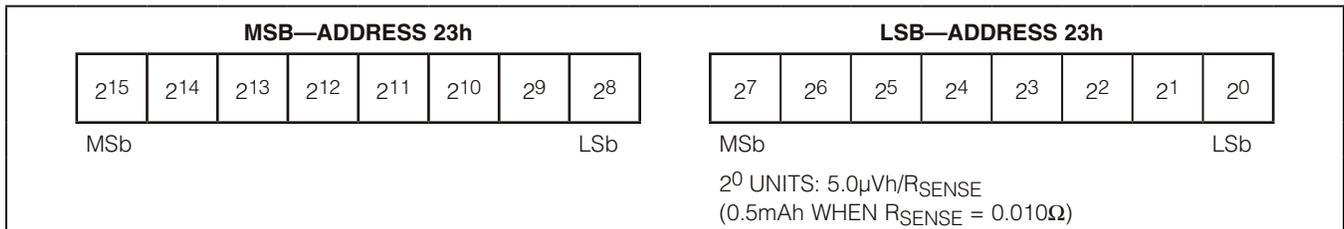


図23. QHレジスタの形式(出力)

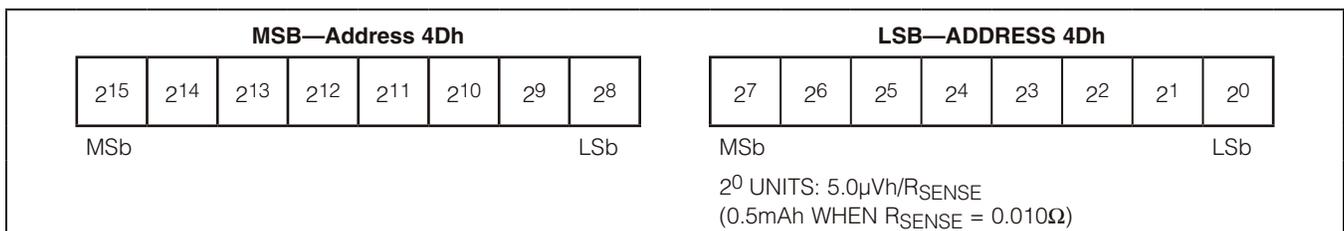


図24. DesignCapレジスタの形式(入力)

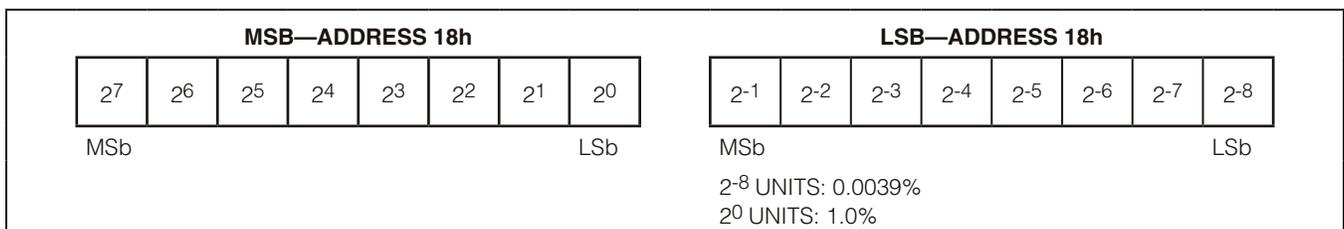


図25. FullSOCThrレジスタの形式(入力)

## ModelGauge m3残量ゲージ

### 充電終了の検出

このデバイスは、アプリケーションの電流がICHGTermレジスタの値で設定された帯域に入った場合に充電サイクルの終了を検出します。CurrentレジスタとAverageCurrent

レジスタの両方を監視することによって、デバイスはアプリケーションの負荷スパイクや早期の充電ソース除去のような誤った充電終了イベントを排除することができます。[「標準動作特性」](#)のEnd-of-Charge Detection (充電終了の検出)のグラフおよび[図26](#)を参照してください。

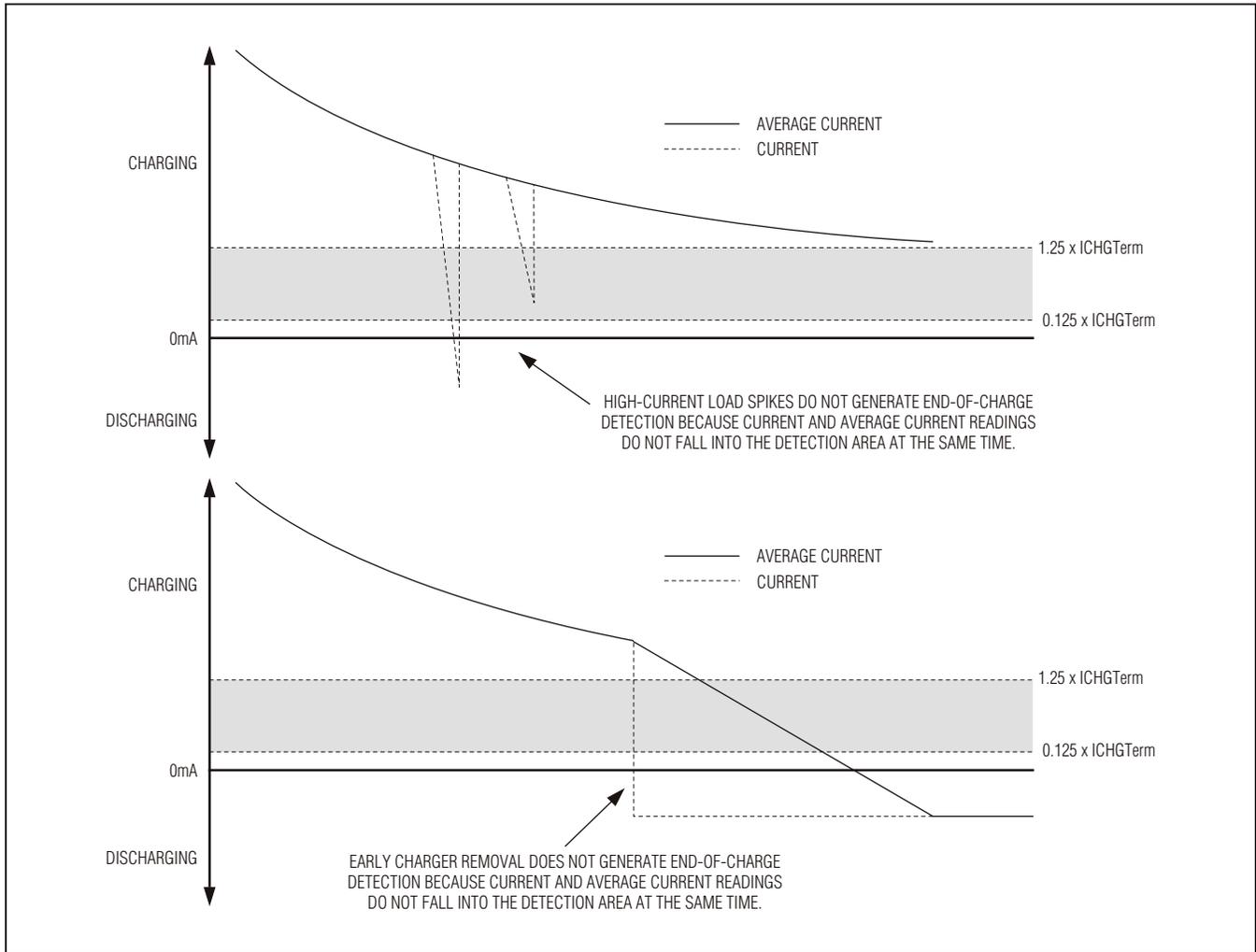


図26. 誤った充電終了イベント

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

正常な充電終了イベントが検出された場合、デバイスはRemCapREPの出力に基づいて新しいFullCAPレジスタ値を学習します。元のFullCAPの値が大きすぎた場合は、最新の正常な充電終了の検出のあとで下方に調整されます。元のFullCAPが小さすぎた場合は、RemCapREPに合わせて上方に調整されます。これによって、残容量の計算値として100%を超える値が通知されることがなくなります。図27を参照してください。

### ICHGTermレジスタ(1Eh)

ICHGTermレジスタによって、デバイスはセルの充電サイクルの完了を検出することができます。ホストからICHGTermレジスタに、アプリケーションで使用する正確な充電終了電流に等しい値を設定してください。デバイスは、以下の

すべての条件が成立した場合に充電終了を検出します。

- $SOC_{VF} > FullSOC_{Thr}$
- $かつ ICHGTerm \times 0.125 < Current < ICHGTerm \times 1.25$
- $かつ ICHGTerm \times 0.125 < AverageCurrent < ICHGTerm \times 1.25$

それぞれの値は $\mu V$ で格納されます。終止電流に検出抵抗を乗算して、目的のレジスタ値を決定してください。このレジスタの範囲および分解能は、Currentレジスタと同じです。図28はICHGTermレジスタの形式を示します。ICHGTermには、パワーアップ時にデフォルトで150mA (03C0h)が設定されます。

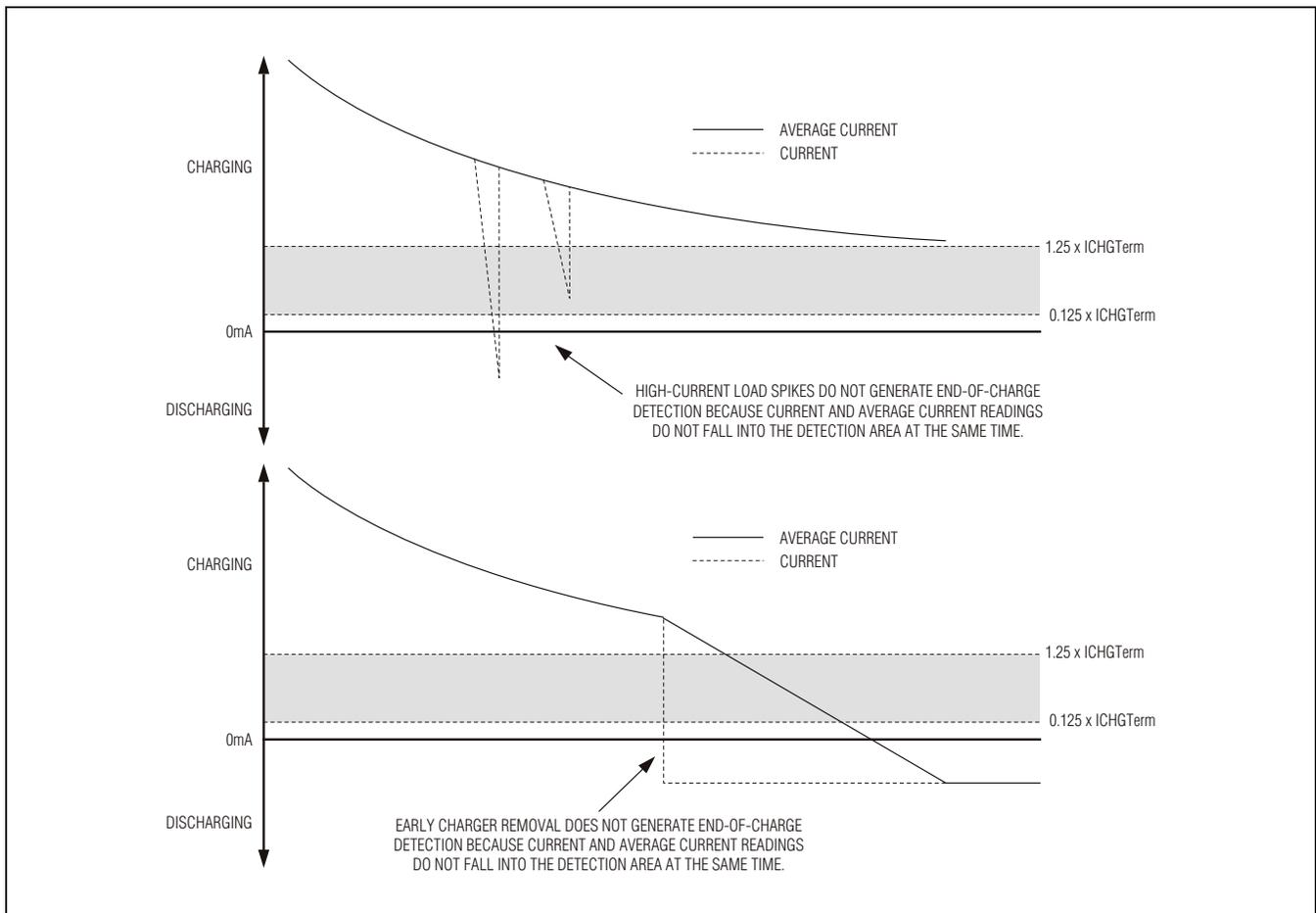


図27. 充電終了時のFullCAPの学習

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### V\_emptyレジスタ(3Ah)

V\_emptyレジスタは、動作中のエンプティ検出に関するスレッシュホールドを設定します。図29がV\_emptyレジスタの形式です。

**VE<sup>8</sup>:VE<sup>0</sup>**—エンプティ電圧。エンプティ検出の電圧レベルを設定します。10mVの分解能で0~5.11Vの範囲になります。この値には、パワーアップ時に3.12Vが書き込まれます。

**VR<sup>6</sup>:VR<sup>0</sup>**—リカバリ電圧。エンプティ検出をクリアする電圧レベルを設定します。セル電圧がこのポイントを上回った場合、エンプティ電圧の検出が再びイネーブルされます。40mVの分解能で0~5.08Vの範囲になります。この値には、パワーアップ時に3.68Vが書き込まれます。

### Cell Characterization Informationレジスタ

高精度を実現するためには、適切なセル特性設定が必要です。以下のレジスタ(表1)は、セル特性設定の手順を通して生成する必要がある情報を保持します。Maximはセル特性設定サービスを提供しています。詳細についてはお問い合わせください。

表1. Cell Characterization Informationレジスタ

REGISTER	ADDRESS
Characterization Table (48 words)	80h to AFh
FullCap	10h
DesignCap	18h
ICHGTerm	1Eh
FullCapNom	23h
RCOMP0	38h
lavg_empty	36h
TempCo	39h
QResidual 00	12h
QResidual 10	22h
QResidual 20	32h
QResidual 30	42h

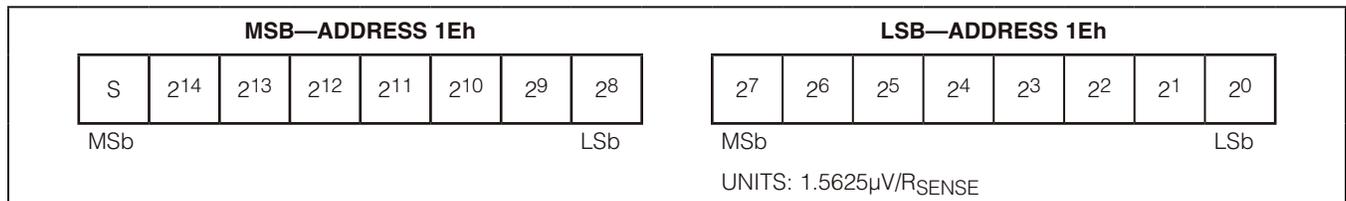


図28. ICHGTermレジスタの形式(入力)

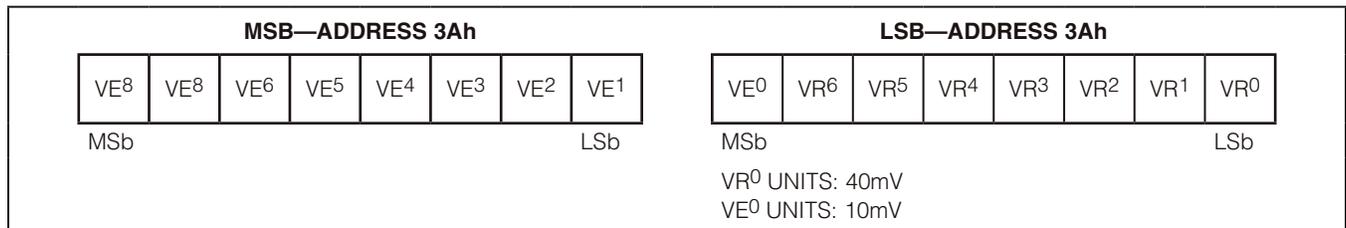


図29. V\_emptyレジスタの形式(入力)

## ModelGauge m3残量ゲージ

### Algorithm Configurationレジスタ

以下のレジスタによって、アプリケーションに応じてModelGauge m3アルゴリズムの動作を調整することができます。これらのレジスタのデフォルト値を使用することが推奨されます。

#### FilterCFGレジスタ(29h)

FilterCFGレジスタは、OCVの結果とクーロンカウントの結果のミキシングに使用する、すべてのA/D読み値の平均化周期を設定します。アプリケーションにとって絶対に必要でない限り、これらの値を変更しないことが推奨されます。[図30](#)はFilterCFGレジスタの形式を示します。

**CURR3:CURR0**—AverageCurrentレジスタの時定数を設定します。デフォルトのPOR値は4hで、時定数は11.25秒になります。時間を設定する式は、次のとおりです。

$$\text{AverageCurrentの時定数} = 175.8\text{ms} \times 2^{(2+\text{CURR})}$$

**VOLT2:VOLT0**—AverageV<sub>CELL</sub>レジスタの時定数を設定します。デフォルトのPOR値は2hで、時定数は45.0秒になります。時間を設定する式は、次のとおりです。

$$\text{AverageV}_{\text{CELL}}\text{の時定数} = 175.8\text{ms} \times 2^{(6+\text{VOLT})}$$

**MIX3:MIX0**—ミキシングアルゴリズムの時定数を設定します。デフォルトのPOR値はDhで、時定数は12.8時間になります。時間を設定する式は、次のとおりです。

$$\text{ミキシング周期} = 175.8\text{ms} \times 2^{(5+\text{MIX})}$$

**TEMP2:TEMPO**—AverageTemperatureレジスタの時定数を設定します。デフォルトのPOR値は1hで、時定数は12分になります。時間を設定する式は、次のとおりです。

$$\text{AverageTemperatureの時定数} = 175.8\text{ms} \times 2^{(8+\text{TEMP})}$$

X—予備。変更しないでください。

#### RelaxCFGレジスタ(2Ah)

RelaxCFGレジスタは、セルが緩和状態かどうかをデバイスがどのように判断するかを定義します。[図32](#)を参照してください。セルが緩和状態であると判断されるためには、セルに流れる電流が最小限に維持されるとともに、時間とともにセル電圧の変化(dV/dt)がほとんどまたはまったく見られないことが必要です。AverageCurrentがLoadのスレッシュホールド以下のままであり、連続した2回のdtの期間におけるV<sub>CELL</sub>の変化がdVのスレッシュホールド以下の場合、セルは緩和していると判断されます。[図31](#)はRelaxCFGレジスタの形式を示します。

**Load6:Load0**—AverageCurrentレジスタの比較対象となるスレッシュホールドを設定します。セルが無負荷であると判断されるためには、AverageCurrentレジスタがこのスレッシュホールド値以下のままである必要があります。Loadは符号なし7ビット値で、1LSb = 50μVです。デフォルト値は800μVです。

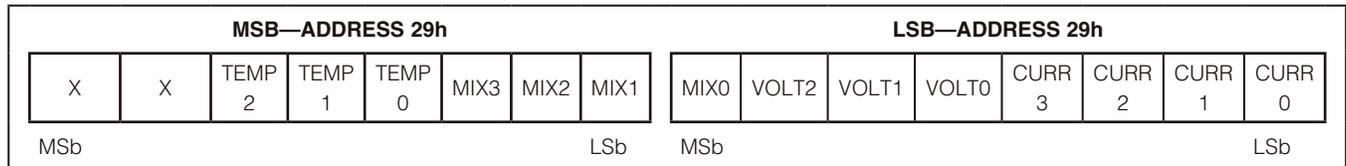


図30. FilterCFGレジスタの形式(入力)

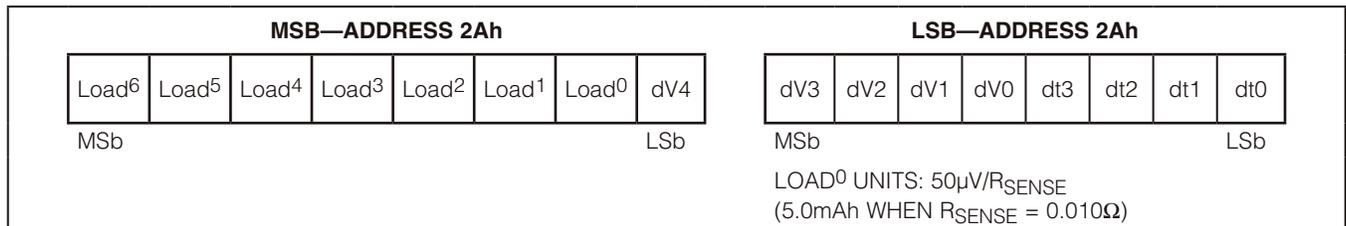


図31. RelaxCFGレジスタの形式(入力)

## ModelGauge m3残量ゲージ

**dV4:dV0**— $V_{CELL}$ の比較対象となるスレッショルドを設定します。連続して2回のdtで設定された期間にわたってセルの電圧の変化がdV以下である場合、セルは緩和していると判断されます。dVの範囲は0~40mVで、1 LSb = 1.25mVです。デフォルト値は1.75mVです。

**dt3:dt0**— $V_{CELL}$ の変化とdVとの比較を行う期間を設定します。連続して2回のdtで設定された期間にわたってセルの電圧の変化がdV以下である場合、セルは緩和していると判断されます。デフォルト値は6分です。比較時間は次のように計算されます。

$$\text{緩和時間} = 2^{dt} \times 0.1758s$$

### LearnCFGレジスタ(28h)

LearnCFGレジスタは、動作中の適応に関するすべての機能を制御します。アプリケーションで特に必要とされな

い限り、LearnCFGレジスタのデフォルト値を変更しないでください。図33がLearnCFGレジスタの形式です。

**0**—ビットに0を書き込む必要があります。1を書き込まないでください。

**1**—ビットに1を書き込む必要があります。0を書き込まないでください。

**Filt Empty**—エンプティ検出フィルタ。このビットは、エンプティの検出がフィルタを適用した電圧の読み値によって行われるか、フィルタを適用しない電圧の読み値によって行われるかを選択します。このビットに1を設定した場合、エンプティ検出アルゴリズムはAverage $V_{CELL}$ レジスタを使用します。このビットに0を設定した場合、エンプティ検出アルゴリズムに $V_{CELL}$ レジスタの使用が強制されます。このビットには、パワーアップ時に0が書き込まれます。

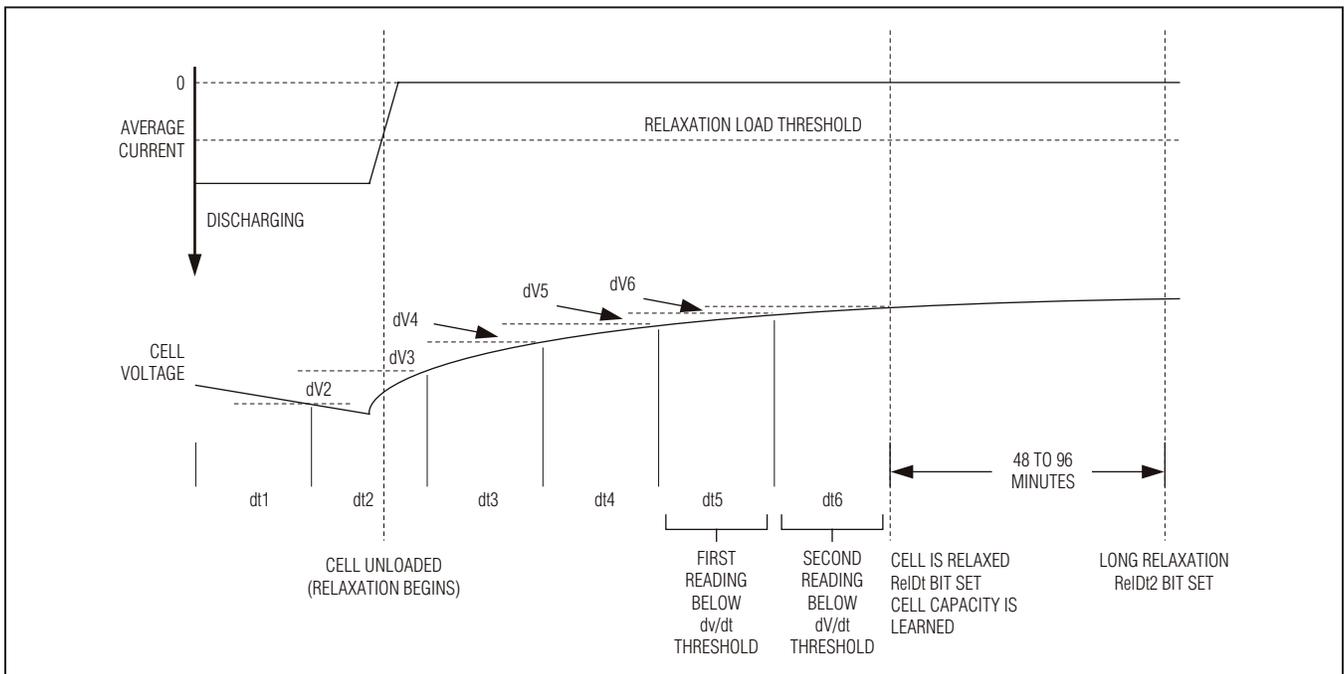


図32. セルの緩和の検出

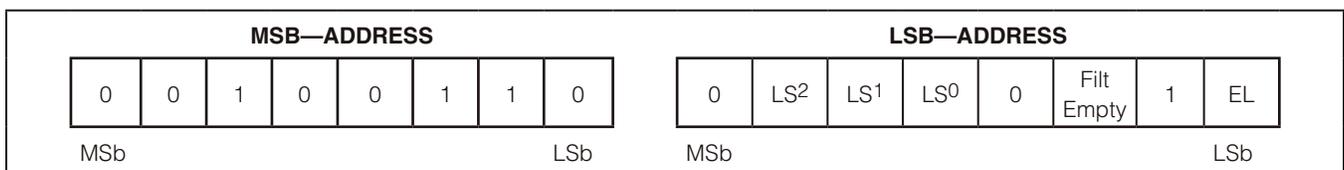


図33. LearnCFGレジスタの形式(入出力)

## ModelGauge m3残量ゲージ

**LS2:LS0**—学習段階(Learn Stage)。図3を参照してください。学習段階の値は、ミキシングアルゴリズムに対するVFGの影響を制御します。パワーアップ時には、学習段階がデフォルトで0hになり、電圧残量ゲージが大部分を占めます。その後、2回の完全なセルのサイクルにともなって学習段階が7hに進み、クーロンカウンタが大部分を占めるようになります。ホストのソフトウェアから学習段階の値に7hを書き込むことによって、任意の時点で最終段階に進めることができます。1h~6hの範囲の値を書き込んだ場合は無視されます。学習段階には、CyclesレジスタのD5、D6、およびD7ビットが反映されます。中間の状態に進めるには、Cyclesレジスタを更新してください。たとえば、学習段階5に進めるためにはCycles = 160%に設定してください。

**EL**—エンプティ学習(Empty Learning)。エンプティ学習機能をオンにするには、このビットに1をセットしてください。イネーブル時には、エンプティが発生するたびにQResidualテーブルが自動的に調整され、バッテリーの経時劣化を補償します。

### MiscCFGレジスタ(2Bh)

MiscCFG制御レジスタは、その他のさまざまなデバイスの機能を可能にします。アプリケーションで特に必要とされない限り、MiscCFGレジスタのデフォルト値を変更しないでください。図34がMiscCFGレジスタの形式です。

**0**—ビットに0を書き込む必要があります。1を書き込まないでください。

**1**—ビットに1を書き込む必要があります。0を書き込まないでください。

**X**—任意。ビットの読み値は0または1の場合があります。

**SACFG1:SACFG0**—SOCアラートの設定。SOCアラート

は、以下のように任意のSOCレジスタを監視することによって生成可能です。SACFGは、パワーアップ時にデフォルトで00になります。

**0 0** SOCアラートはSOC<sub>REP</sub>レジスタに基づいて生成されます。

**0 1** SOCアラートはSOC<sub>AV</sub>レジスタに基づいて生成されます。

**1 0** SOCアラートはSOC<sub>MIX</sub>レジスタに基づいて生成されます。

**1 1** SOCアラートはSOC<sub>VF</sub>レジスタに基づいて生成されます。

**MR4:MR0**—ミキシングレート。この値は、最終ミキシング段階に到達したあと(2.08回の完全なサイクル以降)のサーボミキシングレートの強度を設定します。単位はMR0 = 6.25μVで、範囲は標準の0.010Ωの検出抵抗の場合で最大19.375mAになります。この値を00000bに設定することでサーボミキシングがディセーブルされ、ICは無期限で時定数ミキシングを継続します。デフォルトの設定は、標準の検出抵抗の場合で18.75μVまたは1.875mAです。

**enBi1**—バッテリー装着検出時のリセットのイネーブル。AIN端子の監視に基づいてバッテリーの装着が検出されるたびに残量ゲージのリセットを強制するには、このビットに1をセットしてください。このビットには、パワーアップ時に1が書き込まれます。

### FSTATレジスタ(3Dh)

FSTATレジスタは、ModelGaugeアルゴリズムの状態を監視する読み取り専用レジスタです。このレジスタ位置に書き込みを行わないでください。図35がFSTATレジスタの形式です。

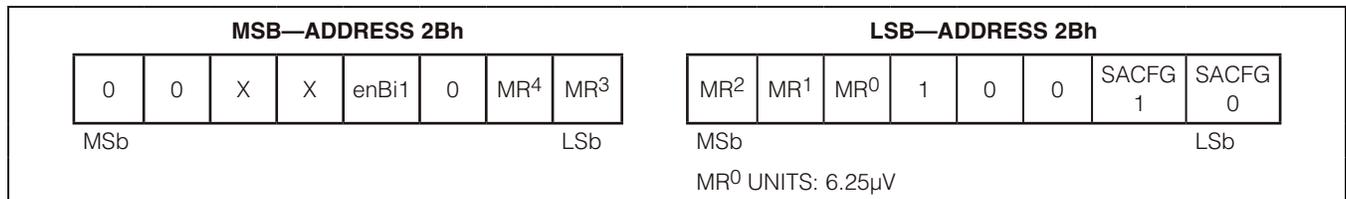


図34. MiscCFGレジスタの形式(入力)

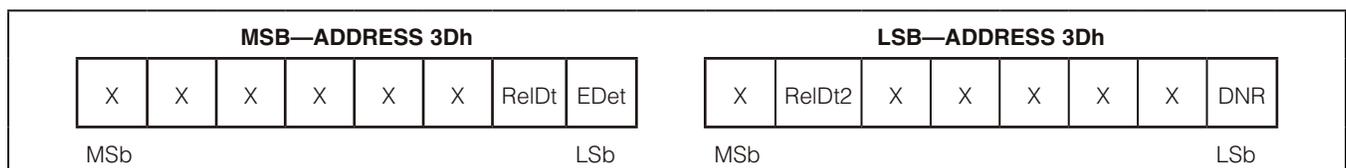


図35. FSTATレジスタの形式(出力)

## ModelGauge m3残量ゲージ

**ReIDt**—緩和セル検出。セルが完全な緩和状態であることをModelGauge m3アルゴリズムが検出するたびに、このビットに1がセットされます。このビットは、Loadのスレッシュホールドを超える電流が検出されたときに0にクリアされます。[図32](#)を参照してください。

**ReIDt2**—長期緩和。セルが48~96分以上の期間にわたって緩和していることをModelGauge m3アルゴリズムが検出するたびに、このビットに1がセットされます。このビットは、セルが緩和状態でなくなったときに0にクリアされます。[図32](#)を参照してください。

**DNR**—データノットレディ。セル装着時にこのビットに1がセットされ、出力レジスタが更新されるまでセットされたままになります。その後、ICはこのビットをクリアすることによって、残量ゲージの計算が最新状態になったことを示します。これには、セル装着イベントの前にICが通電状態だったかどうかに応じて445ms~1.845sかかります。

**EDet**—エンプティ検出。セルのエンプティポイントに到達したことをICが検出したときに、このビットに1がセットされます。このビットは、セル電圧がリカバリスレッシュホールドを上回ったときに0にリセットされます。詳細については、V\_emptyレジスタを参照してください。

**X**—任意。このビットは未定義であり、ロジック0または1になる可能性があります。

### AtRateレジスタ(04h)

AtRateレジスタによって、ホストのソフトウェアは残容量、SOC、および理論上の負荷電流に対するエンプティまでの時間を推定することができます。AtRateレジスタに0または正の値が設定されるたびに、デバイスはA/D測定値を使用して、SOC<sub>AV</sub>、RemCap<sub>AV</sub>、およびTTEの各レジスタ値を決定します。AtRateレジスタに仮定的な放電電流を示す負

の値が設定された場合は、逆にAtRateレジスタの理論上の電流に対して、SOC<sub>AV</sub>、RemCap<sub>AV</sub>、およびTTEの各レジスタの値が計算されます。AtRateレジスタは、2の補数形式の16ビット値を保持します。このレジスタに8000hを書き込まないでください。[図36](#)はAtRateレジスタの形式を示します。

### パワーアップとパワーオンリセット

デバイスのパワーオンリセット(POR)のたびに、すべてのメモリ位置がデフォルトのPOR値にリセットされます。これによって、すべてのカスタムなセル特性/アプリケーションデータが削除され、ALRT割込みとシャットダウンモードの設定が影響を受け、残量ゲージによって行われたすべての学習の調整がリセットされます。残量ゲージの精度を維持してデバイスの動作設定をリセットするためには、ホストがすべてのアプリケーションメモリデータを再ロードし、残量ゲージのすべての学習情報を復元する必要があります。PORイベントの発生後、デバイスが完全に動作をリセットするまでに最大445msかかる可能性があることに注意してください。[図37](#)を参照してください。保存したデータの復元は、この期間が終了するまで行わないでください。以下の手順が推奨されます。

- 1) Statusレジスタを読み取ります。POR = 0の場合、終了します。
- 2) 600msの間、POR動作が完全に完了するのを待ちます。
- 3) すべてのアプリケーションレジスタ値を復元します。
- 4) 残量ゲージの学習値情報を復元します(「[Save and Restoreレジスタ](#)」の項を参照)。
- 5) PORビットをクリアします。

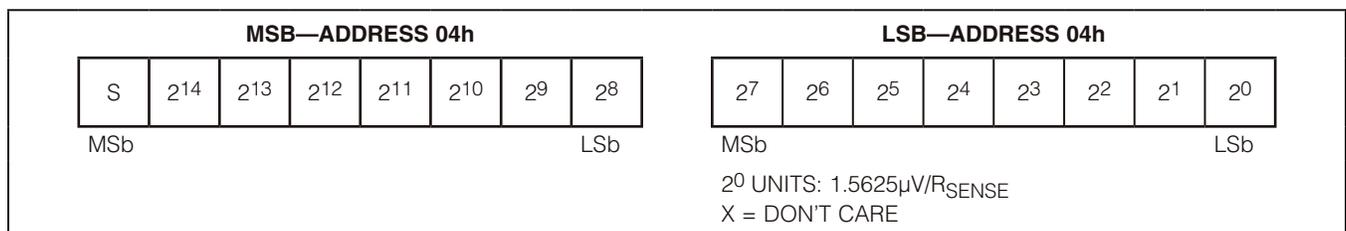


図36. AtRateレジスタの形式(入力)

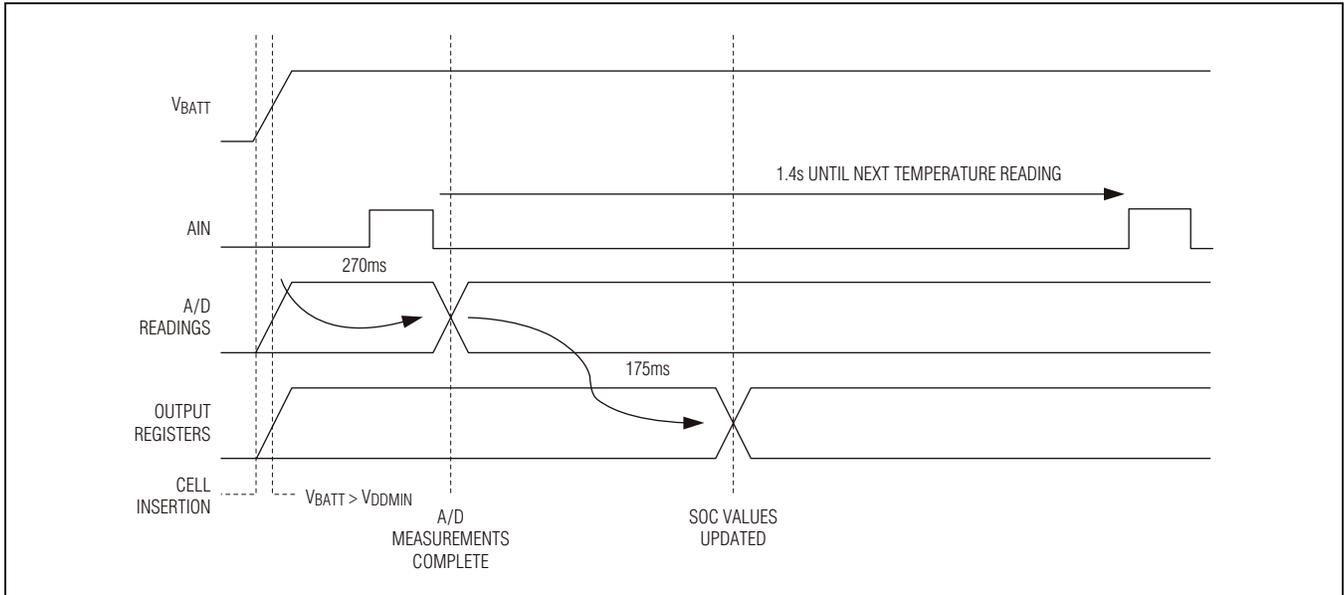


図37. パワーアップ動作

### Save and Restoreレジスタ

このデバイスは、バッテリーパックの外部で動作するように設計されているため、アプリケーションでの使用時に電力喪失に晒される可能性があります。学習した情報がパワーサイクル中に失われるのを防止するために、保存と復元の手順を使用してデバイス外部の不揮発性メモリにレジスタ値を保持することができます。学習した動作の状態を維持するためには、これらのレジスタ(表2)を外部で保存して、パワーアップ後に再びデバイスに書き込む必要があります。

一部のレジスタはアプリケーションの出力、一部のレジスタは内部計算用、そして一部は特性設定レジスタであることに注意してください。内部用以外のレジスタについては、それぞれの項で説明しています。これらの値は、アプリケーションで定期的に保存してください。バックアップが推奨されるイベントの例として、以下があります。

- 充電終了
- 放電終了
- アプリケーションがシャットダウン状態に移行する前

デバイスの最初のパワーアップ時にデフォルトの特性データをロードし、後続のパワーアップイベントでデフォルトの特性データおよび学習した情報を復元するのはホストの責任です。

表2. Save and Restoreレジスタ

REGISTER	ADDRESS
FullCap	10h
Cycles	17h
RCOMP0	38h
TempCo	39h
QResidual 00	12h
QResidual 10	22h
QResidual 20	32h
QResidual 30	42h
dQacc	45h
dPacc	46h

### バッテリーの除去と装着

このデバイスはアプリケーションに対するバッテリーの除去または装着を検出します。これによって、デバイスは新しいセルに適応して精度を維持することができます。また、除去検出機能によって(イネーブルされている場合)割込みを通してデバイスからホストプロセッサに電力喪失が迫っていることを素早く警告することも可能です。

## ModelGauge m3残量ゲージ

検出は、AIN端子の電圧を監視してTHRM端子と比較することによって行われます。セルが存在する場合、外付けの抵抗分圧回路によってAINの電圧が設定されます。セルが除去された場合、残された外付け抵抗がAINをTHRM端子の電圧レベルにプルアップします。  $V_{AIN} < V_{THRM} - V_{DETR}$  の場合、デバイスはアプリケーションにセルが存在すると判断します。  $V_{AIN} > V_{THRM} - V_{DETR}$  の場合、デバイスはその時点でセルが存在しないものと判断します。

### セルの装着(ICがすでに通電されている場合)

CONFIGレジスタのETHRMまたはFTHRMビットのいずれかTHRM端子の出力をイネーブルする設定にされている場合、デバイスはセルの装着を検出することができます。図38を参照してください。セルの装着が検出された場合、残量ゲージがリセットされ、新しく装着されたセルのSOCを反映してすべての残量ゲージ出力が更新されます。この処理には、装着の時点から最大1.845s (FTHRM = 0)または

620ms (FTHRM = 1)かかる可能性があります。デバイスはセルの電圧を残量ゲージの開始点として使用することに注意してください。装着の時点でセルの電圧が完全に緩和していない場合、残量ゲージは多少の初期誤差をとまって開始されることになります。詳細については、「[残量ゲージの学習](#)」の項を参照してください。ホストはMiscCFGレジスタのenBi1ビットをクリアすることによってこの機能をディセーブルすることができます。

セルの装着が発生したときにホストへのアラートを行うようにデバイスを設定することも可能です。CONFIGレジスタでBei = 1に設定されている場合、デバイスは装着後の最初の温度変換の開始時にALRT端子上で割込みを生成します。割込みの発生までに最大1.4秒かかる可能性があります。この機能は、2種類以上のセルを使用するアプリケーションで、個々の装着時にICの再設定が必要となる場合に役立ちます。

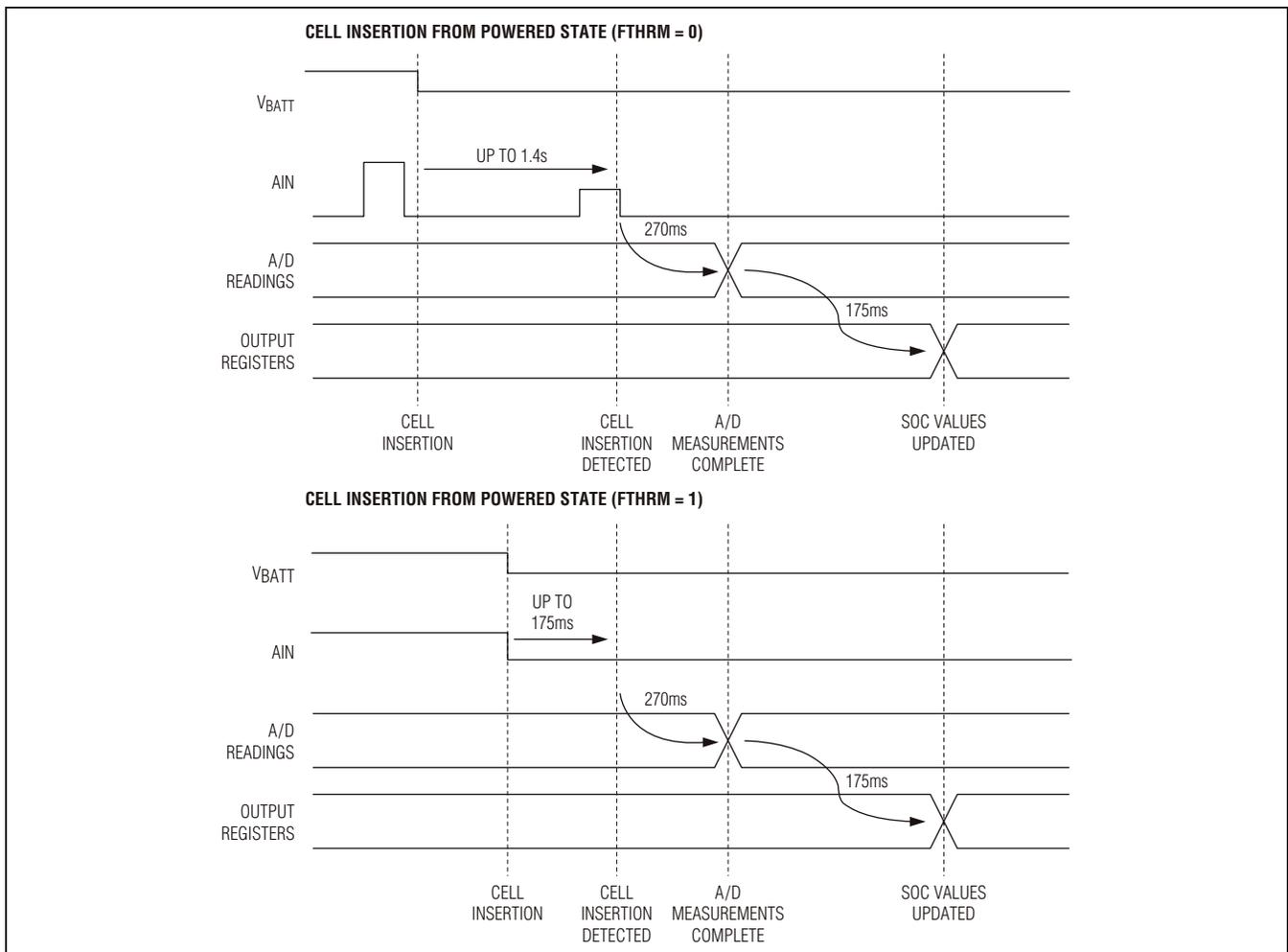


図38. セルの装着後の動作

## ModelGauge m3残量ゲージ

## セルの除去

CONFIGレジスタのETHRMまたはFTHRMビットのいずれかがTHRM端子の出力をイネーブルする設定にされている場合、デバイスはセルの除去を検出します。セルの除去はICの動作に影響を与えません。デバイスは残量ゲージ出力の更新を継続します。ホストはStatusレジスタのBrおよびBstビットを監視して、残量ゲージの出力が有効かどうかを判断してください。

セルの除去が発生したときにホストへのアラートを行うようにデバイスを設定することも可能です。CONFIGレジスタでBer = 1に設定されている場合、デバイスは除去後の最初の温度変換の開始時にALRT端子上で割込みを生成します。割込みの発生までに最大1.4秒かかる可能性があります。この機能は、2種類以上のセルを使用するアプリケーションで、個々の挿入時にICの再設定が必要となる場合に役立ちます。

## セルの除去の高速検出

このデバイスは、セルの除去時に電源喪失が迫っていることをホストに素早く警告するように設定することが可能です。この高速な反応によって、システムは迅速かつ適切な手順でハイバネーションを行い、バッテリー交換中の電源喪失を防止することができます。CONFIGレジスタでBer = 1、FTHRM = 1、およびALRTp = 0に設定されている場合、ALRT端子の割込みは $V_{AIN}$ が $V_{THRM} - V_{DETR}$ を上回ってから100 $\mu$ s以内に生成されます。高速検出を使用する場合、ホストが割込み原因の判定に時間を費やすのを防ぐために、すべてのその他のICの割込みをディセーブルすることが推奨されます。セルの除去の高速検出は残量ゲージの動作に影響を与えませんが、外付けの抵抗分圧器を作動させたままにした場合、アプリケーションの消費電流が増大します。[図39](#)を参照してください。

## 動作モード

このデバイスは、アクティブとシャットダウンの2つの電力モードの1つで動作します。アクティブモード時、デバイスは高精度バッテリーモニタとして動作し、温度、電圧、補助入力、電流、および積算電流の測定値が継続的に取得されて、結果の値が測定レジスタ内で更新されます。READおよびWRITEアクセスは、アクティブモードでのみ可能です。

シャットダウンモードでは、LDOがディセーブルされ、すべての動作が停止しますが、**揮発性RAMの内容は維持されたままです**。すべてのA/Dレジスタおよび残量ゲージ出力の値が維持されます。シャットダウンへの移行方法にはいくつかの選択肢があります。

シャットダウンへの移行：

- **SHUTDOWNコマンド**—I<sup>2</sup>Cインタフェースを介してCONFIGレジスタにSHDN = 1を書き込み後、SHDNTIMERレジスタの値の時間を経過した場合。
- **パックの除去**—パック除去の検出がSHDNTIMERレジスタの値よりも長時間にわたって有効になっており、CONFIGレジスタでAINSH = 1に設定されている場合。
- **I<sup>2</sup>Cシャットダウン**—I<sup>2</sup>Cラインが両方もSHDNTIMERレジスタの値より長時間にわたってローのまま、CONFIGレジスタでI2CSH = 1に設定されている場合。
- **ALRTシャットダウン**—ALRTラインがSHDNTIMERレジスタの値より長時間にわたって外部的にローに駆動された場合(ALSH = 1かつALRTp = 0)、またはALRTラインがSHDNTIMERレジスタの値より長時間にわたって外部的にハイに駆動された場合(ALSH = 1かつALRTp = 1)、シャットダウンが発生します。[「CONFIGレジスタ \(1Dh\)」](#)の項を参照してください。

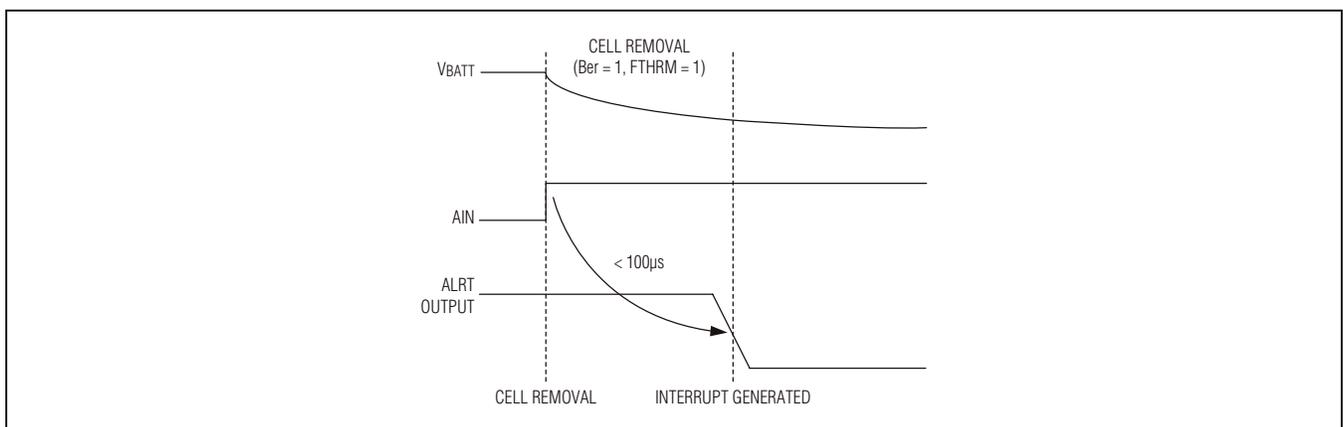


図39. セルの除去の高速検出

## ModelGauge m3残量ゲージ

これらのシャットダウン移行モードは、すべてアプリケーションに応じて設定可能です。シャットダウンイベントはSHDNTIMERレジスタによって制限されるため、シャットダウンイベントと実際のシャットダウンの間に長時間のデレイを設けることが可能です。このような振る舞いによって、デバイスは緩和電圧の最良の読み値を取得します。シャットダウンの終了:

- **I<sup>2</sup>Cウェイクアップ**—SCL/SDAの任意のエッジ。
- **ALRTウェイクアップ**—ALRTラインの任意のエッジで、(ALSH = 1またはI2CSH = ALSH = 0)の場合。
- **リセット**—ICがパワーサイクルされた場合。

SHDNTIMERおよびCONFIGレジスタの詳細については、「[ステータスおよび設定](#)」の項を参照してください。

アクティブモードへの復帰時のデバイスの状態は、トリガとなったイベントによって異なります。図40を参照してください。ホストのソフトウェアはPORおよびBiステータスビットを監視することによって、発生したイベントの種類を判断することができます。

### ALRT機能

Alert Thresholdレジスタによって、高電圧/低電圧、高温/低温、または高/低SOCの検出によって割込みを発生させることができます。割込みは、ALRT端子のオープンドレイン出力ドライバで生成されます。ロジックハイの信号を生成するために、外付けのプルアップが必要です。非アクティブ時にロジックローになるように端子を設定している場合、外付けのプルアップによって電流消費量が増大することに注意してください。

CONFIGレジスタのALRTpビットは、ALRT端子の出力の極性を設定します。アラートは、以下の任意の条件でトリガすることができます。

- **バッテリーの除去**—( $V_{AIN} > V_{THRM} - V_{DETR}$ )かつバッテリーの除去の検出がイネーブルされている場合(Ber = 1)。
- **バッテリーの装着**—( $V_{AIN} < V_{THRM} - V_{DETF}$ )かつバッテリーの装着の検出がイネーブルされている場合(Bei = 1)。
- **高電圧/低電圧**— $V_{ALRT}$ スレッショルドの超過(上限または下限)かつアラートがイネーブルされている場合(Aen = 1)。
- **高温/低温**— $T_{ALRT}$ スレッショルドの超過(上限または下限)かつアラートがイネーブルされている場合(Aen = 1)。
- **高/低SOC**— $S_{ALRT}$ スレッショルドの超過(上限または下限)かつアラートがイネーブルされている場合(Aen = 1)。

誤った割込みを防止するために、Aenビットをセットする前に各Thresholdレジスタを初期化してください。バッテリーの装着または除去によって生成されるアラートは、Statusレジスタ内の該当するビットをクリアすることによってのみリセット可能です。スレッショルドレベル超過によって生成されるアラートは、ソフトウェアによってのみクリアするか、またはスレッショルドレベルの超過がなくなった時点で自動的にクリアするかを設定することができます。アラート機能の設定の詳細については、CONFIG (1Dh)レジスタの説明を参照してください。

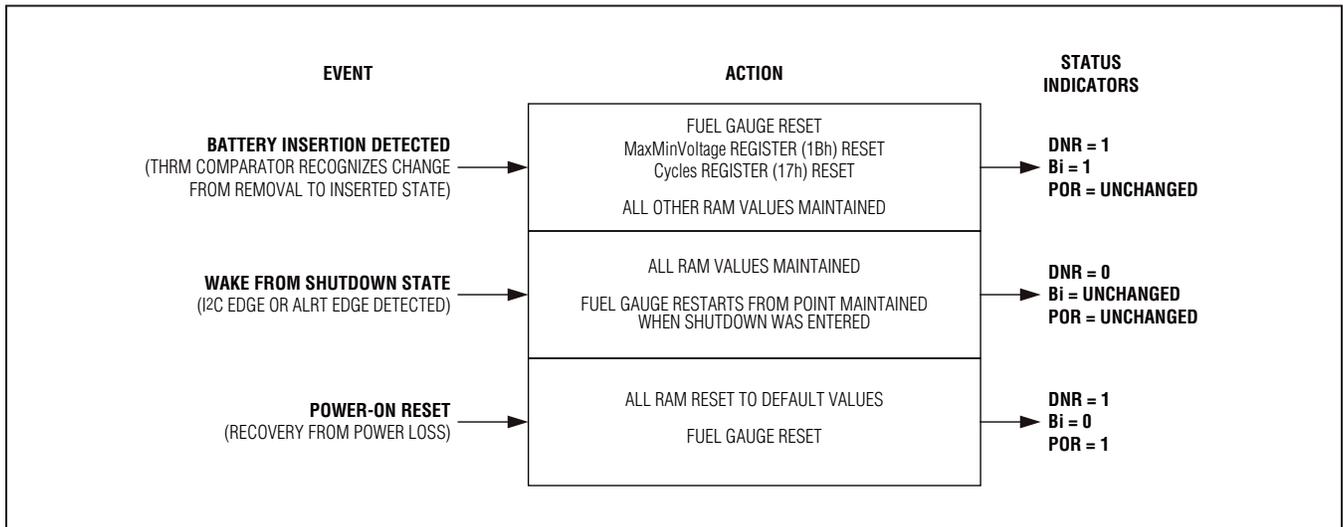


図40. シャットダウンの終了条件に基づくデバイスの状態

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### VALRT Thresholdレジスタ(01h)

VALRT Thresholdレジスタ(図41)は、VCELLレジスタの値が超過した場合にALRT端子の割込みを生成する上限および下限を設定します。上位8ビットで最大値が設定され、下位8ビットで最小値が設定されます。割込みスレッショルドリミットは、VCELLレジスタの全動作範囲にわたって分解能20mVで選択可能です。パワーアップ時に、各スレッショルドはデフォルトで最大設定値のFF00h (ディセーブル)になります。

### TALRT Thresholdレジスタ(02h)

TALRT Thresholdレジスタは、Temperatureレジスタの値が超過した場合にALRT端子の割込みを生成する上限および下限を設定します。上位8ビットで最大値が設定され、下位8ビットで最小値が設定されます。割込みスレッショルドリミットは2の補数形式で格納され、Temperatureレジスタ

の全動作範囲にわたって分解能1°Cで選択可能です。パワーアップ時に、各スレッショルドはデフォルトで最大設定値の7F80h (ディセーブル)になります。図42はTALRT Thresholdレジスタの形式を示します。

### SALRT Thresholdレジスタ(03h)

SALRT Thresholdレジスタ(図43)は、選択されたSOCREP、SOCAV、SOCMIX、またはSOCvFレジスタの値が超過した場合にALRT端子の割込みを生成する上限および下限を設定します。詳細については、MiscCFGレジスタの説明の中のSACFGビットを参照してください。上位8ビットで最大値が設定され、下位8ビットで最小値が設定されます。割込みスレッショルドリミットは、選択されたSOCレジスタの全動作範囲にわたって分解能1%で選択可能です。パワーアップ時に、各スレッショルドはデフォルトで最大設定値のFF00h (ディセーブル)になります。

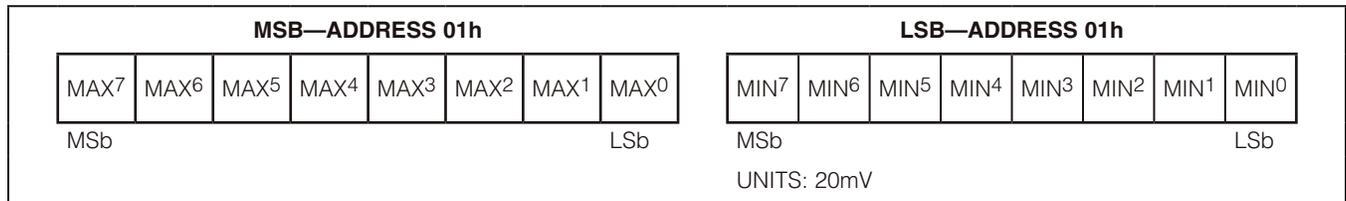


図41. VALRT Thresholdレジスタの形式(入力)

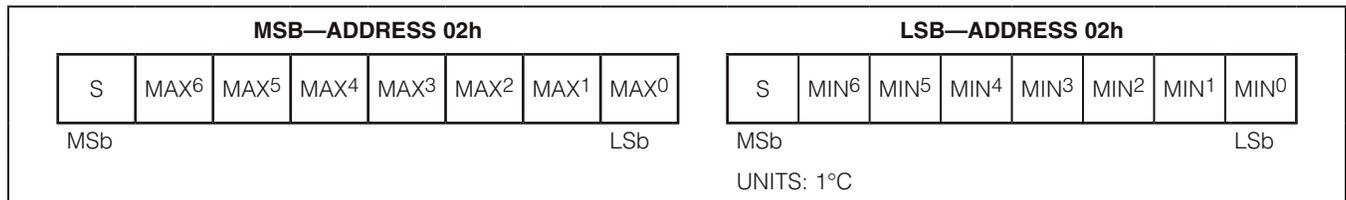


図42. TALRT Thresholdレジスタの形式(入力)

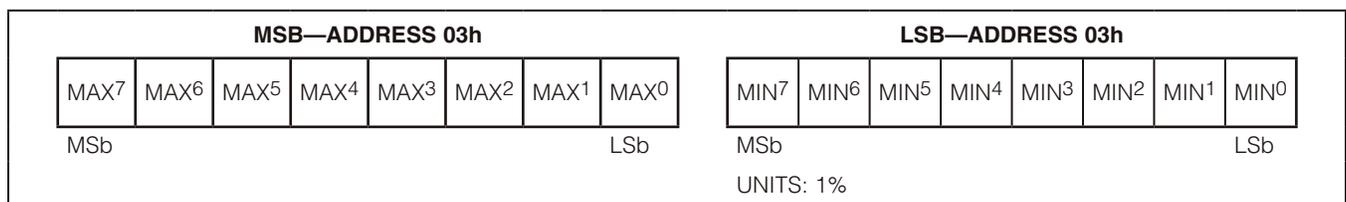


図43. SALRT Thresholdレジスタの形式(入力)

## ModelGauge m3残量ゲージ

### ステータスおよび設定

以下のレジスタは、ALRT割込み機能の動作の制御、アクティブとシャットダウンの動作モード間の遷移の制御、およびホストプロセッサに対するステータス更新の提供を行います。

#### CONFIGレジスタ(1Dh)

CONFIGレジスタは、すべてのシャットダウンのイネーブル、アラートのイネーブル、および温度のイネーブルの制御ビットを保持します。ビット位置への書き込みによって、該当する機能が175.8msタスク時間以内にイネーブルされます。[図44](#)はCONFIGレジスタの形式を示します。

**0**—ビットに0を書き込む必要があります。1を書き込まないでください。

**Ber**—バッテリーの除去によるアラートのイネーブル。Ber = 1の場合、AIN端子の電圧によって検出されるバッテリー除去状態によってアラートがトリガされます。パワーアップ時には0が設定されます。このビットに1を設定する場合は、アラート条件によってデバイスがシャットダウンモードに移行するのを防ぐために、ALSHビットに0を設定してください。

**Bei**—バッテリーの装着によるアラートのイネーブル。Bei = 1の場合、AIN端子の電圧によって検出されるバッテリー装着状態によってアラートがトリガされます。パワーアップ時には0が設定されます。このビットに1を設定する場合は、アラート条件によってデバイスがシャットダウンモードに移行するのを防ぐために、ALSHビットに0を設定してください。

**Aen**—残量ゲージ出力によるアラートのイネーブル。Aen = 1の場合、温度、電圧、またはSOCのいずれかのアラートスレッシュホールドのレジスタ値の超過によってアラートがトリガされます。このビットはALRT端子の動作にのみ影響します。Smx、Smn、Tmx、Tmn、Vmx、およびVmnの各ビットはティセーブルされません。このビットにはパワーアップ時に0が設定されます。このビットに1を設定する場合は、アラート条件によってデバイスがシャットダウンモードに移行するのを防ぐために、ALSHビットに0を設定してください。

**FTHRM**—サーミスタバイアススイッチの強制。これによって、ホストはサーミスタスイッチのバイアスの制御またはバッテリーの除去の高速検出のイネーブルを行うことができます(「[セルの除去の高速検出](#)」の項を参照)。サーミスタバイアススイッチを常にイネーブルするには、FTHRM = 1に設定してください。標準の10kΩのサーミスタの場合、これによって回路の電流消費量がさらに約200μA増大

します。このビットにはパワーアップ時に0が設定されます。

**ETHRM**—サーミスタのイネーブル。自動的なTHRM出力バイアスおよび1.4秒ごとのAIN測定をイネーブルするには、ロジック1を設定してください。このビットにはパワーアップ時に1が設定されます。

**ALSH**—ALRTシャットダウン。ALRT端子をデバイスのシャットダウンモードを制御するための入力として設定するには、ロジック1を設定して、Aen、Ber、およびBeiの各ビットをクリアしてください。SHDNTIMERレジスタのタイムアウトより長時間にわたってALRT端子がアクティブに維持された場合、デバイスはシャットダウンに移行します。ALRT端子の反対側のエッジで、デバイスは直ちにアクティブモードに移行します。ロジック0を設定した場合、ALRT端子は割込み出力として機能することができます。このビットにはパワーアップ時に0が設定されます。このビットに1を設定する場合は、アラート条件によってデバイスがシャットダウンモードに移行するのを防ぐために、Bei、Ber、およびAenの各ビットに0を設定してください。

**I2CSH**—I<sup>2</sup>Cによるシャットダウン。SHDNTIMERレジスタのタイムアウトより長時間にわたってSDAとSCLの両方がローに維持された場合にデバイスを強制的にシャットダウンモードに移行させるには、ロジック1を設定してください。また、これによってSDAまたはSCLのいずれかの立上りエッジでウェイクアップするようにデバイスが設定されます。パワーアップ時には1が設定されます。I2CSHとAINSHの両方に0を設定した場合、SDA、SCL、またはALRTのどの端子のエッジでもデバイスがウェイクアップすることに注意してください。

**SHDN**—シャットダウン。SHDNTIMERレジスタのタイムアウト後にデバイスのシャットダウンを強制するには、このビットにロジック1を書き込んでください。SHDNはパワーアップ時およびシャットダウンモードの終了時に0にリセットされます。

**Tex**—温度の外部供給。1を設定した場合、残量ゲージはホストからの外部の温度測定値の書き込みを必要とします。0を設定した場合、代わりにAIN端子の測定値が温度値に変換されてTemperatureレジスタに格納されます。Texにはパワーアップ時に1が設定されます。

**Ten**—温度チャンネルのイネーブル。AIN端子の測定値をイネーブルするには、1を設定して、ETHRMまたはFTHRMに1を設定してください。Tenにはパワーアップ時に1が設定されます。

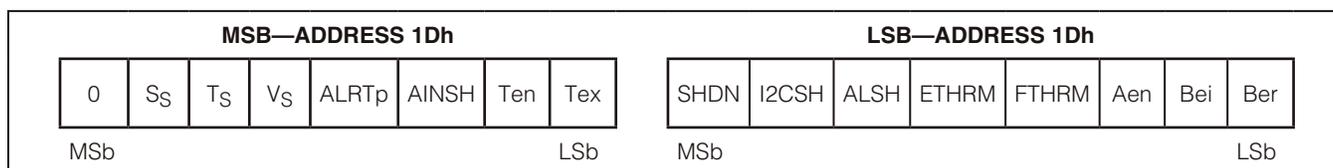


図44. CONFIGレジスタの形式(入力)

## ModelGauge m3残量ゲージ

**AINSH**—AIN端子によるシャットダウン。バッテリー除去時のデバイスのシャットダウンをイネーブルするには、1を設定してください。SHDNTIMERレジスタのタイムアウトより長時間にわたってAIN端子がハイのまま(AINの読み値 >  $V_{THRM} - V_{DETR}$ )の場合、ICはシャットダウンに移行します。また、これによってセルの装着時にAINがローに駆動されたときにウェイクアップするようにデバイスが設定されます。AINSHにはパワーアップ時に0が設定されます。I2CSHとAINSHの両方に0を設定した場合、SDA、SCL、またはALRTのどの端子のエッジでもデバイスがウェイクアップすることに注意してください。

**ALRTp**—ALRT端子の極性。ALRTが入力または出力のどちらとして使用されているかに関わらず、ALRTp = 0の場合、ALRT端子はアクティブローです。ALRTp = 1の場合、ALRT端子はアクティブハイです。セル除去の高速検出をイネーブルするためにはALRTpを0に設定する必要があります。ALRTpにはパワーアップ時に0が設定されます。

**Vs**—電圧ALRTスティッキー。Vs = 1の場合、電圧アラートはソフトウェアを介してのみクリアすることができます。Vs = 0の場合、電圧アラートはスレッショルドの超過がなくなった時点で自動的にクリアされます。Vsにはパワーアップ時に0が設定されます。

**Ts**—温度ALRTスティッキー。Ts = 1の場合、温度アラートはソフトウェアを介してのみクリアすることができます。Ts = 0の場合、温度アラートはスレッショルドの超過がなくなった時点で自動的にクリアされます。Tsにはパワーアップ時に1が設定されます。

**Ss**—SOC ALRTスティッキー。Ss = 1の場合、SOCアラートはソフトウェアを介してのみクリアすることができます。Ss = 0の場合、SOCアラートはスレッショルドの超過がなくなった時点で自動的にクリアされます。Ssにはパワーアップ時に0が設定されます。

### TIMERレジスタ(3Eh)

このレジスタは、残量ゲージのタイミング情報を保持します。ユーザーはデバッグのために利用することができます。図45はTIMERレジスタの形式を示します。

### SHDNTIMERレジスタ(3Fh)

SHDNTIMERレジスタは、シャットダウンイベントが検出されてからデバイスがLDOをディセーブルして低電力モードに移行するまでのタイムアウト時間を設定します。図46はSHDNTIMERレジスタの形式を示します。

**CTR12:CTRO**—シャットダウンカウンタ。このレジスタは、シャットダウントリガイベントからの経過時間の総量をカウントします。このカウンタ値は、シャットダウンタイムアウトが完了した時点で停止して0にリセットされます。カウンタのLSbは1.4秒です。

**THR2:THRO**—最小45秒から最大1.6時間までの範囲でシャットダウンタイムアウト時間を設定します。デフォルトのPOR値は7hで、シャットダウン遅延は1.6時間になります。時間を設定する式は、次のとおりです。

$$\text{シャットダウンタイムアウト時間} = 175.8\text{ms} \times 2^{(8+\text{THR})}$$

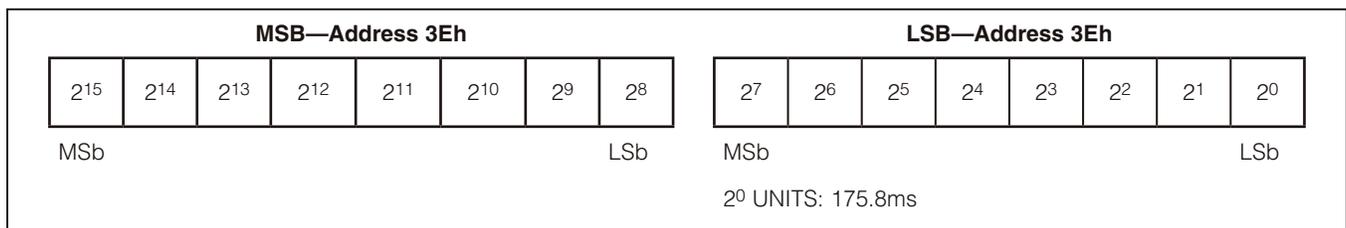


図45. Timerレジスタの形式(出力)

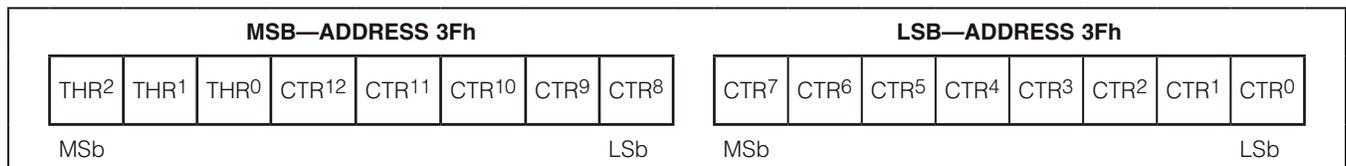


図46. SHDNTIMERレジスタの形式(入出力)

## ModelGauge m3残量ゲージ

### Statusレジスタ(00h)

Statusレジスタは、アラートのスレッシュホールドおよびバッテリーの装着または除去に関するすべてのフラグを保持します。[図47](#)はStatusレジスタの形式を示します。

**POR**—パワーオンリセット。ソフトウェアまたはハードウェアPORイベントが発生したことをデバイスが検出した場合、このビットに1がセットされます。PORビットがセットされたことを検出した場合、ホストはデバイスを再設定してください。「[パワーアップとパワーオンリセット](#)」の項を参照してください。次のPORイベントを検出するために、このビットをシステムソフトウェアでクリアする必要があります。PORにはパワーアップ時に1が設定されます。

**Bst**—バッテリーステータス。システム内にバッテリーが存在する場合このビットに0が設定され、バッテリーが除去されたときに1が設定されます。Bstにはパワーアップ時に0が設定されます。

**Vmn**—最小VALRTスレッシュホールド超過。VCELLレジスタの読み値が最小VALRT値を下回るたびに、このビットに1がセットされます。次のイベントを検出するために、このビットをシステムソフトウェアでクリアする必要がある場合と不要な場合があります。CONFIGレジスタのVSを参照してください。Vmnにはパワーアップ時に0が設定されます。

**Tmn**—最小TALRTスレッシュホールド超過。Temperatureレジスタの読み値が最小TALRT値を下回るたびに、このビットに1がセットされます。次のイベントを検出するために、このビットをシステムソフトウェアでクリアする必要がある場合と不要な場合があります。CONFIGレジスタのTSを参照してください。Tmnにはパワーアップ時に0が設定されます。

**Smn**—最小SOCALRTスレッシュホールド超過。SOCが最小SOCALRT値を下回るたびに、このビットに1がセットされます。次のイベントを検出するために、このビットをシステムソフトウェアでクリアする必要がある場合と不要な場合があります。CONFIGレジスタのSSおよびMiscCFGレジスタ

のSACFGを参照してください。Smnにはパワーアップ時に0が設定されます。

**Bi**—バッテリーの装着。システムにバッテリーが装着されたことをAIN端子の監視によってデバイスが検出した場合に、このビットに1がセットされます。次の装着イベントを検出するために、このビットをシステムソフトウェアでクリアする必要があります。Biにはパワーアップ時に0が設定されます。

**Vmx**—最大VALRTスレッシュホールド超過。VCELLレジスタの読み値が最大VALRT値を上回るたびに、このビットに1が設定されます。次のイベントを検出するために、このビットをシステムソフトウェアでクリアする必要がある場合と不要な場合があります。CONFIGレジスタのVSを参照してください。Vmxにはパワーアップ時に0が設定されます。

**Tmx**—最大TALRTスレッシュホールド超過。Temperatureレジスタの読み値が最大TALRT値を上回るたびに、このビットに1が設定されます。次のイベントを検出するために、このビットをシステムソフトウェアでクリアする必要がある場合と不要な場合があります。CONFIGレジスタのTSを参照してください。Tmxにはパワーアップ時に0が設定されます。

**Smx**—最大SOCALRTスレッシュホールド超過。SOCが最大SOCALRT値を上回るたびに、このビットに1が設定されます。次のイベントを検出するために、このビットをシステムソフトウェアでクリアする必要がある場合と不要な場合があります。CONFIGレジスタのSSおよびMiscCFGレジスタのSACFGを参照してください。Smxにはパワーアップ時に0が設定されます。

**Br**—バッテリーの除去。システムからバッテリーが除去されたことをデバイスが検出した場合に、このビットに1がセットされます。次の除去イベントを検出するために、このビットをシステムソフトウェアでクリアする必要があります。Brにはパワーアップ時に0が設定されます。

**X**—任意。このビットは未定義であり、ロジック0または1になる可能性があります。

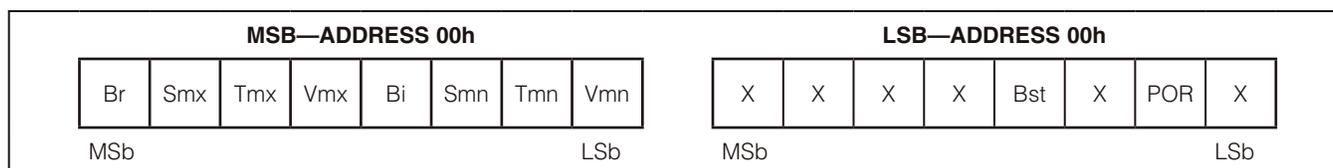


図47. Statusレジスタの形式(入出力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### Versionレジスタ(21h)

Versionレジスタは、デバイスのバージョンを示す16ビット値を保持します。図48はVersionレジスタの形式を示します。

### 電圧測定

アクティブモード時、デバイスはV<sub>BATT</sub>端子とCSP端子の間の電圧を2.5V~4.98Vの範囲で定期的に測定します。結果のデータは175.8msごとにLSb値0.625mVでV<sub>CELL</sub>レジスタに格納されます。さらに、デバイスによって測定された最小および最大の電圧の記録と、ホストによって定義された期間にわたる平均電圧が保持されます。デバイスのパワーアップ後の最初の変換サイクルの期間は、V<sub>CELL</sub>およびAverageV<sub>CELL</sub>レジスタの内容は不定です。デバイスがシャットダウンモードに移行するときは、V<sub>CELL</sub>およびAverageV<sub>CELL</sub>レジスタの最新の値が維持されます。

### V<sub>CELL</sub>レジスタ(09h)

アクティブモード時、デバイスはV<sub>BATT</sub>端子とCSP端子の間の電圧を2.5V~4.98Vの範囲で定期的に測定します。

結果のデータは175.8msごとにLSb値0.625mVでV<sub>CELL</sub>レジスタに格納されます。レジスタの最大値以上の電圧は、最大値として通知されます。V<sub>CELL</sub>レジスタの下位3ビットは任意ビットです。図49はV<sub>CELL</sub>レジスタの形式を示します。

### AverageV<sub>CELL</sub>レジスタ(19h)

AverageV<sub>CELL</sub>レジスタは、設定可能な12秒~24分の期間にわたるV<sub>CELL</sub>レジスタの読み値の平均を通知します。時間フィルタの設定の詳細については、FilterCFGレジスタの説明を参照してください。結果の平均値は、LSb値0.625mVでAverageV<sub>CELL</sub>レジスタに格納されます。AverageV<sub>CELL</sub>レジスタの下位3ビットは任意ビットです。デバイスのパワーアップ後の最初のV<sub>CELL</sub>レジスタの読み値によって、AverageV<sub>CELL</sub>のフィルタの開始ポイントが設定されます。セル緩和イベントが検出された場合、AverageV<sub>CELL</sub>レジスタの平均化周期がRelaxCFGレジスタのdt3:dt0によって定義される期間に変更されることに注意してください。充電または放電電流が検出された場合、AverageV<sub>CELL</sub>レジスタは通常の平均化周期に復帰します。図50はAverageV<sub>CELL</sub>レジスタの形式を示します。

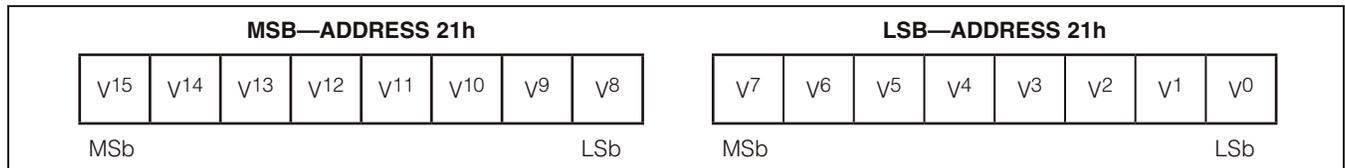


図48. Versionレジスタの形式(出力)

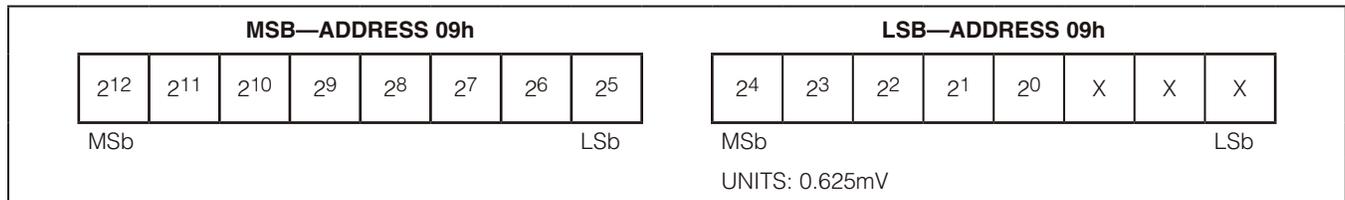


図49. V<sub>CELL</sub>レジスタの形式(出力)

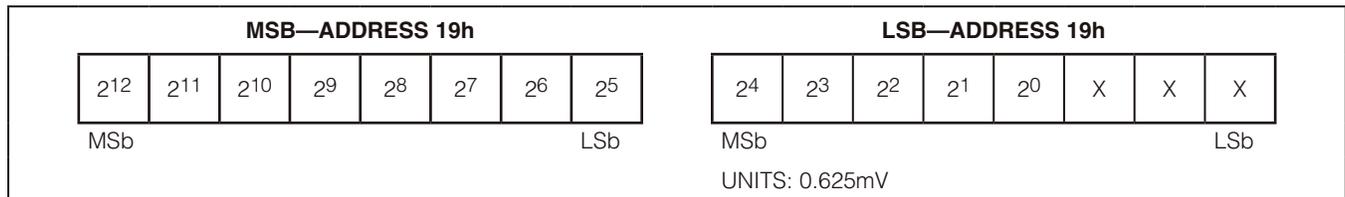


図50. AverageV<sub>CELL</sub>レジスタの形式(出力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### MaxMinV<sub>CELL</sub>レジスタ(1Bh)

MaxMinV<sub>CELL</sub>レジスタは、残量ゲージが最後にリセットされて以来またはホストのソフトウェアによってリセットされるまでのV<sub>CELL</sub>レジスタの最大値および最小値を保持します。V<sub>CELL</sub>レジスタが更新されるたびに、これらの値との比較が行われます。V<sub>CELL</sub>が最大値より大きいか最小値より小さい場合、該当する値が新しい読み値に置き換えられます。パワーアップ時に、MaxV<sub>CELL</sub>の値は00h (最小値)に設定され、MinV<sub>CELL</sub>の値はFFh (最大値)に設定されます。そのため、最初の更新後には両方の値がV<sub>CELL</sub>レジスタの読み値に変更されます。ホストのソフトウェアは、パワーアップ値である00FFhを書き込むことによってこのレジスタをリセットすることができます。最大電圧および最小電圧は、それぞれ分解能20mVの8ビット値として保存されます。[図51](#)はMaxMinV<sub>CELL</sub>レジスタの形式を示します。

### 電流測定

アクティブモード時、デバイスはCSN端子とCSP端子の間の電圧を±51.2mVの範囲で定期的に測定します。結果のデータは符号付きの2の補数形式の値として175.8msごとにLSb値1.5625μV/R<sub>SENSE</sub>でCurrentレジスタに格納さ

れます。すべてのデバイスは、高精度の電流測定用に出荷時に較正済みです。しかし、アプリケーションで必要な場合は、COFFおよびCGAINレジスタの設定を変更することによってCurrentレジスタの読み値を調整することができます。

さらに、デバイスによって測定された最小および最大の電流の記録と、ホストによって定義された期間にわたる平均の電流が保持されます。ICのパワーアップ後の最初の変換サイクルの期間までは、CurrentおよびAverageCurrentレジスタの内容は0000hです。ICがシャットダウンモードに移行するときは、CurrentおよびAverageCurrentレジスタの最新の値が維持されます。

### Currentレジスタ(0Ah)

アクティブモード時、デバイスはCSN端子とCSP端子の間の電圧を±51.2mVの範囲で定期的に測定します。結果のデータは2の補数形式の値として175.8msごとにLSb値1.5625μV/R<sub>SENSE</sub>でCurrentレジスタに格納されます。最小と最大のレジスタ値の範囲外の電圧は、最小値または最大値として通知されます。[図52](#)はCurrentレジスタの形式を示し、[表3](#)にCurrentレジスタの変換の例を示します。

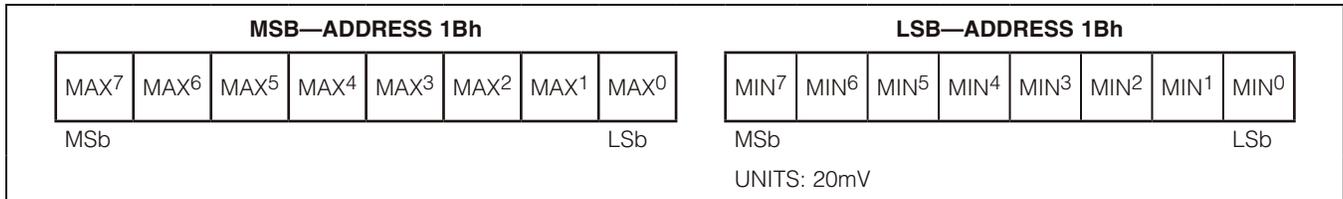


図51. MaxMinV<sub>CELL</sub>レジスタの形式(出力)

表3. Currentレジスタの変換の例

FUNCTION	SENSE RESISTOR (Ω)	CGAIN REGISTER	CURRENT REGISTER RESOLUTION (μA)	CURRENT REGISTER RANGE (A)	MAXIMUM CELL CAPACITY (Ah)
Adjusting sense resistor to meet range and accuracy requirements	0.005	4000h	312.50	±10.24	32.768
	0.010	4000h	156.25	±5.12	16.384
	0.020	4000h	78.125	±2.56	8.192
Adjusting CGAIN to keep units constant	0.005	7FFFh	156.25	±5.12	16.384
	0.010	4000h	156.25	±5.12	16.384
	0.020	2000h	156.25	±5.12	16.384

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### AverageCurrentレジスタ(0Bh)

AverageCurrentレジスタは、設定可能な0.7秒~6.4時間の期間にわたるCurrentレジスタの読み値の平均を通知します。時間フィルタの設定の詳細については、FilterCFGレジスタの説明を参照してください。結果の平均値は、LSb値1.5625μV/R<sub>SENSE</sub>でAverageCurrentレジスタに格納されます。デバイスのパワーアップ後の最初のCurrentレジスタの読み値によって、AverageCurrentのフィルタの開始ポイントが設定されます。デバイスがシャットダウンモードに移行するときは、AverageCurrentレジスタの最新の値が維持されます。図53はAverageCurrentレジスタの形式を示します。

### MaxMinCurrentレジスタ(1Ch)

MaxMinCurrentレジスタは、残量ゲージが最後にリセットされて以来またはホストのソフトウェアによってクリアされるまでのCurrentレジスタの最大値および最小値を保持します。Currentレジスタが更新されるたびに、これらの値との比較が行われます。読み値が最大値より大きい場合、最小値より小さい場合、該当する値が新しい読み値に置き換えられます。パワーアップ時に、MaxCurrentの値は80h (最小値)に設定され、MinCurrentの値は7Fh (最大値)に設定されます。そのため、最初の更新後には両方の値が

Currentレジスタの読み値に変更されます。ホストのソフトウェアは、パワーアップ値である807Fhを書き込むことによってこのレジスタをリセットすることができます。最大電圧および最小電圧は、それぞれ分解能0.4mV/R<sub>SENSE</sub>の2の補数形式の8ビット値として保存されます。図54はMaxMinCurrentレジスタの形式を示します。

### CGAINレジスタ(2Eh)/COFFレジスタ(2Fh)

CGAINおよびCOFFレジスタは、電流測定結果の利得およびオフセットを調整します。電流測定A/Dはデータシートの精度に出荷時調整されているため、ユーザーがそれ以上の調整を行う必要はありません。パワーアップ時のCGAINおよびCOFFのデフォルト設定は、Currentレジスタの読み値に調整を適用しません。特定のアプリケーションの要件に応じて、CGAINおよびCOFFレジスタを使用して次のように読み値を調整することができます。

$$\text{Currentレジスタ} = \text{電流A/Dの読み値} \times (\text{CGAINレジスタ}/16384) + (2 \times \text{COFFレジスタ})$$

システム間のソフトウェア互換性を最も容易にするために、電流のLSb分解能を0.15625mAに維持するようにCGAINを設定してください。CGAINの最大範囲により、0.005Ωの最小検出抵抗が必要です。これによって、電流の読み値と

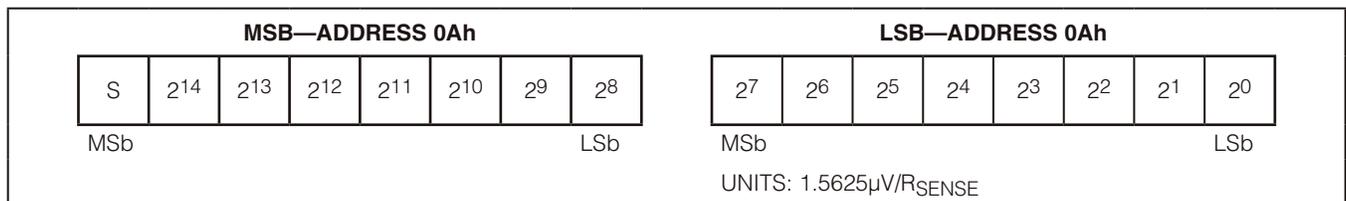


図52. Currentレジスタの形式(出力)

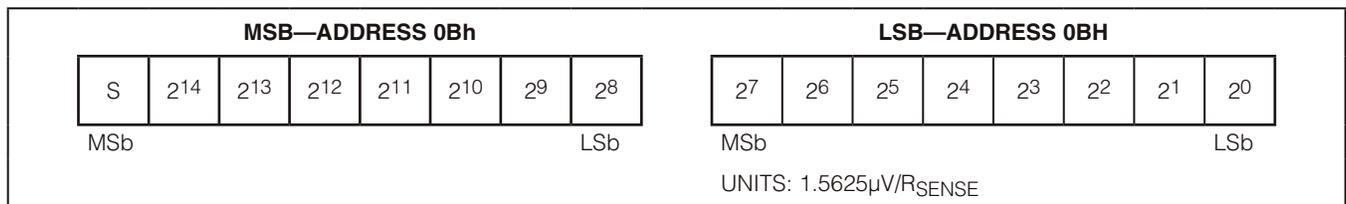


図53. AverageCurrentレジスタの形式(出力)

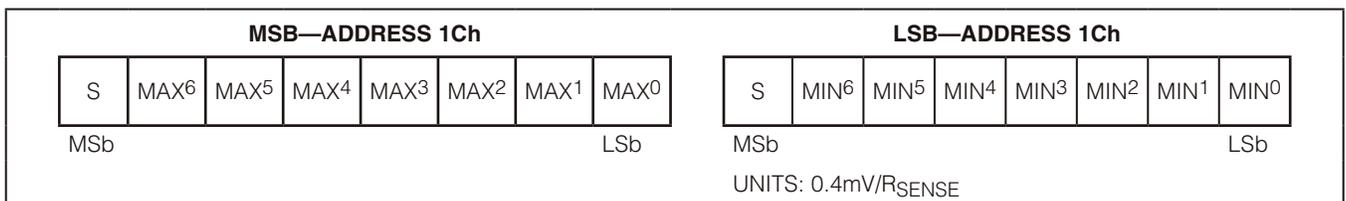


図54. MaxMinCurrentレジスタの形式(出力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

容量の分解能が一定に保たれます。これらのレジスタは、どちらも符号付きの2の補数形式です。CGAINが4000hでCOFFが0000hというデフォルト値で、出荷時の較正および単位値(1.5625μV)が維持されます。図55はCGAINレジスタの形式を示し、図56はCOFFレジスタの形式を示します。

### 温度測定

アクティブモード時にCONFIGレジスタでTen = 1に設定されている場合、デバイスはAIN端子とCSP端子の間の電圧を定期的に測定して、結果をTHRM端子の電圧と比較します。デバイスはその結果(0~100%のレシオメトリック値)を保存します。結果のデータは1.4秒ごとにLSb値0.0122%でAINレジスタに格納されます。

変換はTHRM端子とVTT端子を内部で接続することによって開始されます。これによって、外付けの分圧回路へのアクティブプルアップがイネーブルされます。プルアップのイネーブル後、デバイスはセトリング時間tPREだけ待機し

てからAIN端子の測定を行います。ETHRM = 1、FTHRM = 0の場合、温度測定の完了時にアクティブプルアップがディセーブルされます。この機能によって、外付けの抵抗分圧回路が作動している時間が制限され、システムによって使用されるエネルギーの総量が低減されます。

CONFIGレジスタでTex = 0かつTen = 1に設定されている場合、デバイスは温度利得(TGAIN)および温度オフセット(TOFF)レジスタの値を使用してAINレジスタを温度に変換します。

$$\text{Temperatureレジスタ} = (\text{AINレジスタ} \times \text{TGAINレジスタ}/16384) + (\text{TOFFレジスタ} \times 2)$$

AINレジスタが更新されるたびに、結果の値がTemperatureレジスタに格納されます。さらに、デバイスによって測定された最小および最大の温度の記録と、ホストによって定義された期間にわたる平均の温度が保持されます。表4に、一般的なNTCサーミスタの場合のTGAINおよびTOFFレジスタの推奨値を示します。



図55. CGAINレジスタの形式(入力)

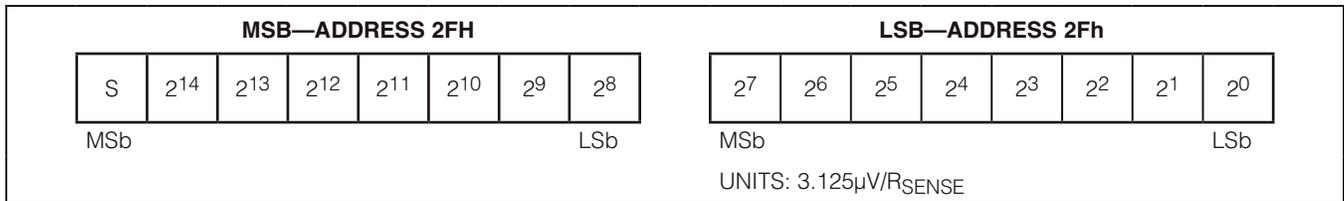


図56. COFFレジスタの形式(入力)

表4. 一般的なNTCサーミスタの場合のTGAINおよびTOFFレジスタの推奨値

THERMISTOR	R <sub>25C</sub> (kΩ)	BETA	RECOMMENDED TGAIN	RECOMMENDED TOFF
Semitec 103AT-2	10	3435	E3E1h	290Eh
Fenwal 197-103LAG-A01	10	3974	E71Ch	251Ah
TDK Type F	10	4550	E989h	22B1h

## ModelGauge m3残量ゲージ

CONFIGレジスタでTex = 1に設定されている場合、デバイスはAIN端子のA/Dからの結果に基づくTemperatureレジスタの更新を行いません。代わりに、ホストのソフトウェアが定期的に既知のアプリケーション温度をTemperatureレジスタに書き込んで残量ゲージの精度を維持する必要があります。

### AINレジスタ(27h)

アクティブモード時にCONFIGレジスタでTen = 1に設定されている場合、デバイスはAIN端子とCSP端子の間の電圧を定期的に測定して、結果をTHRM端子の電圧と比較します。デバイスはその結果(0~100%のレシオメトリック値)を保存します。結果のデータは1.4秒ごとにLSb値0.0122%でAINレジスタに格納されます。デバイスのパワーアップ後の最初の変換サイクルの期間は、AINレジスタの内容は不定です。デバイスがシャットダウンモードに移行するとき、またはCONFIGレジスタでTen = 0に設定されている場合は、AINレジスタの最新の値が維持されます。図57はAINレジスタの形式を示します。

### Temperatureレジスタ(08h)

アクティブモード時にCONFIGレジスタでTex = 0かつTen = 1に設定されている場合、デバイスはAINレジスタの値を符号付きの2の補数形式の温度値に変換します。TGAIN

およびTOFF設定レジスタを参照してください。結果のデータは1.4秒ごとに分解能+0.0039°CでTemperatureレジスタに格納されます。8ビットの温度読み値が必要な場合、ホストはTemperatureレジスタの上位バイトのみを分解能+1.0°Cとして読み取ることができます。デバイスのパワーアップ後の最初の変換サイクルの期間は、Temperatureレジスタの内容は不定です。デバイスがシャットダウンモードに移行するときは、Temperatureレジスタの最新の値が維持されます。図58はTemperatureレジスタの形式を示します。

### AverageTemperatureレジスタ(16h)

AverageTemperatureレジスタは、設定可能な6分~12時間の期間にわたるTemperatureレジスタの読み値の平均を通知します。時間フィルタの設定の詳細については、FilterCFGレジスタ(29h)の説明を参照してください。結果の平均値は、LSb値0.0039°CでAverageTemperatureレジスタに格納されます。デバイスのパワーアップ後の最初のTemperatureレジスタの読み値によって、AverageTemperatureのフィルタの開始ポイントが設定されます。デバイスがシャットダウンモードに移行するときは、AverageTemperatureレジスタの最新の値が維持されます。図59はAverageTemperatureレジスタの形式を示します。

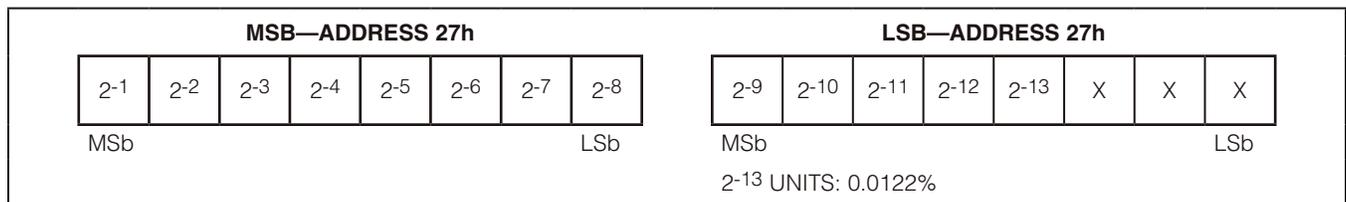


図57. AINレジスタの形式(出力)

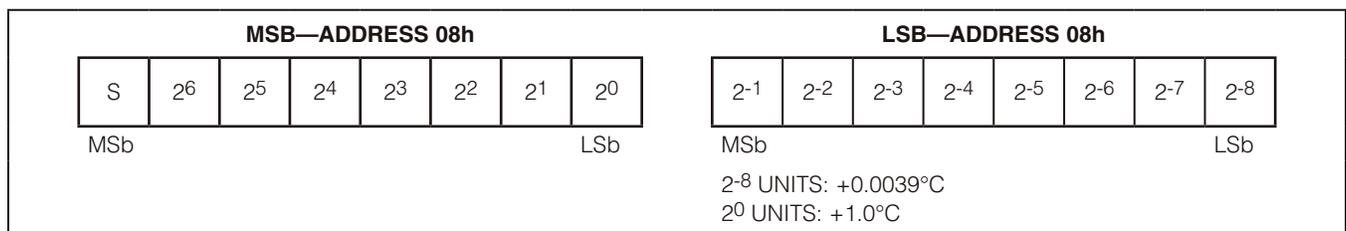


図58. Temperatureレジスタの形式(入出力)

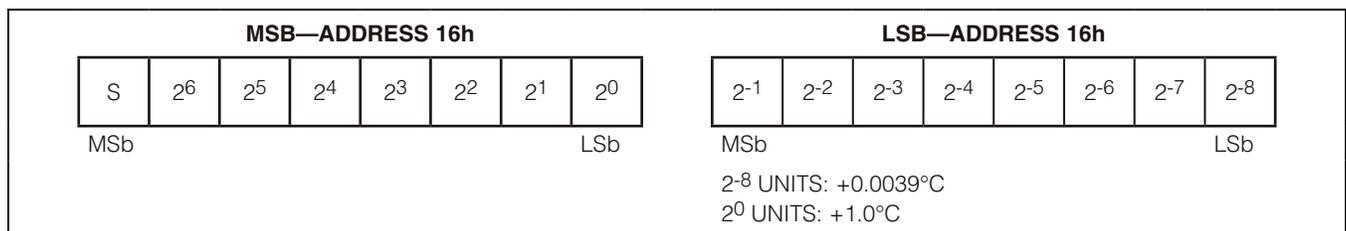


図59. AverageTemperatureレジスタの形式(出力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### MaxMinTemperatureレジスタ(1Ah)

MaxMinTemperatureレジスタは、残量ゲージが最後にリセットされて以来またはホストのソフトウェアによってクリアされるまでのTemperatureレジスタの最大値および最小値を保持します。Temperatureレジスタが更新されるたびに、これらの値との比較が行われます。読み値が最大値より大きいか最小値より小さい場合、該当する値が新しい読み値に置き換えられます。パワーアップ時に、MaxTemperatureの値は80h (最小値)に設定され、MinTemperatureの値は7Fh (最大値)に設定されます。そのため、最初の更新後には両方の値がTemperatureレジスタの読み値に変更されます。ホストのソフトウェアは、パワーアップ値である807Fhを書き込むことによってこのレジスタをリセットすることができます。最高温度および最低温度は、それぞれ分解能1°Cの2の補数形式の8ビット値として保存されます。[図60](#)はMaxMinTemperatureレジスタの形式を示します。

### TGAINレジスタ(2Ch)/TOFFレジスタ(2Dh)

TGAINおよびTOFFレジスタは、AIN端子の温度測定A/Dの利得およびオフセットを調整して、次式によって結果が温度値に変換されます。

$$\text{Temperatureレジスタ} = (\text{AINレジスタ} \times \text{TGAINレジスタ}/16384) + (\text{TOFFレジスタ} \times 2)$$

これらのレジスタは、どちらも符号付きの2の補数形式です。これらのレジスタによって、さまざまな外付けNTCサーミスタを使用する場合に高精度の温度変換が可能になります([表4](#)を参照)。[図61](#)はTGAINレジスタの形式を示し、[図62](#)はTOFFレジスタの形式を示します。

### ICのメモリマップ

このデバイスは、すべてのユーザーアクセス可能なレジスタを含んだ256ワードのリニアなメモリ空間を備えています。すべてのレジスタは16ビット幅で、2バイト値として読み書きされます。レジスタのMSBが読み取られるときに、MSBとLSBが同時にラッチされ、Read Dataコマンドの期間にわたって保持されます。これによって、読取り中のLSBの更新が防止され、2つのレジスタバイト間の同期が保証されます。

すべてのメモリ域は揮発性RAMであり、電力喪失が発生した場合はデータが失われます。デバイスのシャットダウン中はデータが維持されます。個々のレジスタにパワーオンリセット値があり、パワーアップ時にデフォルトでその値が設定されます。RESERVEDと書かれたワードアドレスを読み取った場合、返される値は不定です。これらのアドレスには書き込みを行わないでください。

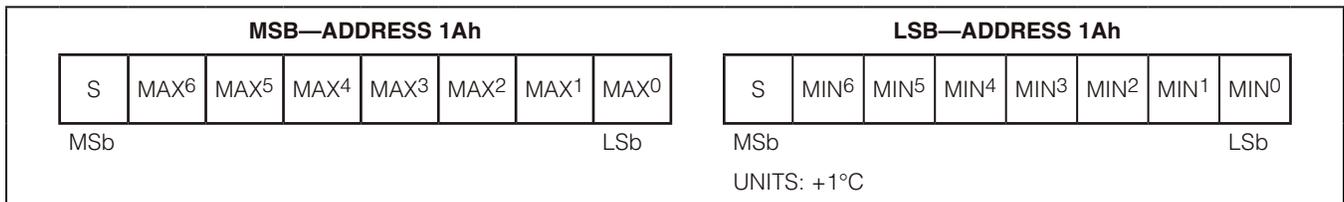


図60. MaxMinTemperatureレジスタの形式(出力)

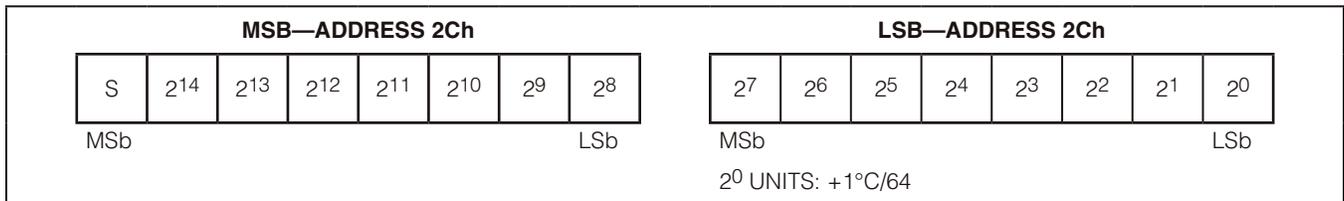


図61. TGAINレジスタの形式(入力)

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

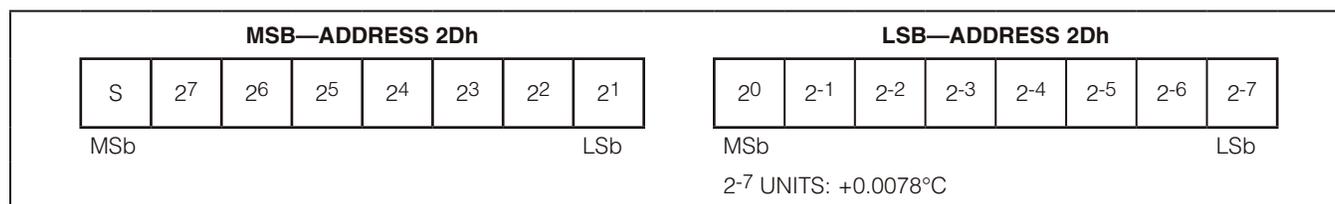


図62. TOFFレジスタの形式(入力)

表5. デバイスのメモリマップ

ADDRESS (HEX)	REGISTER NAME	A/D MEASURE	ALERT/ STATUS	MG m3 APP DATA	MG m3 CELL DATA	MG m3 CONFIG	MG m3 SAVE AND RESTORE	MG m3 OUTPUT	POR VALUE	READ/ WRITE
00h	Status		✓						0002h	R/W
01h	V <sub>ALRT</sub> Threshold		✓						FF00h	R/W
02h	T <sub>ALRT</sub> Threshold		✓						7F80h	R/W
03h	S <sub>ALRT</sub> Threshold		✓						FF00h	R/W
04h	AtRate					✓			0000h	R/W
05h	RemCapREP							✓	03E8h	R
06h	SOC <sub>REP</sub>							✓	3200h	R
07h	Age							✓	6400h	R
08h	Temperature	✓							1600h	R/W
09h	V <sub>CELL</sub>	✓							B400h	R
0Ah	Current	✓							0000h	R
0Bh	AverageCurrent	✓							0000h	R
<b>0Ch</b>	<b>RESERVED</b>								—	—
0Dh	SOC <sub>MIX</sub>							✓	3200h	R
0Eh	SOC <sub>AV</sub>							✓	3200h	R
0Fh	RemCap <sub>MIX</sub>							✓	03E8h	R
10h	FullCAP						✓	✓	07D0h	R/W
11h	TTE							✓	0000h	R
12h	QResidual 00				✓		✓		1E2Fh	R/W
13h	FullSOCThr			✓					4600h	R/W
<b>14h–15h</b>	<b>RESERVED</b>								—	—
16h	AverageTemperature	✓							1600h	R
17h	Cycles						✓	✓	0000h	R/W
18h	DesignCap			✓					07D0h	R/W
19h	AverageV <sub>CELL</sub>	✓							B400h	R
1Ah	MaxMinTemperature	✓							807Fh	R/W
1Bh	MaxMinV <sub>CELL</sub>	✓							00FFh	R/W
1Ch	MaxMinCurrent	✓							807Fh	R/W
1Dh	CONFIG		✓						2350h	R/W
1Eh	ICHGTerm			✓					03C0h	R/W
1Fh	RemCap <sub>AV</sub>							✓	03E8h	R
<b>20h</b>	<b>RESERVED</b>								—	—
21h	Version		✓						00ACh	R

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

表5. デバイスのメモリマップ(続き)

ADDRESS (HEX)	REGISTER NAME	A/D MEASURE	ALERT/ STATUS	MG m3 APP DATA	MG m3 CELL DATA	MG m3 CONFIG	MG m3 SAVE AND RESTORE	MG m3 OUTPUT	POR VALUE	READ/ WRITE
22h	QResidual 10				✓		✓		1E00h	R/W
23h	FullCapNom				✓			✓	07D0h	R/W
24h	TempNom				✓				1400h	R/W
25h	TempLim				✓				2305h	R/W
<b>26h</b>	<b>RESERVED</b>								—	—
27h	AIN	✓							88D0h	R
28h	LearnCFG					✓			2602h	R/W
29h	FilterCFG					✓			4EA4h	R/W
2Ah	RelaxCFG					✓			203Bh	R/W
2Bh	MiscCFG					✓			0870h	R/W
2Ch	TGAIN	✓							E3E1h	R/W
2Dh	TOFF	✓							290Eh	R/W
2Eh	CGAIN	✓							4000h	R/W
2Fh	COFF	✓							0000h	R/W
<b>30h–31h</b>	<b>RESERVED</b>								—	—
32h	QResidual 20				✓		✓		1306h	R/W
<b>33h–35h</b>	<b>RESERVED</b>								—	—
36h	lavg_empty				✓				0780h	R/W
37h	FCTC				✓				05E0h	R/W
38h	RCOMP0				✓		✓		004Bh	R/W
39h	TempCo				✓		✓		262Bh	R/W
3Ah	V_empty			✓					9C5Ch	R/W
<b>3Bh</b>	<b>RESERVED</b>								—	—
<b>3Ch</b>	<b>RESERVED</b>								—	—
3Dh	FSTAT							✓	0001h	R
3Eh	TIMER		✓						0000h	R
3Fh	SHDNTIMER		✓						E000h	R/W
<b>40h–41h</b>	<b>RESERVED</b>								—	—
42h	QResidual 30				✓		✓		0C00h	R/W
<b>43h–44h</b>	<b>RESERVED</b>								—	—
45h	dQacc						✓		007Dh	R/W
46h	dPacc						✓		0C80h	R/W
<b>47h–4Ch</b>	<b>RESERVED</b>								—	—
4Dh	QH							✓	0000h	R/W
<b>4Eh–7Fh</b>	<b>RESERVED</b>								—	—
80h–AFh	Characterization Table				✓				N/A	R/W
<b>B0h–FAh</b>	<b>RESERVED</b>								—	—
FBh	VFOCV							✓	0000h	R
<b>FCh–FEh</b>	<b>RESERVED</b>								—	—
FFh	SOC <sub>VF</sub>							✓	0000h	R

## ModelGauge m3残量ゲージ

### 2線式バスシステム

2線式バスシステムは、単一または複数スレーブ、および単一または複数マスターのシステムにおけるスレーブ専用デバイスとしての動作をサポートします。7ビットのスレーブアドレスを独自に設定することによって、最大128個のスレーブデバイスがバスを共有することができます。2線式インタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成されます。SDAとSCLによって、IC (スレーブデバイス)とマスターデバイス間で最高400kHzの速度の双方向通信が実現します。このデバイスのSDA端子は双方向で動作します。すなわち、デバイスがデータを受信するときはSDAが入力として動作し、デバイスがデータを返すときはSDAがオープンドレイン出力として動作して、ホストシステムが抵抗性プルアップを提供します。このデバイスは常にスレーブデバイスとして動作し、マスターデバイスの制御下でデータの受信と送信を行います。マスターはバス上のすべてのトランザクションを開始して、SCL信号を生成するとともに、各トランザクションの開始と終了を行うSTARTビットとSTOPビットも生成します。

### ビット転送

各SCLクロックサイクルの間に1個のデータビットが転送され、このサイクルはSCLがローからハイに遷移した後ハイからローに遷移することで規定されます。SDAのロジックレベルは、SCLのクロックパルスがハイの間中は安定している必要があります。SCLがハイのときにSDAが変化した場合は、STARTまたはSTOP制御信号と解釈されます。

### バスアイドル

どのマスターデバイスも制御を行っていない場合、バスはアイドル(すなわちビジーでない)と定義されます。バスがアイドルの間は、SDAとSCLの両方がハイのままになります。STOP条件は、バスをアイドル状態に戻すための適切な手段です。

### STARTおよびSTOP条件

マスターはSTART条件(S)、すなわちSCLがハイの間にSDAをハイからローに遷移させることによってトランザクションを開始します。マスターはSTOP条件(P)、すなわちSCLがハイの間にSDAをローからハイに遷移させることによってトランザクションを終了させます。STOPに続くSTARTというシーケンスの代わりにRepeated START条件(Sr)を使用することによって、バスをアイドル状態に戻さずに1つのトランザクションを終了して別のトランザクションを開始することができます。複数マスターのシステムでは、Repeated STARTによってマスターがバスの制御を維持することができます。STARTおよびSTOP条件は、SCLがハイのときにSDAが遷移する唯一のバス動作です。

### アクノリッジビット

データ転送の各バイトは、アクノリッジビット(A)または非

アクノリッジビット(N)を使用したアクノリッジが行われます。マスターおよびスレーブデバイスの両方がアクノリッジビットを生成します。アクノリッジを生成するには、受信側デバイスがアクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジより前にSDAをローに駆動して、SCLがローに戻るまでロー状態を維持する必要があります。非アクノリッジ(またはNACK)を生成するには、受信側がアクノリッジ関連のクロックパルスの立上りエッジより前にSDAを解放して、SCLがローに戻るまでSDAをハイにしておきます。アクノリッジビットを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイスがビジーの場合またはシステム障害が発生した場合に起きる可能性があります。データ転送に失敗した場合は、バスマスターが通信を再試行してください。

### データの順序

1バイトのデータは最上位ビット(MSb)を先頭とする8ビットで構成されます。各バイトの最下位ビット(LSb)の後にアクノリッジビットが続きます。複数のバイト値で構成されるデバイスのレジスタは最下位バイト(LSB)から順に並びます。

### スレーブアドレス

START条件を発行した後にスレーブアドレス(SAddr)と読取り/書込み(R/W)ビットを送信することによって、バスマスターはスレーブデバイスとの通信を開始します。バスがアイドルのとき、デバイスはSTART条件に続くスレーブアドレスを連続的に監視します。デバイスが自分のProgrammable Slave Addressレジスタ内の値と一致するスレーブアドレスを受信した場合、R/Wビットの次のクロック期間にアクノリッジビットで応答します。7ビットのProgrammable Slave Addressレジスタは出荷時設定済みで、ユーザーが変更することはできません。

IC SLAVE ADDRESS	0110110
------------------	---------

### 読取り/書込みビット

スレーブアドレスに続くR/Wビットは、転送される後続のバイトのデータ方向を決定します。R/W = 0で書込みトランザクションが選択され、後続のバイトはマスターによってスレーブに書き込まれます。R/W = 1で読取りトランザクションが選択され、後続のバイトはマスターによってスレーブから読み取られます。

### バスのタイミング

このデバイスは、最高400kHzまでの任意のバスタイミングに対応しています。どの速度で動作させる場合も、特別な設定は必要ありません。

### 2線式のコマンドプロトコル

コマンドプロトコルには数種類のトランザクション形式が使用されます。最も単純な形式は、マスターによるSTARTビット、スレーブアドレス、R/Wビット書込み、および

## ModelGauge m3残量ゲージ

デバイスの存在を示すアクノリッジビットの監視で構成されます。より複雑な形式の、Write Data、Read Data、およびFunctionの各コマンドプロトコルでは、それぞれデータの書込み、データの読取り、およびデバイス固有の動作が実行されます。各コマンド形式のすべてのバイトに対して、次のバイトに進む前にスレーブまたはホストシステムがアクノリッジビットを返す必要があります。それぞれの機能コマンドの定義で、必要なトランザクション形式について概説します。表6に、トランザクション形式の凡例を示します。

### 基本的なトランザクション形式

書込み：S SAddr W A MAddr A DataL A DataH A P

書込みトランザクションは、1バイト以上のデータをデバイスに転送します。データ転送はMAddrバイトで与えられたメモリアドレスから開始されます。アクノリッジサイクル以外は、トランザクション全体を通してマスターがSDA信号の制御権を保持します。

読取り：S SAddr W A MAddr A Sr SAddr R A DataL A DataH N P

⏟
⏟

書込み部分
読取り部分

読取りトランザクションは、1ワード以上をICから転送します。読取りトランザクションは、書込み部分の後に読取り部分が続く形の2つの部分で構成されるため、本質的に書込みトランザクションより長くなります。書込み部分によって読取り操作の開始位置が指示されます。その直後に読取り部分が続き、これはRepeated STARTで始まってスレーブアドレスのR/Wに1がセットされています。スレーブアドレスのアクノリッジサイクルからあとは、ICがSDAの制御を担当します。アクノリッジサイクル以外は、トランザクション全体を通してデバイスがSDA信号の制御権を保持します。マスターは、必要とする最後のバイトに対して非アクノリッジで応答することによって、読取りトランザクションの終了を通知します。これによって、アクノリッジクロック以後は

表6. 2線式プロトコルの記号一覧

KEY	DESCRIPTION	KEY	DESCRIPTION
S	START bit	Sr	Repeated START
SAddr	Slave Address (7 bit)	W	R/W bit = 0
FCmd	Function Command byte	R	R/W bit = 1
MAddr	Memory Address byte	P	STOP bit
Data	Data byte written by Master	Data	Data byte returned by Slave
A	Acknowledge bit—Master	A	Acknowledge bit—Slave
N	No Acknowledge—Master	N	No Acknowledge—Slave

SDAの制御がマスター側に残ることがデバイスに伝えられます。

### Write Dataプロトコル

Write Dataプロトコルは、レジスタおよびシャドウRAMのデータをICのメモリアドレスMAddr以降に書き込むために使用します。Data0はMAddrに書き込むデータを、Data1はMAddr + 1に書き込むデータを、DataNはMAddr + Nに書き込む最後のデータバイトを表します。マスターは、最後のアクノリッジビットを受信した後にSTOPまたはRepeated STARTを送信することによって、書込みトランザクションの終了を通知します。

S SAddr W A MAddr A DataL0 A DataH0 A DataL1 A DataH1 A ... DataLN A DataHN A P

MAddrバイトがアクノリッジされた直後に、アドレスMAddrに格納するデータのMSbを書き込むことができます。各バイトの最下位ビット(LSb)がデバイスによって受信された後にアドレスが自動的にインクリメントされるため、アドレスMAddrのデータがアクノリッジされた直後にアドレスMAddr + 1のデータのMSbを書き込むことができます。バスマスターがアドレスFFhを超えて自動インクリメント書込みトランザクションを継続した場合、デバイスはそのデータを無視します。読取り専用アドレスへの書込みも無視されますが、予備アドレスへの書込みは無視されません。予備アドレス位置には書込みを行わないでください。

### Read Dataプロトコル

Read Dataプロトコルは、レジスタおよびシャドウRAMのデータをデバイスのMAddrで指定されたメモリアドレス以降から読み取るために使用されます。Data0はメモリ位置MAddrのデータバイトを、Data1はMAddr + 1のデータを、DataNはマスターによって読み取られる最後のバイトを表します。

S SAddr W A MAddr A Sr SAddr R A DataL0 A DataH0 A DataL1 A DataH1 A ... DataLN N DataHN N P

データはMAddrのデータの最上位ビット(MSb)から順に返されます。各バイトのLSbが返された後でアドレスが自動的にインクリメントされるため、アドレスMAddrのデータに対するアクノリッジの直後に、アドレスMAddr + 1のデータのMSbをホストシステムが読取り可能になります。バスマスターがアドレスFFhを超えて読取りを継続すると、デバイスはデータ値としてFFhを出力します。メモリマップでRESERVEDと記載されているアドレスの読取りを行うと、未定義のデータが返されます。バスマスターは、非アクノリッジに続けてSTOPまたはRepeated STARTを発行することによって、任意のバイト境界で読取りトランザクションを終了することができます。

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### 型番

PART	TEMP RANGE	PIN-PACKAGE
<b>MAX17047G+</b>	-40°C to +85°C	10 TDFN-EP*
MAX17047G+T10	-40°C to +85°C	10 TDFN-EP*
<b>MAX17050X+</b>	-40°C to +85°C	9 WLP
MAX17050X+T10	-40°C to +85°C	9 WLP

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T = テープ&リール

\*EP = エクスポーズドパッド

### パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は [www.maximintegrated.com/jp/packaging](http://www.maximintegrated.com/jp/packaging) を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
10 TDFN-EP	T1033+1	<a href="#">21-0137</a>	<a href="#">90-0003</a>
9 WLP	W91G1+1	<a href="#">21-0755</a>	<a href="#">アプリケーションノート1891</a> を参照

# MAX17047/MAX17050

## ModelGauge m3残量ゲージ

### 改訂履歴

版数	改訂日	説明	改訂ページ
0	9/11	初版	—
1	12/11	MAX17050 WLPとマルチセルのアプリケーション回路情報を追加。回路図、「型番」、レイアウトガイドライン、および「サーミスタ共有回路」の項を更新	1, 7, 8, 11-41, 43, 45
2	4/12	図8のTDFNレイアウト図を修正、LearnCFGレジスタのハードコードビットを修正	14, 25, 43
3	8/12	図25のFullSOCThrレジスタの形式を修正、図62のTOFFレジスタの形式を修正、セル除去の高速検出をイネーブルするためにはALRTpビットを0にする必要があることを明記	20, 30, 34, 42
4	12/14	図6を更新	12
5	4/15	「残量ゲージの学習および経時劣化のサポート」と「LearnCFGレジスタ(28h)」の項および図33を更新	11, 12, 25, 26
6	3/16	WLPパッケージの外形図No.を修正	46



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

**Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000**

47

© 2016 Maxim Integrated Products, Inc.

Maxim IntegratedおよびMaxim IntegratedのロゴはMaxim Integrated Products, Inc.の商標です。