

ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

概要

MAX17003A/MAX17004Aは、同期整流を行うデュアルステップダウン、スイッチモード電源(SMPS)コントローラで、バッテリー駆動システムにおいて5V/3.3Vのメイン電源を生成するように設計されています。最適なインタリーブとした固定周波数動作によって、最小入力電圧から26Vの最大入力まで入力リップル電流が最低限に抑制されます。入力電圧が10Vを下回るとデューティサイクルのオーバーラップが発生する180°逆位相レギュレータに対して、40/60の最適なインタリーブにより入力電圧が8.3Vに低下するまでデューティサイクルのオーバーラップが発生しません。

精度の高い検出抵抗または無損失のインダクタDCR電流検出を使用する出力電流検出によって、ピーク電流制限保護が提供されます。低ノイズモードでは、スイッチング周波数を可聴範囲外に維持しながら、高い軽負荷効率が確保されます。

内蔵の5V固定、100mAリニアレギュレータは、MAX17003A/MAX17004Aおよびそのゲートドライバのほかに、外部キープアライブ負荷に給電します。メインPWMレギュレータがレギュレーションの範囲内であるときは、自動ブートストラップスイッチは内蔵リニアレギュレータをバイパスし、最大200mAの電流を供給します。外付けpnpトランジスタを使用するもう1つの可変リニアレギュレータドライバは2次巻線を使用して、12V電源を供給するか、またはメイン出力から直接駆動して最低1Vの低電圧出力を生成することができます。

個別のイネーブル制御およびパワーグッド信号によって、フレキシブルな電源シーケンスが可能です。電圧ソフトスタートは出力電圧を緩やかに上昇させ、突入電流を低減し、またソフト放電は出力電圧を緩やかに下降させ、負の電圧降下を防止します。MAX17003A/MAX17004Aは、出力低電圧保護と過熱保護を備えています。また、MAX17003Aは出力過電圧フォルト保護も備えています。MAX17003A/MAX17004Aは、5mm x 5mmの32ピンTQFNパッケージで提供されます。裏面エクスポーズドパッドによって、要件の厳しいリニアキープアライブアプリケーションの熱特性が向上します。

アプリケーション

主電源

2~4 Li+ (リチウムイオン)セルのバッテリー駆動デバイス
ノートブックおよびサブノートブックコンピュータ
PDAおよびモバイル通信機器

Dual ModeはMaxim Integrated Products, Inc.の商標です。



特長

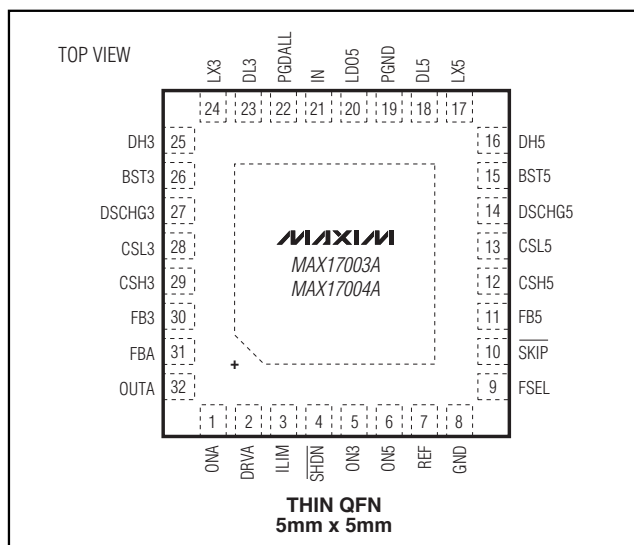
- ◆ 固定周波数、電流モード制御
- ◆ 40/60の最適なインタリーブ
- ◆ 内蔵BSTスイッチ
- ◆ 内蔵5V、100mAリニアレギュレータ
- ◆ 補助リニアレギュレータドライバ(12Vまたは最低1Vまで可変)
- ◆ Dual Mode™フィードバック-3.3V/5Vの固定、または可変出力電圧
- ◆ スwitchング周波数：200kHz/300kHz/500kHz
- ◆ 低電圧と過熱保護
- ◆ 過電圧フォルト保護(MAX17003Aのみ)
- ◆ 入力範囲：6V~26V
- ◆ リファレンス出力：2V ±0.75%
- ◆ 個別のイネーブル入力およびパワーグッド出力
- ◆ ソフトスタートおよびソフト放電(電圧ランプ)
- ◆ シャットダウン電流：8μA (typ)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX17003AETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)	T3255-4
MAX17004AETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)	T3255-4

+は鉛フリーパッケージを示します。

ピン配置



MAX17003A/MAX17004A

ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

ABSOLUTE MAXIMUM RATINGS

IN, $\overline{\text{SHDN}}$, DRVA, OUTA to GND -0.3V to +28V
 LDO5, ON3, ON5, ONA to GND -0.3V to +6V
 PGDALL, DSCHG3, DSCHG5 to GND -0.3V to +6V
 CSL3, CSH3, CSL5, CSH5 to GND -0.3V to +6V
 REF, FB3, FB5, FBA to GND -0.3V to ($V_{\text{LDO5}} + 0.3\text{V}$)
 $\overline{\text{SKIP}}$, FSEL, ILIM to GND -0.3V to ($V_{\text{LDO5}} + 0.3\text{V}$)
 DL3, DL5 to PGND -0.3V to ($V_{\text{LDO5}} + 0.3\text{V}$)
 BST3, BST5 to PGND -0.3V to +34V
 BST3 to LX3 -0.3V to +6V
 DH3 to LX3 -0.3V to ($V_{\text{BST3}} + 0.3\text{V}$)
 BST5 to LX5 -0.3V to +6V
 DH5 to LX5 -0.3V to ($V_{\text{BST5}} + 0.3\text{V}$)
 GND to PGND -0.3V to +0.3V

BST3, BST5 to LDO5 -0.3V to +0.3V
 LDO Short Circuit to GND Momentary
 REF Short Circuit to GND Momentary
 DRVA Current (sinking) 30mA
 OUTA Shunt Current 30mA
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 Multilayer PCB
 32-Pin, 5mm x 5mm TQFN
 (derated 34.5mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 2459mW
 Operating Temperature Range -40°C to $+85^\circ\text{C}$
 Junction Temperature $+150^\circ\text{C}$
 Storage Temperature Range -65°C to $+150^\circ\text{C}$
 Lead Temperature (soldering, 10s) $+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_{\text{IN}} = 12\text{V}$, both SMPS enabled, FSEL = REF, $\overline{\text{SKIP}} = \text{GND}$, ILIM = LDO5, FBA = LDO5, $I_{\text{REF}} = I_{\text{LDO5}} = I_{\text{OUTA}} =$ no load, $T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLIES (Note 1)						
V_{IN} Input Voltage Range	V_{IN}	LDO5 in regulation	5.4		26.0	V
		IN = LDO5, $V_{\text{CSL5}} < 4.4\text{V}$	4.5		5.5	
V_{IN} Operating Supply Current	I_{IN}	LDO5 switched over to CSL5, either SMPS on		20	36	μA
V_{IN} Standby Supply Current	$I_{\text{IN}}(\text{STBY})$	$V_{\text{IN}} = 6\text{V}$ to 26V , both SMPS off, includes $\overline{\text{ISHDN}}$		65	120	μA
V_{IN} Shutdown Supply Current	$I_{\text{IN}}(\text{SHDN})$	$V_{\text{IN}} = 6\text{V}$ to 26V		8	20	μA
Quiescent Power Consumption	P_{Q}	Both SMPS on, FB3 = FB5 = LDO5, $\overline{\text{SKIP}} = \text{GND}$, $V_{\text{CSL3}} = 3.5\text{V}$, $V_{\text{CSL5}} = 5.3\text{V}$, $V_{\text{OUTA}} = 15\text{V}$, $P_{\text{IN}} + P_{\text{CSL3}} + P_{\text{CSL5}} + P_{\text{OUTA}}$		3.5	4.5	mW
MAIN SMPS CONTROLLERS						
3.3V Output Voltage in Fixed Mode	V_{OUT3}	$V_{\text{IN}} = 6\text{V}$ to 26V , $\overline{\text{SKIP}} = \text{FB3} = \text{LDO5}$, $0 < V_{\text{CSH3}} - V_{\text{CSL3}} < 50\text{mV}$ (Note 2)	3.265	3.315	3.365	V
5V Output Voltage in Fixed Mode	V_{OUT5}	$V_{\text{IN}} = 6\text{V}$ to 26V , $\overline{\text{SKIP}} = \text{FB5} = \text{LDO5}$, $0 < V_{\text{CSH5}} - V_{\text{CSL5}} < 50\text{mV}$ (Note 2)	4.94	5.015	5.09	V
Feedback Voltage in Adjustable Mode (Note 2)	V_{FB_-}	$V_{\text{IN}} = 6\text{V}$ to 26V , FB3 or FB5 duty factor = 20% to 80%	1.980	2.010	2.040	V
		$V_{\text{IN}} = 6\text{V}$ to 26V , FB3 or FB5 duty factor = 50%	1.990	2.010	2.030	

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, IREF = ILDO5 = IOUTA = no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Voltage Adjust Range		Either SMPS		2.0		5.5	V
FB3, FB5 Dual Mode Threshold				3.0	V _{LDO5} - 1.0	V _{LDO5} - 0.4	V
Feedback Input Leakage Current		V _{FB3} = V _{FB5} = 2.1V		-0.1		+0.1	μA
DC Load Regulation		Either SMPS, $\overline{SKIP}$ = LDO5, 0 < V _{CSH_} - V _{CSL_} < 50mV			-0.1		%
Line Regulation Error		Either SMPS, 6V < V _{IN} < 26V			0.03		%/V
Operating Frequency (Note 1)	f _{OSC}	FSEL = GND		170	200	230	kHz
		FSEL = REF		270	300	330	
		FSEL = LDO5		425	500	575	
Maximum Duty Factor	D _{MAX}	(Note 1)		97.5	99		%
Minimum On-Time	t _{ONMIN}				100		ns
SMPS3-to-SMPS5 Phase Shift		SMPS5 starts after SMPS3			40		%
					144		Degrees
CURRENT LIMIT							
ILIM Adjustment Range				0.5		V _{REF}	V
Current-Sense Input Leakage Current		CSH3 = CSH5 = GND or LDO5		-1		+1	μA
Current-Limit Threshold (Fixed)	V _{LIMIT}	V _{CSH_} - V _{CSL_} , ILIM = LDO5		45	50	55	mV
Current-Limit Threshold (Adjustable)	V _{LIMIT}	V _{CSH_} - V _{CSL_}	V _{ILIM} = 2.00V	185	200	215	mV
			V _{ILIM} = 1.00V	94	100	106	
Current-Limit Threshold (Negative)	V _{NEG}	V _{CSH_} - V _{CSL_} , $\overline{SKIP}$ = ILIM = LDO5		-67	-60	-53	mV
		V _{CSH_} - V _{CSL_} , $\overline{SKIP}$ = LDO5, adjustable mode, percent of current limit			-120		%
Current-Limit Threshold (Zero Crossing)	V _{ZX}	V _{CSH_} - V _{CSL_} , $\overline{SKIP}$ = GND, ILIM = LDO5		0	3	6	mV
Idle Mode™ Threshold	V _{IDLE}	V _{CSH_} - V _{CSL_} , $\overline{SKIP}$ = GND	ILIM = LDO5	6	10	14	mV
			With respect to current-limit threshold (V _{LIMIT})		20		%
Idle Mode Threshold (Low Audible-Noise Mode)	V _{IDLE}	V _{CSH_} - V _{CSL_} , $\overline{SKIP}$ = REF	ILIM = LDO5	2.5	5	7.5	mV
			With respect to current-limit threshold (V _{LIMIT})		10		%
ILIM Leakage Current		ILIM = GND or REF		-1		+1	μA
Soft-Start Ramp Time	t _{SSSTART}	Measured from the rising edge of ON_ to full scale			2		ms

Idle ModeはMaxim Integrated Products, Inc.の商標です。

ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, $FSEL = REF$, $\overline{SKIP} = GND$, $ILIM = LDO5$, $FBA = LDO5$, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INTERNAL FIXED LINEAR REGULATORS						
LDO5 Output Voltage	V_{LDO5}	$ON5 = GND$, $6V < V_{IN} < 26V$, $0 < I_{LDO5} < 100mA$	4.85	4.95	5.10	V
LDO5 Undervoltage-Lockout Fault		Rising edge, hysteresis = 1%	3.7	4.0	4.1	mV
Short-Circuit Current (Switched over to CSL5)		$LDO5 = GND$, $V_{CSL5} > 4.7V$	200	425		mA
AUXILIARY LINEAR REGULATOR						
DRVA Voltage Range	V_{DRVA}		0.5		26.0	V
DRVA Drive Current		$V_{FBA} = 1.05V$, $V_{DRVA} = 5V$			0.4	mA
		$V_{FBA} = 0.965V$, $V_{DRVA} = 5V$	10			
FBA Regulation Threshold	V_{FBA}	$V_{DRVA} = 5V$, $I_{DRVA} = 1mA$ (sink)	0.98	1.00	1.02	V
FBA Load Regulation		$V_{DRVA} = 5V$, $I_{DRVA} = 0.5mA$ to $5mA$		-1.2	-2.2	%
OUTA Shunt Trip Level		Rising edge	25	26	27	V
FBA Leakage Current		$V_{FBA} = 1.035V$	0.1		+0.1	μA
Secondary Feedback-Regulation Threshold		$V_{DRVA} - V_{OUTA}$		0		V
DL5 Pulse Width				$1/3/f_{OSC}$		μs
OUTA Leakage Current	I_{OUTA}	$V_{DRVA} = V_{OUTA} = 25V$			50	μA
REFERENCE (REF)						
Reference Voltage	V_{REF}	$LDO5$ in regulation, $I_{REF} = 0$	1.985	2.00	2.015	V
Reference Load-Regulation Error	ΔV_{REF}	$I_{REF} = -5\mu A$ to $+50\mu A$	-10		+10	mV
REF Lockout Voltage	$V_{REF(UVLO)}$	Rising edge		1.8		V
FAULT DETECTION						
Output Overvoltage Trip Threshold (MAX17003A Only)		With respect to error-comparator threshold	8	11	14	%
Output Overvoltage Fault Propagation Delay (MAX17003A Only)	t_{OVP}	50mV overdrive		10		μs
Output Undervoltage Protection Trip Threshold		With respect to error-comparator threshold	65	70	75	%
Output Undervoltage Fault Propagation Delay	t_{UVP}	50mV overdrive		10		μs
Output Undervoltage Protection Blanking Time	t_{BLANK}	From rising edge of ON_* with respect to f_{SW}	5000	6144	7000	$1/f_{OSC}$

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, $FSEL = REF$, $\overline{SKIP} = GND$, $ILIM = LDO5$, $FBA = LDO5$, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PGDALL Lower Trip Threshold		With respect to either SMPS error-comparator threshold, hysteresis = 1% (typ)	-12	-10	-8	%
PGDALL Propagation Delay	t_{PGDALL}	Falling edge, 50mV overdrive		10		μs
		Rising edge, 50mV overdrive		1		
PGDALL Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
PGDALL Leakage Current	I_{PGDALL}	High state, PGDALL forced to 5.5V			1	μA
Thermal-Shutdown Threshold	t_{SHDN}	Hysteresis = $15^{\circ}C$		+160		$^{\circ}C$
GATE DRIVERS						
DH_ Gate-Driver On-Resistance	R_{DH}	BST_ - LX_ forced to 5V		1.3	5	Ω
DL_ Gate-Driver On-Resistance	R_{DL}	DL_, high state		1.7	5	Ω
		DL_, low state		0.6	3	
DH_ Gate-Driver Source/Sink Current	I_{DH}	DH_ forced to 2.5V, BST_ - LX_ forced to 5V		2		A
DL_ Gate-Driver Source Current	I_{DL}	DL_ forced to 2.5V		1.7		A
DL_ Gate-Driver Sink Current	$I_{DL} (SINK)$	DL_ forced to 2.5V		3.3		A
Dead Time	t_{DEAD}	DH_ low to DL_ high	15	45		ns
		DL_ low to DH_ high	15	44		
Internal BST_ Switch On-Resistance	R_{BST}	$I_{BST} = 10mA$		5		Ω
BST_ Leakage Current		$V_{BST_} = 26V$		2	20	μA
INPUTS AND OUTPUTS						
$\overline{SHDN}$ Input Trip Level		Rising trip level	1.1	1.6	2.2	V
		Falling trip level	0.96	1	1.04	
ONA Logic Input Voltage		Hysteresis = 600mV (typ)	High	2.4		V
			Low		0.8	
ON3, ON5 Input Voltage		SMPS off level/clear fault level			0.8	V
		Delay start level	1.9		2.1	
		SMPS on level	2.4			
DSCHG_ Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
DSCHG_ Leakage Current		High state, DSCHG_ forced to 5.5V			1	μA
Tri-Level Input Logic		$\overline{SKIP}$, FSEL	High	$V_{LDO5} - 0.4$		V
			REF	1.65	2.35	
			GND		0.5	
Input Leakage Current		$\overline{SKIP}$, FSEL forced to GND or LDO5	-1		+1	μA
		$\overline{SHDN}$ forced to GND or 26V	-1		+1	

ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, $FSEL = REF$, $\overline{SKIP} = GND$, $ILIM = LDO5$, $FBA = LDO5$, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
INPUT SUPPLIES (Note 1)						
V _{IN} Input Voltage Range	V _{IN}	LDO5 in regulation		5.4	26.0	V
		IN = LDO5, V _{CSL5} < 4.4V		4.5	5.5	
V _{IN} Operating Supply Current	I _{IN}	LDO5 switched over to CSL5, either SMPS on			40	μA
V _{IN} Standby Supply Current	I _{IN} (STBY)	V _{IN} = 6V to 26V, both SMPS off, includes I _{SHDN}			120	μA
V _{IN} Shutdown Supply Current	I _{IN} (SHDN)	V _{IN} = 6V to 26V			20	μA
Quiescent Power Consumption	P _Q	Both SMPS on, FB3 = FB5 = LDO5; $\overline{SKIP}$ = GND, V _{CSL3} = 3.5V, V _{CSL5} = 5.3V, V _{OUTA} = 15V, P _{IN} + P _{CSL3} + P _{CSL5} + P _{OUTA}			4.5	mW
MAIN SMPS CONTROLLERS						
3.3V Output Voltage in Fixed Mode	V _{OUT3}	V _{IN} = 6V to 26V, $\overline{SKIP}$ = FB3 = LDO5, 0 < V _{CSH3} - V _{CSL3} < 50mV (Note 2)		3.255	3.375	V
5V Output Voltage in Fixed Mode	V _{OUT5}	V _{IN} = 6V to 26V, $\overline{SKIP}$ = FB5 = LDO5, 0 < V _{CSH5} - V _{CSL5} < 50mV (Note 2)		4.925	5.105	V
Feedback Voltage in Adjustable Mode	V _{FB-}	V _{IN} = 6V to 26V, FB3 or FB5 duty factor = 20% to 80% (Note 2)		1.974	2.046	V
Output Voltage-Adjust Range		Either SMPS		2.0	5.5	V
FB3, FB5 Dual Mode Threshold				3V	V _{LDO5} - 0.4	V
Operating Frequency (Note 1)	f _{OSC}	FSEL = GND		170	230	kHz
		FSEL = REF		270	330	
		FSEL = LDO5		425	575	
Maximum Duty Factor	D _{MAX}			97		%
CURRENT LIMIT						
ILIM Adjustment Range				0.5	V _{REF}	V
Current-Limit Threshold (Fixed)	V _{LIMIT}	V _{CSH-} - V _{CSL-} , ILIM = LDO5		44	56	mV
Current-Limit Threshold (Adjustable)	V _{LIMIT}	V _{CSH-} - V _{CSL-}	V _{ILIM} = 2.00V	185	215	mV
			V _{ILIM} = 1.00V	93	107	
INTERNAL FIXED LINEAR REGULATORS						
LDO5 Output Voltage	V _{LDO5}	ON5 = GND, 6V < V _{IN} < 26V, 0 < I _{LDO5} < 100mA		4.85	5.10	V
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1% (typ)		3.7	4.1	V
LDO5 Bootstrap Switch		Rising edge of CSL5, hysteresis = 1% (typ)		4.30	4.75	V
Short-Circuit Current		LDO5 = GND, ON5 = GND			450	mA
Short-Circuit Current (Switched over to CSL5)		LDO5 = GND, V _{CSL5} > 4.7V		200		mA

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	MAX	UNITS
AUXILIARY LINEAR REGULATOR						
DRVA Voltage Range	V _{DRVA}			0.5	26.0	V
DRVA Drive Current		V _{FBA} = 1.05V, V _{DRVA} = 5V		0.4		mA
		V _{FBA} = 0.965V, V _{DRVA} = 5V		10		
FBA Regulation Threshold	V _{FBA}	V _{DRVA} = 5V, I _{DRVA} = 1mA (sink)		0.98	1.02	V
OUTA Shunt Trip Level				25	27	V
REFERENCE (REF)						
Reference Voltage	V _{REF}	LDO5 in regulation, I _{REF} = 0		1.980	2.020	V
FAULT DETECTION						
Output Overvoltage Trip Threshold (MAX17003A Only)		With respect to error comparator threshold		8	14	%
Output Undervoltage Protection		With respect to error comparator threshold		65	75	%
PGDALL Lower Trip Threshold		With respect to error comparator threshold, hysteresis = 1%		-12	-8	%
PGDALL Output Low Voltage		I _{SINK} = 1mA			0.4	V
GATE DRIVERS						
DH_ Gate-Driver On-Resistance	R _{DH}	BST_ - LX_ forced to 5V			5	Ω
DL_ Gate-Driver On-Resistance	R _{DL}	DL_, high state			5	Ω
		DL_, low state			3	
INPUTS AND OUTPUTS						
SHDN Input Trip Level		Rising trip level		1.0	2.3	V
		Falling trip level		0.96	1.04	
ONA Logic Input Voltage		Hysteresis = 600mV	High	2.4		V
			Low	0.8		
ON3, ON5 Input Voltage		SMPS off level/clear fault level			0.8	V
		Delay start level		1.9	2.1	
		SMPS on level		2.4		
DSCHG_ Output Low Voltage		I _{SINK} = 1mA			0.4	V
Tri-Level Input Logic		SKIP, FSEL	High	V _{LDO5} - 0.4		V
			REF	1.65	2.35	
			GND		0.5	

Note 1: The MAX17003A/MAX17004A cannot operate over all combinations of frequency, input voltage (V_{IN}), and output voltage. For large input-to-output differentials and high switching-frequency settings, the required on-time may be too short to maintain the regulation specifications. Under these conditions, a lower operating frequency must be selected. The minimum on-time must be greater than 150ns, regardless of the selected switching frequency. On-time and off-time specifications are measured from 50% point to 50% point at the DH_ pin with LX_ = GND, $V_{BST_} = 5V$, and a 250pF capacitor connected from DH_ to LX_. Actual in-circuit times may differ due to MOSFET switching speeds.

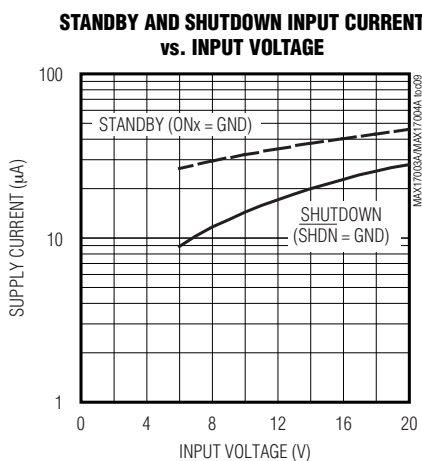
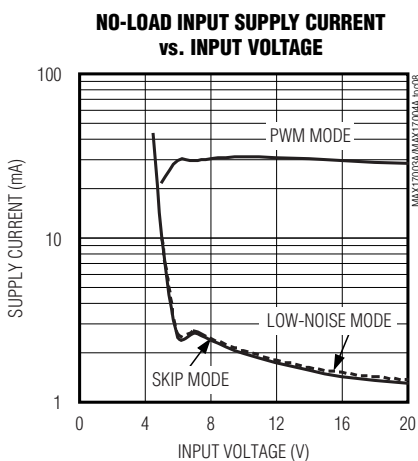
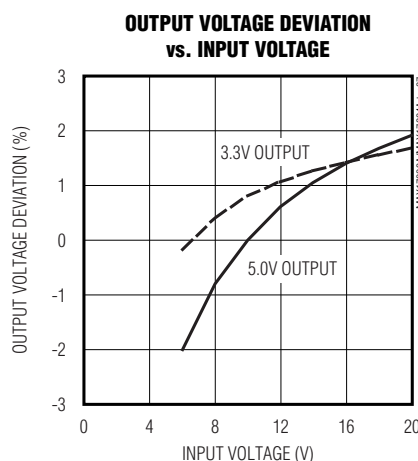
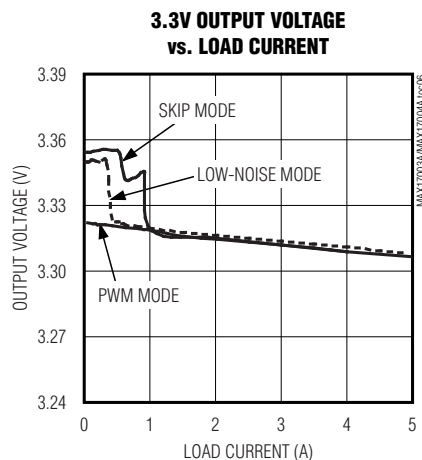
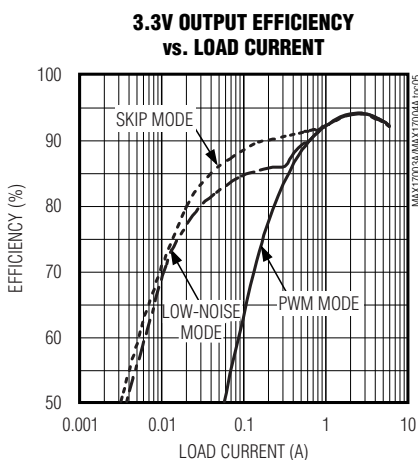
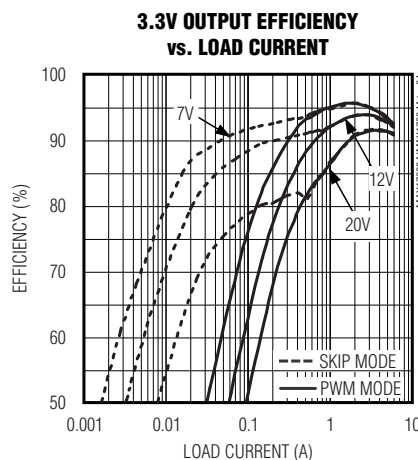
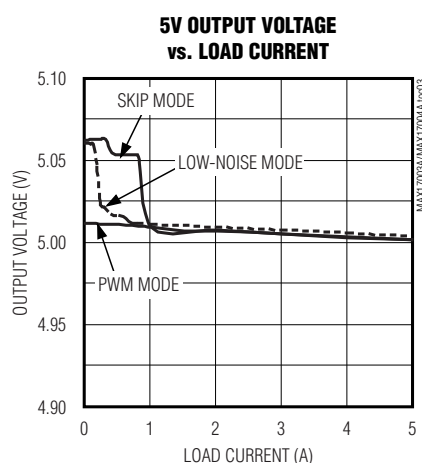
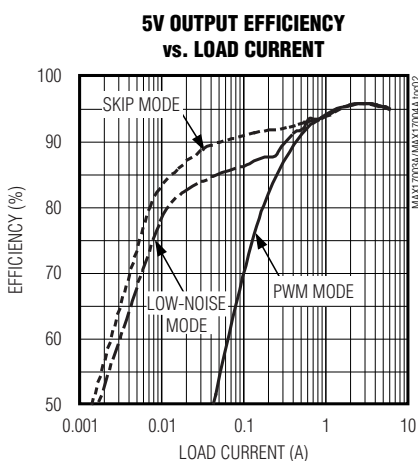
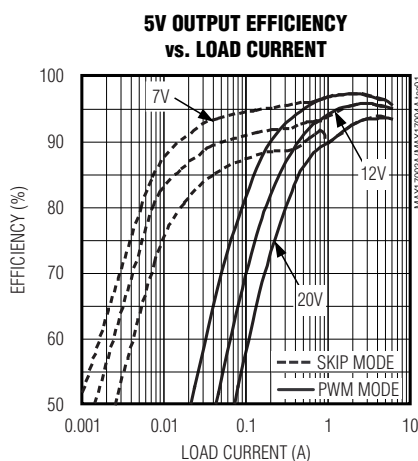
Note 2: When the inductor is in continuous conduction, the output voltage has a DC-regulation level lower than the error-comparator threshold by 50% of the ripple. In discontinuous conduction ($\overline{SKIP} = GND$, light load), the output voltage has a DC regulation level higher than the trip level by approximately 1.1% due to slope compensation.

Note 3: Specifications from $-40^{\circ}C$ to $+85^{\circ}C$ are guaranteed by design, not production tested.

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

標準動作特性

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)

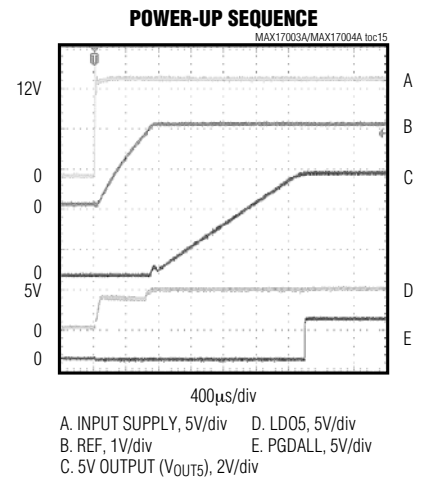
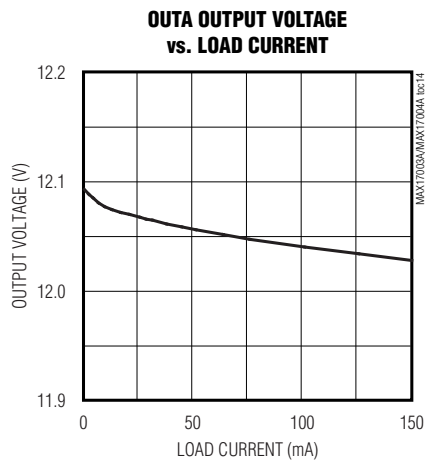
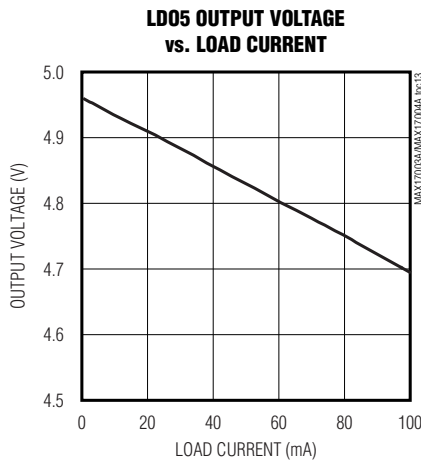
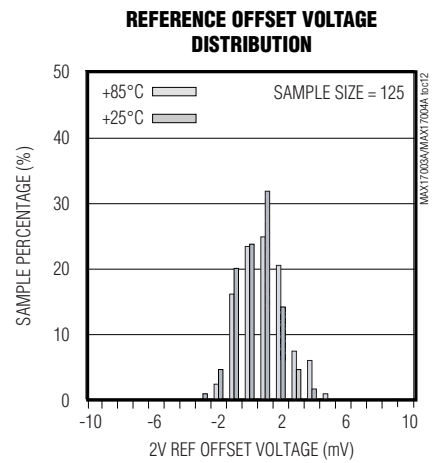
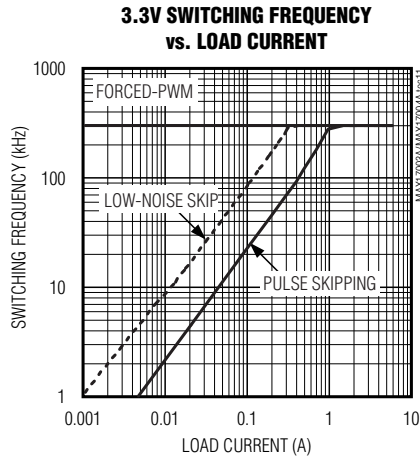
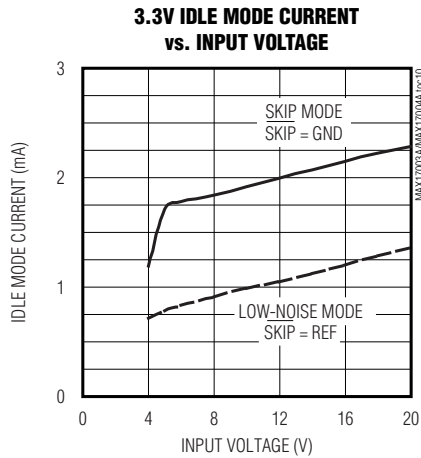


ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)

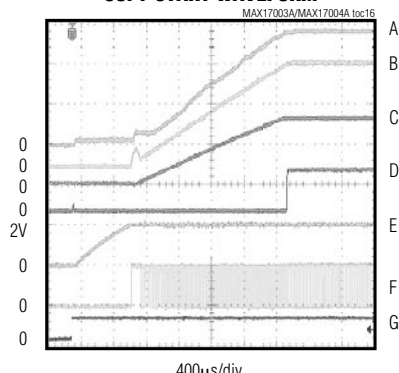


ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

標準動作特性(続き)

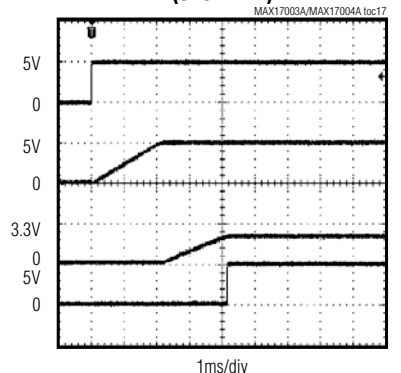
(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)

SOFT-START WAVEFORM



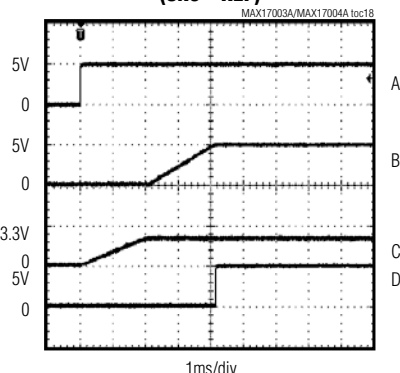
A. AUX LDO OUTPUT (V_{OUTA}), 5V/div
B. 5V OUTPUT (V_{OUT5}), 2V/div
C. 3.3V OUTPUT (V_{OUT3}), 2V/div
D. PGDALL, 5V/div
ON3 = ON5, LD05
E. REF, 2V/div
F. DL5, 5V/div
G. SHDN, 5V/div

SMPS DELAYED STARTUP SEQUENCE (ON3 = REF)



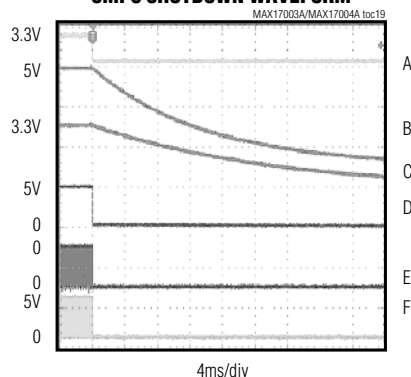
A. ON5, 5V/div
B. 5V OUTPUT (V_{OUT5}), 5V/div
C. 3.3V OUTPUT (V_{OUT3}), 5V/div
D. PGDALL, 5V/div

SMPS DELAYED STARTUP SEQUENCE (ON5 = REF)



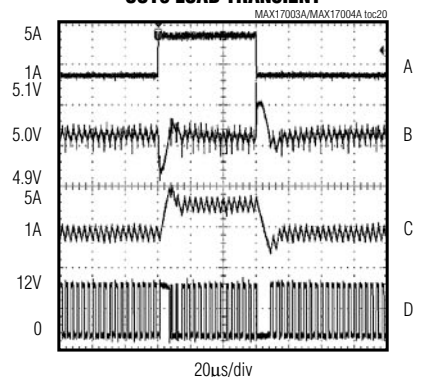
A. ON3, 5V/div
B. 5V OUTPUT (V_{OUT5}), 5V/div
C. 3.3V OUTPUT (V_{OUT3}), 5V/div
D. PGDALL, 5V/div

SMPS SHUTDOWN WAVEFORM



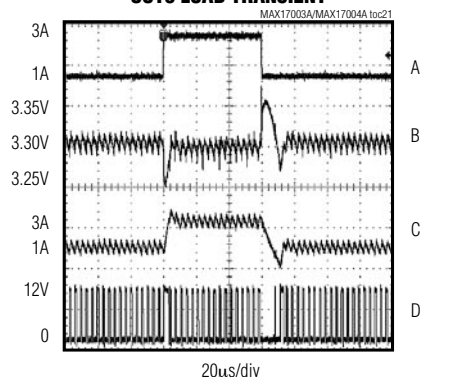
A. ON3, ON5, 5V/div
B. 5V OUTPUT (V_{OUT5}), 2V/div
C. 3.3V OUTPUT (V_{OUT3}), 2V/div
D. PGDALL, 5V/div
E. DL5, 5V/div
F. DL3, 5V/div

OUT5 LOAD TRANSIENT



A. $I_{OUT5} = 1A$ TO $5A$, 5A/div
B. V_{OUT5} , 50mV/div
C. INDUCTOR CURRENT, 5A/div
D. LX5, 10V/div

OUT3 LOAD TRANSIENT



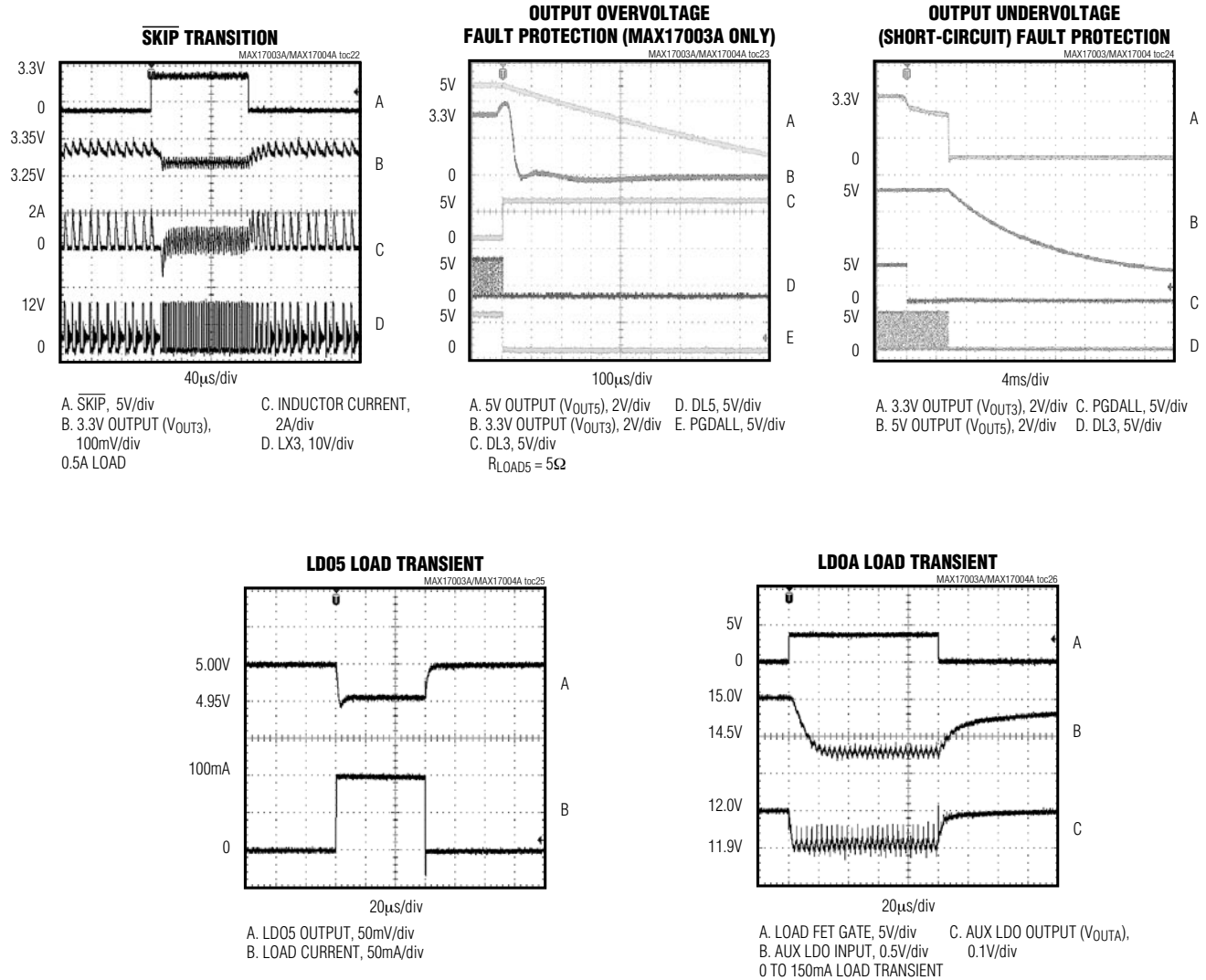
A. $I_{OUT3} = 1A$ TO $3A$, 5A/div
B. V_{OUT3} , 50mV/div
C. INDUCTOR CURRENT, 5A/div
D. LX3, 10V/div

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)



ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

端子説明

端子	名称	機能
1	ONA	補助LDOイネーブル入力。ONAがローに駆動されている場合、OUTAはハイインピーダンスになり、2次フィードバック制御がディセーブルされます。ONAがハイに駆動されている場合、コントローラは補助LDOをイネーブルします。
2	DRVA	補助LDOトランジスタベースドライバ。DRVAをpnpパワートランジスタのベースに接続してください。ベースとエミッタの間に680Ωのプルアップ抵抗を接続してください。
3	ILIM	ピーク電流制限スレッシュホールド調整。ILIMがLDO5にプルアップされている場合、電流制限スレッシュホールドはデフォルトで50mVになります。可変モードの場合、CSH ₋ とCSL ₋ の間の電流制限スレッシュホールドは0.5V~2.0Vの範囲で正確にILIMの電圧の1/10になります。50mVのデフォルト値への切替えのロジックスレッシュホールドは約V _{LDO5} - 1Vです。
4	$\overline{\text{SHDN}}$	シャットダウン制御入力。V _{SHDN} がSHDN入力立下りエッジトリップレベルより低い場合、デバイスは消費電流8μAのシャットダウンモードに移行して、V _{SHDN} がSHDN入力立上りトリップレベルを上回るまで動作を再開しません。自動起動にするには、SHDNをV _{IN} に接続してください。抵抗分圧器を介してSHDNをV _{IN} に接続することによって、設定可能な低電圧ロックアウトを実装することができます。
5	ON3	3.3V SMPSイネーブル入力。ON3をハイに駆動することで3.3V SMPSがイネーブルされ、ON3をローに駆動することで3.3V SMPSがディセーブルされます。ON3がREFに接続されている場合、5V SMPSがレギュレーションに到達した後で3.3V SMPSが始動します(遅延スタート)。フォルトラッチをリセットするには、ON3をクリアフォルトレベル以下に駆動してください。
6	ON5	5V SMPSイネーブル入力。ON5をハイに駆動することで5V SMPSがイネーブルされ、ON5をローに駆動することで5V SMPSがディセーブルされます。ON5がREFに接続されている場合、3.3V SMPSがレギュレーションに到達した後で5V SMPSが始動します(遅延スタート)。フォルトラッチをリセットするには、ON5をクリアフォルトレベル以下に駆動してください。
7	REF	2.0Vリファレンス電圧出力。0.1μF以上のセラミックコンデンサでREFをアナロググラウンドにバイパスしてください。リファレンスは外部負荷に対して最大50μAをソースします。REFに負荷を接続した場合、REFの負荷レギュレーション誤差にしがって出力電圧の精度が低下します。システムがSHDNをローに駆動した場合、リファレンスはシャットダウンします。
8	GND	アナロググラウンド。裏面エクスポーズドパッドをGNDに接続してください。
9	FSEL	周波数選択入力。この3レベルのロジック入力によって、コントローラのスイッチング周波数を設定します。LDO5、REF、またはGNDに接続して、以下の標準スイッチング周波数を選択してください：LDO5 = 500kHz、REF = 300kHz、GND = 200kHz。
10	$\overline{\text{SKIP}}$	パルススキップ制御入力。低ノイズの強制PWM動作を行わせるには、LDO5に接続してください。軽負荷時に低ノイズの自動パルススキップ動作を行わせるには、REFに接続してください。軽負荷時に高効率の自動パルススキップ動作を行わせるには、GNDに接続してください。起動時には、SKIPの設定に関係なく常に低ノイズのパルススキップモード(すなわち、SKIP = REFに設定した場合と同じ)になります。SKIPの設定は、各SMPSがレギュレーションに到達した時点で有効になります。
11	FB5	5V SMPS用のフィードバック入力。プリセットの5V出力の場合、LDO5に接続してください。可変モードでは、FB5は2Vに安定化されます。
12	CSH5	5V SMPS用の正の電流検出入力。電流検出素子の正の端子に接続してください。図7に、高精度の検出抵抗または無損失のインダクタDCR検出を使用する2種類の電流検出方式を示します。
13	CSL5	5V SMPS用の出力検出および負の電流検出入力。内蔵のプリセット5Vフィードバック分圧器を使用する場合(FB5 = LDO5)、コントローラはCSL5を使用して出力電圧を検出します。電流検出素子の負の端子に接続してください。CSL5は、LDO5のブートストラップ入力としても機能します。MAX17003Aの場合、CSL5が-7Vを下回るのを防止するために、CSL5とGNDの間にショットキーダイオードを接続してください。
14	DSCHG5	5V SMPS用のオープンドレインの放電入力。ON5がローの場合DSCHG5はローに駆動されて、SMPS5の出力を放電します。DSCHG5はフォルト条件下でもローになります。DSCHG5とSMPS5の出力の間に47Ω以上の抵抗を接続してください。

ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

端子説明(続き)

端子	名称	機能
15	BST5	5V SMPSのブーストフライングコンデンサ接続。MAX17003A/MAX17004Aは、LDO5とBST5の間に接続されたブーストスイッチを内蔵しています。図1に示すように外付けコンデンサに接続してください。
16	DH5	5V SMPSのハイサイドゲートドライバ出力。DH5のスイング範囲はLX5～BST5です。
17	LX5	5V SMPSのインダクタ接続。LX5をインダクタのスイッチ側に接続してください。LX5はDH5ハイサイドゲートドライバの低圧側電源レールとして機能します。
18	DL5	5V SMPSのローサイドゲートドライバ出力。DL5のスイング範囲はPGND～LDO5です。
19	PGND	電源グランド
20	LDO5	5V内蔵リニアレギュレータ出力。4.7 μ F (min、1 μ F/25mA)のコンデンサでバイパスしてください。DL_ローサイドゲートドライバ、DH_ハイサイドドライバ(BSTスイッチ経由)、PWMコントローラ、ロジック、リファレンス、および外部負荷に対して、少なくとも100mAを供給します。CSL5が4.5Vを上回り、かつソフトスタートが完了している場合、リニアレギュレータがシャットダウンして、定格負荷が最大200mAの1 Ω のスイッチを介してLDO5がCSL5に接続されます。
21	IN	スタートアップ回路およびLDO5内蔵5Vリニアレギュレータの入力。ICの近くに配置した0.22 μ F以上のセラミックコンデンサでPGNDにバイパスしてください。
22	PGDALL	SMPS3およびSMPS5のオープンドレインのパワーグッド出力。SMPS3またはSMPS5のいずれかの出力が正常なレギュレーションポイントを10% (typ)以上下回るか、ON3またはON5のいずれかがローの場合、PGDALLがローに駆動されます。SMPS3とSMPS5の両方がレギュレーション状態の場合、PGDALLはハイインピーダンスになります。
23	DL3	3.3V SMPSのローサイドゲートドライバ出力。DL3のスイング範囲はPGND～LDO5です。
24	LX3	3.3V SMPSのインダクタ接続。LX3をインダクタのスイッチ側に接続してください。LX3はDH3ハイサイドゲートドライバの低圧側電源レールとして機能します。
25	DH3	3.3V SMPSのハイサイドゲートドライバ出力。DH3のスイング範囲はLX3～BST3です。
26	BST3	3.3V SMPSのブーストフライングコンデンサ接続。MAX17003A/MAX17004Aは、LDO5とBST3の間に接続されたブーストスイッチを内蔵しています。図1に示すように外付けコンデンサに接続してください。
27	DSCHG3	3.3V SMPS用のオープンドレインの放電出力。ON3がローの場合DSCHG3はローに駆動されて、SMPS3の出力を放電します。DSCHG3はフォルト条件下でもローになります。DSCHG3とSMPS3の出力の間に47 Ω 以上の抵抗を接続してください。
28	CSL3	3.3V SMPS用の出力検出および負の電流検出。内蔵のプリセット3.3Vフィードバック分圧器を使用する場合(FB3 = LDO5)、コントローラはCSL3を使用して出力電圧を検出します。電流検出素子の負の端子に接続してください。
29	CSH3	3.3V SMPS用の正の電流検出入力。電流検出素子の正の端子に接続してください。図7に、高精度の検出抵抗または無損失のインダクタDCR検出を使用する2種類の電流検出方式を示します。
30	FB3	3.3V SMPS用のフィードバック入力。固定の3.3V出力の場合、LDO5に接続してください。可変モードでは、FB3は2Vに安定化されます。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

端子説明(続き)

端子	名称	機能
31	FBA	補助LDOフィードバック入力。OUTAとアナロググランドの間に抵抗分圧器を接続して、補助リニアレギュレータの出力電圧を調整してください。FBAは1Vに安定化されます。
32	OUTA	可変補助リニアレギュレータ出力。1 μ F以上(1 μ F/25mA)のコンデンサでOUTAをGNDにバイパスしてください。DRVA < OUTAの場合、2次フィードバック制御によって1 μ sの間DL5がトリガされ、コントローラに補助蓄積コンデンサの再充電を強制します。DRVAが25Vを上回った場合、MAX17003A/MAX17004AはOUTAの10mAシャントをイネーブルして、トランスの漏れインダクタンスによって蓄積コンデンサが危険なレベルまで上昇するのを防止します。ONAをハイに駆動することによって、リニアレギュレータドライバと2次フィードバック制御がイネーブルされます。
EP	EP	エクスポーズドパッド。裏面エクスポーズドパッドをアナロググランドに接続してください。

表1. 標準アプリケーションの部品の選択

COMPONENT	300kHz 5V AT 5A 3.3V AT 5A	500kHz 5V AT 3A 3.3V AT 5A
INPUT VOLTAGE	$V_{IN} = 7V \text{ TO } 24V$	$V_{IN} = 7V \text{ TO } 24V$
C _{INL} , Input Capacitor	(3) 10 μ F, 25V Taiyo Yuden TMK432BJ106KM	(3) 10 μ F, 25V Taiyo Yuden TMK432BJ106KM
5V OUTPUT		
C _{OUT5} , Output Capacitor	2x 100 μ F, 6V, 35m Ω SANYO 6TPE100MAZB	2x 100 μ F, 6V, 35m Ω SANYO 6TPE100MAZB
L5/T5, Inductor/Transformer	6.8 μ H, 6.4A, 18m Ω (max) 1:2 Sumida 4749-T132	—
N _{H5} , High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N _{L5} , Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1
3V OUTPUT		
C _{OUT3} , Output Capacitor	2x 150 μ F, 4V, 35m Ω SANYO 4TPE150MAZB	2x 100 μ F, 6V, 35m Ω SANYO 6TPE100MAZB
L3, Inductor	5.8 μ H, 8.6A, 16.2m Ω Sumida CORH127/LD-BR8NC	3.9 μ H, 6.5A, 15m Ω Sumida CDRH124-3R9NC
N _{H3} , High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N _{L3} , Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1

ノートブックコンピュータ用、高効率、 クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

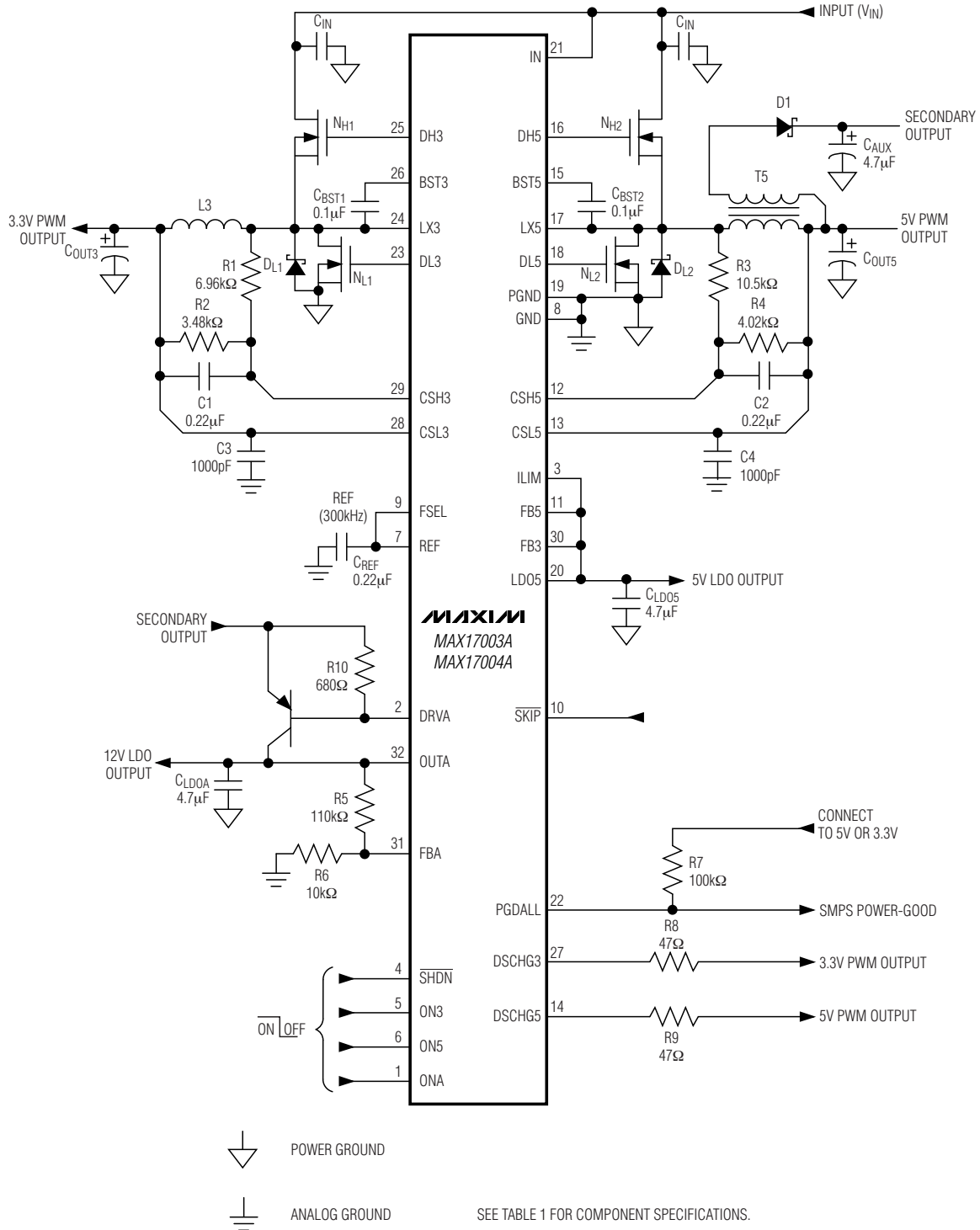


図1. 標準アプリケーション回路

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

表2. 部品メーカー

SUPPLIER	WEBSITE
AVX	www.avx.com
Central Semiconductor	www.centrasemi.com
Fairchild	www.fairchildsemi.com
International Rectifier	www.irf.com
KEMET	www.kemet.com
NEC/Tokin	www.nec-tokin.com
Panasonic	www.panasonic.com/industrial
Philips	www.philips.com
Pulse	www.pulseeng.com
Renesas	www.renesas.com
SANYO	www.edc.sanyo.com
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
TOKO	www.tokoam.com
Vishay (Dale, Siliconix)	www.vishay.com

詳細

MAX17003A/MAX17004Aの標準アプリケーション回路(図1)は、ノートブックコンピュータのメイン電源で一般に使用される5V/5Aと3.3V/5Aを生成します。入力電源電圧範囲は7V~24Vです。部品の選択については表1を、部品メーカーについては表2をご覧ください。MAX17003A/MAX17004Aは、低電圧電源用に設計された2つのインタリーブされた固定周波数のステップダウンコントローラを内蔵しています。最適なインタリーブを使用するアーキテクチャによって位相差の動作が保証され、入力コンデンサのリップルが軽減されます。1つの内蔵LDOは、キープアライブ用5V電源を生成します。MAX17003A/MAX17004Aは、3.3Vのキープアライブ電源の生成または低電力12Vシステム電源の安定化を行うための可変出力の補助LDOを備えています。

固定5Vリニアレギュレータ(LDO5)

内蔵リニアレギュレータは、プリセットの5V低電流出力を生成します。LDO5は外付けMOSFET用のゲートドライバへの給電を行い、SMPSアナログコントローラ、リファレンス、およびロジックブロックに必要なバイアス電源を提供します。LDO5は、MOSFETゲート駆動を含む外部および内部の負荷に少なくとも100mAを供給します。MOSFETゲート駆動は、スイッチング周波数と外付けMOSFETの選択に応じて、通常は5mA~50mAの範囲で変動します。全負荷状態での安定性を保証するために、LDO5を4.7μF以上のセラミックコンデンサ(負荷25mA当り1μF)でバイパスしてください。

MAX17003A/MAX17004A SMPSコントローラは、高出力の入力電源(バッテリーまたはACアダプタ)に加えて、5Vのバイアス電源を必要とします。この5Vバイアス電

源は、コントローラの内蔵5Vリニアレギュレータ(LDO5)によって生成されます。このブートストラップ式LDOによって、コントローラは単独で起動することができます。ゲートドライバの入力電源は、固定5Vのリニアレギュレータ出力(LDO5)に接続されます。そのため、5V LDO電源はLDO5 (PWMコントローラ)およびゲート駆動電力を供給する必要があるため、次の最大消費電流が要求されます。

$$I_{BIAS} = I_{CC} + f_{SW} (Q_{G(LOW)} + Q_{G(HIGH)}) \\ = 5mA \sim 50mA \text{ (typ)}$$

ここで、 I_{CC} は0.7mA (typ)、 f_{SW} はスイッチング周波数、 $Q_{G(LOW)}$ と $Q_{G(HIGH)}$ は、MOSFETのデータシートの $V_{GS} = 5V$ での総ゲート電荷量の仕様上の制限値です。

SMPSからLDOへのブートストラップ切替え

5Vのメイン出力電圧がLDO5ブートストラップ切替えスレッシュホールドを上回り、かつソフトスタートが完了している場合、内蔵の1Ω (typ) pチャネルMOSFETによってCSL5がLDO5に短絡され、それと同時にLDO5リニアレギュレータがシャットダウンされます。これによってデバイスがブートストラップされ、バッテリーからリニアレギュレータを介してではなく5V SMPS出力(CSL5)から内部回路および外部負荷への給電が行われます。ブートストラップは、大幅に効率が低いリニアレギュレータの代わりに効率90%のスイッチモードソースから給電することによって、ゲート電荷と自己損失に起因する電力消費を低減します。LDO5出力からCSL5への切替えで、電流能力は100mAから200mAに増大します。ON5をローに駆動した場合、コントローラは直ちにブートストラップスイッチをディセーブルし、5V LDOを再イネーブルします。

リファレンス(REF)

2Vのリファレンスは温度と負荷の変動に対して±1%の精度を備えているため、REFは高精度のシステムリファレンスとして役立ちます。0.1μF以上のセラミックコンデンサでREFをGNDにバイパスしてください。このリファレンスは、外部負荷に対して最大50μAのソースおよび5μAのシンクをサポートします。メインSMPSの出力電圧に関して非常に高精度の仕様が要求される場合は、リファレンスに負荷を接続しないでください。リファレンスに負荷を接続した場合、リファレンスの負荷レギュレーション誤差のため、LDO5、CSL5 (OUT5)、CSL3 (OUT3)、およびOUTAの出力電圧がわずかに低下します。

システムイネーブル/シャットダウン(SHDN)

MAX17003A/MAX17004Aを低電力シャットダウン状態にするには、SHDNを正確なSHDN入力立下りエッジトリップレベルより低い電圧に駆動してください。コントローラは、シャットダウンモードでは8μAの自己消費

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

表3. 動作モードの真理値表

MODE	INPUTS*			OUTPUTS		
	SHDN	ON5	ON3	LDO5	5V SMPS	3V SMPS
Shutdown Mode	Low	X	X	OFF	OFF	OFF
Standby Mode	High	Low	Low	ON	OFF, DSCHG5 LOW	OFF, DSCHG3 LOW
Normal Operation	High	High	High	ON	ON	ON
3.3V SMPS Active	High	Low	High	ON	OFF, DSCHG5 LOW	ON
5V SMPS Active	High	High	Low	OFF LDO5 to CSL5 bypass switch enabled	ON	OFF, DSCHG3 LOW
Normal Operation (Delayed 5V SMPS Startup)	High	Ref	High	OFF LDO5 to CSL5 bypass switch enabled	ON Power-up after 3.3V SMPS is in regulation	ON
Normal Operation (Delayed 3.3V SMPS Startup)	High	High	Ref	OFF LDO5 to CSL5 bypass switch enabled	ON	ON Power-up after 5V SMPS is in regulation

*SHDNは高精度、低電圧のロジック入力、立下りエッジスレッショルド電圧は1V、立上りエッジスレッショルド電圧は1.6Vです。ON3およびON5は3レベルのCMOSロジック入力、0.8Vより低い電圧がロジックロー、2.4Vより高い電圧がロジックハイ、中間ロジックレベルが1.7V~2.3Vです(ELECTRICAL CHARACTERISTICS (電気的特性))の表を参照)。

電流のみを消費します。シャットダウンモード作動時、コントローラがシャットダウンシーケンスを完了した後でリファレンスがオフになるため、シャットダウン終了のスレッショルドの精度が低下します。スタートアップを保証するためには、SHDNを2V (SHDN入力立上りエッジトリップレベル)より高い電圧に駆動してください。自動でシャットダウンおよびスタートアップを行うには、SHDNをVINに接続してください。正確に1VのSHDNの立下りエッジスレッショルドを使用して、特定の入力電圧レベルを検出してデバイスをシャットダウンすることができます。シャットダウンへの移行後は1.6Vの立上りエッジスレッショルドが有効になるため、ほとんどのアプリケーションにとって十分なヒステリシスが提供されます(表3を参照)。

SMPSのPOR、UVLO、およびソフトスタート

パワーオンリセット(POR)はLDO5が約1Vを上回った時点で行われ、低電圧、過電圧、およびサーマルシャットダウンの各フォルトラッチがリセットされます。また、POR回路によって、SMPSコントローラが作動するまでローサイドドライバがハイに駆動されることも保証されます。図2に、MAX17003A/MAX17004Aのブロック図を示します。

LDO5の入力低電圧ロックアウト(UVLO)回路は、5Vバイアス電源(LDO5)が4VのUVLOスレッショルドを下回った場合にスイッチングを停止させます。5Vバイアス電源(LDO5)がこの入力UVLOスレッショルドを上回り、SMPSコントローラがイネーブル(ON_がハイに駆動)された時点で、SMPSコントローラはスイッチングを開始して、ソフトスタートを使用した出力電圧の上昇が開始します。LDO5の電圧がUVLOスレッショルドを下回った

場合、コントローラはスイッチングを停止して、LDO5の電圧が回復するかまたはPORスレッショルドを下回るまで、ローサイドゲートドライバをローに駆動します。内蔵のソフトスタートは、フィードバック電圧を1V/msのスルーレートで徐々に上昇させます。そのため、出力が公称レギュレーション電圧に到達するのはSMPSコントローラのイネーブルから2ms後になります(「標準動作特性」の「SOFT-START WAVEFORM (ソフトスタートの波形)」を参照)。この緩やかなスルーレートによって出力コンデンサの充電に必要な電流($I_{OUT} = I_{LOAD} + C_{OUT} \times V_{OUT(NOM)} / t_{SLEW}$)が最小限に抑えられるため、入力サージ電流が効果的に低減されます。

SMPSイネーブル制御(ON3、ON5)

ON3およびON5は、SMPSのパワーアップシーケンスを制御します。ON3またはON5が2.4Vを上回った場合に、それぞれの出力がイネーブルされます。ON3またはON5が1.6Vを下回った場合に、それぞれの出力がディセーブルされます。ON_を0.8V以下に駆動した場合、過電圧、低電圧、および熱フォルトのラッチがクリアされます。

SMPSのパワーアップシーケンス

ON3またはON5をREFに接続することによって、それぞれの出力はもう一方の出力がレギュレーションに到達するまで強制的にオフになり、その出力が安定化した後で動作を開始します。第2のSMPSは、第1のSMPSがオフになるか、デバイスがシャットダウンするか、フォルトが発生するか、またはLDO5がUVLOになるまでオンのままになります。第1の電源がオフになった場合、両方の電源が直ちにパワーダウンシーケンスを開始します。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

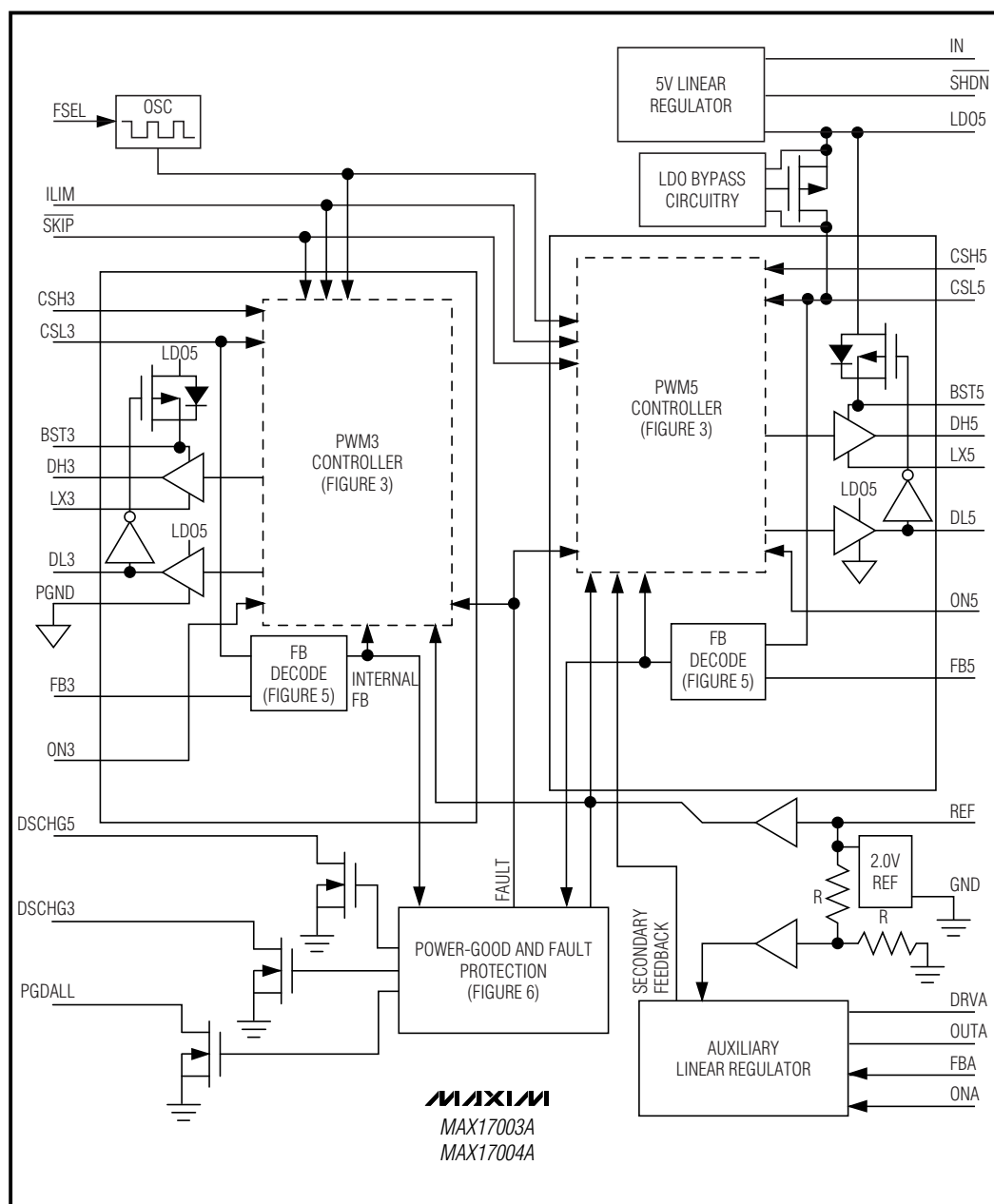


図2. ファンクションダイアグラム

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

出力の放電(ソフト放電)

スイッチングレギュレータがディセーブルされた場合(ON_またはSHDNがローに駆動された場合、または出力低電圧フォルトが発生した場合)、内蔵のソフト放電がDSCHG_をローに駆動することによって出力電圧を徐々に低下させます(「標準動作特性」の「SMPS SHUT-DOWN WAVEFORM (SMPSシャットダウンの波形)」を参照)。これによって出力の静電容量がゆっくりと放電され、インダクタおよびローサイドMOSFETを通じた急速な出力の放電によって生じる負の出力電圧が防止されます。両方のSMPSコントローラが個別のソフトシャットダウン回路を内蔵しています。

固定周波数、電流モードPWMコントローラ

それぞれの電流モードPWMコントローラの中心部は、リファレンス電圧を基準とする出力電圧の誤差信号とスロープ補償ランプの2つの信号を加算する、マルチ入力、オープンループのコンパレータです(図3)。MAX17003A/MAX17004Aは直接加算構成を使用しており、従来のエラーアンプとそれに付随する位相シフトなしで、理想的なサイクル単位の制御に近い出力電圧の制御を行います。

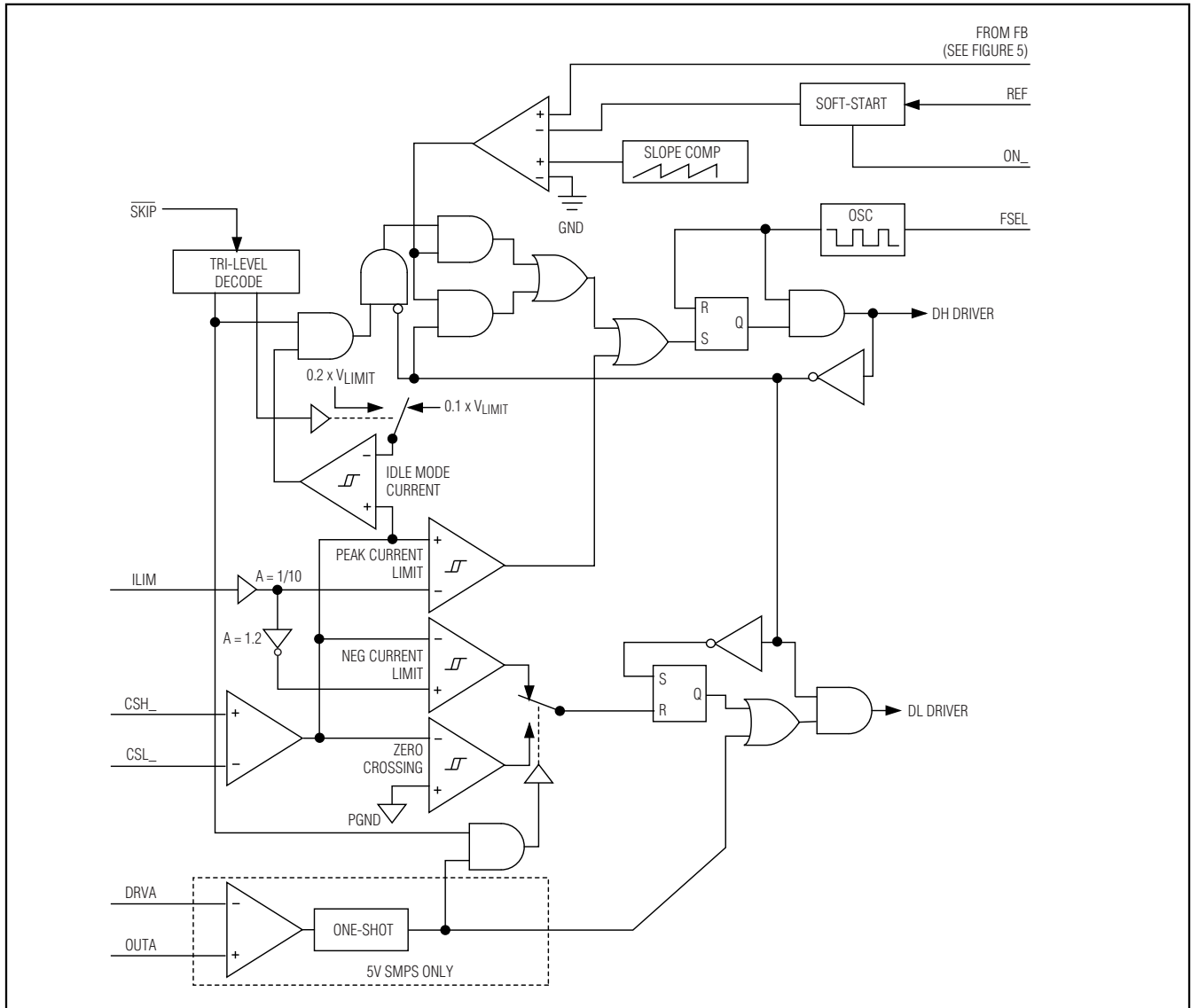


図3. PWMコントローラのファンクションダイアグラム

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

表4. FSELの設定の表

FSEL	SWITCHING FREQUENCY (kHz)
LDO5	500
REF	300
GND	200

周波数の選択(FSEL)

FSEL入力で、PWMモードのスイッチング周波数を選択します。表4に、FSELの接続に基づくスイッチング周波数を示します。高周波(500kHz)の動作は、最小の部品サイズ向けにアプリケーションが最適化されますが、スイッチング損失が増大するため効率が低下します。負荷電流が小さいウルトラポータブル機器では、これが許容される場合があります。低周波(200kHz)の動作は、最高の全体的効率が提供されますが、部品サイズと基板スペースが犠牲になります。

強制PWMモード

低ノイズの強制PWMモード(SKIP = LDO5)では、ローサイドスイッチのオン時間を制御するゼロクロスコンパレータがディセーブルされます。これによって、ローサイドのゲート駆動波形が常にハイサイドのゲート駆動波形の相補形に強制されるため、軽負荷時にはインダクタ電流が反転しますが、DH_のデューティ比は V_{OUT}/V_{IN} に維持されます。強制PWMモードの利点は、スイッチング周波数がほぼ一定に保たれることです。しかし強制PWM動作の欠点として、外付けMOSFETおよびスイッチング周波数に応じて無負荷時にも5Vの消費電流が20mA~50mAのままになります。

強制PWMモードは、オーディオ周波数ノイズの防止と負荷過渡応答の改善にとって非常に有効です。強制PWM動作ではゼロクロスコンパレータがディセーブルされるため、軽負荷時にはインダクタ電流が反転します。

軽負荷時の動作の制御 (SKIP)

MAX17003A/MAX17004Aは軽負荷時の動作モードの制御入力(SKIP)を備えており、両方のスイッチングレギュレータのゼロクロスコンパレータのイネーブルまたはディセーブルに使用します。ゼロクロスコンパレータがイネーブルされている場合、インダクタ電流が0であることを電流検出力が検出した時点でレギュレータはDL_をローに強制します。これによって、インダクタは出力コンデンサの放電を行わず、軽負荷状態でレギュレータにパルスのスキップを強制して出力の過充電を防止します。ゼロクロスコンパレータがディセーブルされている場合、レギュレータは軽負荷状態でもPWM動作を維持するように強制されます(強制PWM)。

アイドルモード電流検出スレッシュホールド

パルススキップモードがイネーブルされている場合、出力電圧がフィードバックスレッシュホールドを超えた時点、および電流検出電圧がアイドルモード電流検出スレッシュホールドを超えた時点で、ステップダウンコントローラのオン時間が終了します。軽負荷状態でのオン時間の長さは、ILIMで設定される全負荷時の電流制限スレッシュホールドの20% (SKIP = GND)に相当するアイドルモード電流検出スレッシュホールド、またはILIMで設定される全負荷時の電流制限スレッシュホールドの10% (SKIP = REF)に相当する低ノイズ電流検出スレッシュホールドのみに依存します。これによって、コントローラは各サイクルで最小限の電力を供給します。出力の過充電を防止するために、出力電圧がフィードバックスレッシュホールドを下回るまで次のオン時間を開始することはできません。ゼロクロスコンパレータによってスイッチングレギュレータの電流シンクが防止されるため、コントローラはパルスをスキップする必要があります。したがって、コントローラは軽負荷状態では出力リップルの谷を安定化することになります。

自動パルススキップのクロスオーバー

スキップモードでは、軽負荷時にPFMへの固有の自動切替えが行われます(図4)。この切替えは、インダクタ電流のゼロクロスでローサイドスイッチのオン時間を終了させるコンパレータの影響を受けます。ゼロクロスコンパレータは、CSH_とCSL_間のインダクタ電流を検出します。 $V_{CSH_} - V_{CSL_}$ がゼロクロス電流検出スレッシュホールドの3mVを下回った時点で、コンパレータはDL_をローに強制します(図3)。この仕組みによって、パルススキップPFMと非スキップPWM動作の間のスレッシュホールドは、連続と不連続のインダクタ電流動作の境界(別名「臨界動作」点)と一致します。PFM/PWMのクロス

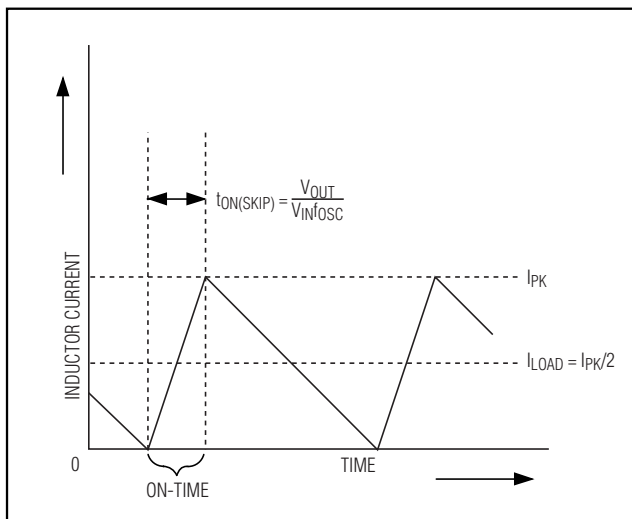


図4. パルススキップ/不連続クロスオーバーポイント

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

オーバーが発生する負荷電流レベル $I_{LOAD(SKIP)}$ は、次式で与えられます。

$$I_{LOAD(SKIP)} = \frac{(V_{IN} - V_{OUT})V_{OUT}}{2V_{IN}f_{OSC}L}$$

軽負荷によってパルススキップ動作に移行した場合、スイッチング波形のノイズが増えて非同期のように見える可能性があります。これは正常な動作状態であり、結果として軽負荷時に高効率を実現されます。PFMのノイズと軽負荷時の効率の間のトレードオフは、インダクタの値を変えることによって調整します。一般に、インダクタの値が小さい場合は効率と負荷の関係を示す曲線がなだらかになり、インダクタの値が大きい場合は、全負荷時の効率が高くなり(コイルの抵抗は一定と仮定)、出力電圧リップルが減少します。大きい値のインダクタを使用するデメリットとして、物理サイズの増大および(特に低い入力電圧レベルにおける)負荷過渡応答の劣化があります。

出力電圧

「ELECTRICAL CHARACTERISTICS」の表のDC出力精度の仕様は、エラーコンパレータのスレッシュホールドを基準としています。インダクタが連続的に導通している場合、MAX17003A/MAX17004Aは出力リップルのピークを安定化するため、実際のDC出力電圧は出力リップル電圧の50%だけスロープ補償後のトリップレベルより低くなります。PWM動作(連続動作)の場合、出力電圧は次式によって正確に定義されます。

$$V_{OUT(PWM)} = V_{NOM} \left(1 - \frac{A_{SLOPE} V_{RIPPLE}}{V_{IN}} \right) - \left(\frac{V_{RIPPLE}}{2} \right)$$

ここで、 V_{NOM} は公称出力電圧、 A_{SLOPE} は1.1%、 V_{RIPPLE} は出力リップル電圧です(「出力コンデンサの選択」の項で説明するように、 $V_{RIPPLE} = ESR \times \Delta I_{INDUCTOR}$ です)。

不連続動作($I_{OUT} < I_{LOAD(SKIP)}$)の場合、MAX17003A/MAX17004Aは出力リップルの谷を安定化するため、出力電圧のDCレギュレーションレベルはエラーコンパレータのスレッシュホールドより高くなります。PFM動作(不連続導通)の場合、出力電圧は次式によって近似的に定義されます。

$$V_{OUT(PFM)} = V_{NOM} + \frac{1}{2} \left(\frac{f_{SW}}{f_{OSC}} \right) I_{IDLE} ESR$$

ここで、 V_{NOM} は公称出力電圧、 f_{OSC} は内蔵発振器によって設定された最大スイッチング周波数、 f_{SW} は実際のスイッチング周波数、 I_{IDLE} はパルススキップ時におけるアイドルモードのインダクタ電流です。

出力(CSL₋)とアナロググランドの間に接続されているプリセットの内蔵抵抗分圧器によって設定される固定

のSMPS出力電圧(それぞれ3.3Vおよび5V)を有効にする場合は、FB3およびFB5をLDO5に接続してください。それぞれの出力電圧を2V~5.5Vの範囲で調整する場合は、出力(CSL₋)とGNDの間に接続した抵抗分圧器にFB₋を接続してください(図5)。 R_{FBLO} (FBからGNDまでの抵抗)として約10kΩを選択して、次式を使用して R_{FBHI} (出力からFBまでの抵抗)を求めてください。

$$R_{FBHI} = R_{FBLO} \left(\frac{V_{OUT}}{V_{FB-}} - 1 \right)$$

ここで、 $V_{FB-} = 2V$ (公称)です。

両方の出力電圧を調整する場合、3.3V SMPSを5V SMPSよりも低い値に設定してください。CSL5がLDO5のブートストラップスレッシュホールド(4.5V)を上回り、CSL5側のソフトスタートシーケンスが完了している場合にのみ、LDO5は内部スイッチを介して5V出力(CSL5)に接続されます。ブートストラップは、固定の出力電圧を使用する場合に最も有効に機能します。CSL5からLDO5のブートストラップが行われた時点で、内蔵の5Vリニアレギュレータがオフになります。これによって内部の電力消費が低減され、高い入力電圧での効率が向上します。

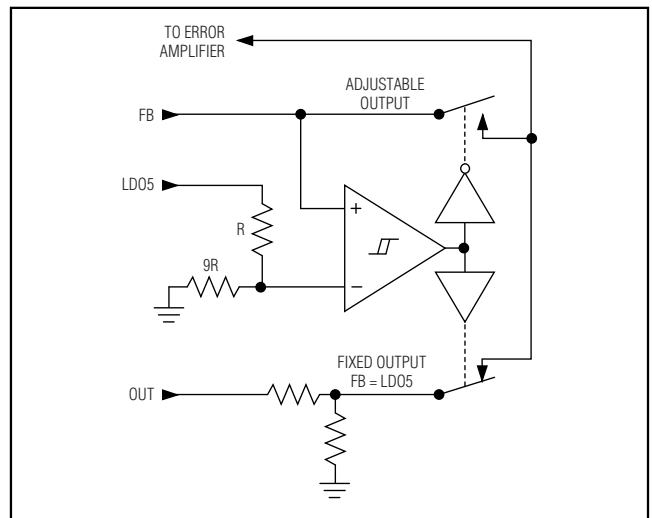


図5. Dual Modeフィードバックデコード

電流制限保護(ILIM)

電流制限回路は、差動電流検出入力(CSH₋およびCSL₋)を使用してピークインダクタ電流を制限します。電流検出信号の大きさが電流制限スレッシュホールドを超えた場合、PWMコントローラはハイサイドのMOSFETをオフにします(図3)。実際の最大負荷電流は、インダクタのリップル電流の半分の量だけピーク電流制限スレッシュホールドより小さくなります。そのため、最大負荷能力は、電流検出抵抗値、インダクタ値、スイッチング

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

周波数、およびデューティサイクル(V_{OUT}/V_{IN})の関数になります。

強制PWMモードでは、 V_{OUT} が電流をシンクしている場合に過度の逆インダクタ電流を防止するために、MAX17003A/MAX17004Aは負の電流制限も実行します。負の電流制限スレッショルドは正の電流制限値の約120%に設定され、ILIMを調整した場合は正の電流制限値に追従します。

ILIMをLDO5に接続してデフォルトのスレッショルドの50mVを使用するか、またはILIMに外付けの抵抗分圧器を接続して電流制限スレッショルドを調整してください。精度およびノイズ耐性のために、分圧器の電流は2 μ A~20 μ Aを使用してください。電流制限スレッショルドの調整範囲は、50mV~200mVです。可変モードの場合、電流制限スレッショルド電圧は正確にILIMの電圧の1/10に等しくなります。デフォルト値への切替えのロジックスレッショルドは、約 $V_{LDO5} - 1V$ です。

ノイズとDC誤差によるCSH₋とCSL₋での差動電流検出信号の劣化がないことを保証するため、PCBレイアウトのガイドラインを十分に遵守してください。ICは短い直接的な配線を使用して検出抵抗の近くに配置して、電流検出抵抗にケルビン接続を行ってください。

MOSFETゲートドライバ(DH₋、DL₋)

DH₋およびDL₋ドライバは、中型のハイサイドおよびより大型のローサイドパワーMOSFETの駆動用に最適化されています。これは、 $V_{IN} - V_{OUT}$ の大きな差が存在するノートブックアプリケーションの低いデューティ比に適合します。ハイサイドゲートドライバ(DH₋)は2Aをソースおよびシンクし、ローサイドゲートドライバ(DL₋)は1.7Aをソースして3.3Aをシンクします。これによって、大電流アプリケーションでの堅牢なゲート駆動が保証されます。DH₋のフローティングハイサイドMOSFETドライバはBST₋のチャージポンプによって給電されるのに対して、DL₋の同期整流ドライバは固定5Vリニアレギュレータ(LDO5)によって直接給電されます。

適応型デッドタイム回路はDL₋およびDH₋ドライバを監視して、どちらのFETももう一方のFETが完全にオフになるまでターンオンしないようにします。適応型のドライバデッドタイムによって、広範なMOSFETで貫通電流のない動作が可能になり、遅延が最小限に抑えられて効率が維持されます。適応型デッドタイム回路が正常に動作するためには、DL₋およびDH₋ドライバからMOSFETゲートへの低抵抗、低インダクタンスの経路が存在する必要があります。そうでない場合、実際には電荷が残っているにもかかわらず、MAX17003A/MAX17004Aの検出回路がMOSFETのゲートを「オフ」と解釈することになります。非常に短く、太いトレース(MOSFETとドライバの間が1インチの場合で太さ50mil~100mil)を使用してください。

DL₋をローに駆動する内蔵プルダウントランジスタは堅牢で、オン抵抗は0.6 Ω (typ)です。これには、インダクタ端子(LX₋)がグラウンドから V_{IN} へと急速に切り替わる際に、ローサイドMOSFETのドレイン-ゲート間の容量性結合によってDL₋がプルアップされるのを防止する上で役立ちます。入力電圧が高く長い誘導性のドライバトレースを含むアプリケーションでは、LX₋の高速な立上りエッジがローサイドMOSFETのゲートをプルアップすることによって貫通電流が発生しないことを保証するために、ゲート-ソース間容量の追加が必要になる場合があります。MOSFETのゲート-ドレイン間容量($C_{GD} = C_{RSS}$)、ゲート-ソース間容量($C_{GS} = C_{ISS} - C_{GD}$)、および基板のその他の寄生容量によって生じるLX₋とDL₋の間の容量性結合が、次の最小スレッショルドを超えないようにしてください。

$$V_{GS(TH)} > V_{IN} \left(\frac{C_{RSS}}{C_{ISS}} \right)$$

設計に余裕がない場合、ロット間のスレッショルド電圧の変動によって問題が発生する可能性があります。

パワーグッド出力(PGDALL)

PGDALLは、両方のSMPSの出力電圧について低電圧状態を連続的に監視するコンパレータの、オープンドレインの出力です。シャットダウン時(SHDN = GND)、ソフトスタート中とソフト放電中、およびいずれかのSMPSがディセーブルされている場合(ON3またはON5がロー)、PGDALLは能動的にローに維持されます。ソフトスタートシーケンスが終了した時点で、PGDALLはハインピーダンスになります(ただし両方のSMPSの出力がFB₋で設定される公称レギュレーション電圧の90%を上回っていることが条件です)。いずれかの

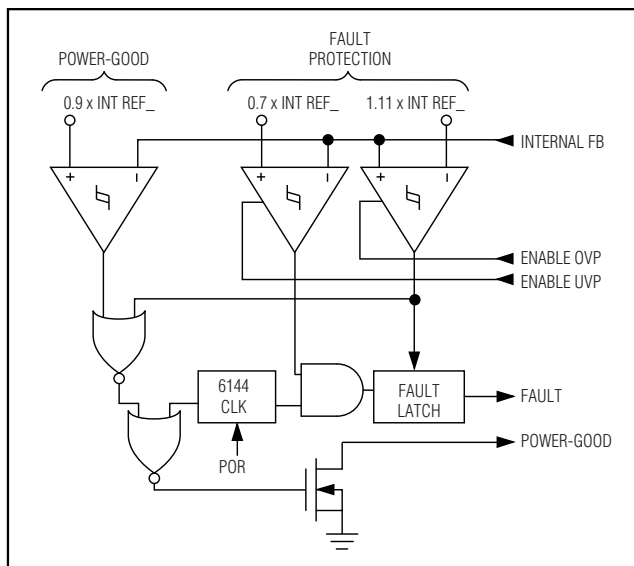


図6. パワーグッドおよびフォルト保護

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

表5. 動作モードの真理値表

MODE	CONDITION	COMMENT
Power-Up	LDO5 < UVLO threshold	Transitions to discharge mode after V_{IN} POR and after REF becomes valid. LDO5, REF remain active. DL_ is low.
Run	$\overline{SHDN}$ = high, ON3 or ON5 enabled	Normal operation.
Output Overvoltage (OVP) Protection (MAX17003A)	Either output > 111% of nominal level	Exited by POR or cycling $\overline{SHDN}$, ON3, or ON5.
Output Undervoltage Protection (UVP)	Either output < 70% of nominal level, UVP is enabled 6144 clock cycles ($1/f_{OSC}$) after the output is enabled	Exited by POR or cycling $\overline{SHDN}$, ON3, or ON5.
Standby	ON5 and ON3 < startup threshold, $\overline{SHDN}$ = high	DL_ stays low. LDO5 active.
Shutdown	$\overline{SHDN}$ = low	All circuitry off.
Thermal Shutdown	$T_J > +160^\circ\text{C}$	Exited by POR or cycling $\overline{SHDN}$, ON3, or ON5. DL3 and DL5 go low before LDO5 turns off.
Switchover Fault	Excessive current on LDO5 switchover transistors	Exited by POR or cycling $\overline{SHDN}$, ON3, or ON5.

SMPS出力がその公称レギュレーションポイントを10%下回るか、SMPSの出力過電圧フォルトが発生するか、またはON_か $\overline{SHDN}$ がローになった時点で、PGDALLはローになります。ロジックレベルのPGDALLの出力電圧を取得するには、PGDALLとLDO5の間に外付けのプルアップ抵抗を接続してください。ほとんどのアプリケーションでは、100k Ω のプルアップ抵抗で適切に動作します(表5を参照)。

フォルト保護

出力過電圧保護(OVP) — MAX17003Aのみ

いずれかのSMPSの出力電圧がその公称レギュレーション電圧の111%を上回り、OVP保護がイネーブルされている場合、コントローラはフォルトラッチをセットし、PGDALLをローに駆動し、フォルトをトリップさせたSMPSコントローラをシャットダウンして、直ちにDL_をローに駆動してDL_をハイに強制します。これによって同期整流MOSFETが100%デューティでターンオンして、出力コンデンサが急速に放電され、両方の出力がグランドにクランプされます。しかし、DL_を直ちにハイにラッチすることによって、出力LCに蓄積されたエネルギーが原因で、OVPが発生した瞬間に通常はわずかな負の出力電圧が発生します。負荷が負の電圧に対する耐性を備えていない場合は、逆極性クランプとして動作するパワーショットキーダイオードを出力の両端間に配置してください。過電圧の発生原因となった条件(ハイサイドMOSFETの短絡など)が持続した場合は、バッテリーが枯渇します。もう一方の出力は、DL_をローに強制した状態でソフト放電機能を使用してシャットダウンされます。フォルトラッチをクリアし

てSMPSコントローラを再始動させるには、LDO5を一度1V以下に低下させてから元に戻すか、またはON3、ON5、または $\overline{SHDN}$ のいずれかをトグルしてください。

出力低電圧保護(UVP)

各SMPSコントローラは、出力がイネーブル(ON_がハイに駆動)されてから6144クロックサイクル($1/f_{OSC}$)後にその出力の監視を開始する出力UVP保護回路を内蔵しています。いずれかのSMPSの出力電圧がその公称レギュレーション電圧の70%を下回り、UVP保護がイネーブルされている場合、UVP回路はフォルトラッチをセットし、PGDALLをローに駆動して、DL_をローに強制した状態でソフト放電機能を使用して両方のコントローラをシャットダウンします。フォルトラッチをクリアしてSMPSコントローラを再始動させるには、LDO5を一度1V以下に低下させてから元に戻すか、またはON3、ON5、または $\overline{SHDN}$ のいずれかをトグルしてください。

熱フォルト保護

MAX17003A/MAX17004Aは、熱フォルト保護回路を備えています。接合部温度が+160 $^\circ\text{C}$ を上回った場合、熱センサーがフォルトラッチを作動させ、PGDALLをローに駆動し、DL_をローに強制した状態でソフト放電機能を使用して両方のSMPSコントローラをシャットダウンします。接合部温度が15 $^\circ\text{C}$ だけ低下した後でフォルトラッチをクリアしてコントローラを再始動させるには、ON3、ON5、または $\overline{SHDN}$ のいずれかをトグルしてください。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

補助LDOの詳細

MAX17003A/MAX17004Aは、PCMCIAの電力要件、および携帯機器における負荷スッチのゲートのバイアスに最適な、12Vに設定可能な補助リニアレギュレータ(OUTA)を内蔵しています。また、OUTAは1V~23Vの出力用にも設定可能です。補助レギュレータは独立したON/OFF制御を備えているため、不要時にはシャットダウンすることが可能で、システムが低電力状態のときの消費電力を低減することができます。

フライバック巻線制御ループは2次巻線の出力を安定化して、1次出力の負荷が軽い場合または入出力間の電圧差が小さい場合にクロスレギュレーションを改善します。 $V_{DRVA} < V_{OUTA}$ の場合、スイッチング周期の33%に等しい時間だけローサイドのスイッチがオンになります。これによってインダクタ(1次)電流が反転して、出力フィルタコンデンサから電流が引き出され、フライバックトランスが順方向モードで動作することになります。順方向モードではトランスの2次側がローインピーダンスになるため、電流が2次出力に流れ、2次側コンデンサが充電されて、 $V_{INA} - V_{OUTA}$ がレギュレーション状態に戻ります。メイン(1次)出力に重い負荷がかかる通常のフライバックモードでは、2次フィードバックループによる2次出力の精度の向上はありません。この状態では、2次整流器の電圧降下、トランスの巻数比、およびメイン出力電圧の精度によって2次出力の精度が決定されます。

SMPSの設計手順

スイッチング周波数およびインダクタ動作点(リップル電流比)を選択する前に、入力電圧範囲と最大負荷電流を確定してください。設計上の主なトレードオフとなるのは適切なスイッチング周波数とインダクタ動作点の選択であり、次の4つの要素によって残りの設計が決定されます。

- **入力電圧範囲。**最大値($V_{IN(MAX)}$)は、ワーストケースの高いACアダプタ電圧に対応する必要があります。最小値($V_{IN(MIN)}$)は、コネクタ、ヒューズ、およびバッテリーセレクトスイッチによる電圧降下後の最も低いバッテリー電圧を考慮する必要があります。選択の余地がある場合は、入力電圧が低いほど効率が向上します。
- **最大負荷電流。**2つの値について考慮する必要があります。ピーク負荷電流($I_{LOAD(MAX)}$)によって部品の瞬間的ストレスおよびフィルタ要件が決定され、出力コンデンサの選択、インダクタの飽和定格、および電流制限回路の設計に影響します。連続負荷電流(I_{LOAD})によって熱的ストレスが決定され、入力コンデンサ、MOSFET、および熱に関与するその他の主要な部品の選択に影響します。

- **スイッチング周波数。**この選択によって、サイズと効率の間の基本的なトレードオフが決定します。MOSFETのスイッチング損失は周波数と V_{IN}^2 に比例するため、最適な周波数は主として最大入力電圧の関数になります。また、MOSFET技術の急速な進歩に伴ってより高い周波数が実用的になるため、最適な周波数は常に変化することになります。
- **インダクタ動作点。**この選択によって、サイズと効率の間、および過渡応答と出力リップルの間のトレードオフが提供されます。インダクタ値を小さくすると過渡応答が向上して物理的サイズが小型化しますが、同時にリップル電流が増大するため効率が低下して出力リップルが増大します。実用的な最小のインダクタ値は、臨界動作の境界(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに接する状態)で回路が動作する値です。インダクタ値をこれより小さくした場合も、それ以上サイズ縮小の効果はありません。最適な動作点は、通常はリップル電流の20%~50%の範囲に存在します。パルススキップ時(SKIPがローかつ軽負荷の場合)には、PFM/PWMの切替えが発生する負荷電流値もインダクタ値によって決定されます。

インダクタの選択

スイッチング周波数とインダクタ動作点によって、次式のようにインダクタ値が決定されます。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}f_{OSC}I_{LOAD(MAX)}LIR}$$

例: $I_{LOAD(MAX)} = 5A$, $V_{IN} = 12V$, $V_{OUT} = 5V$, $f_{OSC} = 300kHz$, リップル電流比30% (すなわちLIR = 0.3)の場合、次のようになります。

$$L = \frac{5V \times (12V - 5V)}{12V \times 300kHz \times 5A \times 0.3} = 6.50\mu H$$

割り当てられた寸法に適合するものの中で、可能な限りDC抵抗値が小さい低損失のインダクタを選択してください。ほとんどのインダクタメーカーは、1.0 μH 、1.5 μH 、2.2 μH 、3.3 μH などの標準値のインダクタを提供しています。また、入力電圧範囲にわたってより適切なLIRの妥協点が提供される可能性があるため、非標準の値についても検討してください。スインギングインダクタ(無負荷時のインダクタンスが電流の増加とともに直線的に減少するもの)を使用する場合は、適切にスケールしたインダクタンス値を使用してLIRの評価を行ってください。選択したインダクタ値に対して、実際のピーク-ピークインダクタリップル電流($\Delta I_{INDUCTOR}$)は次式で定義されます。

$$\Delta I_{INDUCTOR} = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}f_{OSC}L}$$

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

鉄粉末コアは安価であり200kHzで適切に動作しますが、多くの場合はフェライトコアが最善の選択になります。コアはピークインダクタ電流(I_{PEAK})で飽和しないだけの十分な大きさが必要です。

$$I_{PEAK} = I_{LOAD(MAX)} + \frac{\Delta I_{INDUCTOR}}{2}$$

トランスの設計

(MAX17003A/MAX17004Aの補助出力の場合)

5V SMPSのインダクタの代わりに結合インダクタまたはトランスを使用して補助出力を作成することが可能です(図1)。5V出力の負荷が軽い場合でも2次フィードバックスレッシュホールドがDL5を自動的にトリガするため、MAX17003A/MAX17004Aはそれらのアプリケーションに特に適しています。

補助電源の電源要件をメイン出力の設計段階で考慮する必要があります。トランスは適切な巻数比とインダクタンスによって、1次出力と2次出力の両方で要求される電流を供給するように設計する必要があります。同期整流MOSFETの電力定格およびMAX17003A/MAX17004Aの電流制限値も、これに応じて調整する必要があります。入出力間の電圧差が極端に小さい場合、出力負荷レベルが大幅に異なる場合、および巻数比が非常に大きい場合は、巻線間容量、2次抵抗、漏れインダクタンスなどのトランスの寄生パラメータによって設計がさらに複雑になる可能性があります。メイン出力と2次出力の電力を組み合わせることで、メイン出力を基準とする等価電流が与えられます。電流制限値を決定する際には、この全電流を使用してください(「電流制限の設定」の項を参照)。

$$I_{TOTAL} = P_{TOTAL}/V_{OUT5}$$

ここで、 I_{TOTAL} はメイン出力を基準とする等価出力電流、 P_{TOTAL} はメイン出力と2次出力の両方の出力電力の和です。

$$N = \frac{V_{SEC} + V_{FWD}}{V_{OUT5} + V_{RECT} + V_{SENSE}}$$

ここで、 N はトランスの巻数比、 V_{SEC} は必要な最小の整流済み2次電圧、 V_{FWD} は2次整流器の両端での順方向電圧降下、 $V_{OUT5(MIN)}$ はメイン出力電圧の最小値、 V_{RECT} は同期整流MOSFETの両端でのオン状態の電圧降下です。必要な巻数比を減少させるために、トランスの2次側リターンは通常はグランドではなくメイン出力電圧に接続されます。その場合は、前記のトランス

巻数比の式において2次電圧から V_{OUT5} を引いてください($V_{SEC} - V_{OUT5}$)。結合インダクタアプリケーションの2次ダイオードは、60Vを超えるフライバック電圧に耐える必要があります。また、1N4001などの一般的なシリコン整流器は低速すぎるため使用することができません。選択肢となるのは、MURS120などの高速なシリコン整流器のみです。整流器両端のフライバック電圧は V_{IN} と V_{OUT5} の差と相関関係にあり、トランスの巻数比に比例します。

$$V_{FLYBACK} = V_{SEC} + (V_{IN} - V_{OUT5}) \times N$$

ここで、 N はトランス巻数比(2次巻数/1次巻数)、 V_{SEC} は最大の2次DC出力電圧です。2次巻線のリターンをグランドではなく V_{OUT5} に接続する場合は、前記の式において $V_{FLYBACK}$ から V_{OUT5} を引いてください。また、ダイオードの逆ブレイクダウン電圧定格が漏れインダクタンスに起因するリングングに対応する必要もあります。ダイオードの電流定格は、2次出力のDC負荷電流の少なくとも2倍にしてください。

過渡応答

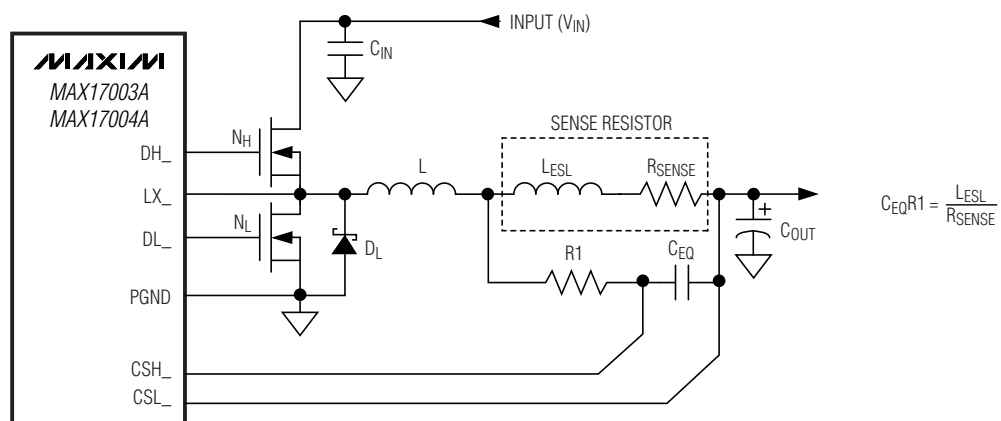
インダクタのリプル電流は、特に $V_{IN} - V_{OUT}$ の差が小さい場合に、過渡応答性能にも影響します。インダクタ値が小さい場合は、より急速なインダクタ電流の変化が可能であるため、突然の負荷ステップによって出力フィルタコンデンサから流出した電荷を補充することができます。総出力電圧落ち込みは、インダクタの電荷量が増大している間の電圧落ち込みと、次のパルスが発生する前の電圧落ち込みとの和です。

$$V_{SAG} = \frac{L(\Delta I_{LOAD(MAX)})^2}{2C_{OUT}(V_{IN} \times D_{MAX} - V_{OUT})} + \frac{\Delta I_{LOAD(MAX)}(t - \Delta t)}{C_{OUT}}$$

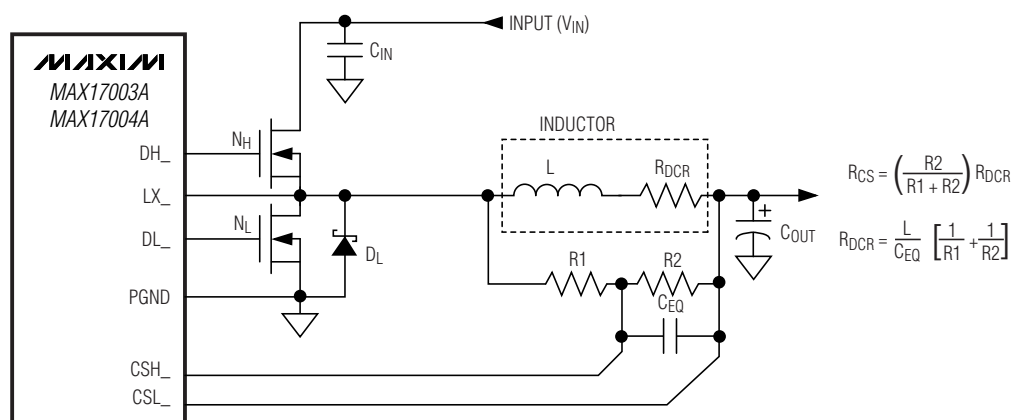
ここで、 D_{MAX} は最大デューティ比(「ELECTRICAL CHARACTERISTICS」の表を参照)、 t はスイッチング周期($1/f_{OSC}$)であり、 Δt は、PWMモードでは $V_{OUT}/V_{IN} \times t$ に等しく、スキップモードでは $L \times 0.2 \times I_{MAX}/(V_{IN} - V_{OUT})$ に等しくなります。インダクタに蓄積されたエネルギーによる全負荷から無負荷への過渡中のオーバーシュートの量は、次式で計算することができます。

$$V_{SOAR} \approx \frac{(\Delta I_{LOAD(MAX)})^2 L}{2C_{OUT}V_{OUT}}$$

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ



A) OUTPUT SERIES RESISTOR SENSING



B) LOSSLESS INDUCTOR SENSING

図7. 電流検出の構成

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

電流制限の設定

最小電流制限スレッショルドは、電流制限が許容最小値のときに最大負荷電流に対応するための十分な大きさにする必要があります。ピークインダクタ電流は、 $I_{LOAD(MAX)}$ にリップル電流の1/2を加えた値です。したがって、次のようになります。

$$I_{LIMIT} > I_{LOAD(MAX)} + \left(\frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 I_{LIMIT} は最小電流制限スレッショルド電圧を電流検出抵抗(R_{SENSE})で割った値に等しくなります。デフォルトの設定の場合、最小電流制限スレッショルドは45mVです。

デフォルトの50mVの電流制限スレッショルドを使用する場合は、 I_{LIM} をLDO5に接続してください。可変モードでは、電流制限スレッショルドは正確に I_{LIM} の電圧の1/10になります。可変スレッショルドを使用する場合は、REFとアナロググランド(GND)の間に抵抗分圧器を接続して、 I_{LIM} をセンタータップに接続してください。外部の0.5V~2Vの調整範囲が、50mV~200mVの電流制限スレッショルドに対応します。電流制限を調整するときは、電流制限の許容値の大幅な不正確性を防止するため、公差1%の抵抗を使用して、分圧器の電流を約10mAとしてください。

電流検出の方式(図7)と値の大きさによって、達成可能な電流制限の精度と電力消費が決定されます。通常は、電流検出制限値が大きいほど精度が向上しますが、電力消費も大きくなります。ほとんどのアプリケーションでは50mV~100mVの電流制限スレッショルド(V_{LIMIT})を使用するため、次式によって検出抵抗を決定することができます。

$$R_{CS} = \frac{V_{LIMIT}}{I_{LIMIT}} = \frac{V_{LIM}}{10 \times I_{LIMIT}}$$

最高の電流検出精度と過電流保護を実現するには、図7Aに示すようにインダクタと出力の間に許容差1%の電流検出抵抗を接続してください。この構成は常にインダクタ電流の監視が行われるため、正確な電流制限保護が可能です。しかし、電流検出抵抗の寄生インダクタンスによって、特に小さな値のインダクタと電流検出抵抗を使用する場合に、電流制限が不正確になる可能性があります。この寄生インダクタンス(L_{ESL})は、検出抵抗の両端に次の等価時定数のRC回路を追加することによって相殺可能です。

$$C_{EQR1} = \frac{L_{ESL}}{R_{SENSE}}$$

一方、非常に正確な電流制限保護を必要としない高電力アプリケーションの場合は、次の等価時定数の直列RC回路をインダクタの両端に接続することによって、全体的な電力消費を低減することができます(図7B)。

$$R_{CS} = \left(\frac{R_2}{R_1 + R_2} \right) R_{DCR}$$

および

$$R_{DCR} = \frac{L}{C_{EQ}} \left[\frac{1}{R_1} + \frac{1}{R_2} \right]$$

ここで、 R_{CS} が必要な電流検出抵抗で、 R_{DCR} はインダクタの直列DC抵抗です。インダクタのメーカーから提供される標準のインダクタンス値および R_{DCR} の値を使用してください。

出力コンデンサの選択

出力フィルタコンデンサは、出力リップルと負荷過渡の要件を満たす程度に低く、かつ安定性の要件を満たす程度に高い等価直列抵抗(ESR)を備えている必要があります。出力容量は、過電圧フォルト保護を作動させることなしに、全負荷状態から無負荷状態に移行する際のインダクタのエネルギーを吸収することができる大きさにする必要があります。大容量、低ESRのコンデンサを使用する場合は(安定性の要件を参照)、フィルタコンデンサのESRが出力電圧リップルの大部分になります。そのため、出力コンデンサのサイズは下記の出力電圧リップル($V_{RIPPLE(P-P)}$)の仕様を満たすために必要な最大ESRに依存します。

$$V_{RIPPLE(P-P)} = ESR I_{LOAD(MAX)} LIR$$

アイドルモードではインダクタ電流が不連続になり、ピーク電流はアイドルモード電流検出スレッショルド($V_{IDLE} = 0.2V_{LIMIT}$)によって設定されます。アイドルモードでは、無負荷出力リップルを次式で決定することができます。

$$V_{RIPPLE(P-P)} = \frac{V_{IDLE} R_{ESR}}{R_{SENSE}}$$

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

実際に必要な容量値は、低ESRの実現に必要な物理的サイズ、およびコンデンサ技術の組成に関係します。そのため、通常は容量値よりもESRと電圧の定格によってコンデンサが選択されます(これは、タンタル、OS-CON、ポリマー、およびその他の電解コンデンサに該当します)。セラミックコンデンサなどの低容量フィルタコンデンサを使用する場合は、通常は負荷過渡時の V_{SAG} や V_{SOAR} による問題の発生を防止するために必要な容量によってサイズが決定します。一般に、オーバーシュートの要件を満たすのに十分な容量を付加した場合、負荷の立上りエッジにおけるアンダーシュートは問題になりません(「過渡応答」の項の V_{SAG} と V_{SOAR} の式を参照)。しかし、低容量フィルタコンデンサは通常は高いESRゼロを備えているため、全体的な安定性に影響する可能性があります(「出力コンデンサの安定性について」の項を参照)。

出力コンデンサの安定性について

安定性は、スイッチング周波数に対するESRゼロの値によって決定します。不安定状態の境界は次式で与えられます。

$$f_{ESR} \leq \frac{f_{OSC}}{\pi}$$

ここで、

$$f_{ESR} = \frac{1}{2\pi R_{ESR} C_{OUT}}$$

標準的な300kHzアプリケーションの場合、ESRゼロ周波数は95kHzよりも十分に低くする必要があります。50kHzより低いことが望まれます。この文書の発表時点で広範に使用されているタンタルおよびOS-CONコンデンサの場合、標準的なESRゼロ周波数は25kHzです。インダクタの選択を示すために使用する設計例では、 $25mV_{p-p}$ のリップルへの対応に必要なESRは $25mV/1.5A = 16.7m\Omega$ です。220 $\mu F/4V$ の三洋製ポリマー(TPE)コンデンサは、1個で15m Ω (max)のESRを備えています。その結果、ゼロは48kHzになり、十分に安定動作の範囲内となります。

デューティサイクルが50%を超える($V_{OUT}/V_{IN} \geq 50\%$)の低入力電圧アプリケーションの場合、出力リップル電圧が内部スロープ補償電圧の2倍以下であることが必要です。

$$V_{RIPPLE} \leq 0.02 \times V_{OUT}$$

ここで、 $V_{RIPPLE} = \Delta I_{INDUCTOR} \times R_{ESR}$ です。ワーストケースのESR限界値は $V_{IN} = 2 \times V_{OUT}$ のときに発生するため、前記の式を簡略化して次の境界条件を得ることができます。

$$R_{ESR} \leq 0.04 \times L \times f_{SW}$$

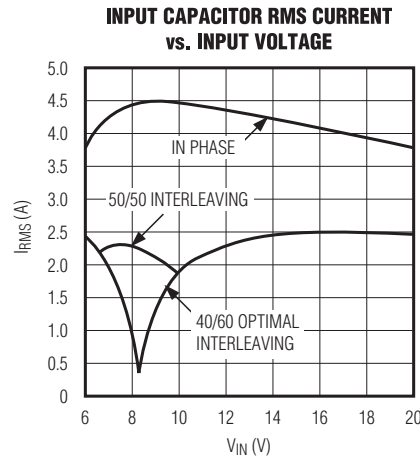
安定性を保証するための対策を講じることなく、大容量のセラミックコンデンサをフィードバック検出ポイントに直接接続しないでください。大容量のセラミックコンデンサはESRゼロ周波数が高く、不規則で不安定な動作の原因になる可能性があります。しかし、フィードバック検出ポイントから数センチ下流で、できる限りインダクタに近い位置にコンデンサを接続することによって、十分な直列抵抗を容易に追加することができます。

不安定な動作は、短いパルスと長いパルスの混在、およびスイッチング周波数の低下を招くサイクルのスキップという、互いに関連性がありながら明らかに異なる2つの形態で現われます。不安定性は、出力のノイズに起因する場合と、ESRが小さいため出力電圧信号の電圧傾斜が不十分であることに起因する場合があります。その結果、エラーコンパレータが「誤って」早めにトリガされたり、サイクルがスキップされることとなります。サイクルのスキップ自体は、有害というよりは気に障る現象であり、実害は出力リップルの増大程度です。しかし、ESRの不足が原因でループの不安定性が生じている可能性があることを示しています。ループの不安定性が原因で、ラインまたは負荷ステップ後の出力が発振を起こす場合があります。こうした振動は通常は吸収減衰されますが、出力電圧が許容範囲を超えて上昇または下降する可能性もあります。

安定性をチェックする最も簡単な方法は、ゼロから最大負荷までの非常に高速な負荷過渡を印加して、出力電圧リップルのエンベロープにオーバーシュートやリングングがないか注意深く観察することです。同時に、AC電流プローブでインダクタ電流を観察することが効果的です。最初のステップ応答のアンダーシュート/オーバーシュート後に、3サイクルを超えるリングングが発生しないようにしてください。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A



INPUT RMS CURRENT FOR INTERLEAVED OPERATION:

$$I_{RMS} = \sqrt{(I_{OUT5} - I_{IN})^2 (D_{LX5} - D_{OL}) + (I_{OUT3} - I_{IN})^2 (D_{LX3} - D_{OL}) + (I_{OUT5} + I_{OUT3} - I_{IN})^2 D_{OL} + I_{IN}^2 (1 - D_{LX5} - D_{LX3} + D_{OL})}$$

$$D_{LX5} = \frac{V_{OUT5}}{V_{IN}} \quad D_{LX3} = \frac{V_{OUT3}}{V_{IN}} \quad D_{OL} = \text{DUTY - CYCLE OVERLAP FRACTION}$$

$$I_{IN} = \frac{V_{OUT5} I_{OUT5} + V_{OUT3} I_{OUT3}}{V_{IN}}$$

INPUT RMS CURRENT FOR SINGLE-PHASE OPERATION:

$$I_{RMS} = I_{LOAD} \left(\frac{\sqrt{V_{OUT} (V_{IN} - V_{OUT})}}{V_{IN}} \right)$$

図8. 入力RMS電流

入力コンデンサの選択

入力コンデンサは、スイッチング電流によるリップル電流の要件(I_{RMS})に適合する必要があります。位相差レギュレータの場合、入力コンデンサの全RMS電流は、図8の定義に示すように、負荷電流、入力電流、デューティサイクル、およびオーバーラップ量の関数になります。

MAX17003A/MAX17004Aの40/60の最適なインタリーブアーキテクチャでは、入力電圧が8.3Vに低下するまでデューティサイクルのオーバーラップが発生しません。そのため、10V以下でデューティサイクルのオーバーラップが始まる標準的な180°位相差アーキテクチャより効率が高くなります。図8に、5V/5Aおよび3.3V/5Aを必要とするアプリケーションにおける、入力コンデンサのRMS電流と入力電圧の関係を示します。50/50インタリーブおよび同位相動作との比較で、40/60の最適なインタリーブによる改善が示されています。

機械式スイッチやコネクタが入力と直列に存在するシステムで一般的に発生する通電時のサージ電流に対する耐性の点から、ほとんどのアプリケーションにはタンタル以外の組成(セラミック、アルミ、またはOS-CON)が適します。最高の信頼性と寿命を実現するために、RMS入力電流での温度上昇が10°C以下のコンデンサを選択してください。

パワーMOSFETの選択

以下で示すMOSFETのガイドラインの大部分は、高電圧(20V超) ACアダプタを使用する場合における高い負荷電流能力の実現という課題を対象としています。小電流アプリケーションの場合は、通常はこれほどの注意は必要ありません。

ハイサイドMOSFET (N_H)は、 $V_{IN(MIN)}$ と $V_{IN(MAX)}$ の両方において抵抗損失とスイッチング損失の合計を消費可能であることが必要です。 $V_{IN(MIN)}$ における損失と $V_{IN(MAX)}$ における損失がほぼ等しく、両者の間にはそれより損失が少ない状態が理想的です。 $V_{IN(MIN)}$ における

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

損失の方がはるかに大きい場合は、 N_H のサイズを大きくすることを検討してください。逆に、 $V_{IN(MAX)}$ における損失の方がはるかに大きい場合は、 N_H のサイズを小さくすることを検討してください。 V_{IN} が広範囲にわたって変化しない場合、導通損失がスイッチング損失に等しいハイサイドMOSFET (N_H)を選択することによって最大の効率が実現します。

ローサイドMOSFET (N_L)には、できる限りオン抵抗 ($R_{DS(ON)}$)が小さく、中程度のサイズのパッケージ(すなわち、8ピンSO、DPAK、またはD²PAK)で提供され、妥当な価格のものを選択してください。MAX17003A/MAX17004AのDL_ゲートドライバから、ゲート電荷に対応する十分な電流と、ハイサイドMOSFETのターンオンに起因して寄生ドレイン/ゲート間コンデンサに注入される電流が、確実に供給されるようにしてください。そうでない場合は、交差導通の問題が発生する可能性があります。ステップダウン構成で使用する場合はゼロ電圧スイッチデバイスとなるため、ローサイドMOSFETのスイッチング損失は問題になりません。

パワーMOSFETの電力消費

ワーストケースの導通損失は、最小または最大のデューティ比で発生します。ハイサイドMOSFET (N_H)の場合、抵抗によるワーストケースの電力消費は最小入力電圧で発生します。

$$PD(N_H \text{ Resistive}) = \left(\frac{V_{OUT}}{V_{IN}} \right) (I_{LOAD})^2 R_{DS(ON)}$$

一般に、高い入力電圧でのスイッチング損失を減少させるには、小型のハイサイドMOSFETを使用してください。しかし、パッケージの電力消費制限を遵守するために必要な $R_{DS(ON)}$ によって、通常はMOSFETの最小サイズが制限されます。スイッチング損失と導通($R_{DS(ON)}$)損失が等しい場合が最適条件です。ハイサイドのスイッチング損失は、入力が約15Vを超えるまでは問題になりません。

ターンオンおよびターンオフ時間に影響を与える要因は数値化が難しいため、スイッチング損失によるハイサイドMOSFET (N_H)の電力消費を計算することは困難です。それらの要因には、内部ゲート抵抗、ゲート電荷、スレッシュホールド電圧、ソースインダクタンス、およびPCBレイアウトの特性などがあります。以下に示すスイッチング損失の計算は非常に大まかな推定値であり、ブレッドボード評価の代用にはなりません(ブレッドボード評価では、できる限り N_H に熱電対を装着して検証を行ってください)。

$$PD(N_H \text{ Resistive}) = \left(\frac{I_{LOAD} Q_{G(SW)}}{I_{GATE}} + \frac{C_{OSS} V_{IN(MAX)}}{2} \right) V_{IN(MAX)} f_{SW}$$

ここで、 C_{OSS} は N_H の出力容量、 $Q_{G(SW)}$ は N_H MOSFETのターンオンに必要な電荷、 I_{GATE} はピークゲート駆動ソース/シンク電流(1A、typ)です。

スイッチング損失の式($C \times V_{IN}^2 \times f_{SW}$)に含まれる2乗項のために、最大のACアダプタ電圧を印加した場合、ハイサイドMOSFETのスイッチング損失によって熱の問題が発生する可能性があります。低いバッテリー電圧において適切な $R_{DS(ON)}$ を備えたハイサイドMOSFETを選択した結果、 $V_{IN(MAX)}$ を印加したとき極端に熱くなる場合は、寄生容量が小さい別のMOSFETの選択を検討してください。

ローサイドMOSFET (N_L)の場合、ワーストケースの電力消費は常に最大バッテリー電圧で発生します。

$$PD(N_L \text{ Resistive}) =$$

$$\left[1 - \left(\frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] (I_{LOAD})^2 R_{DS(ON)}$$

MOSFETの電力消費の絶対的なワーストケースは、 $I_{LOAD(MAX)}$ を上回り、かつ電流制限値を超えてフォルトラッチを作動させるには至らない、厳しい過負荷状態で発生します。この可能性に対する保護手段として、次の条件に耐える「オーバースペックの」回路設計を行ってください。

$$I_{LOAD} = I_{LIMIT} - \left(\frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 I_{LIMIT} は電流制限回路が許容するピーク電流で、スレッシュホールドの許容差と検出抵抗のばらつきを含みます。過負荷時の電力消費に対応するために、MOSFETは比較的大きいヒートシンクを備えている必要があります。

ローサイドMOSFETのボディダイオードがデッドタイム中にターンオンすることのない、順方向電圧降下の小さいショットキーダイオード(D_L)を選択してください。目安として、DC電流定格が負荷電流の1/3に等しいダイオードを選択してください。このダイオードは必須ではなく、効率が重要でない場合は除去可能です。

ブーストコンデンサ

ブーストコンデンサ(C_{BST})は、ハイサイドMOSFETのゲート充電要件に対して十分な大きさのものを選択する必要があります。通常は、0.1μFのセラミックコンデンサが、中サイズのMOSFETを駆動する低電力アプリケーションで適切に動作します。しかし、大型のハイサイドMOSFETを駆動する大電流アプリケーションには、0.1μFよりも大きいブーストコンデンサが必要になります。これらのアプリケーションでは、ハイサイドMOSFETのゲートを充電中にコンデンサが200mVを超えて放電することのないようなブーストコンデンサを選択してください。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

$$C_{BST} = \frac{Q_{GATE}}{200mV}$$

ここで、 Q_{GATE} は、ハイサイドMOSFETのデータシートで規定された総ゲート電荷です。たとえば、FDS6612AnチャネルMOSFETをハイサイドで使用すると仮定します。メーカーのデータシートによると、1個のFDS6612Aの最大ゲート電荷は13nC ($V_{GS} = 5V$)です。前記の式を使用することによって、必要なブースト容量は次のようになります。

$$C_{BST} = \frac{13nC}{200mV} = 0.065\mu F$$

最も近い標準値を選択する場合、この例では0.1 μ Fのセラミックコンデンサが必要になります。

LDOAの設計手順

出力電圧の選択

補助リニアレギュレータの出力電圧は、OUTAとアナロググラウンドの間に抵抗分圧器を接続して、センタータップにFBAを接続することによって調整します(図1)。R6を10k Ω ~30k Ω の範囲で選択して、次式を使用してR5を計算してください。

$$R5 = R6 \left(\frac{V_{OUTA}}{V_{FBA}} - 1 \right)$$

ここで、 $V_{FBA} = 1.0V$ です。

トランジスタの選択

パストラジスタは、電流利得(β)、入力容量、コレクタエミッタ間飽和電圧、および電力消費の仕様に適合する必要があります。トランジスタの電流利得によって、保証最大出力電流が次のように制限されます。

$$I_{LOAD(MAX)} = \left(I_{DRV} - \frac{V_{BE}}{R_{BE}} \right) \beta_{MIN}$$

ここで、 I_{DRV} は最小保証ベース駆動電流、 V_{BE} はトランジスタのベースエミッタ間電圧、 R_{BE} はトランジスタのベースとエミッタの間に接続するプルアップ抵抗です。さらに、トランジスタの電流利得によってリニア

レギュレータのDCループ利得が増大するため(「LDOAの安定性要件」の項を参照)、過度の利得は出力を不安定にします。したがって、最大出力電流において100を超える電流利得を持つトランジスタは、安定動作が困難になる可能性があるため推奨されません。また、トランジスタの入力容量と入力抵抗によって第2の極が生成されますが、その位置が低い場合は重い負荷をかけたときに出力が不安定になる可能性があります。

最大出力電流におけるトランジスタの飽和電圧によって、リニアレギュレータが対応可能な最小の入出力電圧差が決定します。一方、パッケージの電力消費によって、利用可能な最大の入出力電圧差が制限される場合があります。トランジスタのパッケージとソケットの最大電力消費能力は、デバイスの実際の電力消費を上回っている必要があります。電力消費は、最大負荷電流と最大入出力電圧差の積に等しくなります。

$$PWR = I_{LOAD(MAX)} (V_{INA} - V_{OUTA})$$

$$PWR = I_{LOAD(MAX)} V_{CE}$$

LDOAの安定性要件

リニアレギュレータコントローラのMAX17003A/MAX17004Aiは、内蔵のトランスコンダクタンスアンプを使用して外付けのpnpパストラジスタを駆動します。トランスコンダクタンスアンプ、パストラジスタ、ベースエミッタ間抵抗、および出力コンデンサによって、ループの安定性が決定します。

トランスコンダクタンスアンプは、パストラジスタのベース電流を制御することによって出力電圧を安定化します。DCループの総合利得は、次式で近似されます。

$$A_{V(LDO)} = \left(\frac{5.5V}{V_T} \right) \left(1 + \frac{I_{BIAS} h_{FE}}{I_{LOAD}} \right)$$

ここで、 V_T は室温において26mV、 h_{FE} はパストラジスタのDC利得、 I_{BIAS} はベースエミッタ間の抵抗(R_{BE})を流れる電流です。図1で使用している680 Ω のベースエミッタ間抵抗は、バイアス電流(I_{BIAS})が1mAになるように選択されています。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

出力コンデンサと負荷抵抗によって、システム内に主極が生成されます。しかし、内蔵アンプの遅延、パストランジスタの入力容量、およびフィードバック端子の浮遊容量によって、それ以外の極がシステム内に生成され、出力コンデンサのESRがゼロを生成します。適正な動作のために、以下の手順にしたがってリニアレギュレータの安定性を確保してください。

- 最初に、リニアレギュレータの出力コンデンサと負荷抵抗によって設定される主極を計算します。

$$f_{\text{POLE(LDO)}} = \frac{1}{2\pi C_{\text{OUTA}} R_{\text{LOAD}}}$$

ここで、 C_{OUTA} は補助LDOの出力容量、 R_{LOAD} は最大負荷電流に対応する負荷抵抗です。リニアレギュレータのユニティゲインクロスオーバーは次のようになります。

$$f_{\text{CROSSOVER}} = A_v(\text{LDO}) f_{\text{POLE(LDO)}}$$

- 内蔵アンプの遅延に起因する極の位置は、約1MHzです。

$$f_{\text{POLE(AMP)}} \approx 1\text{MHz}$$

- 次に、トランジスタの入力容量、トランジスタの入力抵抗、およびベースエミッタ間のプルアップ抵抗によって設定される極を計算します。トランジスタの入力抵抗(h_{FE}/g_m)は、通常はベースエミッタ間のプルアップ抵抗よりもはるかに大きいため、次に示す簡略化した式で極を求めることが可能です。

$$f_{\text{POLE(CIN)}} \approx \frac{1}{2\pi C_{\text{IN}} R_{\text{IN}}}$$

$$C_{\text{IN}} = \frac{g_m}{2\pi f_T}$$

ここで、 g_m はパストランジスタのトランスコンダクタンス、 f_T は遷移周波数です。両パラメータともに、トランジスタのデータシートに記載されています。

したがって、前記の式をさらに次のように簡略化することが可能です。

$$f_{\text{POLE(CIN)}} \approx \frac{f_T}{h_{\text{FE}}}$$

- 次に、リニアレギュレータのフィードバック抵抗と、FBA-グランド間の容量(浮遊容量を含めて約5pF)によって設定される極を計算します。

$$f_{\text{POLE(FBA)}} = \frac{1}{2\pi C_{\text{FBA}} (R_5 \parallel R_6)}$$

- 次に、出力コンデンサのESRに起因するゼロを計算します。

$$f_{\text{ZERO(ESR)}} = \frac{1}{2\pi C_{\text{OUTA}} R_{\text{ESR}}}$$

ここで、 R_{ESR} は C_{OUTA} の等価直列抵抗です。

- 安定性を保証するため、十分に大きい C_{OUTA} の値を選び、ステップ2から5で計算した極およびゼロよりはるかに低い位置でクロスオーバーが発生するようにします。ステップ3および4の極は通常は数MHzの位置に発生しますが、セラミック出力コンデンサを使用することによってESRゼロも数MHzに発生することが保証されます。500kHzより下にクロスオーバー周波数を設定することで、通常はアンプ遅延の極を十分に回避することが可能であり、変則的な部品選択や余計な容量によって他の極やゼロを1MHz以下に移動させない限り、一般的に問題なく動作します。

リニアレギュレータの出力とフィードバック端子の間にコンデンサを接続することによって、過渡応答を改善するとともに、フィードバックループへのノイズ結合を低減することが可能です。

低ドロップアウトのソリューションが必要な場合、外付けのpチャネルMOSFETパストランジスタを使用することが可能です。しかし、pMOSベースのリニアレギュレータは、ループの安定により大きな出力容量を必要とします。pチャネルMOSFETはゲート容量が大きいため、 $f_{\text{POLE(CIN)}}$ が低下して、不安定性の原因となる可能性があります。大きい出力容量を使用してユニティゲイン帯域幅を減少させ、極が高い位置になることを保証する必要があります。

アプリケーション情報

デューティサイクル制限

最小入力電圧

最小入力動作電圧(ドロップアウト電圧)は、最大デューティサイクルの仕様によって制限されます([ELECTRICAL CHARACTERISTICS]の表を参照)。ステップダウンレギュレータがドロップアウト電圧に接近するほど過渡性能が低下するため、大容量の出力コンデンサを追加する必要があることに留意してください([SMPSの設計手順]の項の「過渡応答」の項の電圧サグとオーバーシュートの式を参照)。絶対的なドロップアウト点は、オン時間におけるインダクタ電流のランプアップ中(ΔI_{UP})、およびオフ時間におけるランプダウン中(ΔI_{DOWN})に発生します。その結果、最小動作電圧は次式で定義されます。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

MAX17003A/MAX17004A

$$V_{IN(MIN)} = V_{OUT} + V_{CHG} + h \left(\frac{1}{D_{MAX}} - 1 \right) (V_{OUT} + V_{DIS})$$

ここで、 V_{CHG} と V_{DIS} はそれぞれ充電および放電経路の寄生電圧降下です。 h の妥当な最小値は1.5ですが、絶対最小入力電圧は $h = 1$ で計算します。

最大入力電圧

MAX17003A/MAX17004Aコントローラには最小オン時間の仕様が含まれており、選択したスイッチング周波数を維持可能な最大入力動作電圧がそれによって決定されます([ELECTRICAL CHARACTERISTICS]の表を参照)。この最大入力電圧を超える動作は、SKIPによって選択された動作モードに関係なく常にパルススキップ動作となります。各サイクルの開始時に、出力電圧が依然としてフィードバックスレッシュホールド電圧を上回っている場合、コントローラはオン時間パルスをトリガせず、実質的に1サイクルをスキップします。これによってコントローラは最大入力電圧以上で安定化を維持することができますが、実質的により低いスイッチング周波数での動作を強制されます。その結果、コントローラがパルスのスキップを開始する入力スレッシュホールド電圧($V_{IN(SKIP)}$)が決定します。

$$V_{IN(SKIP)} = V_{OUT} \left(\frac{1}{f_{OSC} t_{ON(MIN)}} \right)$$

ここで、 f_{OSC} はFSELによって選択されたスイッチング周波数です。

PCBレイアウトのガイドライン

スイッチング損失の少ない、クリーンで安定した動作を実現するためには、注意深いPCBレイアウトが非常に重要です。スイッチングパワー段には特別な注意が必要です(図9)。可能な場合、すべての電力部品を基板の最上面に実装して、それぞれのグランド端子を相互に隣接させてください。適切なPCBレイアウトとするため、以下のガイドラインにしたがってください。

- 大電流の経路は、特にグランド端子側について、常に短くしてください。この手法は、安定した、ジッタのない動作にとって不可欠です。
- 電源配線および負荷との接続を短くしてください。この手法は、高効率の実現に不可欠です。厚い銅のPCB (1オンスより2オンス)を使用することで、全負荷効率を1%以上改善することができます。PCBトレースの適切な配線は数分の1cm単位の工夫を必要とする困難な作業であり、トレースの抵抗が1mΩ増えるだけで明確な効率の低下が発生します。

- CSH₋とCSL₋を電流検出抵抗(R_{SENSE})の両端に直接接続することによって、電流検出の誤差を最小限に抑えてください。
- トレース長についてのトレードオフが必要な場合、インダクタの充電経路を放電経路よりも長くしてください。たとえば、入力コンデンサとハイサイドMOSFETの距離を多少長くする方が、インダクタとローサイドMOSFETの距離またはインダクタと出力フィルタコンデンサの距離を長くするよりも良好な結果となります。
- 高速スイッチング端子(BST₋、LX₋、DH₋、およびDL₋)は、敏感なアナログ領域(REF、FB₋、CSH₋、CSL₋)から離れた位置に配線してください。

レイアウト手順

最初に電力部品を配置して、グランド端子(N_L のソース、 C_{IN} 、 C_{OUT} 、および D_L のアノード)間を隣接させてください。可能な場合は、これらの接続をすべて広い銅ベタ領域を使用して表面層で行ってください。

コントローラICをローサイドMOSFETに隣接させて配置して、LX₋、GND、およびDH₋とDL₋のゲート駆動ラインを短く太くするために、できる限り裏面の N_L と N_H の反対側の位置に実装してください。ドライバのインピーダンスを低く抑えると同時に、適応型デッドタイム検出を適正に行うために、DL₋およびDH₋のゲートトレースは短くかつ太くしてください(MOSFETとコントローラIC間の距離が1インチの場合で50mil~100mil幅)。

ゲート駆動部品(BST₋のコンデンサ、LD05のバイパスコンデンサ)を、コントローラICの近くにまとめて配置してください。

DC-DCコントローラのグランドを、図1および9に示すように接続してください。この図は、2つの独立したグランドプレーンで構成されていると見なすことができます。すべての大電力部品が接続される電源グランドプレーンと、敏感なアナログ部品用のアナロググランドプレーンです。アナロググランドプレーンと電源グランドプレーンの接点は、IC自体が位置する1点のみとする必要があります。

出力電源プレーンを、出力フィルタコンデンサの正および負の端子に複数のビアを使用して直接接続してください。実用的な範囲で、DC-DCコンバータ回路全体をできる限り負荷の近くに配置してください。

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

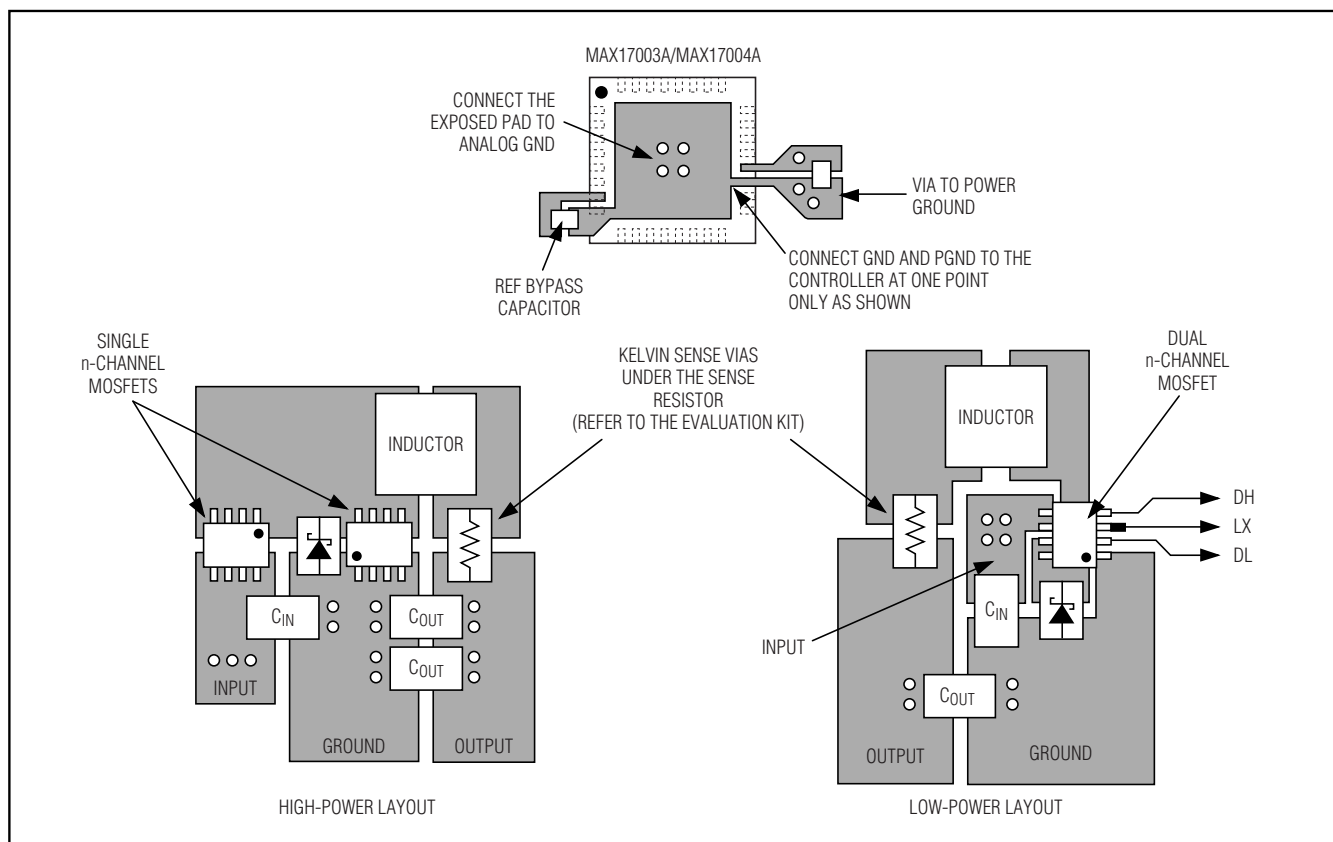


図9. PCBレイアウト

表6. MAX8744/MAX8745とMAX17003A/MAX17004Aの機能上の相違点

FEATURE	MAX8744/MAX8745	MAX17003A/MAX17004A
Startup	Startup operating mode depends on the SKIP# setting. (e.g., SKIP is low, then startup occurs in skip mode).	Startup is always in low-noise pulse-skipping mode (i.e., same as SKIP = REF setting). This allows for startup into prebiased outputs. The SKIP setting takes effect once the SMPS is in regulation.
Shutdown	Actively discharges the output down to zero.	Soft discharge of the output using the DSCHG3 and DSCHG5 pins.
DL3 and DL5 States	DL3 and DL5 are high in shutdown. DL3 and DL5 are latched high during an OV fault of the respective output (MAX8744 only).	DL3 and DL5 are low in shutdown. DL3 and DL5 are latched high during an OV fault of the respective output (MAX17003A only).
Power-Good	PGOOD3: Power-good indicator for SMPS3.	PGDALL: Power-good indicator for SMPS3 and SMPS5.
	PGOOD5: Power-good indicator for SMPS5. PGOODA: Power-good indicator for the auxiliary LDO.	Auxiliary LDO does not have power-good indicator.

チップ情報

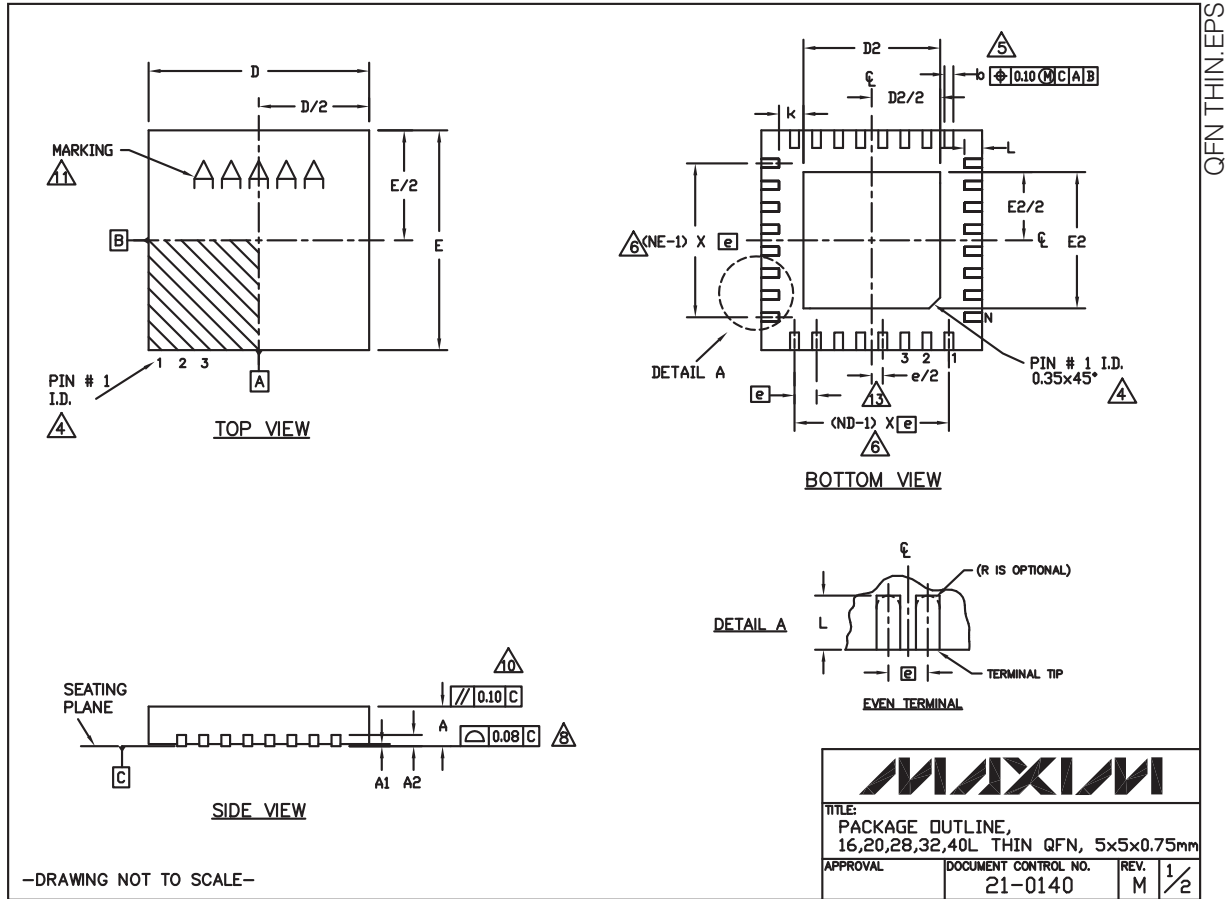
TRANSISTOR COUNT: 6897

PROCESS: BiCMOS

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

パッケージ

(このデータシートのパッケージ図は、最新の仕様を反映していない場合があります。最新のパッケージ外形情報については、japan.maxim-ic.com/packagesを参照してください。)



MAX17003A/MAX17004A

ノートブックコンピュータ用、高効率、クワッド出力、メイン電源コントローラ

パッケージ(続き)

(このデータシートのパッケージ図は、最新の仕様を反映していない場合があります。最新のパッケージ外形情報については、japan.maxim-ic.com/packagesを参照してください。)

COMMON DIMENSIONS															
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5			40L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	16			20			28			32			40		
ND	4			5			7			8			10		
NE	4			5			7			8			10		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2			-----		

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3, T2855-6, T4055-1 AND T4055-2.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
13. LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
14. ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbfREE (+) PKG. CODES.

-DRAWING NOT TO SCALE-

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
T1655-4	2.19	2.29	2.39	2.19	2.29	2.39
T165N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2055MN-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255M-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60
T4055N-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055MN-1	3.40	3.50	3.60	3.40	3.50	3.60



TITLE:
PACKAGE OUTLINE,
16,20,28,32,40L THIN QFN, 5x5x0.75mm

APPROVAL

DOCUMENT CONTROL NO.
21-0140

REV.
M

2/2

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

36 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600